

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4489305号
(P4489305)

(45) 発行日 平成22年6月23日(2010.6.23)

(24) 登録日 平成22年4月9日(2010.4.9)

(51) Int.Cl.

F 1

G 0 6 T 1/20 (2006.01)

G 0 6 T 1/20

B

請求項の数 7 (全 34 頁)

(21) 出願番号	特願2000-605967 (P2000-605967)	(73) 特許権者	000236436
(86) (22) 出願日	平成12年3月10日(2000.3.10)		浜松ホトニクス株式会社
(86) 国際出願番号	PCT/JP2000/001471		静岡県浜松市東区市野町1126番地の1
(87) 国際公開番号	W02000/055810	(74) 代理人	100094983
(87) 国際公開日	平成12年9月21日(2000.9.21)		弁理士 北澤 一浩
審査請求日	平成19年3月5日(2007.3.5)	(74) 代理人	100095946
(31) 優先権主張番号	特願平11-70121		弁理士 小泉 伸
(32) 優先日	平成11年3月16日(1999.3.16)	(74) 代理人	100099829
(33) 優先権主張国	日本国(JP)		弁理士 市川 朗子
		(72) 発明者	石川 正俊
			千葉県柏市大室1571番地32
		(72) 発明者	豊田 晴義
			静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

最終頁に続く

(54) 【発明の名称】 高速視覚センサ装置

(57) 【特許請求の範囲】

【請求項1】

複数の受光素子が複数の行及び列に2次元状に配列されて構成された受光素子アレイと、
 複数のA/D変換器が該受光素子アレイの該複数の行に1対1に対応して1次元状に配列されて構成され、各A/D変換器が、該対応する1行中の受光素子から順次読み出された出力信号をアナログ・デジタル変換するA/D変換器アレイと、
 複数の演算素子が、該受光素子アレイの該複数の受光素子と1対1に対応して複数の行及び列に2次元状に配列され、各演算素子が該A/D変換器アレイから転送されたデジタル信号について所定の演算を行う並列演算素子アレイからなる並列処理機構と、
 複数の列方向データ転送用データラインが前記並列処理機構の各列と1対1に対応して設けられ、各列方向データ転送用データラインが、対応する列に存在する複数の演算素子を接続し該対応する列の各演算素子とのデータ転送を行う列方向データ転送用バスと、
 複数の行方向データ転送用データラインが前記並列処理機構の各行と1対1に対応して設けられ、各行方向データ転送用データラインが、対応する行に存在する複数の演算素子を接続し該対応する行の各演算素子とのデータ転送を行う行方向データ転送用バスと、
 前記受光素子アレイ、前記A/D変換器アレイ、前記並列処理機構、前記列方向データ転送用バス、及び、前記行方向データ転送用バスを制御し、前記列方向データ転送用バスと前記行方向データ転送用バスとを介した各演算素子とのデータ転送を行う制御回路と、
 を備え、
 前記制御回路が、前記各列方向データ転送用データラインを介して対応する演算素子へ転

10

20

送するデータと前記各行方向データ転送用データラインを介して対応する演算素子へ転送するデータとの組み合わせを制御することで、前記各演算素子に対し、対応する列方向データ転送用データライン及び対応する行方向データ転送用データラインより受け取るデータの組み合わせに基づいた処理を行わせることを特徴とする高速視覚センサ装置。

【請求項 2】

前記制御回路が、前記各列方向データ転送用データラインに対し、対応する列の位置情報を示すデータに対応する列の演算素子にデータ転送させ、前記各行方向データ転送用データラインに対し、対応する行の位置情報を示すデータに対応する行の演算素子にデータ転送させ、各演算素子に対し、該データ転送された対応する行の位置情報を示すデータ及び対応する列の位置情報を示すデータに基づき、前記デジタル信号に対する所定の重心演算を行わせる重心演算制御部を有することを特徴とする請求項 1 記載の高速視覚センサ装置。

10

【請求項 3】

前記制御回路が、所定の演算素子と接続された列方向データ転送用データラインと行方向データ転送用データラインとに対し所定の組み合わせの演算制御データをデータ転送させることで、該所定の演算素子に対しデジタル信号に対する所定の演算を行わせる所定素子演算制御部を有することを特徴とする請求項 1 記載の高速視覚センサ装置。

【請求項 4】

前記制御回路が、所定の演算素子と接続された列方向データ転送用データラインと行方向データ転送用データラインとに対し所定の組み合わせの演算制御データをデータ転送させることで、該所定の演算素子にその演算結果データを該制御回路へ転送させるデータ転送制御部を有することを特徴とする請求項 1 記載の高速視覚センサ装置。

20

【請求項 5】

前記列方向データ転送用バス及び前記行方向データ転送用バスのそれぞれに対応するデータバッファをさらに備えていることを特徴とする請求項 1 記載の高速視覚センサ装置。

【請求項 6】

前記並列処理機構が、さらに、複数の転送用シフトレジスタが該複数の A/D 変換器と該複数の演算素子行の各々と 1 対 1 に対応して配列され、各転送用シフトレジスタが、該対応する A/D 変換器から出力された対応する受光素子行に所属する該受光素子の出力信号に相当するデジタル信号を、該対応する行に所属する所定の演算素子に順次転送する転送用シフトレジスタアレイを有することを特徴とする請求項 1 記載の高速視覚センサ装置。

30

【請求項 7】

複数の受光素子が複数の行及び列に 2 次元状に配列されて構成された受光素子アレイと、複数の A/D 変換器が該受光素子アレイの該複数の行に 1 対 1 に対応して 1 次元状に配列されて構成され、各 A/D 変換器が、該対応する 1 行中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する A/D 変換器アレイと、

複数の演算素子が、該受光素子アレイの該複数の受光素子と 1 対 1 に対応して複数の行及び列に 2 次元状に配列され、各演算素子が該 A/D 変換器アレイから転送されたデジタル信号について所定の演算を行う並列演算素子アレイからなる並列処理機構と、

複数の列方向データ転送用データラインが前記並列処理機構の各列と 1 対 1 に対応して設けられ、各列方向データ転送用データラインが、対応する列に存在する複数の演算素子を接続し該対応する列の各演算素子とのデータ転送を行う列方向データ転送用バスと、

40

複数の行方向データ転送用データラインが前記並列処理機構の各行と 1 対 1 に対応して設けられ、各行方向データ転送用データラインが、対応する行に存在する複数の演算素子を接続し該対応する行の各演算素子とのデータ転送を行う行方向データ転送用バスと、

前記受光素子アレイ、前記 A/D 変換器アレイ、前記並列処理機構、前記列方向データ転送用バス、及び、前記行方向データ転送用バスを制御し、前記列方向データ転送用バスと前記行方向データ転送用バスとを介した各演算素子とのデータ転送を行う制御回路と、を備え、

前記制御回路が、各演算素子からのデータを、対応する列方向データ転送用データライン

50

と対応する行方向データ転送用データラインとを介して受け取り、所定のデータが転送された列方向データ転送用データラインと該所定のデータが転送された行方向データ転送用データラインとの組み合わせに基づいて、該所定のデータを出力した演算素子の位置を求めることを特徴とする高速視覚センサ装置。

【発明の詳細な説明】

技術分野

本発明は、画像処理機能を備えた高速視覚センサ装置に関する。

背景技術

F Aシステム等でロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状のビジョンシステムでは画像処理速度がビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていなかった。

一方、高速C C Dカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御などの用途には適用できなかった。

このような問題を解決するため、画像の取込部と処理部を一体として取り扱うビジョンチップの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている（"An Object Position and Orientation IC with Embedded Imager", David L. Standley ("Solid State Circuits", Vol. 26, No. 12, Dec. 1991, pp. 1853-1859, IEEE)、"Computing Motion Using Analog and Binary Resistive Networks", James Hutchinson, et al. ("Computer", Vol. 21, March 1988, pp. 52-64, IEEE)、及び、"Artificial retinas-fast, versatile imageprocessors", Kazuo Kyuma et al., ("Nature", Vol. 372, 10 November 1994)。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、画像処理の内容が特定用途に限定されていて汎用性がないなどの問題点があった。

これらに対して汎用的な画像処理を行うことができるビジョンチップとしては、特開平10-145680号公報に開示された技術が知られている。この技術は、受光素子と1対1に対応させて演算素子を設け、A/D変換器を受光素子の行毎に設けているため、並列処理により演算時間を短縮するとともに、受光素子と演算素子間の伝送線を少なくすることができ、両者の集積度を最適にすることができるといった利点がある。

しかしながら、多くの画像処理において必要とされる情報である画像の重心（1次モーメント）を演算する場合には、その画素の位置情報（x方向の位置、y方向の位置）と画素データとの演算を行うので、予めそれぞれの画素の位置情報をそれぞれの演算素子のメモリーに保管しておく必要がある。上記特開平10-145680号公報の技術では、まず位置情報を制御回路から順に各演算素子に転送しておき、その位置データと、受光素子からの画像データを演算して出力しなければならず、位置情報の転送に時間を要してしまう。こうした基本的な画像演算処理の高速化が望まれていた。

発明の開示

そこで、本発明は、こうした問題点に鑑みて、簡単な回路構成で、基本的な画像演算を高速に処理することが可能な多画素数の高速視覚センサ装置を提供することを課題としている。

上記課題を解決するために本発明の高速視覚センサ装置は、複数の受光素子が複数の行及

10

20

30

40

50

び列に2次元状に配列されて構成された受光素子アレイと、複数のA/D変換器が該受光素子アレイの該複数の行に1対1に対応して1次元状に配列されて構成され、各A/D変換器が、該対応する1行中の受光素子から順次読み出された出力信号をアナログ・デジタル変換するA/D変換器アレイと、複数の演算素子が、該受光素子アレイの該複数の受光素子と1対1に対応して複数の行及び列に2次元状に配列され、各演算素子が該A/D変換器アレイから転送されたデジタル信号について所定の演算を行う並列演算素子アレイからなる並列処理機構と、複数の列方向データ転送用データラインが前記並列処理機構の各列と1対1に対応して設けられ、各列方向データ転送用データラインが、対応する列に存在する複数の演算素子を接続し該対応する列の各演算素子とのデータ転送を行う列方向データ転送用バスと、複数の行方向データ転送用データラインが前記並列処理機構の各行と1対1に対応して設けられ、各行方向データ転送用データラインが、対応する行に存在する複数の演算素子を接続し該対応する行の各演算素子とのデータ転送を行う行方向データ転送用バスと、前記受光素子アレイ、前記A/D変換器アレイ、前記並列処理機構、前記列方向データ転送用バス、及び、前記行方向データ転送用バスを制御し、前記列方向データ転送用バスと前記行方向データ転送用バスとを介した各演算素子とのデータ転送を行う制御回路とを備え、前記制御回路が、前記各列方向データ転送用データラインを介して対応する演算素子へ転送するデータと前記各行方向データ転送用データラインを介して対応する演算素子へ転送するデータとの組み合わせを制御することで、前記各演算素子に対し、対応する列方向データ転送用データライン及び対応する行方向データ転送用データラインより受け取るデータの組み合わせに基づいた処理を行わせることを特徴とする。

本発明によれば、受光素子と1対1に対応させて演算素子が設けられているので、画像処理演算を並列処理により高速で行うことができる。また、A/D変換器を各行毎に設けることで伝送路の本数が少なく済むという利点がある。

さらに、各演算素子に対して行方向および列方向に専用のデータバスを配置しているので、様々な画像処理演算を行うことができ、したがって、半導体による集積化に適したアーキテクチャを堅持したまま、柔軟な処理能力を達成できる。

例えば、制御回路は、各列方向データ転送用データラインに対し、対応する列の位置情報を示すデータを対応する列の演算素子にデータ転送させ、各行方向データ転送用データラインに対し、対応する行の位置情報を示すデータを対応する行の演算素子にデータ転送させ、各演算素子に対し、該データ転送された対応する行の位置情報を示すデータ及び対応する列の位置情報を示すデータに基づき、デジタル信号に対する所定の重心演算を行わせる重心演算制御部を有することが好ましい。この場合、専用のデータバスを行方向および列方向に配置しているため、画像処理の基本演算である重心演算で必要となる位置情報を少ないデータ転送系統で効率的に転送することができる。

また、該専用のデータバスにより、各演算素子に対して個別にアクセスすることも可能となっている。

このため、例えば、制御回路は、所定の演算素子と接続された列方向データ転送用データラインと行方向データ転送用データラインとに対し所定の組み合わせの演算制御データをデータ転送させることで、該所定の演算素子に対しデジタル信号に対する所定の演算を行わせる所定素子演算制御部を有することが好ましい。この場合、個々の演算素子に異なった演算処理を実行させることができる。

さらに、制御回路は、所定の演算素子と接続された列方向データ転送用データラインと行方向データ転送用データラインとに対し所定の組み合わせの演算制御データをデータ転送させることで、該所定の演算素子にその演算結果データを制御回路へ転送させるデータ転送制御部を有することが好ましい。この場合、例えば、特定の演算素子の演算結果を制御回路に転送させることができる。

ここで、列方向データ転送用バス及び行方向データ転送用バスのそれぞれに対応するデータバッファをさらに備えていることが好ましい。データバッファを設けることで、制御回路とデータ転送用バスとのデータ転送速度が低くても高速でのデータ転送が可能となる。並列処理機構、データ転送用バス、データバッファとを集積化すれば、演算素子からバッ

10

20

30

40

50

ファまでのデータ転送の高速化を比較的容易に行える。

また、並列処理機構が、さらに、複数の転送用シフトレジスタが複数のA/D変換器と複数の演算素子行の各々と1対1に対応して配列され、各転送用シフトレジスタが、対応するA/D変換器から出力された対応する受光素子行に所属する受光素子の出力信号に相当するデジタル信号を、対応する行に所属する所定の演算素子に順次転送する転送用シフトレジスタアレイを有することが好ましい。このように演算素子への転送を専用のシフトレジスタにより行うことで転送中でも演算処理を行うことが可能である。したがって、転送処理、演算処理とも待ち時間を少なくして効率良く行うことができ、全体の処理時間を短縮できる。この結果、パイプライン的な動作が可能となり、高速での画像処理、特に実時間的な処理が可能となる。

10

また、本発明の高速視覚センサ装置は、複数の受光素子が複数の行及び列に2次元状に配列されて構成された受光素子アレイと、複数のA/D変換器が該受光素子アレイの該複数の行に1対1に対応して1次元状に配列されて構成され、各A/D変換器が、該対応する1行中の受光素子から順次読み出された出力信号をアナログ・デジタル変換するA/D変換器アレイと、複数の演算素子が、該受光素子アレイの該複数の受光素子と1対1に対応して複数の行及び列に2次元状に配列され、各演算素子が該A/D変換器アレイから転送されたデジタル信号について所定の演算を行う並列演算素子アレイからなる並列処理機構と、複数の列方向データ転送用データラインが前記並列処理機構の各列と1対1に対応して設けられ、各列方向データ転送用データラインが、対応する列に存在する複数の演算素子を接続し該対応する列の各演算素子とのデータ転送を行う列方向データ転送用バスと、
複数の行方向データ転送用データラインが前記並列処理機構の各行と1対1に対応して設けられ、各行方向データ転送用データラインが、対応する行に存在する複数の演算素子を接続し該対応する行の各演算素子とのデータ転送を行う行方向データ転送用バスと、前記受光素子アレイ、前記A/D変換器アレイ、前記並列処理機構、前記列方向データ転送用バス、及び、前記行方向データ転送用バスを制御し、前記列方向データ転送用バスと前記行方向データ転送用バスとを介した各演算素子とのデータ転送を行う制御回路とを備え、前記制御回路が、各演算素子からのデータを、対応する列方向データ転送用データラインと対応する行方向データ転送用データラインとを介して受け取り、所定のデータが転送された列方向データ転送用データラインと該所定のデータが転送された行方向データ転送用データラインとの組み合わせに基づいて、該所定のデータを出力した演算素子の位置を求めることを特徴とする。

20

30

発明を実施するための最良の形態

本発明の実施形態に係る高速視覚センサ装置を第1図～第16図に基づき説明する。

なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

第1図は、本実施形態に係る高速視覚センサ装置10のブロック図である。また、第2図に、当該センサ装置10の構成例を示す。

まず、第1図により、センサ装置10全体の構成を簡単に説明する。本実施形態の高速視覚センサ装置10は、受光素子アレイ11と、A/D変換器アレイ13と、並列処理機構14と、制御回路15と、x方向データバス17及びy方向データバス18と、x方向データバッファ19及びy方向データバッファ20、インストラクション/コマンドバス16、及び、後述する出力バス155（第6図）とから構成されている。

40

受光素子アレイ11には、N1個xN2個の受光素子120が2次元状（すなわち、N1列xN2行）に配置されている。すなわち、受光素子アレイ11は、N1個の受光素子120が水平方向（x方向）に並んで構成された水平受光部110が、N2個、水平方向（x方向）に直交する垂直方向（y方向）に配列されて構成されている。

A/D変換器アレイ13には、N2個のA/D変換器210が1次元状（垂直方向（y方向））に配列されている。当該N2個のA/D変換器210は、受光素子アレイ11内のN2個の水平受光部110に1対1に対応しており、対応する水平受光部110に所属する受光素子120から出力された電荷を順次電圧信号に変換しさらにA/D変換するためのものである。

50

並列処理機構 14 には、 $N1$ 個 $\times$ $N2$ 個の演算素子 (PE (processing element)) 400 が、受光素子 120 と 1 対 1 に対応して、2 次元状 (すなわち、 $N1$ 列 $\times$ $N2$ 行) に配置されて構成された演算素子アレイ 40 が設けられている。この演算素子アレイ 40 には、その $N2$ 個の演算素子行に 1 対 1 に対応して、 $N2$ 個の転送用シフトレジスタライン (画像転送用シフトレジスタライン) 420 が付加されている。各転送用シフトレジスタライン 420 は、対応する行の演算素子 400 の個数 ($N1$) に等しい $N1$ 個の転送用シフトレジスタ (画像転送用シフトレジスタ) 410 が直列接続されて構成されている。各転送用シフトレジスタ 410 が、対応する行内の対応する演算素子 400 に接続されている。

制御回路 15 は、本センサ装置 10 の回路全体に命令信号やデータ等を送って制御するためのものである。x 方向データバス 17 は、各列ごとの演算素子 400 と接続され、列毎の各演算素子 400 にデータを転送するためのものである。また、y 方向データバス 18 は、各行ごとの演算素子 400 と接続され、行毎の各演算素子 400 にデータを転送するためのものである。さらに、x 方向データバッファ 19 が x 方向データバス 17 と制御回路 15 とに接続されており、y 方向データバッファ 20 が y 方向データバス 18 と制御回路 15 とに接続されている。こうして、x 方向データバス 17 は、x 方向データバッファ 19 を介して制御回路 15 と接続され、y 方向データバス 18 は、y 方向データバッファ 20 を介して制御回路 15 と接続されている。インストラクション/コマンドバス 16 は、制御回路 15 からの信号を受光素子アレイ 11、A/D 変換器アレイ 13、及び、並列処理機構 14 に送るためのものである。なお、後述する第 6 図に示すように、制御回路 15 は、さらに、単一の出力バス 155 を介して全演算素子 400 と接続されている。

本センサ装置 10 は上記構成となっているため、並列処理機構 14 と受光素子アレイ 11 との間を、 $N2$ 本のデータラインで接続することができる。したがって、第 2 図に示されるように受光素子アレイ 11 と並列処理機構 14 とを別々の基板に形成し、個々の動作を確認できる構成とすることで、センサ装置 10 の安定した生産が可能となっている。また、このように、受光素子アレイ 11 と並列処理機構 14 とを別々の基板に形成することで、双方を高集積化することが可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できる点からも、安定した生産が可能となっている。x 方向、y 方向のそれぞれのデータバス 17、18 及びデータバッファ 19、20 は、図示されているように、並列処理機構 14 と同一の基板上に形成してもよいし、別の基板上に形成してもよい。一体として集積化すれば、データバッファ 19、20 と演算素子 400 間のデータ転送速度を高速化させることが容易であり、特に、好ましい。また、本センサ装置 10 の各構成要素は、全て CMOS プロセスによって作成可能であるため、すべての構成要素を 1 チップ化することも可能であり、これにより大幅なコストダウンを図ることもできる。

続いて、各回路の内部構成について説明する。

第 3 図は、制御回路 15 の構成ブロック図である。制御回路 15 は、CPU 150、メモリ 151、画像取り込み制御部 300 (第 4 図)、及び、外部との入出力インターフェース 152 等が、バス 153 で接続されて構成されている。メモリ 151 には、CPU 150 によって実行される後述の視覚センサ処理プログラム (第 8 図)、及び、当該視覚センサ処理プログラム内の画像処理ステップ (第 8 図の S110) において並列処理機構 14 の画像並列処理を制御するためのプログラム (例えば、第 9 図~第 12 図、第 13 図、第 14 図、第 15 図、第 16 図) が格納されている。これら視覚センサ処理プログラムや画像処理プログラムは、外部装置 (例えば、外部コンピュータ) 1000 より、入出力インターフェース 152 を介して、メモリ 151 に書き込まれる。なお、バス 153 は、図示しないコマンドバスやデータバスを備えており、第 1 図のインストラクション/コマンドバス 16 やデータバッファ 19、20、及び、第 6 図の出力バス 155 に接続されている。

CPU 150 は、メモリ 151 内の視覚センサ処理プログラム (第 8 図) に基づいて、画像取り込み制御部 300 を介して受光素子アレイ 11 と A/D 変換器アレイ 13 とを制御すると共に、並列処理機構 14 を制御する。より詳しくは、CPU 150 は、画像取り込

み制御部300(第4図)を制御して(第8図のS101)、受光素子アレイ11とA/D変換器アレイ13に画像の取り込みを行わせる。CPU150はまた、並列処理機構14内の転送用シフトレジスタ410によるデータ転送と演算素子400による演算とを制御する(第8図のS102~S104、S110)ことで、SIMD(single instruction and multi data stream)型の並列演算処理を行わせる。CPU150は、さらに、並列処理機構14の並列演算処理実行中必要な演算を行ったり、並列処理機構14による処理結果に基づいて必要な演算や判別動作を行う。CPU150は、さらに、入出力インターフェース152を介して、外部装置1000たる外部コンピュータとの通信を行ったり、別の外部装置1000たる外部アクチュエータを制御したりする。例えば、CPU150は、得られた演算結果を外部コンピュータ

10

に出力したり、当該演算結果に基づき外部アクチュエータを制御したりする。

次に、画像取込部たる受光素子アレイ11とA/D変換器アレイ13の構成を、第4図及び第5図を参照して詳細に説明する。

受光素子アレイ11は、光を検出する受光部として機能し、A/D変換器アレイ13は、

当該受光部11からの出力信号を電流/電圧変換し、さらに、A/D変換処理する信号処理部として機能する。制御回路15の画像取り込み制御部300が、受光素子アレイ11とA/D変換器アレイ13に接続されており、当該受光部11及び信号処理部13に動作

タイミングの指示信号を通知するタイミング制御部として機能する。

まず、受光素子アレイ(受光部)11の構成を説明する。

第4図に示すように、受光素子アレイ11では、各受光素子120が、入力した光強度に

20

応じて電荷を発生する光電変換素子130と、光電変換素子130の信号出力端子に接続され、水平走査信号 V_i ($i=1\sim N1$)に応じて光電変換素子130に蓄積された電荷を出力するスイッチ素子140とを1組として構成されている。この受光素子120が水平方向(x方向)に沿ってN1個配置され、各受光素子120のスイッチ素子140が電

氣的に接続されて水平受光部110を構成している。そして、この水平受光部110を水平方向に直交する垂直方向(y方向)に沿ってN2個配列することにより受光部11が構成されている。したがって、受光部11には、受光素子 $120_{i,j}$ ($i=1\sim N1$ 、 $j=1\sim N2$)が2次元状にN1列xN2行、配列されている。

次に、同じく第4図により、信号処理部たるA/D変換器アレイ13の構成を説明する。

A/D変換器アレイ13は、A/D変換器 210_j ($j=1\sim N2$)をN2個配置して構成されている。各A/D変換器 210_j ($j=1\sim N2$)は、対応する水平受光部110 $_j$ ($j=1\sim N2$)から転送されてきた電荷を個別に取り出して処理し、この電荷強度に対応するデジタル信号を出力するためのものである。

各A/D変換器 210_j は、チャージアンプ 221_j を含む積分回路 220_j と、比較回路 230_j 、及び、容量制御機構 240_j 、の3つの回路から構成されている。

積分回路 220_j は、水平受光部110 $_j$ からの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ 221_j と、チャージアンプ 221_j の入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部 222_j と、チャージアンプ 221_j の入力端子に一方の端が接続され、出力端子に他方の端が接続されたスイッチ素子 223_j とからなる。スイッチ素子 223_j は、画像取り込み制御部300からのリセ

30

40

ット信号Rに応じてON、OFF状態となり、積分回路 220_j の積分、非積分動作を切り替えるためのものである。

第5図は、積分回路 220 の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。

可変容量部 222 は、チャージアンプ 221 の水平受光部110からの出力信号の入力端子に一方の端子が接続された容量素子 $C1\sim C4$ と、容量素子 $C1\sim C4$ の他方の端子とチャージアンプ 221 の出力端子との間に接続され、容量指示信号 $C_{11}\sim C_{14}$ に応じて開閉するスイッチ素子 $SW11\sim SW14$ と、容量素子 $C1\sim C4$ とスイッチ素子 $SW11\sim SW14$ との間に一方の端子が接続され、他方の端子がGNDレベルと接続されて

50

、容量指示信号 $C_{21} \sim C_{24}$ に応じて開閉するスイッチ素子 $SW_{21} \sim SW_{24}$ とから構成されている。なお、容量素子 $C_1 \sim C_4$ の電気容量 $C_1 \sim C_4$ は、

$$C_1 = 2 C_2 = 4 C_3 = 8 C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、 C_0 は積分回路220で必要とする最大電気容量であり、受光素子130（第4図参照）の飽和電荷量を Q_0 、基準電圧を V_{REF} とすると、

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。

再び、第4図に戻り、A/D変換器210_jの積分回路220_j以外の回路を説明する。比較回路230_jは、積分回路220_jから出力された積分信号 V_s の値を基準値 V_{REF} と比較して、比較結果信号 V_c を出力する。容量制御機構240_jは、比較結果信号 V_c の値から積分回路220_j内の可変容量部222_jに通知する容量指示信号 C を出力すると共に、容量指示信号 C に相当するデジタル信号 D_1 を出力する。

なお、以上、A/D変換器アレイ13が4ビットつまり16階調の分解能を持つ場合について説明したが、A/D変換器アレイ13は、6ビット、8ビット等、他のビット構成の分解能を持つ構成であってもよい。

上記構成の画像取り込み部11及び13は、制御回路15内の画像取り込み制御部300により、画像取り込みのタイミングを制御される。第4図に示すように、画像取り込み制御部300は、全回路11及び13のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された水平走査指示に従って水平走査信号 V_i を発生する水平シフトレジスタ320と、リセット指示信号 R を発生する制御信号部340とから構成されている。

次に、並列処理機構14の構成を説明する。

既述のように、並列処理機構14には、第1図に示すように、受光素子アレイ11の N_2 個の水平受光部110_j（ $j = 1 \sim N_2$ ）及びA/D変換器アレイ13の N_2 個のA/D変換器210_j（ $j = 1 \sim N_2$ ）に対応して、 N_2 個の転送用シフトレジスタライン420_j（ $j = 1 \sim N_2$ ）が設けられている。各転送用シフトレジスタライン420_j（ $j = 1 \sim N_2$ ）には、複数ビット（この場合、4ビット）の転送用シフトレジスタ410_{i, j}が、 N_1 個、直列接続されている。第6図に示すように、コントローラ5が、インストラクション/コマンドバス16を介して、各転送用シフトレジスタ410_{i, j}（ $i = 1 \sim N_1$ 、 $j = 1 \sim N_2$ ）に接続されている。コントローラ5は、転送開始信号を各シフトレジスタ410_{i, j}に出力することにより、A/D変換器アレイ13からのデータを必要な演算素子400の位置まで転送させる。

また、並列処理機構14には、 N_1 個 $\times$ N_2 個の受光素子120_{i, j}（ $i = 1 \sim N_1$ 、 $j = 1 \sim N_2$ ）に1対1に対応して、演算素子400_{i, j}（ $i = 1 \sim N_1$ 、 $j = 1 \sim N_2$ ）が $N_1 \times N_2$ 個2次元状に配列されている。各演算素子400_{i, j}（ $i = 1 \sim N_1$ 、 $j = 1 \sim N_2$ ）は、対応するシフトレジスタライン420_j（ $j = 1 \sim N_2$ ）の対応する転送用シフトレジスタ410_{i, j}（ $i = 1 \sim N_1$ 、 $j = 1 \sim N_2$ ）に接続されている。第6図に示すように、コントローラ5が、インストラクション/コマンドバス16を介して各演算素子400_{i, j}に接続されており、当該演算素子400における演算処理を制御する。

次に、出力バス155について説明する。

第6図に示すように、全演算素子400が単一の出力バス155に接続されている。ここで、出力バス155は、単一の1ビット信号線から構成されている。当該出力バス155は、全演算素子400に接続されているため、全演算素子400の出力のOR論理演算結果を制御回路15に通信するワイヤードOR回路（wired OR回路）の機能を有する。このため、制御回路15は、全演算素子400の出力信号をまとめてから受け取ることができ、スキャンを用いることなく高速に出力信号を受け取ることができる。

次に、x方向データバス17とy方向データバス18について説明する。

なお、x方向データバス17とy方向データバス18としては、例えば、制御回路15か

10

20

30

40

50

ら演算素子400へのデータ転送／書き込み機能のみを有する一方向性のデータバスを利用することができる。

x方向データバス17は、第1図に示すように、複数（この場合N1個）の1ビットデータライン170i（ $1 \leq i \leq N1$ ）から構成されている。各1ビットデータライン170iが、対応する演算素子列iに位置する全N2個の演算素子400（i, j）（ $1 \leq j \leq N2$ ）と接続されている。各1ビットデータライン170iはまた、x方向データバッファ19を介して、制御回路15に接続されている。かかる構成により、各1ビットデータライン170iは、制御回路15からのデータを、x方向データバッファ19を介して、対応する列i内に位置する各演算素子400（i, j）に転送するようになっている。

同様に、y方向データバス18は、複数（この場合N2個）の1ビットデータライン180j（ $1 \leq j \leq N2$ ）から構成されている。各1ビットデータライン180jが、対応する演算素子行jに位置する全N1個の演算素子400（i, j）（ $1 \leq i \leq N1$ ）と接続されている。各1ビットデータライン180jはまた、y方向データバッファ20を介して、制御回路15に接続されている。かかる構成により、各1ビットデータライン180jは、制御回路15からのデータを、y方向データバッファ20を介して、当該対応する行j内に位置する各演算素子400（i, j）に転送するようになっている。

次に、演算素子400の構造について、第6図に示すブロック図を参照して、より詳細に説明する。

演算素子400は、各素子が共通の制御信号で制御されるSIMD型の並列処理を行う構造になっており、1素子あたりのトランジスタ数を削減し、並列処理機構14の集積化を図り、素子数を増やすことができるようになっている。

より詳しくは、演算素子400は、4x8ビットのランダムアクセス可能な1ビットシフトのレジスタマトリックス401と、Aラッチ402、Bラッチ403、及び、演算論理ユニット（ALU）404とで構成されている。レジスタマトリックス401は、データ保持と入出力のためのものである。より詳しくは、レジスタマトリックス401は、対応する受光素子120の出力信号に相当するデジタル信号D1をシフトレジスタ410から入力し収容するためのものである。レジスタマトリックス401はまた、4近傍の演算素子400中のレジスタマトリックス401と直接接続しており、これらに収容されているデジタル信号をも収容することができる。レジスタマトリックス401は、さらに、x方向データバス17の対応するx方向データライン170i、及び、y方向データバス18の対応するy方向データライン180jに接続され、両方のデータバスを利用してデータ転送を行うことができるようになっている。ALU404は、下位ビットから1ビットずつ順次演算する順次ビットシリアル演算を行うためのものである。Aラッチ402、Bラッチ403は、レジスタマトリックス401に保持されている信号を収容し、ALU404での演算に供するためのものである。

以上の構成により、演算素子400では、Aラッチ402、Bラッチ403がそれぞれレジスタマトリックス401内の任意のレジスタからデータを読み込み、ALU404がそのデータをもとに演算を行なう。演算結果は、再び、レジスタマトリックス401内の任意のレジスタに書き込まれる。演算素子400は、この作業を1サイクルとして繰り返し行うことで、さまざまな演算を実行できるようになっている。

より詳しくは、ALU404は、1ビットの演算器で、論理積（AND）、論理和（OR）、排他的論理和（XOR）、加算（ADD）、Carryつき加算などの演算機能を有している。1度に実行できるのは1ビットの演算だけであり、多ビット演算は1ビットずつシリアルに演算を行なうことで実行する。複雑な演算は上記演算機能の組み合わせとして記述できるため、ALU404に対し上記演算機能の中から毎回一つずつを選択させながら繰り返し演算を行わせることで、複雑な演算を実現できるようになっている。例えば、乗算は加算の組み合わせとして記述できるため、加算を複数回繰り返し行うことで実現する。減算は、引こうとする数をビット反転して1を足すことで負の数とし、これを足し算することで実現できる。割り算については、例えば、割る数を8、4、2というような数値にして、ビットシフトする（例えば、「割る数が8」の場合、ビットを3ビット右にシ

10

20

30

40

50

フトする) ことにより実現する。さらに、絶対値を求めるためには、マイナスの数(サインビットが1)に対して、符号反転、すなわち、ビット反転して1を足すことで、実現する。

レジスタマトリックス401は、第7(A)図に示すように、ランダムにアクセスできる1ビットのレジスタ4010を24個並べ、さらに、外部や近傍演算素子400との入出力用に8個の機能レジスタ4012を並べた構成となっており、これら全体が1つのアドレス空間として扱われる。第6図において、各レジスタ4010、4012内に記載されている数は、当該レジスタに割り当てられたアドレスを示す。具体的には、24個のレジスタ4010にアドレス「0」～「23」が割り振られ、8個の機能レジスタ4012にアドレス「24」～「31」が割り振られている。かかる構成により、レジスタ内のデータを読み書きするのと同じ方法で入出力データとアクセスできるようになっている。

第7(A)図に示すように、レジスタマトリックス401は、これら32個のレジスタ4010、4012に接続された1個のOR回路4014をさらに備えており、レジスタ4010、4012は、すべて、このOR回路4014を介して、Aラッチ402及びBラッチ403に接続されている。レジスタ4010、4012の内の一つのアドレスが選択されると、選択されたレジスタのみがその内容を入力し、選択されていないレジスタは全て0を入力する。全てのレジスタのORをとったものが、レジスタマトリックス401全体の出力として、Aラッチ402またはBラッチ403に出力される。

機能レジスタ4012は主に入出力に用いられる。具体的には、アドレス「29」の機能レジスタ4012は、対応する転送用シフトレジスタ410に接続されており、当該転送用シフトレジスタ410からの入力に用いられる。また、アドレス「24」の機能レジスタ4012は、上下左右の4近傍の演算素子400のレジスタマトリックス401への出力に用いられる。アドレス「24」～「27」の機能レジスタ4012は、それぞれ、当該4近傍の演算素子400のうちの対応する1個の演算素子400のレジスタマトリックス401からの入力に用いられる。アドレス「28」の機能レジスタ4012は、出力バス155に接続されており、制御回路15への出力アドレスとして用いられる。なお、全演算素子400(i, j)におけるレジスタマトリックス401のアドレス「28」が当該単一の出力バス155に接続されている。アドレス「30」の機能レジスタ4012は、y方向データバス18内の対応するy方向データライン180jに接続されており、当該y方向データライン180jからのデータの入力に用いられる。また、アドレス「31」の機能レジスタ4012は、x方向データバス17内の対応するx方向データライン170iに接続されており、当該x方向データライン170iからのデータの入力に用いられる。なお、アドレス「28」の機能レジスタ4012は、読み込み時には常に0を読み込むようになっている。制御回路15がレジスタマトリックス401へのアクセスとALU404の演算処理を制御することにより、演算素子400における演算及び入出力の全処理を制御する。例えば、転送用シフトレジスタ410からの入力をレジスタマトリックス401のアドレス「0」に書き込みたいときは、0(レジスタアドレス「28」)とセンサ入力(レジスタアドレス「29」)のORをとってレジスタアドレス「0」に書き込む命令を演算素子400に出力する。なお、制御回路15は、第7(B)図に示すように、基本クロックCLKの4倍を1サイクルとし、この間に、各種クロックCLK2, CLK4を供給しながら、Aラッチの読み込み、Bラッチの読み込み、演算結果の書き込みを順に行なう。かかる処理を複数サイクル繰り返し行うことで、レジスタマトリックス401への必要な入出力とALU404による演算を行う。

次に、第4図～第6図を参照して、本実施形態の動作について説明する。

まず、画像取り込み部11及び13の動作について説明する。

画像取り込み制御部300は、まず、リセット信号Rを有為に設定し、第5図に示す可変容量部222のSW11～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値をC₀に設定する。それと同時に、第4図に示す全てのスイッチ素子140を「OFF」状態とし、水平走査信号Viをいずれの受光素子120_{i, j}も選択しない状態に設定する。

この状態から、リセット指示信号Rを非有為に設定し、各積分回路220での積分動作を開始させる。

積分動作を開始させると、第4図に示すN2個の各水平受光部110_jにある第1番目の受光素子1201_{1, j}のスイッチ素子140のみを「ON」とする水平走査信号V₁が出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷Q₁は、電流信号として受光部11から出力される。つまり、光電変換素子の信号を読み出すことができる。電荷Q₁は容量値C₀に設定された可変容量部222に流入する。

次に、第5図により積分回路220内部の動作を説明する。容量制御機構240（第4図参照）は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号V_Sは、

$$V_S = Q / C_1$$

で示す電圧値として出力される。積分信号V_Sは、比較回路230に入力して、基準電圧値V_{REF}と比較される。ここで、V_SとV_{REF}の差が、分解能の範囲以下、すなわち±(C₄/2)以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。例えば、V_S>V_{REF}であれば、容量制御機構240は、更に、SW22を開放した後に、SW12を閉じる。この結果、積分信号V_Sは、

$$V_S = Q / (C_1 + C_2)$$

で示す電圧値となる。この積分信号V_Sは、後続の比較回路230（第4図）に入力して、基準電圧値V_{REF}と比較される。一方、V_S<V_{REF}であれば、容量制御機構240は、更に、SW11及びSW22を開放した後に、SW12及びSW21を閉じる。この結果、積分信号V_Sは、

$$V_S = Q / C_2$$

で示す電圧値となる。この積分信号V_Sは、後続の比較回路230に送出され、基準電圧値V_{REF}と比較される。

以後、同様にして、積分回路220→比較回路230→容量制御機構240→積分回路220のフィードバックループによって、積分信号V_Sが基準電圧値V_{REF}と分解能の範囲で一致するまで、比較及び容量設定（SW11～SW14及びSW21～SW24のON/OFF制御）を順次繰り返す。積分動作が終了した時点のSW11～SW14のON/OFF状態を示す容量指示信号C₁₁～C₁₄の値は、電荷Q₁の値に対応したデジタル信号であり、最上位ビット（MSB）の値がC₁₁、最下位ビット（LSB）の値がC₁₄である。こうしてA/D変換が行われ、これらの値をデジタル信号D1として、演算素子アレイ14に出力する。以上述べたように、この装置では、デジタル信号D1の各ビット値は、MSB側からLSB側へ1ビットずつ順に定まる。

このように、容量C₁～C₄が一つずつONされながら、比較電圧V_{REF}との比較が行われ、その比較結果が出力デジタル信号D1として出力される。すなわち、まず、容量C₁がオンとされ、積分信号V_S=Q/C₁となり、このV_SがV_{REF}と比較される。V_Sが大きければ“1”、小さければ“0”となり、これがMSB（最上位ビット）として出力される。次に、C₂がオンとされ、V_S=Q/(C₁+C₂)（MSB=1の時）、または、V_S=Q/C₂（MSB=0の時）が得られ、V_{REF}と比較される。V_Sが大きければ“1”、小さければ“0”となり、これが2ビット目として出力される。以上の処理が必要なビット数まで繰り返されることで、A/D変換が実行される。

第1番目の受光素子1201_{1, j}の光電出力に相当するデジタル信号の送出が終了すると、リセット信号Rが有為とされ、再び、非有為にして、可変容量部222_jの容量値を初期化した後に、各水平受光部110_jの第2番目の受光素子1202_{2, j}のスイッチ素子140のみを「ON」とする水平走査信号V₂を出力し、上述と同様の動作により、第2番目の受光素子1202_{2, j}の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、水平走査信号を切り替えて、全受光素子120の光電出力を読み出し、相当するデジタル信号を並列処理機構14に出力する。

10

20

30

40

50

次に、演算素子400の動作を第6図により説明する。

A/D変換されたデジタル信号は、転送用のシフトレジスタ410を介してそれぞれの受光素子120_{i, j}に対応する演算素子400_{i, j}のレジスタマトリックス401に送られる。この転送は、対応する転送用シフトレジスタライン420_j内において、転送用シフトレジスタ410に格納された信号を順次隣の画素の転送用シフトレジスタ410に転送することによって行われる。転送用シフトレジスタ410を備えることにより、演算素子400での演算処理と独立して転送用シフトレジスタでの転送処理を行うことができる。したがって、演算素子400において処理演算を行わせている間に、転送用シフトレジスタ410に次のデータを転送させるパイプライン的な処理が可能となり、演算素子400におけるより高速なフレームレートでの演算処理が可能となる。また、転送用シフトレジスタ410は、制御回路15からの転送開始の信号に基づいて、A/D変換されたデータの転送を開始し、(行方向の素子数×アナログレベル)分だけビットシフトによる転送を行った後、「データ転送完了」の信号を制御回路15に送り返すことで効率的な転送を行うことができる。このように、演算処理と転送処理を並列していわゆるパイプライン処理を行うことにより、両処理においてフレーム毎の処理の間の待ち時間を減らすことができ、より高速な画像処理が可能となる。

10

演算素子400内部での画像処理演算は、以下の通りである。すなわち、必要に応じて、各演算素子400間でそれぞれのレジスタマトリックス401に収容された信号の転送を行い、x方向データバス17、y方向データバス18と各バッファ19、20を介した制御回路15からのデータ、制御信号の転送を行った後、演算に必要な信号をレジスタマトリックス401からAラッチ402とBラッチ403に読み出し、ALU404で所定の演算を行い、計算結果を、レジスタマトリックス401及び出力バス155を介して、制御回路15に出力する。

20

並列処理機構14では、上記画像処理演算を全演算素子400において同時に並列処理するため、極めて高速の演算が可能である。制御回路15は、並列処理機構14の計算結果を、外部装置1000たる外部コンピュータや他の外部機器へ出力する。例えば、当該計算結果を、外部機器のオン/オフ信号として利用する。制御回路15は、また、並列処理機構14の計算結果に基づき、必要な演算を行った後その演算結果を外部回路1000に出力するようにしてもよい。

次に、第8図を参照して、本センサ装置10による画像入力から、転送、及び、演算終了までの一連の視覚センサ処理について説明する。

30

制御回路15のCPU150は、画像取り込み制御部300(第4図)を制御することで、リセット信号Rの有為/非有為と水平同期信号Viを順次切り替え、もって、受光素子アレイ11の各行j(j=1, …N2)において、各受光素子120_{i, j}(以下、受光素子120(x, y)という)から出力された画像データ(フレームデータ: 以下、I(x, y)という)を順番に対応するA/D変換器210_jを介して並列処理機構14に入力させる(S101)。

送られて来たデータを、対応する各行j内の転送用シフトレジスタ410にて、次々に転送させていく(S102)。そして、受光素子120に対応する位置(i, j)(以下、(x, y)という)の転送用シフトレジスタ410_{i, j}にデータが転送されるまでこの転送処理を続ける(S103)。

40

転送が終了したら、転送用シフトレジスタ410から対応する演算素子400_{i, j}(以下、演算素子400(x, y)という)のレジスタマトリックス401へと、当該画素のデータI(x, y)を転送する(S104)。具体的には、第6図に示されるように、複数ビット(この場合、4ビット)で構成されている転送用シフトレジスタ410からレジスタマトリックス401へと1ビットずつ順番にデータを格納していく。次に、S110において、各演算素子400を制御することにより、必要な並列演算処理を行う。

転送用シフトレジスタ410が各演算素子400へのデータ転送を完了すると、各演算素子400を制御してS110の並列演算処理を行っている間に次のフレームの処理へと移り(S105)、S101~S103を実施して、受光素子アレイ11とA/D変換器ア

50

レイ 13、及び、転送用シフトレジスタ 410 を制御して、次のフレームの入力／転送動作を行う。一方、各演算素子 400 を用いた並列演算処理についても、1 フレームの処理 (S110) が終了すると、次のフレームの処理へと移行し (S106)、次のフレームの画像データが各転送用シフトレジスタ 410 から演算素子 400 のレジスタマトリックス 401 へと転送され (S104)、当該次のフレームの並列演算処理を開始する (S110)。これを繰り返すことにより、受光素子アレイ 11 と A/D 変換器アレイ 13、及び、転送用シフトレジスタ 410 が次のフレームのデータを入力／転送している間 (S101～S103) に演算素子 400 を用いた演算処理 (S110) を行うことができ、それぞれ無駄な待ち時間を減らすことができる。

次に、演算素子 400 を用いた並列画像処理 (S110) の実行動作を、いくつかの画像処理について詳細に説明する。なお、これら画像処理工程では、制御回路 15 の CPU 150 が全演算素子 400 を同時に並列制御するようになっており、演算処理が非常に高速に行われる。

(実施例 1)

本実施形態では、x 方向データバス 17、y 方向データバス 18 を介して外部から高速で演算データあるいは演算制御データを各演算素子に供給することができる。したがって、S110 の演算の際に各演算素子 400 において画像情報以外のデータを必要とするような演算処理を行う場合も、極めて高速の演算が可能となる。例えば、画像処理工程 (S110) において、位置情報データを必要とする「重心演算」を行う場合、この位置情報を外部からデータとして供給して重心演算処理を行う。以下、この重心演算処理を画像処理工程 (S110) にて実行する場合の動作を詳細に説明する。

なお、制御回路 15 のメモリ 151 は、各画素の x 方向位置情報 (以下、単に「x アドレス」と呼ぶ) と y 方向位置情報 (以下、単に「y アドレス」と呼ぶ) とを予め格納している。具体的には、x アドレスとして、「1」～「N1」の値を示す 2 進数データを格納し、y アドレスとして、「1」～「N2」の値を示す 2 進数データを格納している。

ここで、重心演算とは、x 方向および y 方向のそれぞれについての重みづけ総和の演算が基本となる演算である。重心座標 G_c は、画像上の各画素位置 (x、y) の画像強度のデータを $I(x, y)$ として以下の計算式 (1) により求められる。

$$G_c = \left(\frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{I(x, y) \times x\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x, y)}, \frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{I(x, y) \times y\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x, y)} \right) \quad (1)$$

つまり、重心演算を行うためには、各演算素子 400 において当該画素のデータ $I(x, y)$ にその位置情報 (x、y) を掛け合わせてその和を求める必要があるため、予め画素の位置情報 (x、y) を各演算素子に転送しておく。

重心の x 座標を求める際には、画像の x 方向の位置情報と画像強度 $I(x, y)$ とを掛け合わせて x 方向モーメント $x \cdot I(x, y)$ を求め、さらに、全画素の x 方向モーメントを足し合わせて得られる x 方向モーメント総和 $\sum \sum x \cdot I(x, y)$ を画像強度総和 $\sum \sum I(x, y)$ で割ることで、重心の x 座標を求めることができる。なお、画像強度総和 $\sum \sum I(x, y)$ は、全画素の画像強度を足し合わせて求めることができる。重心の y 座標についても、同様に、各画素について画像の y 方向の位置情報と画像強度 $I(x, y)$ とを掛け合わせて y 方向モーメント $y \cdot I(x, y)$ を求め、さらに、全画素の y 方向モーメントを足し合わせて得られる y 方向モーメント総和 $\sum \sum y \cdot I(x, y)$ を画像強度総和 $\sum \sum I(x, y)$ で割ることで得られる。

したがって、入力画像の重心位置を求めるためには、第 9 図に示すような重心演算処理 (S300) を、画像処理工程 S110 (第 8 図) にて行えば良い。

当該重心演算処理 (S300) では、まず、S350 にて画像強度総和 $\sum \sum I(x, y)$ を求め、次に、S400 にて、重心の x 座標を求め、さらに、S500 にて、重心の y 座

10

20

30

40

50

標を求める。

なお、重心演算処理（S300）がスタートした際には、入力画像Dの各画素の画像データ $I(x, y)$ は、既に、S104（第8図）にて、転送用シフトレジスタ410から各演算素子400（ x, y ）のレジスタマトリックス401へ転送され、当該レジスタマトリックス401のある領域へ格納されている。

まず、画像強度総和 $\Sigma \Sigma I(x, y)$ の演算処理（S350）の処理内容について、第10（A）図を参照して、詳細に説明する

当該画像強度総和演算処理（S350）では、CPU150は、まず、S360にて、画像強度値 $I(x, y)$ の総和を求めるための総和演算処理を行う。

以下、この総和演算処理（S360）について、第10（B）図を参照して詳細に説明する。

まず、総和を求めようとする目的データ（この場合、画像データ $I(x, y)$ ）を、レジスタマトリックス401からAラッチ402に読み込ませる（S1002）。すなわち、レジスタマトリックス401に格納されている $I(x, y)$ のデータを下位ビットからAラッチ402に転送する。次に、各演算素子400（ x, y ）は、それぞれ、 x 方向において隣接する画素位置（ $x+1, y$ ）に存在する演算素子400（ $x+1, y$ ）に格納されている目的データ（この場合、画像データ $I(x+1, y)$ ）を、レジスタマトリックス401間の転送によって、該演算素子400（ x, y ）のレジスタマトリックス401に転送・格納する（S1004）。具体的には、レジスタマトリックス401の近傍転送機能を利用して隣の画素に格納されている画像データ値を空いている領域に転送する。次に、当該転送されてきた隣接画素（ $x+1, y$ ）の目的データ（画像データ $I(x+1, y)$ ）をBラッチ403に読み込み（S1006）、Aラッチ402とBラッチ403の値の加算を行い（S1008）、加算結果をレジスタマトリックス401を介して（S1010）Aラッチ402へと格納する（S1012）。これにより、各画素400（ x, y ）には、2画素分の目的データ（この場合、画像データ $I(x, y)$ と $I(x+1, y)$ ）の和が格納されることになる。

次に、 x 方向の総和を取るための初期設定として $i=1$ とした（S1014）後、各演算素子400（ x, y ）は、S1018において、 x 方向において2つ目に隣接する画素位置（ $x+n, y$ ）（ここで、 $n=2^i$ 、この場合、 $n=2^1=2$ ）の演算素子400（ $x+2, y$ ）に現在収容されている計算結果（この場合、 $I(x+2, y)+I(x+3, y)$ ）を、 x 方向に隣接するレジスタマトリックス401間の転送を2回繰り返すことにより、該演算素子400（ x, y ）へ転送格納する（S1018）。次に、当該転送されてきた2つ目に隣接する画素（ $x+2, y$ ）の計算結果データをBラッチ403に読み込み（S1020）、Aラッチ402とBラッチ403の値の加算を行い（S1022）、加算結果をレジスタマトリックス401を介して（S1024）Aラッチ402へと格納する（S1026）。これにより、各画素400（ x, y ）には、隣接する4画素の画像データ $I(x, y)$ 、 $I(x+1, y)$ 、 $I(x+2, y)$ 、 $I(x+3, y)$ の和が格納されることになる。

次に、 i を1インクリメントし（S1028）、得られた $n=2^i$ が1行画素数の半分の値である $N1/2$ を越えたか否かを判断し（S1030）、 $N1/2$ を越えていなければ（S1030でNo）、S1018に戻る。S1018で、各演算素子400（ x, y ）は、 n 個目に隣接する位置（ $x+n, y$ ）（ $n=2^i$ ；この場合、 $n=2^2=4$ ）の演算素子400に現在収容されている計算結果データ（画像データの加算結果）を、 x 方向に隣接するレジスタマトリックス401間の転送を n 回（この場合、4回）繰り返すことにより、該演算素子400（ x, y ）へ転送し、Bラッチ403に読み込み（S1020）、同様の加算を行う（S1022～S1026）。

続いて、 i を1インクリメントしつつ（S1028）、S1018～S1030の処理を繰り返すことにより、8個（ $n=2^3$ ）隣、16個（ $n=2^4$ ）隣、32個（ $n=2^5$ ）隣、64（ $n=2^6$ ）隣、…と進めて、（ $N1/2$ ）隣まで加算を繰り返す。この結果、各行における全ての画像強度の加算結果 $I(1, y)+I(2, y)+\dots+I(N1, y)$

10

20

30

40

50

）が、当該行の先頭にある演算素子400（1，y）のAラッチ402に得られる（S1026）。nが $N1/2$ を越えると（S1030でYes）、S1032に移行する。

S1032以降では、各行毎に求められた画像強度加算結果を、上記と同様の手法を用いて、加算することで、（1）式に示した分母である画像強度総和 $\Sigma \Sigma I(x, y)$ を得る。

具体的には、初期設定として $j=0$ とした（S1032）後、各演算素子400（x，y）は、y方向において隣接する位置（x，y+m）（ここで、 $m=2^j$ 、この場合、 $m=2^0=1$ ）に存在する演算素子400（x，y+m）（この場合、400（x，y+1））の加算結果を、レジスタマトリックス401間の転送にて、該演算素子400（x，y）のレジスタマトリックス401に格納する（S1034）。次に、当該隣接画素（x，y+1）の演算結果をBラッチ403に読み込み（S1036）、Aラッチ402とBラッチ403の値の加算を行い（S1038）、加算結果をレジスタマトリックス401に記憶する（S1040）。これにより、各行の先頭にある演算素子400（1，y）には、2行分の演算結果の和が格納されることになる。

次に、jを1インクリメントし（S1044）、 $m=2^j$ が1列画素数の半分の値である $N2/2$ を越えたか否かを判断し（S1046）、 $N2/2$ を越えていなければ（S1046でNo）、S1038で得られた加算結果をレジスタマトリックス401からAラッチ402へ転送した（S1048）後、S1034に戻る。

次に、各演算素子400（x，y）は、位置（x，y+m）（ $m=2^j$ ；この場合、位置（x，y+2））の演算素子400に収容されている加算結果を、隣接するレジスタマトリックス401間の転送を2回繰り返すことにより、該演算素子400（x，y）へ転送し（S1034）、Bラッチ403に読み込み（S1036）、同様の加算を行う（S1038～1040）。

続いて、jを1インクリメントしつつ（S1044）、S1046～S1040の処理を繰り返すことにより、4つ（ $m=2^2$ ）隣、8つ（ $m=2^3$ ）隣、16個（ $m=2^4$ ）隣、32個（ $m=2^5$ ）隣、64（ $m=2^6$ ）隣、…と進めて、（ $N2/2$ ）隣まで加算を繰り返すことにより、全画素の画像強度の加算結果 $\Sigma \Sigma I(x, y)$ が、演算素子アレイ40の先頭にある演算素子400（1，1）のレジスタマトリックス401に得られる（S1040）。mが $N2/2$ を越えると（S1046でYes）、総和演算処理は終了する。

総和演算処理（S360）が終了すると、目的画素位置（x1，y1）（この場合、先頭画素位置（1，1））を選択するための画素選択処理（S370）に移行する（第10（A）図）。

以下、画素選択処理（S370）について、第10（C）図を参照して、詳細に説明する。

画素選択処理においては、CPU150は、まず、S1102において、x方向データバス17のうち、選択しようとする目的画素位置（x1，y1）のxアドレス位置x1に対応するx方向データライン170i（以下、「x方向データライン170x」という）にデータ（1）を転送し、残りの全てのx方向データライン170xにデータ（0）を転送する。この場合、選択しようとする目的画素位置たる先頭画素位置（x1（=1），y1（=1））のxアドレス位置x1に対応するx方向データライン170x（ $x=x1=1$ ）にデータ（1）を転送し、残りの全てのx方向データライン170x（ $x \neq x1$ ）にデータ（0）を転送する。

次に、各演算素子400（x，y）のレジスタマトリックス401に、対応するx方向データライン170xからの転送データを格納させる（S1104）。この結果、全演算素子400のうち、xアドレスがx1（=1）の演算素子400（1，y）（ $1 \leq y \leq N2$ ）のレジスタマトリックス401にのみ、データ（1）が格納され、それ以外の演算素子400のレジスタマトリックス401にはデータ（0）が格納される。次に、このデータをAラッチ402に転送する（S1106）。

次に、CPU150は、S1108において、y方向データバス18のうち、目的画素位

10

20

30

40

50

置 (x_1, y_1) の y アドレス位置 y_1 に対応する y 方向データライン 180_j (以下、「 y 方向データライン 180_y 」という) にデータ (1) を転送し、残りの全ての y 方向データライン 180_y にデータ (0) を転送する。この場合、選択しようとする目的画素位置たる先頭画素位置 $(x_1 (=1), y_1 (=1))$ の y アドレス位置 y_1 の y 方向データライン 180_y ($y = y_1 = 1$) にデータ (1) を転送し、残りの全ての y 方向データライン 180_y ($y \neq y_1$) にデータ (0) を転送する。

次に、各演算素子 $400(x, y)$ のレジスタマトリックス 401 に、対応する y 方向データライン 180_y からの転送データを格納させる ($S1110$)。この結果、全演算素子 $400(x, y)$ のうち、 y アドレスが $y_1 (=1)$ の演算素子 $400(x, 1)$ ($1 \leq x \leq N1$) のレジスタマトリックス 401 にのみデータ (1) が格納され、それ以外の演算素子 400 のレジスタマトリックス 401 にはデータ (0) が格納されることになる。次に、このデータを B ラッチ 403 に転送する ($S1112$)。

ついで、各演算素子 $400(x, y)$ にて、 $ALU404$ により、 A ラッチ 402 の値と B ラッチ 403 の値の乗算を行い ($S1114$)、演算結果をレジスタマトリックス 401 に格納する ($S1116$)。この結果、目的アドレス (x_1, y_1) の演算素子 $400(x_1, y_1)$ (この場合、先頭演算素子 $400(1, 1)$) にのみ、乗算結果 1 が設定され、それ以外の演算素子 400 では、乗算結果 0 が設定されることになる。こうして、画素選択処理 ($S370$) が終了する。

画素選択処理 ($S370$) が終了すると、 $S372$ に移行する (第 $10(A)$ 図)。 $S372$ では、画素選択処理 ($S370$) にて得られた乗算結果を、レジスタマトリックス 401 から A ラッチ 402 に転送する ($S372$)。次に、総和演算処理 ($S360$) にて最終的に求められた演算結果を、やはりレジスタマトリックス 401 から B ラッチ 403 に転送する ($S374$)。ついで、 $ALU404$ にて、 A ラッチ 402 の値と B ラッチ 403 の値の乗算を行う ($S376$)。この結果、先頭アドレス $(1, 1)$ の演算素子 400 には、総和演算結果 $\Sigma \Sigma I(x, y)$ と (1) との乗算結果として、画像強度総和 $\Sigma \Sigma I(x, y)$ が求められる。一方、それ以外の演算素子 400 では、総和演算結果と 0 (ゼロ) との乗算の結果として、ゼロ (0) が得られる。 $S378$ にて、当該乗算結果をレジスタマトリックス 401 に格納し、 $S380$ にて、当該乗算結果を、レジスタマトリックス 401 の出力アドレス「 28 」より出力バス 155 に出力する。この結果、全演算素子 400 での $S376$ の乗算結果が単一の出力バス 155 に出力されることになる。ここで、先頭位置の演算素子 $400(1, 1)$ のみが乗算結果として画像強度総和 $\Sigma \Sigma I(x, y)$ を出力し、残りの全ての演算素子は乗算結果としてゼロ (0) を出力する。したがって、出力バス 155 は、これら全演算素子 400 からの演算結果の OR 論理演算結果たる画像強度総和 $\Sigma \Sigma I(x, y)$ を制御回路 15 に転送することになる。 $CPU150$ は、受け取った画像強度総和 $\Sigma \Sigma I(x, y)$ をメモリ 151 に記憶する。

次に、重心の x 方向座標の演算処理 ($S400$) の処理内容について、第 11 図を参照して、詳細に説明する。

$CPU150$ は、まず、 $S402$ にて、重心演算に必要なデータである各画素の x 方向位置情報 (x アドレスデータ “ x ”) を、メモリ 151 から読みだし、各演算素子 400 に転送する。この転送は、各 x アドレスデータ “ x ” を x 方向のデータバッファ 19 に一旦格納し、 x 方向データバス 17 の対応するデータライン 170_x を用いてビットシリアル方式によって下位ビットより 1 ビットずつ順番に転送することで行う。ここで、 x 方向データバス 17 の各 x 方向データライン 170_x に接続されている画素の x アドレスデータ “ x ” は、互いに等しく、かつ、 $1 \sim N1$ のいずれかの値の 2 進数データである。したがって、各データライン 170_x では、対応する x アドレス “ x ” の 2 進数データを、その下位ビットから順に $\log_2(N1)$ ビット転送することにより、対応する x アドレスの全演算素子 $400(x, y)$ に転送することが可能である。

各演算素子 $400(x, y)$ では、転送された x アドレスデータ “ x ” がそのレジスタマトリックス 401 に格納され ($S404$)、その後、下位ビットから B ラッチ 403 へと読み込まれる ($S406$)。一方、画像データ $I(x, y)$ が、再び、レジスタマトリッ

10

20

30

40

50

クス401からAラッチ402に読み込まれる(S408)。ALU404で、Aラッチ402の値とBラッチ403の値の乗算を行い(S410)、演算結果たるx方向モーメント値($x \cdot I(x, y)$)が、レジスタマトリックスに格納される(S412)。次に、S420にて、全画素におけるx方向モーメント値($x \cdot I(x, y)$)の総和を求めるための総和演算処理を行う。

当該総和演算処理(S420)では、第10(B)図を参照して説明した総和演算処理を、x方向モーメント値($x \cdot I(x, y)$)を目的データとして行う。

具体的には、S1002にて、各演算素子において、総和を求めたい目的データであるx方向モーメント値($x \cdot I(x, y)$)を、レジスタマトリックス401からAラッチ402に転送する。次に、S1004にて、各演算素子400(x, y)に、x方向において隣接する位置(x+1, y)の演算素子400(x+1, y)のx方向モーメント値($(x+1) \cdot I(x+1, y)$)を転送する。当該x方向モーメント値($(x+1) \cdot I(x+1, y)$)をBラッチへ格納し(S1006)、AラッチとBラッチの値を加算することにより、当該隣り合う2つの画素におけるx方向モーメント値の加算を行い、加算結果をレジスタマトリックス401を介してAラッチ402へと格納する(S1008~S1012)。この結果、各画素400(x, y)には、2画素分のx方向モーメント値の和($x \cdot I(x, y) + (x+1) \cdot I(x+1, y)$)が格納されることになる。

次に、初期設定として $i=1$ とした(S1014)後、各演算素子400(x, y)は、S1018~S1026において、格納している加算結果($x \cdot I(x, y) + (x+1) \cdot I(x+1, y)$)と、x方向において2つ目に隣接する画素位置(x+n, y)(ここで、 $n=2^i$ 、この場合、 $n=2^1=2$)の演算素子400(x+2, y)に格納されている加算結果($(x+2) \cdot I(x+2, y) + (x+3) \cdot I(x+3, y)$)とを加算する転送・加算処理を行う。

続いて、iを1インクリメントしつつ(S1028)、S1018~S1030の処理を繰り返すことにより、4個($n=2^2$)隣、8個($n=2^3$)隣、16個($n=2^4$)隣、32個($n=2^5$)隣、64($n=2^6$)隣、…と進めて、(N1/2)隣まで転送・加算を繰り返す。その結果、各行における全てのx方向モーメント値の加算結果 $1 \cdot I(1, y) + 2 \cdot I(2, y) + \dots + N1 \cdot I(N1, y)$ が、当該行の先頭にある演算素子400(1, y)に得られる。

次に、初期設定として $j=0$ とした(S1032)後、S1034~S1040にて、各演算素子400(x, y)は、その加算結果と、y方向において隣接する位置(x, y+m)(ここで、 $m=2^j$ 、この場合、 $m=2^j=1$)の演算素子400(x, y+m)(この場合、400(x, y+1))の加算結果とを、加算する転送・加算処理を行う。

続いて、jを1インクリメントしつつ(S1044)、S1046~S1048の処理を繰り返すことにより、2つ($m=2^1$)隣、4つ($m=2^2$)隣、8つ($m=2^3$)隣、16個($m=2^4$)隣、32個($m=2^5$)隣、64($m=2^6$)隣、…と進めて、(N2/2)隣まで転送・加算を繰り返す。この結果、全画素のx方向モーメント値の加算結果 $\sum x \cdot I(x, y)$ が、演算素子アレイ40の先頭にある演算素子400(1, 1)に得られ、総和演算処理(S420)が終了する。

総和演算処理(S420)が終了すると、S430に移行する(第11図)。

S430では、先頭画素位置(1, 1)を選択するための画素選択処理を行う。

当該画素選択処理では、第10(C)図を参照して説明した画素選択処理と同一の処理を行う。その結果、S1114~S1116にて、先頭演算素子400(1, 1)にのみ乗算結果(1)が設定され、他の演算素子400では、乗算結果(0)が設定される。

画素選択処理(S430)が終了すると、S432に移行する(第11図)。S432では、画素選択処理(S430)にて得られた乗算結果を、レジスタマトリックス401からAラッチ402に転送する。次に、総和演算処理(S420)にて最終的に求められた総和演算結果を、やはりレジスタマトリックス401からBラッチ403に転送する(S434)。ついで、ALU404にて、Aラッチ402の値とBラッチ403の値の乗算を行う(S436)。この結果、先頭アドレス(1, 1)の演算素子400には、総和演

10

20

30

40

50

算結果 $\sum \sum x \cdot I(x, y)$ と (1) との乗算結果として、 x 方向モーメント総和 $\sum \sum x \cdot I(x, y)$ が求められる。一方、他の演算素子 400 では、総和演算結果と 0 (ゼロ) との乗算の結果として、ゼロ (0) が得られる。次に、S438 にて、当該乗算結果をレジスタマトリックス 401 に格納し、S440 にて、当該乗算結果を、レジスタマトリックス 401 の出力アドレス「28」より出力バス 155 に出力する。この結果、全演算素子 400 での S436 の乗算結果が出力バス 155 に出力されることになる。ここで、先頭位置の演算素子 400 (1, 1) のみが乗算結果として x 方向モーメント総和 $\sum \sum x \cdot I(x, y)$ を出力し、残りの全ての演算素子は乗算結果としてゼロ (0) を出力する。したがって、出力バス 155 は、これら全演算素子 400 からの演算結果の OR 論理演算結果たる x 方向モーメント総和 $\sum \sum x \cdot I(x, y)$ を制御回路 15 に転送することになる。

10

次に、S450 において、CPU150 は、当該受け取った x 方向モーメント総和 $\sum \sum x \cdot I(x, y)$ を画像強度総和 $\sum \sum I(x, y)$ で除算することにより、重心の x 座標を求める。

次に、処理は、S500 へ以降し、S500 において、重心の y 座標を、重心の x 座標を求めたのと同様な方法で求める。

すなわち、第 12 図に示すように、まず、S502 にて、CPU150 は、各画素の y 方向位置情報 (x アドレスデータ “ y ”) をメモリ 151 から読みだし、各演算素子 400 に転送する。この転送は、各 y アドレスデータ “ y ” を y 方向のデータバッファ 20 に一旦格納し、 y 方向データバス 18 の対応するデータライン 180y を用いてビットシリアル方式によって下位ビットより 1 ビットずつ順番に転送することで行う。ここで、 y 方向データバス 18 の各 y 方向データライン 180y に接続されている画素の y アドレスデータ “ y ” は、互いに等しく、かつ、1 ~ N2 のいずれかの値の 2 進数データである。したがって、各データライン 180y では、対応する y アドレス “ y ” の 2 進数データを、その下位ビットから順に $\log_2(N2)$ ビット転送することにより、対応する y アドレスの全演算素子 400 (x, y) に転送することが可能である。

20

各演算素子 400 (x, y) では、転送された y アドレスデータ “ y ” がそのレジスタマトリックス 401 に格納され (S504)、その後、下位ビットから B ラッチ 403 へと読み込まれる (S506)。一方、画像データ $I(x, y)$ が、再び、レジスタマトリックス 401 を通じて A ラッチ 402 に読み込まれる (S508)。ALU404 で、A ラッチ 402 の値と B ラッチ 403 の値の乗算を行い (S510)、演算結果たる y 方向モーメント値 ($y \cdot I(x, y)$) をレジスタマトリックスに格納する (S512)。

30

次に、S520 にて、全画素における y 方向モーメント値 ($y \cdot I(x, y)$) の総和を求めるための総和演算処理を行う。

当該総和演算処理 (S520) では、第 10 (B) 図を参照して説明した総和演算処理を、 y 方向モーメント値 ($y \cdot I(x, y)$) を目的データとして行う。

具体的には、S1002 にて、各演算素子において、総和を求めたい目的データである y 方向モーメント値 ($y \cdot I(x, y)$) を、レジスタマトリックス 401 から A ラッチ 402 に転送する。次に、S1004 にて、各演算素子 400 (x, y) に、 x 方向において隣接する位置 ($x+1, y$) の演算素子 400 ($x+1, y$) の y 方向モーメント値 ($y \cdot I(x+1, y)$) を転送する。当該 y 方向モーメント値 ($y \cdot I(x+1, y)$) を B ラッチへ格納し (S1006)、A ラッチと B ラッチの値を加算することにより、当該隣り合う 2 つの画素における y 方向モーメント値の加算を行い、加算結果をレジスタマトリックス 401 を介して A ラッチ 402 へと格納する (S1008 ~ S1012)。この結果、各画素 400 (x, y) には、2 画素分の y 方向モーメント値の和 ($y \cdot I(x, y) + y \cdot I(x+1, y)$) が格納されることになる。

40

次に、初期設定として $i=1$ とした (S1014) 後、各演算素子 400 (x, y) は、S1018 ~ S1026 において、格納している加算結果 ($y \cdot I(x, y) + y \cdot I(x+1, y)$) と、 x 方向において 2 つ目に隣接する画素位置 ($x+n, y$) (ここで、 $n=2^i$ 、この場合、 $n=2^1=2$) の演算素子 400 ($x+2, y$) に格納されている

50

加算結果 $(y \cdot I(x+2, y) + y \cdot I(x+3, y))$ とを加算する転送・加算処理を行う。

続いて、 i を 1 インクリメントしつつ (S1028)、S1018～S1030 の処理を繰り返すことにより、4 個 ($n=2^2$) 隣、8 個 ($n=2^3$) 隣、16 個 ($n=2^4$) 隣、32 個 ($n=2^5$) 隣、64 個 ($n=2^6$) 隣、…と進めて、 $(N1/2)$ 隣まで転送・加算を繰り返す。その結果、各行における全ての y 方向モーメント値の加算結果 $y \cdot I(1, y) + y \cdot I(2, y) + \dots + y \cdot I(N1, y)$ が、当該行の先頭にある演算素子 400 (1, y) に得られる。

次に、初期設定として $j=0$ とした (S1032) 後、S1034～S1040 にて、各演算素子 400 (x, y) は、その加算結果と、 y 方向において隣接する位置 ($x, y+m$) (ここで、 $m=2^j$ 、この場合、 $m=2^j=1$) の演算素子 400 ($x, y+m$) (この場合、400 ($x, y+1$)) の加算結果とを、加算する転送・加算処理を行う。この結果、各行の先頭位置の演算素子 400 (1, y) には、2 行分の加算結果の和 $(y \cdot I(1, y) + y \cdot I(2, y) + \dots + y \cdot I(N1, y)) + ((y+1) \cdot I(1, y+1) + (y+1) \cdot I(2, y+1) + \dots + (y+1) \cdot I(N1, y+1))$ が得られる。

10

続いて、 j を 1 インクリメントしつつ (S1044)、S1046～S1048 の処理を繰り返すことにより、2 個 ($m=2^1$) 隣、4 個 ($m=2^2$) 隣、8 個 ($m=2^3$) 隣、16 個 ($m=2^4$) 隣、32 個 ($m=2^5$) 隣、64 個 ($m=2^6$) 隣、…と進めて、 $(N2/2)$ 隣まで転送・加算を繰り返す。この結果、全画素の y 方向モーメント値の加算結果 $\sum \sum y \cdot I(x, y)$ が、演算素子アレイ 40 の先頭にある演算素子 400 (1, 1) に得られ、総和演算処理 (S520) が終了する。

20

総和演算処理 (S520) が終了すると、S530 に移行する (第 12 図)。

S530 では、先頭画素位置 (1, 1) を選択するための画素選択処理を行う。

当該画素選択処理では、第 10 (C) 図を参照して説明した画素選択処理と同一の処理を行う。その結果、S1114～S1116 にて、先頭演算素子 400 (1, 1) にのみ乗算結果 (1) が設定され、他の演算素子 400 では、乗算結果 (0) が設定される。

画素選択処理 (S530) が終了すると、S532 に移行する (第 12 図)。S532 では、画素選択処理 (S530) にて得られた乗算結果を、レジスタマトリックス 401 から A ラッチ 402 に転送する。次に、総和演算処理 (S520) にて最終的に求められた総和演算結果を、やはりレジスタマトリックス 401 から B ラッチ 403 に転送する (S534)。ついで、ALU 404 にて、A ラッチ 402 の値と B ラッチ 403 の値の乗算を行う (S536)。この結果、先頭アドレス (1, 1) の演算素子 400 には、総和演算結果 $\sum \sum y \cdot I(x, y)$ と (1) との乗算結果として、 y 方向モーメント総和 $\sum \sum y \cdot I(x, y)$ が求められる。一方、他の演算素子 400 では、総和演算結果と 0 (ゼロ) との乗算の結果として、ゼロ (0) が得られる。次に、S538 にて、当該乗算結果をレジスタマトリックス 401 に格納し、S540 にて、当該乗算結果を、レジスタマトリックス 401 の出力アドレス「28」より出力バス 155 に出力する。この結果、全演算素子 400 での S536 の乗算結果が出力バス 155 に出力されることになる。ここで、先頭位置の演算素子 400 (1, 1) のみが乗算結果として y 方向モーメント総和 $\sum \sum y \cdot I(x, y)$ を出力し、残りの全ての演算素子は乗算結果としてゼロ (0) を出力する。したがって、出力バス 155 は、これら全演算素子 400 からの演算結果の OR 論理演算結果たる y 方向モーメント総和 $\sum \sum y \cdot I(x, y)$ を制御回路 15 に転送することになる。

30

40

次に、S550 において、CPU 150 は、当該受け取った y 方向モーメント総和 $\sum \sum y \cdot I(x, y)$ を画像強度総和 $\sum \sum I(x, y)$ で除算することにより、重心の x 座標を求める。

(実施例 2)

本システムの並列演算方法は、すべての演算素子において同等の演算を行う SIMD と呼ばれる方式であるが、場合によっては、各画素ごとに違う演算をさせたり、ある画素のみ

50

に特別な演算を行わせることができれば、より柔軟性のある処理が可能となる。ここで、本実施形態によれば、データバス17、18を利用することで、各演算素子400に対して異なった演算を行わせることが可能となっている。x方向データバス17およびy方向データバス18を用いて、各演算素子400に演算制御データを転送することができるからである。

例えば、ある画素のみに特別な演算を行わせたい場合、x方向データバス17とy方向データバス18から、目的の画素（例えば、 (x_1, y_1) ）を指定し、 (x_1, y_1) のラインにのみ1、他には0を転送し、この値と演算素子400が保持している値を掛け合わせた後に画像処理演算を行えば、位置 (x_1, y_1) の演算素子400のみで画像処理演算がなされることになる。

10

具体的には、第8図の画像処理工程S110において、第13図のような所望位置演算処理（S600）を行うことが可能である。

なお、所望位置演算処理（S600）がスタートした際には、入力画像Dの各画素の画像データI（x、y）は、既に、S104（第8図）にて、転送用シフトレジスタ410から各演算素子400（x、y）のレジスタマトリックス401へ転送され、当該レジスタマトリックス401のある領域へ格納されている。

当該所望位置演算処理（S600）では、まず、S610において、所望の画素位置 (x_1, y_1) を選択するための画素選択処理を行う。当該画素選択処理（S610）では、当該所望の画素位置 (x_1, y_1) を選択するよう、第10（C）図を参照して説明した画素選択処理を行う。

20

具体的には、CPU150は、S1102～S1106において、目的のxアドレス x_1 のx方向データライン170x（ $x = x_1$ ）にデータ（1）を転送し、残りの全てのx方向データライン170x（ $x \neq x_1$ ）にデータ（0）を転送することで、全演算素子400のうち、xアドレスが x_1 の演算素子400（ x_1, y ）（ $1 \leq y \leq N_2$ ）にのみデータ（1）をセットし、それ以外の演算素子400にデータ（0）をセットする。次に、S1108～S1112において、目的のyアドレス y_1 のy方向データライン180y（ $y = y_1$ ）にデータ（1）を転送し、残りの全てのy方向データライン180y（ $x \neq x_1$ ）にデータ（0）を転送することで、全演算素子400のうち、yアドレスが y_1 の演算素子400（x、 y_1 ）（ $1 \leq x \leq N_1$ ）にのみデータ（1）をセットし、それ以外の演算素子400にデータ（0）をセットする。

30

ついで、各演算素子400（x、y）にて、上記x方向データライン170xからの転送データとy方向データライン180yからの転送データとの乗算を行い（S1114）、乗算結果をレジスタマトリックス401に格納して（S1116）、画素選択処理（S610）を終了する。この結果、所望のアドレス (x_1, y_1) の演算素子400（ x_1, y_1 ）のみで乗算結果が1となり、それ以外の演算素子400では乗算結果は0となる。選択処理（S610）が終了すると、S612に移行する（第13図）。S612では、上記画素選択処理（S610）の乗算結果をレジスタマトリックス401からAラッチ402に転送する。次に、演算に供しようとする目的のデータ（例えば、画像データI（x、y））を、レジスタマトリックス401からBラッチ403に転送し（S614）、Aラッチ402の値とBラッチ403の値の乗算を行う（S616）。この結果、目的の画素位置 (x_1, y_1) の演算素子400でのみ目的データそのものが得られ、それ以外の演算素子400では、ゼロ（0）データが得られる。当該乗算結果をレジスタマトリックス401に格納した（S618）のち、S620にて、当該乗算結果に対する所望の演算処理を行う。具体的には、S616の乗算結果をレジスタマトリックス401からAラッチ402またはBラッチ403に転送し、ALU404により所定の演算処理を行う。この結果、目的の画素位置 (x_1, y_1) のみで、目的のデータに対する演算処理が行われ、当該画素位置以外では、ゼロ（0）データに対して演算処理が行われることになる。演算結果は、出力バス155を介して制御回路15に出力される。

40

なお、S620では、演算を行わず、S616で得られた乗算結果を、そのまま、出力アドレス「28」から出力バス155を介して制御回路15に出力するようにしてもよい。

50

このようにすれば、所望のアドレス（ $x1$ ， $y1$ ）で得られた所望のデータ（例えば、画像データ $I(x, y)$ ）のみを制御回路 15 に出力することができる。

また、上記所望位置演算処理（S600）を、その演算処理（S620）の内容を変更しつつ個々の演算素子（画素）を選択しながら行えば、個々の演算素子に異なった演算処理を実行させることもできる。

さらに、画素選択処理（S610）では、単一の画素のみを選択せず、複数の画素を選択するようにしてもよい。すなわち、当該複数の画素の x アドレス及び y アドレスに対応する x 方向データライン 170 x と y 方向データライン 180 y にデータ（1）を転送し、それ以外のデータラインにデータ（0）を転送するようにしてもよい。選択された複数の画素のみで、S1114（第10（C）図）の乗算結果が1となり、その結果、S616（第13図）での乗算結果として目的データが得られる。従って、S620では、当該選択された複数の画素において目的のデータに対する所望の演算を行うことができる。

S620で行われる演算としては、後述するエッジ抽出処理等、様々な演算処理を行うことができる。

（実施例3）

また、データバス17，18を用いることで、全演算素子400で所定の演算を行なった後、ある1つの演算素子400のレジスタマトリックス401の中身（演算結果）だけを選択的に取り出すことも可能である。

具体的には、第8図の画像処理工程S110において、第14図のような演算一抽出処理（S650）を行うことが可能である。

なお、演算一抽出処理（S650）がスタートした際には、入力画像Dの各画素の画像データ $I(x, y)$ は、既に、S104（第8図）にて、転送用シフトレジスタ410から各演算素子400（ x, y ）のレジスタマトリックス401へ転送され、当該レジスタマトリックス401のある領域へ格納されている。

当該演算一抽出処理（S650）では、まず、S660において、各演算素子400に、画像データ $I(x, y)$ に対する所望の演算を行わせる。当該所望の演算としては、後述するエッジ抽出処理等、様々な演算処理が考えられる。

次に、目的の画素位置（ $x1$ ， $y1$ ）を選択するための画素選択処理（S680）を行う。当該画素選択処理（S680）では、第10（C）図を参照して説明した画素選択処理を目的の画素（ $x1$ ， $y1$ ）に対して行う。この結果、目的の演算素子400（ $x1$ ， $y1$ ）のみでS1114の乗算結果として（1）が設定され、それ以外の演算素子400ではS1114の乗算結果として（0）が設定される。

選択処理（S680）が終了すると、S682に移行する（第14図）。S682では、上記画素選択処理（S680）の乗算結果をレジスタマトリックス401からAラッチ402に転送する。次に、抽出したい目的のデータ（S660の演算結果）を、レジスタマトリックス401からBラッチ403に転送し（S684）、Aラッチ402の値とBラッチ403の値の乗算を行う（S686）。この結果、目的の画素位置（ $x1$ ， $y1$ ）の演算素子400でのみ演算結果データそのものが得られ、それ以外の演算素子400では、ゼロ（0）データが得られる。この乗算結果をレジスタマトリックス401に格納した（S688）のち、S690にて、出力アドレス「28」から出力バス155へ出力する。全演算素子400からS686の乗算結果が出力バス15に出力される結果、これら全演算素子の乗算結果のOR論理演算出力として、目的の画素400（ $x1$ ， $y1$ ）における演算結果が、制御回路15に出力されることになる。

（実施例4）

なお、 x 方向データバス17及び y 方向データバス18としては、制御回路15から演算素子400への転送／書き込み機能のみを有する一方向性のデータバスではなく、制御回路15から演算素子400への転送／書き込み機能と演算素子400から制御回路への出力／転送機能とを有する双方向性のデータバスを使用してもよい。レジスタマトリックスのアドレス「30」及び「31」を y 方向データライン180 y 及び x 方向データライン170 x へのデータの出力にも用いることで、演算素子400の計算結果を x 方向データ

ライン170xまたはy方向データライン180yを介して制御回路15に出力することができるようになる。

さらに、データバス17及び18として双方向性のものを採用し、これらを双方向に使用すれば、x方向、y方向のある位置の演算素子400からの信号を制御回路15が受信することが可能となる。この機能を利用すれば、例えばある検索画像(m1×m2画素)を並列演算によって探したい場合には、制御装置15は、一致信号が得られた位置をデータバスを通じて高速に確認できる。

当該画像検索の具体例を以下説明する。

この検索は、検索パターンPが入力画像D(=I(x, y)、ここで、 $1 \leq x \leq N1$ 、 $1 \leq y \leq N2$)内にあるか、あるとすればいずれの位置にあるかを見つける作業である。マッチングのアルゴリズムには多くの研究例があるが、ここでは、最も簡単な次の計算式で示される画像間の距離ERROR(p, q)が、あるしきい値より小さい時に同一画像とみなすアルゴリズムを用いるものとする。ここで、(p, q)は、画像D内の基準画素(x, y)の位置である。

$$\text{ERROR}(p, q) = \sum_{i=1}^{m1} \sum_{j=1}^{m2} |I(p+i, q+j) - P(i, j)| \quad (2)$$

このアルゴリズムに基づく検索処理(S700)のフローチャートを第15図に示し、同図を参照しつつデータ処理の流れを以下に説明する。

ここで、この検索処理(S700)も、第8図の画像処理工程S110において実行されるものである。また、各画素(x, y)を、それぞれ、画像検索の基準位置(p, q)とする。さらに、検索画像Pの画像データP(i, j)($1 \leq i \leq m1$ 、 $1 \leq j \leq m2$)は、制御回路15のメモリ151に格納されている。なお、検索処理(S700)がスタートした際、入力画像Dの各画素の画像データI(x, y)(以下、I(p, q)という)は、既に、S104(第8図)にて、転送用シフトレジスタ410から各演算素子400(x, y)(以下、400(p, q)という)のレジスタマトリックス401へ転送され、当該レジスタマトリックス401のある領域へ格納されている。

検索処理(S700)では、CPU150は、まず、ステップS702において、初期状態を設定する。具体的には、検索パターンP中のマッチング検出位置(i, j)に先頭位置(1, 1)を設定し、各演算素子400(p, q)のレジスタマトリックス401に格納しようとする計算結果Er(p, q)をリセットする。

ステップS703で、検索パターンP内の現在の検出位置(i, j)(ここでは、先頭位置(1, 1))の画像データP(i, j)をメモリ151から読みだし、データバス17、18を介して、各演算素子400へと転送する。

ステップS704においては、各演算素子400(p, q)において、レジスタマトリックス401のある領域に格納されている当該画素の画像データI(p, q)と検索パターンのマッチング検出位置の画像データP(i, j)との差の絶対値を求め、Er(p, q)に加算する。ここでは、具体的には、画像データI(p, q)と検索画像の先頭位置の画像データP(1, 1)との差の絶対値を求め、レジスタマトリックス401の別の領域を割り当ててEr(p, q)として格納する。

ステップS705では、CPU150は、検出位置(i, j)が最終位置(m1, m2)に到達しているか否かを判定する。ここでは、検出位置(i, j)は、まだ先頭位置(1, 1)なので、最終位置には到達しておらず(ステップ705でNo)、ステップS706へと移行する。ステップS706では、 $i \neq m1$ の場合は、iの値のみを1増加させ、 $i = m1$ の場合は、x方向の端に達したとしてiを1にリセットし、jの値を1増加させる。ここでは、 $i = 1$ 、 $j = 1$ の場合なので、 $i = 2$ 、 $j = 1$ へと更新される。そして、ステップS707では、位置(p+i-1, q+j-1)の画像データ、ここでは、位置(p+1, q)の画像データI(p+1, q)を、演算素子400(p, q)のレジスタマトリックス401に転送する。具体的には、レジスタマトリックス401の近傍転送機能を利用して、隣の画素400(p+1, q)に格納されている画像データ値I(p+1

10

20

30

40

50

、 q)を、当該画素400 (p 、 q)の空いている領域に転送することでこの転送は行われる。

転送が終了したら、ステップS703に戻り、CPU150は、検索パターンP内の現在の検出位置(i 、 j) (ここでは、位置(2, 1))の画像データP(i 、 j)をメモ151から読みだし、データバス17、18を介して、各演算素子400 (p 、 q)へと転送する。ステップS704において、各演算素子400 (p 、 q)は、現在レジスタマトリックス401に格納されている隣接画素の画像データI($p+1$ 、 q)と検索パターンの現在のマッチング検出位置の画像データP(i 、 j)との差の絶対値を求め、 $Er(p, q)$ に加算する。検出位置(i 、 j)が最終位置($m1$ 、 $m2$)に到達していないので (S705でNo)、S706に進み、検出位置(i 、 j)を更新する。

10

かかる処理(ステップS703~S707)を、検出位置(i 、 j)が最終位置($m1$ 、 $m2$)に到達するまで、繰り返す。

このように、ステップS704で繰り返し加算を行うことにより、各演算素子400 (p 、 q)において、 $ERROR(p, q)$ を求めることができる。

また、ステップS707による転送は、レジスタマトリックス401の転送機能を利用して、 x 方向、 y 方向にそれぞれ順次隣の画素に転送していくことで転送を行えばよい。

検出位置が最終位置($m1$ 、 $m2$)に達し、 $ERROR(p, q)$ が求まると、ステップS705 (S705でYes)からステップS708へと移行する。ステップS708においては、CPU150は、閾値 E_{th} を設定し、ステップS709で、設定した閾値 E_{th} データを、データバス17または18を介して、各演算素子400へと転送する。

20

各演算素子400 (p 、 q)は、ステップS710で、閾値 E_{th} と求めた $ERROR(p, q)$ 、つまり、 $Er(p, q)$ とを比較する。具体的には、各演算素子400は、 $ERROR(p, q) - \text{閾値 } E_{th}$ の演算を行い、この結果のサインビット(正負の符号)のビットを、比較結果として出力する。すなわち、 $Er(p, q)$ が閾値 E_{th} 以下の場合は、ステップS711に移行して1を出力し、 $Er(p, q)$ が閾値 E_{th} より大きい場合は、ステップS712に移行して0を出力する。各演算素子400は、これら出力データを、データバス17及び18に出力する。CPU150は、これらデータバス17、18からの出力信号の総和をとることで、1を出力した演算素子400の個数をカウントする。

ステップS713では、CPU150は、この個数を判定し、出力個数が0の場合は、ステップS714に移行して、マッチング画像なしとの判定結果を出力する。

30

出力個数が1個の場合は、データバス17、18のうち、それぞれ単一のデータライン170x、180yのみにおいて1の出力信号が得られている。したがって、CPU150は、S715において、1の出力信号が得られている出力信号線170x、180yの位置 x 、 y に基づいて、1を出力した演算素子400の位置データ(p 、 q)を求める。

なお、S715では、データバス17、18の代わりに出力バス155を利用してもよい。すなわち、各演算素子400に対し、S710の判断結果としての出力(0または1)とその位置データ(p 、 q)とを乗算させ、その乗算結果を出力バス155に出力させるようにしてもよい。この場合、S710の判断結果としての出力信号1を出力した画素(マッチング位置画素)のみが、その位置データ(p 、 q)を出力する。他の画素は、その出力信号(0)と位置データ(p 、 q)との乗算結果である(0)を出力する。したがって、マッチング位置の位置データ(p 、 q)のみが、出力バス155を介して、制御回路15に転送されることになる。かかる方法によれば、マッチング位置データ(p 、 q)のみならず、他のマッチング演算結果(例えば、入力画像Dと検索パターンPとの差の絶対値等)も制御回路15に転送させることができる。

40

一方、出力個数が2個以上あった場合は、ステップS716で閾値 E_{th} を小さく変更してステップS709に戻り、出力個数が1個になるまで閾値 E_{th} を小さくしていくことで絞り込みを行う。

以上のように、本実施形態の高速視覚センサ装置10は、受光素子アレイ11の各行の全受光素子120に対して1個のA/D変換器210を対応させたA/D変換器アレイ13

50

と、受光素子120と1対1に対応する演算素子400と転送用シフトレジスタ410とからなる並列処理機構14とを備え、さらに、演算素子400にデータ転送を行うデータバス17、18とデータバッファ19、20を備えている。演算素子400は並列処理により近傍画素間の画像処理演算を高速で行うことができ、データバス17、18を利用することで外部からデータ転送の必要な演算処理も高速で行うことができる。

また、本実施形態の高速視覚センサ装置10によれば、画像処理ステップS110においては、上述の画像処理（第9図～第15図）を行うにあたり、その前処理として、入力画像I(x, y)に様々な画像処理を行うこともできる。

例えば、エッジ抽出を行うことができる。ここで、「エッジ抽出」は画像処理において最も頻繁に利用される処理である。最も簡単に演算する場合は、左方向に隣接する1個の画素の強度値との差分による2近傍演算を用いた2近傍エッジ抽出が用いられる。

具体的には、位置(x, y)における入力画像強度I(x, y)に対し、求める2近傍エッジ抽出画像の画像強度データの値I'(x, y)は、以下の式で表わされる。

$$I'(x, y) = |I(x, y) - I(x-1, y)|$$

S110の画像処理ステップにおいて当該2近傍エッジ抽出を前処理として行う場合には、上記（実施例1）～（実施例4）の演算処理工程S300, S600, S650, S700の前に、第16図に示すような2近傍エッジ抽出工程（S1200）を行う。

具体的には、まず、各演算素子400(x, y)において、4近傍入力端子から左隣の隣接画素のデータI(x-1, y)を当該演算素子400(x, y)のレジスタマトリックス401へと転送／格納する（S1210）。次に、レジスタマトリックス401に現在格納されているI(x, y)とI(x-1, y)のデータをAラッチ402とBラッチ403にそれぞれ転送し（S1211）、ALU404により両者の差分を計算する（S1212）。計算結果は一旦レジスタマトリックス401に格納する（S1213）。計算完了後、計算結果を再びAラッチ402へと読み出して（S1214）、差分の絶対値をALU404で求める（S1215）。計算結果を再度レジスタマトリックス401へと格納する（S1216）。

こうして得られた2近傍エッジ抽出画像I'(x, y)に対して、（実施例1）～（実施例4）の画像演算工程（S300, S600, S650, S700）を行うようにする。

なお、4近傍エッジ抽出を行う場合には、位置(x, y)における入力画像強度I(x, y)に対し求める4近傍エッジ抽出画像の画像強度データの値I'(x, y)は、以下の式で表せる。

$$I'(x, y) = I(x, y-1) + I(x, y+1) + I(x-1, y) + I(x+1, y) - 4I(x, y)$$

また、4近傍平滑化を行う場合には、求める4近傍平滑画像の画像強度データの値I'(x, y)は、以下の式で表せる。

$$I'(x, y) = (4I(x, y) + I(x-1, y) + I(x+1, y) + I(x, y-1) + I(x, y+1)) / 8$$

上記アルゴリズムの他、画像処理でよく用いられるアルゴリズムのいくつかについて、本実施形態により演算を行った場合のステップ数、処理時間の例を表1に示す。

10

20

30

処理名称		ステップ数	所要時間 (μ s)
2近傍エッジ検出	1bit入出力	5	0.40
4近傍エッジ検出	1bit入出力	11	0.72
4近傍平滑化	1bit入出力	14	1.0
4近傍エッジ検出	8bit入出力	70	5.6
4近傍エッジ検出	8bit入出力	96	7.7
4近傍細線化	1bit入出力	23	1.9
8近傍細線化	1bit入出力	53	4.2
コンボリューション	1bit入力、4bit出力	40	3.2
コンボリューション	4bit入力、11bit出力	372	30
Poisson 方程式	1bit入力、8bit出力	63	5.0

表 1

表 1 から明らかなように、本実施形態では、一般的な画像処理（例えば、平滑化、細線化、コンボリューション、相関、マスク処理）演算を完全並列処理により、非常に高速で行うことができる。したがって、これまでの視覚センサ装置では演算処理速度、転送速度が遅いために制限されていた F A ロボット制御などの分野への応用が可能になる。

なお、表 1 に示される演算時間は、転送用シフトレジスタ 4 1 0 による画像データの転送時間は含んでいない。転送データ速度は、A / D 変換器 2 1 0 の変換スピードによって制限されるが、これを例えば、1 ビット当たり 1 マイクロ秒とすると、1 2 8 x 1 2 8 画素 x 8 ビットの画像データを 1 2 8 行で並列転送する場合に要する時間は、1 2 8 (画素) x 8 (ビット) x 1 (マイクロ秒 / ビット) = 1 ミリ秒となる。本実施形態では、この転送を演算処理と並行して行う。

本実施形態が目指しているのは、実用的な高速性と十分な解像度を有する画像処理システムである。F A システムにおけるロボット制御には、受光素子 1 2 0 を 1 2 8 x 1 2 8 個以上配列する解像度が必要とされる。本実施形態によれば、受光素子アレイ 1 1 と並列処理機構 1 4 を分離でき、それぞれの集積度を高められるため、この解像度を十分に実現できる。また、処理速度の目安としては、ロボットのアクチュエータの速度（1 ~ 1 0 ミリ秒）が必要である。本実施形態では、この処理速度は、A / D 変換器 2 1 0 における A / D 変換処理速度によって決まるが、十分に高速化が可能である。

例えば、本実施形態での 1 画素あたりの A / D 変換速度は、1 ビットあたり 1 マイクロ秒となる。例えば、入力アナログ信号を 6 ビット（6 4 階調）でデジタル変換する場合には、1 行分の 1 2 8 個の受光素子 1 2 0 の出力信号をデジタル変換するのに必要な時間は、6 マイクロ秒 x 1 2 8 = 0. 7 6 8 ミリ秒となる。画像処理については、各受光素子に 1 対 1 に対応して演算素子が配置され、全演算素子で並列処理されるため、表 1 に示すように、0. 4 ミリ秒以下でほとんどの演算処理が行える。さらに、演算処理と転送処理を並行して行えるので、それぞれの処理の空き時間を減らすことができ、処理全体の時間を短縮することができる。

また、前述したように本実施形態の A / D 変換器 2 1 0 は、最上位ビットから A / D 変換を行う。したがって、所望のビット数まで変換した時点で、リセット信号 R を送出し、次の光信号の A / D 変換に移ることにより、A / D 変換の階調を変更することができる。これにより、より高速で、複雑な処理を行うことが可能となる。例えば、移動物体のトラッキングをするような場合に、物体が高速で移動している場合は、画像を 1 ビットの 2 値レベルで演算処理するように制御すれば、転送時間は、前述の 6 ビットの時の 6 分の 1 の 0. 1 2 8 ミリ秒に短縮され、高速フィードバック制御に適用できる。逆に、低速で動いている場合には、階調を上げることににより、より精度を向上させて、追従させることができ

10

20

30

40

50

る。

ただし、A/D変換器から出力されるビット長を可変にする場合は、転送用シフトレジスタでは入力データのビット長を調整して固定長にする必要がある。なぜなら、例えば、通常のデータ長が8ビットの場合の転送用シフトレジスタラインには、固定長で8ビット×行内画素数(N1)のシフトレジスタが用いられる。そして、8ビットずつ区切った個々のシフトレジスタがそれぞれの位置に対応する各画素用の転送用シフトレジスタとして機能する。したがって、ビット長を8ビットに合わせておかないと、画像データが対応する位置の転送用シフトレジスタに正しく転送されないことになるからである。このため、転送用シフトレジスタに送る時点でダミー信号を加えて合計8ビットになるようにすることでデータが正しく転送される。

10

以上説明したように、本実施形態のセンサ装置10では、受光素子アレイ11の各行の受光素子120に対して1個のA/D変換器210を対応させたA/D変換器アレイ13と、受光素子120と1対1に対応する演算素子400と転送用シフトレジスタ410とからなる並列処理機構14とを備えている。このように受光素子120と1対1に対応する演算素子400を有しているので、並列処理により近傍画素間の画像処理演算を高速で行うことができる。

さらに、A/D変換器210を1行ごとに設けているので、A/D変換器210を受光素子120毎に設けた場合に比較して、受光素子120と演算素子400間の伝送線の数が少なく済み、受光素子120と演算素子400とを別々に製造、配置することが容易にできる。このため、両者とも集積度を最適にすることができ、多画素数の高速視覚センサ装置10を容易に製作できる。なお、このようにA/D変換器210を行ごとに設けたため、A/D変換の処理速度により、全体の処理速度が制限を受けるが、FAロボット制御に十分な画素数といわれる128×128画素の映像を64階調で処理する場合でも、ほとんどの画像処理が1ミリ秒以下で終了し、従来にない高速処理が可能である。したがって、本実施形態の多画素数/高速視覚センサ装置10は、簡単な回路構成を有しながらも、基本的な画像演算を高速に処理することが可能となっている。

20

特に、外部からのデータが必要となる演算では、x方向データバスおよびy方向データバスより効率的にデータ転送(送受信)が可能であるため、高速な演算が可能である。

さらに、転送用シフトレジスタ410を演算素子400に対応して設けているので、転送処理と独立して演算処理が行え、演算処理及び転送処理を効率良く行うことができる。また、転送処理と演算処理を並列に行うことができることから、各処理の待ち時間を減らし、より高速の画像処理を行うことができる。すなわち、A/D変換器から演算素子へのデータ転送時に、転送用シフトレジスタを用いて、演算処理と転送とを独立に実行できる機能を実現することで、実時間処理が可能となっている。

30

本発明に係る高速視覚センサ装置は、前述した実施形態に限定されず、種々の変更が可能である。

例えば、上記の実施形態では、データバッファ19、20を設けていたが、制御回路15とデータバス17、18間に十分な転送速度が得られるような場合は、データバッファを設ける必要はない。

また、上記の実施形態では、A/D変換器210から演算素子400へのデータ転送を、転送用シフトレジスタ410により行っているが、転送用シフトレジスタ410はなくてもいい。すなわち、第17図のように、各A/D変換器210を、並列処理機構14のうち、対応する行の先頭の演算素子400(1, y)のレジスタマトリックス401と接続するようにしてもよい。この場合、各行のA/D変換器210から出力される画素データI(x, y)は、対応する演算素子400(x, y)まで、x方向に隣接している演算素子400(1, y)~400(x, y)のレジスタマトリックス401間の転送を順次行うことにより、転送される。

40

このように転送用シフトレジスタ410を設けていない場合には、表1の演算時間に加えて画像データを各演算素子400に転送する時間が余分に必要となる。ここで、上述したように、本実施形態での1画素あたりのA/D変換速度は、1ビットあたり約1マイクロ

50

秒となる。したがって、例えば、入力アナログ信号を6ビット（64階調）でデジタル変換する場合には、1行分の128個の受光素子120の出力信号をデジタル変換するのに必要な時間は、6マイクロ秒 $\times$ 128=0.768ミリ秒となる。一方、画像処理については、表1に示すように、0.4ミリ秒以下でほとんどの演算処理が行える。したがって、転送時間を考慮しても、ほとんどの画像処理が1ミリ秒以下で行えることになり、十分な高速性能を有している。

また、上述の実施形態では、A/D変換器210がチャージアンプ221を含む構成となっているが、A/D変換器210とチャージアンプ221とを別体とし、第18図のように、N2個のチャージアンプ221からなるアンプアレイ12を受光素子アレイ11に接続させ、さらに、N2個のA/D変換器210からなるA/D変換器アレイ13を当該アンプアレイ12と並列処理機構14との間に設けるようにしても良い。この場合には、アンプアレイ12内の各アンプ221は、受光素子アレイ11の対応する行110上の計N1個の受光素子120から出力される電荷を順次電圧信号に変換し、得られたアナログ電圧信号を、A/D変換器アレイ13内の対応するA/D変換器210に出力する。A/D変換器210は、当該チャージアンプ221からのアナログ電圧信号を順次A/D変換し、並列処理機構14に供給する。

さらに、上述の実施形態では、画像強度やx/y方向モーメントの総和を求めるために、第10(B)図に示す総和演算処理を行うようにしているが、各演算素子400からの出力の総和を求めるための回路を出力バス155に付加し、当該回路にて総和を求めるようにしても良い。

産業上の利用可能性

本発明に係る高速視覚センサ装置は、FAロボット制御等、視覚認識処理に幅広く用いられる。

【図面の簡単な説明】

第1図は、本発明の実施形態に係る高速視覚センサ装置のブロック図である。

第2図は、実施形態に係る高速視覚センサ装置の概略構成図である。

第3図は、実施形態に係る高速視覚センサ装置の備える制御回路の構成ブロック図である。

第4図は、実施形態に係る高速視覚センサ装置の備える受光素子アレイ、及び、A/D変換器アレイの回路構成図である。

第5図は、第4図のA/D変換器アレイの備える積分回路の詳細回路構成図である。

第6図は、実施形態に係る高速視覚センサ装置の備える演算素子及び転送用シフトレジスタのブロック図である。

第7(A)図は、第6図の演算素子の備えるレジスタマトリックスの回路図である。

第7(B)図は、第6図の演算素子の制御タイミングチャートである。

第8図は、実施形態に係る高速視覚センサ装置の動作フロー図である。

第9図は、第8図中の工程S110の一例としての重心演算処理工程の動作フロー図である。

第10(A)図は、第9図の重心演算処理工程のうちの画像強度総和演算処理工程の動作フロー図である。

第10(B)図は、第10(A)図の画像強度総和演算処理工程のうちの総和演算処理工程の動作フロー図である。

第10(C)図は、第10(A)図の画像強度総和演算処理工程のうちの画素選択処理工程の動作フロー図である。

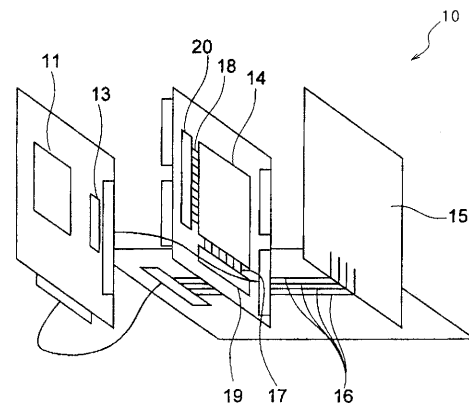
第11図は、第9図の重心演算処理工程のうちのx方向座標演算処理工程の動作フロー図である。

第12図は、第9図の重心演算処理工程のうちのy方向座標演算処理工程の動作フロー図である。

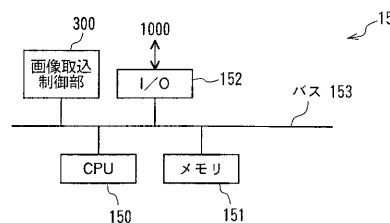
第13図は、第8図中の工程S110の一例としての所望位置演算処理工程の動作フロー図である。

第 18 図は、本発明に係る高速視覚センサ装置の他の変更例のブロック図である。

第 2 図

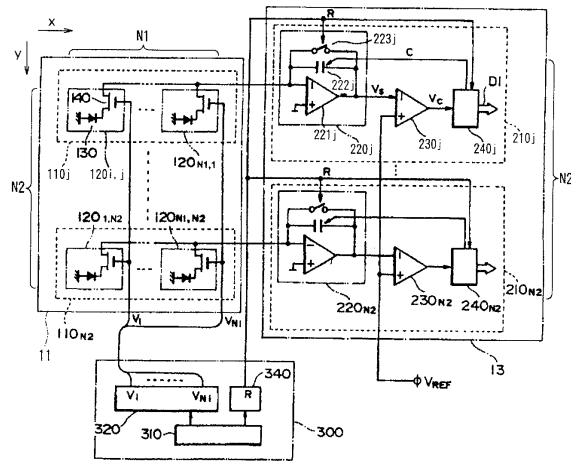


第 3 図



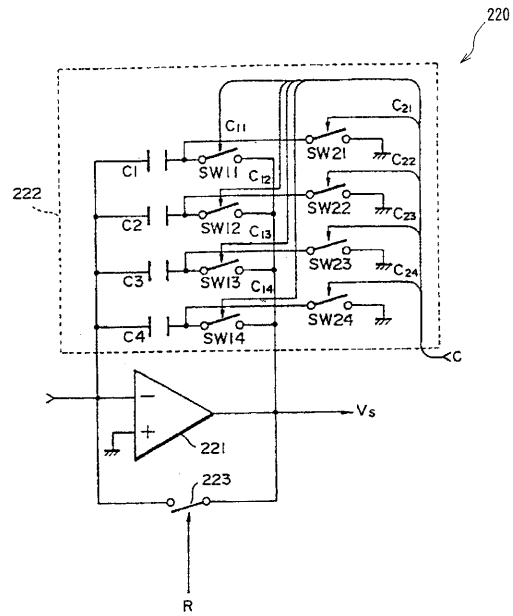
【図 4】

第 4 図



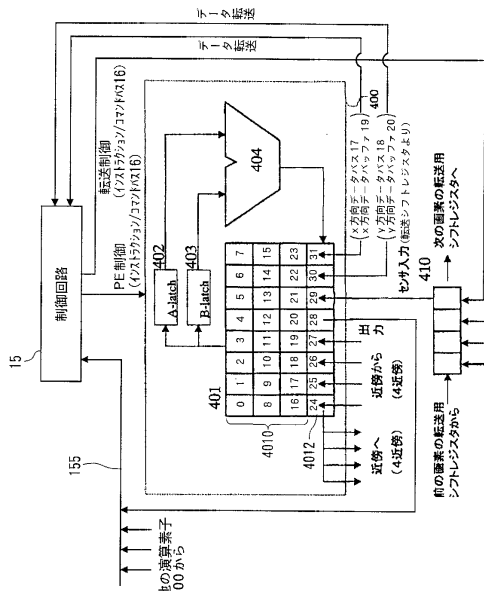
【図 5】

第 5 図



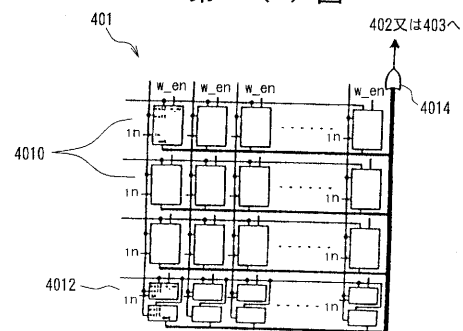
【図 6】

第 6 図



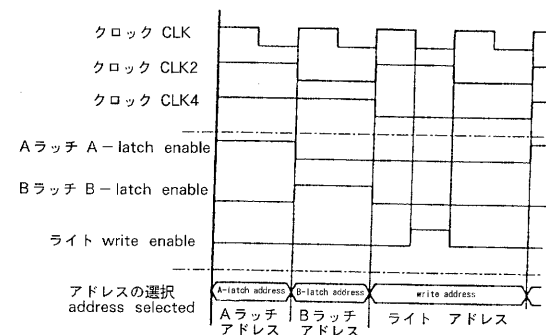
【図 7 (A)】

第 7 (A) 図



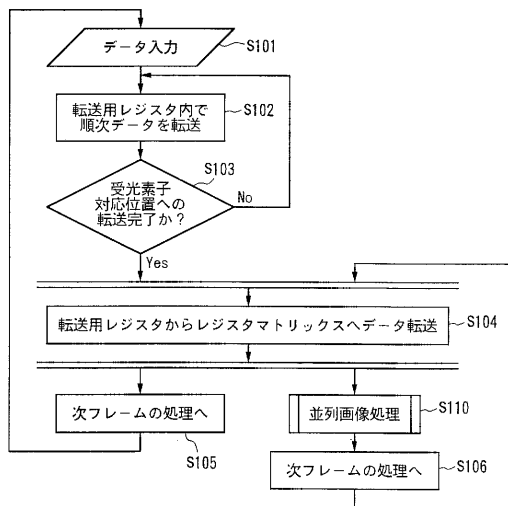
【図 7 (B)】

第 7 (B) 図



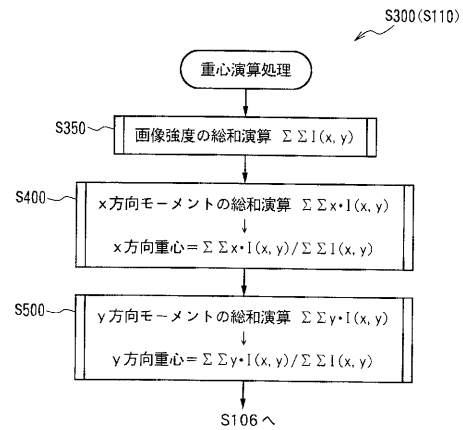
【図 8】

第 8 図



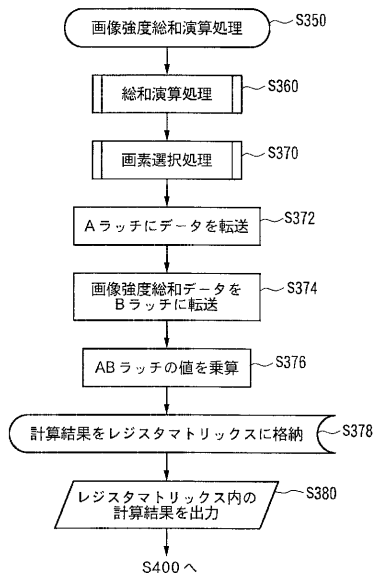
【図 9】

第 9 図



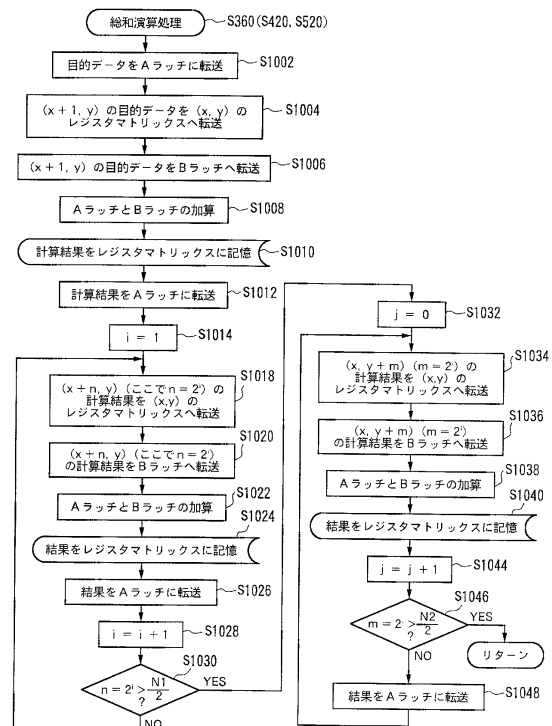
【図 10 (A)】

第 10 (A) 図



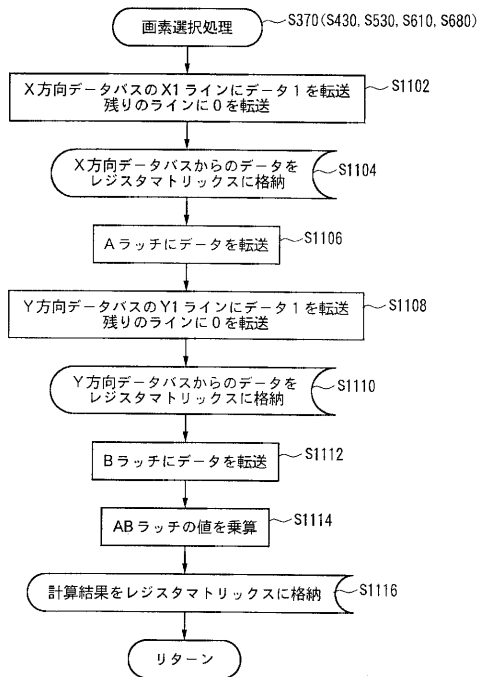
【図 10 (B)】

第 10 (B) 図



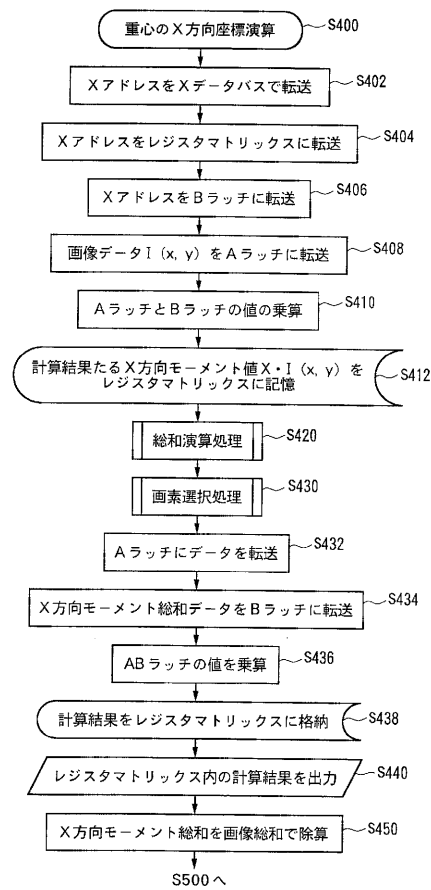
【図 10 (C)】

第 10 (C) 図



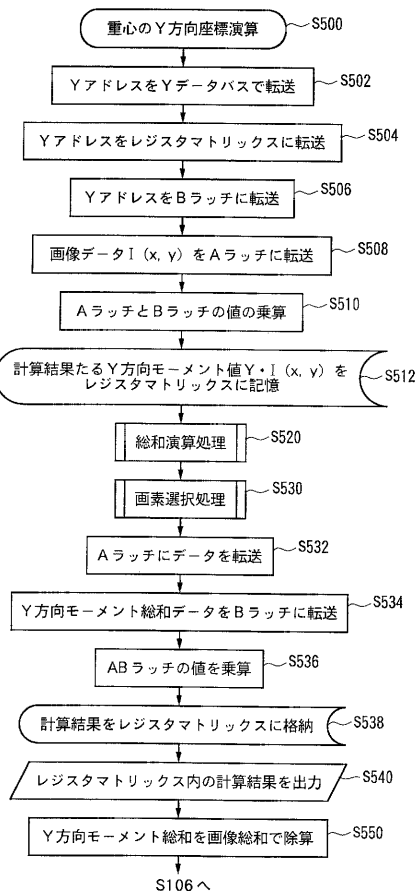
【図 11】

第 11 図



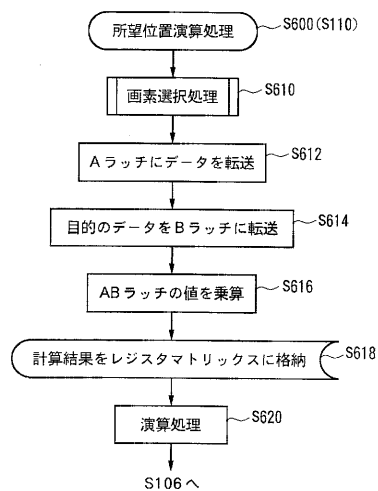
【図 12】

第 12 図



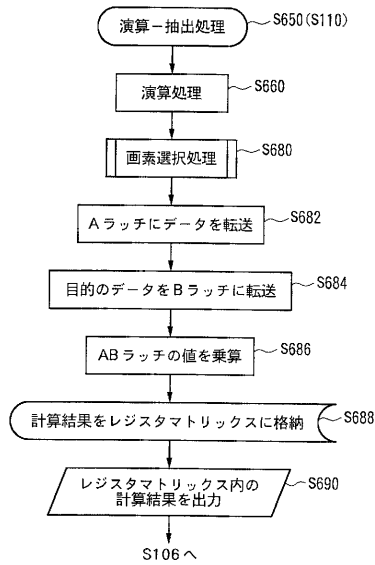
【図 13】

第 13 図



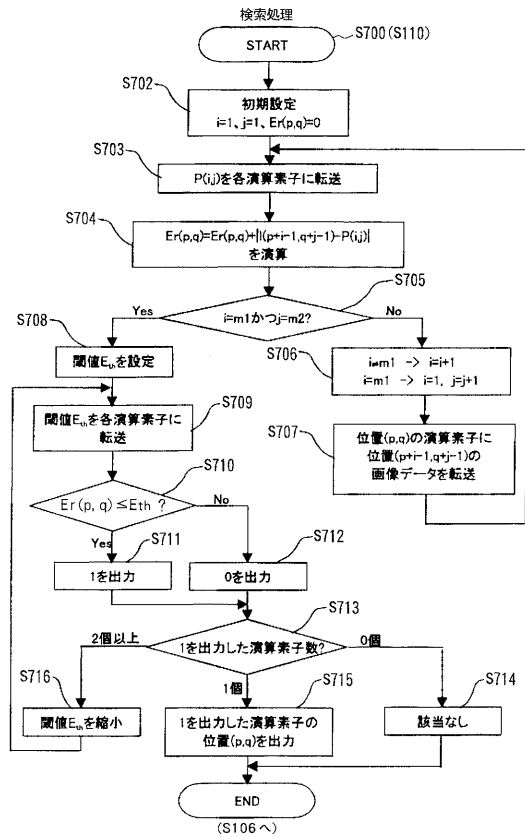
【図 14】

第 14 図



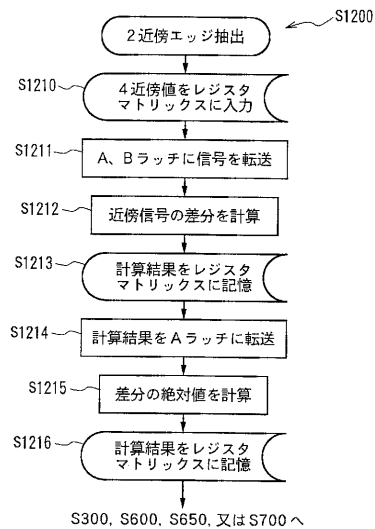
【図 15】

第 15 図



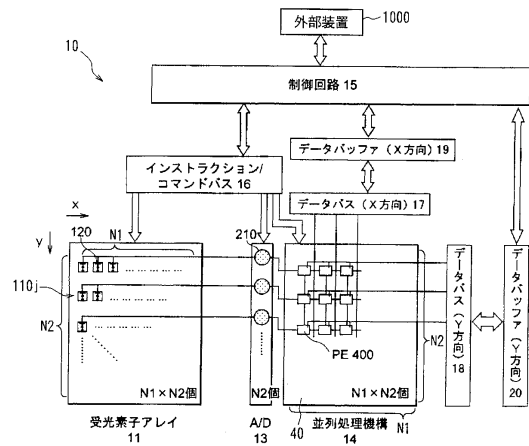
【図 16】

第 16 図

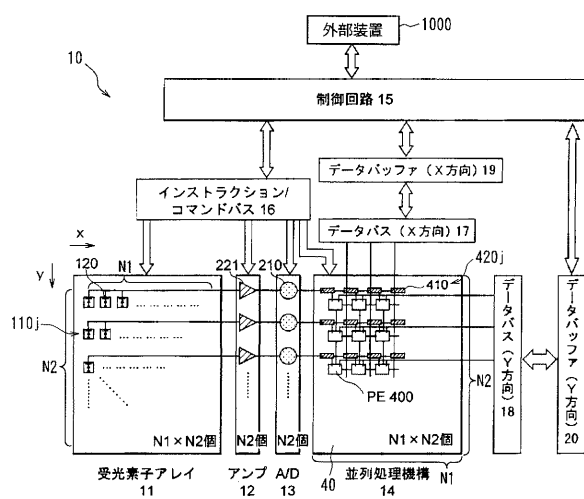


【图 17】

第 17 図



第 18 図



フロントページの続き

審査官 新井 則和

(56)参考文献 特開平10-145680 (JP, A)
特開昭62-295174 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G06T 1/20