

[51] Int. Cl.

H01L 27/01 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200680008519.8

[45] 授权公告日 2009 年 6 月 3 日

[11] 授权公告号 CN 100495704C

[22] 申请日 2006.4.13

[21] 申请号 200680008519.8

[30] 优先权

[32] 2005. 4. 15 [33] US [31] 10/907,796

[86] 国际申请 PCT/US2006/013987 2006.4.13

[87] 国际公布 WO2006/113395 英 2006.10.26

〔85〕 进入国家阶段日期 2007.9.17

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 J·D·沃诺克

G · E · 史密士三世

[56] 参考文献

US6433587B1 2002. 8. 13

US6387739B1 2002.5.14

US5635745A 1997.6.3

US5298773A 1994. 3. 29

US6310377B1 2001.10.30

US6867106B2 2005.3.15

CN1260597A 2000.7.19

US5317181A 1994.5.31

US6440788B2 2002. 8. 27

US5821769 A 1998.10.13

US6177708B1 2001.1.23

US5811855A 1998 9 22

US5185280A 1993.2.9

US6154091 A 2000.11.28

审查员 周 江

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

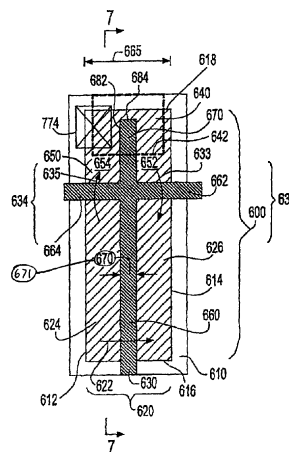
权利要求书 3 页 说明书 10 页 附图 5 页

[54] 发明名称

具有体接触的并联场效应晶体管结构及集成电路

[57] 摘要

通过与第一或者主场效应晶体管(“FET”)(620)电并联放置的一个或者多个第二 FET(632), 将第一 FET(620)与至其的体接触分隔开。以此方式, 第一 FET(620)的主体可以延伸至由第二 FET(632)占有的区域中, 以允许对第一 FET(620)主体进行接触。在一个实施例中, 第一 FET(620)的栅极导体和第二 FET(632)的栅极导体是单块导电图形的整体部分。将单块导电图形制作得如期望的一样小, 并且将其制作成与位于集成电路之上的栅极导体的最小预定线宽一样小, 所述集成电路包括体接触的 FET。以此方式, 可以保持面积和寄生电容较小。



1. 一种半导体器件结构, 包括:

衬底的单块单晶半导体区域 (600);

第一场效应晶体管 (620), 具有在所述单块单晶区域 (600) 中布置的第一源区 (624) 和第一漏区 (626), 所述第一源区 (624) 和第一漏区 (626) 限定第一源漏导电通路 (622);

至少一个第二场效应晶体管 (632), 具有与所述第一场效应晶体管 (620) 的所述第一源漏导电通路 (622) 电并联的第二源漏导电通路 (633), 所述至少一个第二场效应晶体管 (632) 具有包括第二源区 (652) 和第二漏区中的至少一个的第二扩散区域, 所述第二源漏导电通路 (633) 在所述第二扩散区域与所述第一源区 (624) 和所述第一漏区 (626) 中的至少一个之间延伸; 以及

所述单块单晶区域 (600) 的体接触, 其与所述第二扩散区域具有结。

2. 根据权利要求 1 所述的半导体器件结构, 其中所述体接触导电连接至所述第一场效应晶体管 (620) 的第一沟道区域和所述第二场效应晶体管 (632) 的第二沟道区域。

3. 根据权利要求 2 所述的半导体器件结构, 其中所述衬底是绝缘体上半导体衬底, 所述绝缘体上半导体衬底包括位于所述单块单晶半导体区域 (600) 之下的掩埋氧化物层, 并且还包括位于所述掩埋氧化物层之下的体区域。

4. 根据权利要求 2 所述的半导体器件结构, 还包括单块导电图形, 所述单块导电图形具有位于所述第一沟道区域之上的第一栅极导体部分和位于所述第二沟道区域之上的第二栅极导体部分, 所述第一栅极导体部分限定所述第一场效应晶体管 (620) 的第一栅极导体, 而所述第二栅极导体部分限定所述第二场效应晶体管 (632) 的第二栅极导体。

5. 根据权利要求 4 所述的半导体器件结构, 其中所述第一栅极

导体部分沿所述单块单晶区域(600)的纵向方向来定向,且所述第二栅极导体部分沿所述单块单晶区域(600)的横向方向来定向。

6. 根据权利要求5所述的半导体器件结构,其中所述第二栅极导体部分完全跨过所述单块单晶区域(600)的宽度延伸,并且所述单块导电图形还包括从与所述第一栅极导体部分相对的所述第二栅极导体部分的边缘延伸的尾部导体部分。

7. 根据权利要求6所述的半导体器件结构,其中所述尾部导体部分沿所述纵向方向定向。

8. 一种集成电路,包括根据权利要求4所述的半导体器件结构,所述单块导电图形的线宽不大于所述集成电路的栅极导体的预定最小线宽。

9. 根据权利要求4所述的半导体器件结构,其中所述单块单晶区域(600)具有界定所述单块单晶区域(600)纵向方向最大长度的底部边缘和顶部边缘,并具有界定所述单块单晶区域(600)横向方向宽度的左侧边缘和右侧边缘,其中所述第一栅极导体部分沿所述纵向方向从所述底部边缘延伸至所述顶部边缘,并且所述第二栅极导体部分仅从所述左侧边缘和所述右侧边缘之一延伸至所述第一栅极导体部分。

10. 根据权利要求9所述的半导体器件结构,其中所述第一源区(624)和所述第一漏区(626)中的至少一个从所述单块单晶区域(600)的顶部边缘延伸至底部边缘,并且所述体接触与所述第一源区(624)和所述第一漏区(626)中的至少一个形成结。

11. 根据权利要求10所述的半导体器件结构,其中所述单块单晶区域(600)被切有凹口,使得所述第一源区(624)和所述第一漏区(626)中的至少一个仅从所述顶部边缘和所述底部边缘之一延伸至位于所述顶部边缘和所述底部边缘之间的中间边缘,并且所述第二栅极导体部分仅在所述左侧边缘和所述右侧边缘之一与所述第一栅极导体部分之间延伸。

12. 根据权利要求11所述的半导体器件结构,其中由沟槽隔离

区域来界定所述中间边缘。

13. 一种集成电路，包括根据权利要求 12 所述的半导体器件结构，其中所述第一栅极导体部分具有大于所述集成电路的最小栅极导体线宽的宽度。

14. 根据权利要求 5 所述的半导体器件结构，其中所述第一栅极导体部分与所述第二栅极导体部分以直角相接。

15. 根据权利要求 1 所述的半导体器件结构，还包括与所述体接触和所述第二扩散区域两者都导电接触的导电过孔。

16. 根据权利要求 1 所述的半导体器件结构，其中所述第二栅极导体部分完全跨过所述单块单晶区域（600）的宽度延伸，以将所述第一场效应晶体管（620）与所述第二场效应晶体管（632）的第二扩散区域分开，并且所述单块导电图形包括从所述第二栅极导体部分的边缘朝向所述单块单晶区域（600）的顶部边缘和底部边缘之一延伸的尾部导体部分。

具有体接触的并联场效应晶体管结构及集成电路

技术领域

本发明涉及半导体器件结构和处理方法，且尤其涉及一种具有体接触（body contact）的场效应晶体管结构（“FET”）。

背景技术

速度是集成电路操作性能的关键方面。近年来，已经引入了包括绝缘体上硅（SOI）技术的增强型制造技术。由于 SOI 技术有助于降低晶体管电容，实现更高的开关速度，因此 SOI 技术正变得愈加重要。FET 通常具有压控源漏导电通路，所述压控源漏导电通路通过 FET 的沟道区域在源区之间延伸并进入漏区。可以用来考虑 FET 的另一方式是，每个 FET 均具有两个源/漏区域，各布置在沟道区域的每个端部，而并不区分一个源区和一个漏区。当在体衬底（bulk substrate）中形成 FET 时，在源/漏区域和环绕晶体管的阱区域之间以及在阱区域和晶体管主体（紧在包括晶体管沟道的栅极之下的晶体管部分）之间的结导致相当大的电容。在 SOI 衬底中，诸如场效应晶体管（“FET”）的有源器件形成在相对较薄的单晶硅半导体层中，该较薄的单晶硅半导体层位于诸如掩埋氧化物（BOX）层之类的掩埋绝缘材料层之上。在包括 SOI 衬底的设计中，消除了与源/漏区域和环绕的阱区域之间的结相关联的大部分电容，因为掩埋氧化物的存在使重掺杂源/漏区域与衬底相隔离。另外，在 SOI 设计中，由于在晶体管主体之下存在 BOX 层，在顶部存在栅极电介质，并在侧部存在源区和漏区，结果就使得 SOI FET 主体被电隔离。

在 SOI 衬底中形成有导电沟道的晶体管的电隔离主体被称为“浮置主体”，因为该主体浮置在一个电势，该电势根据操作该晶体管的不同条件而变化，其中通常预先并不知道这种电势。因此，晶体管

的阈值电压 V_T 容易变化,还变化至通常预先并不知道的程度。阈值电压 V_T 是 FET 晶体管从“截止”状态转换至“导通”状态的电压。FET 被制造为 n 沟道型 FET(NFET)或者 p 沟道型 FET(PFET)。以 NFET 作为 FET 的实例,可以降低阈值电压 V_T ,以在切换周期早期内使 NFET 在过低电压下导通。这会导致针对上升信号转换的过早或者错误的检测信号。相反,对于下降信号转换,检测比期望更晚。此外,需要低电压的较低值以保持亚阈值泄漏电流尽可能地低。备选地,根据电荷积聚,阈值电压 V_T 会增加,导致 NFET 的导通晚于上升信号转换而早于下降信号转换的情况。

当在诸如反相器和逻辑门的数字切换元件中使用 FET 时,虽然通常可容许阈值电压的这种变化,但是用于对信号尤其是小摆幅信号进行放大的 FET 需要具有稳定的阈值电压。

一种解决方案是为在 SOI 衬底中布置有导电沟道的场效应晶体管提供体接触。体接触是对晶体管主体进行的导电接触,用以为电荷载流子对晶体管主体的流入/流出提供低电阻通路。

图 1 是示出了在衬底的 SOI 区域中形成有导电沟道(未示出)的现有技术 FET 100 的平面图,该 FET 具有体接触。其中形成 FET 的特定 SOI 区域在此还称为有源区 110,如由一个或多个隔离区域 122 所界定的那样。如图 1 所示,FET 100 包括导体图形 104,该导体图形 104 具有沿有源区 110 的长度 115 方向延伸的栅极导体部分 102。栅极导体部分 102 将有源区 110 的宽度 120 划分成三个部分:源区 113,布置在有源区的左边缘 106 和栅极导体部分 102 之间;FET 的沟道区域(未示出),位于栅极导体部分 102 之下;以及漏区 114,布置在栅极导体部分 102 和有源区 110 的右边缘 108 之间。

图 2 是通过图 1 的线 2-2 的 SOI FET 的截面视图。如图 2 所示,FET 100 的主体 160 布置在绝缘体上半导体(“SOI”)区域的有源区 110 中,所述 SOI 区域诸如 SOI 衬底 90 的绝缘体上硅层。有源区 110 通过在有源区 110 的左边缘 106 和右边缘 108 处以及在有源区的顶部边缘 124 和底部边缘 126 处布置的一个或多个隔离区域 122 来界

定(图1)。SOI区域位于掩埋氧化物("BOX")层103之上,所述掩埋氧化物层将SOI区域与衬底90的体区域107绝缘。FET的主体160布置在栅极导体部分102之下。沟道区域120占据FET栅极电介质115附近的主体160的部分。源区113和漏区占据与主体160相邻的有源区110的部分。当通过栅极导体102上的电压使FET适当偏置以导电时,电流流过FET的漏区114和源区113之间的沟道区域120。

如图3所示,导电体接触过孔170与邻近于FET主体160的FET有源区110的部分导电接触。在特定的实例中,FET是其中主体具有p型掺杂的NFET。当足够浓度的电子聚集而在具有n型导电性的沟道区域120(图1)中产生反型层时,NFET导通。在这种NFET中,体接触具有p+掺杂以便向NFET的p型掺杂主体160提供导电通路。这不同于用于NFET100的源区113和漏区114的n+型掺杂(图1至图2)。

在包括电流源的电路中、电流镜电路中、或者当需要放大数据信号而与读出放大器结合使用时,体接触的使用尤其有利。此外,在部分耗尽型SOI FET器件中使用体接触设计,以便最小化浮动电荷主体效应。

然而,尽管提供具有体接触的场效应晶体管具有前述优点,但是晶体管设计还是保守地包括体接触,因为体接触倾向于增加FET所占有的衬底面积量以及FET的栅极导体与栅极之下的SOI层之间的电容。这些增加也都倾向于降低电路中FET的性能。

在图1的自顶向下的描绘中,可以最佳地观察到表面面积的增加,其中导体图形104包括栅极导体部分102和与其连接的大的体接触导体部分170。与有源区电容性接触的大的体接触导体部分170增添了大的寄生电容。此外,由于大的导体部分170之下的区域并非位于FET的源区和漏区之间的区域内,如栅极导体部分102之下的区域一样,该区域并非用于驱动FET的导通电流。电容的增加影响了FET的开关速度。通过将布线的长度增加至FET,大的体接触

导体部分的增加的面积进一步影响 FET 的开关速度。为了遏制所增加电容的影响，需要增加驱动电流以维持原始开关速度。除了难以实现之外，这种做法将导致不希望的功耗增加。

图 4 是示出了一种不同的现有技术的体接触 FET 200 的平面图，其中与 FET 100（图 1）的体接触导体部分 170 的面积相比，栅极导体图形的体接触导体部分 270 具有减小的面积。该 FET 200 具有沿有源区 210 的长度 215 的方向延伸的两个栅极导体指（conductor fingers）202、并且包括两个源区 213，源区 213 通过该指与公共漏区 214 分隔。两个指 202 彼此平行放置，将有源区 210 的宽度 240 分成三个部分：在指 210 和有源区 210 的外部边缘之间设置的两个源区 213、以及在两个指 202 之间设置的漏区 214。因为与 FET 100 的单指设计相比，FET 200 的双指设计提供了增加的电流驱动，因此 FET 200 的双指设计较有利，其中该 FET 100 的单指设计占有的有源区宽度与 FET 100（图 1）的宽度 120 相同。

在现有技术的 FET 200 中，体接触导体部分 270 没有使有源区 210 的源区 213 与体接触 272 分隔开，这与 FET 100（图 1）中相同。结果，源区 213 没有与体接触 272 电隔离。由于必须保持向源区和体接触施加相同的电压（例如，接地），因此这限制了 FET 200 可以进行的應用。

图 5 示出了根据现有技术的另一体接触 FET 300。在该 FET 300 中，有源区的体接触部分 372 注入 p+ 掺杂。该 FET 300 具有这样的设计，其中与图 1 中示出的 FET 100 相比，该设计已降低了寄生电容，因为位于导体图形的体接触部分 370 之下的半导体面积量比图 1 所示的面积更小。然而，很少使用图 5 中示出的设计，因为与用以提供有源 FET 300 的半导体区域 390 的面积量相比，该设计要求大面积量的半导体区域 380 来提供体接触。

如上所述，不论是否使用图 1、图 4 中还是图 5 中的设计，使用体接触的一个困难是大的寄生电容。大电容的出现是由于体接触导体部分 170（图 1）、270（图 4）或 370（图 5）与跨过栅极电介质层

115 (图3)的一部分的衬底的单晶 SOI 区域之间紧密接近。

因此,期望的是提供一种改进的结构和制造方法,用于提供寄生电容降低的体接触 FET。

发明内容

通过与第一或者主场效应晶体管 (“FET”) 电并联放置的一个或多个第二 FET 而将第一或者主 FET 与至其的体接触分隔,以此提供解决前述问题的本发明的实施例。以此方式,第一 FET 主体可以延伸至由第二 FET 占有的区域之中,以允许对第一 FET 主体进行接触。优选地,第一 FET 的栅极导体和第二 FET 的栅极导体是单块导电图形的整体部分。优选地,将单块导电图形制作得如期望的那样小,并且可以将其制作成与位于集成电路之上的栅极导体的最小预定线宽一样小,所述集成电路包括体接触 FET。以此方式,可以保持面积和寄生电容较小。

因此,根据本发明的一个方面,提供了一种半导体器件结构,其中包括衬底的单块单晶半导体区域。具有第一源区和第一漏区的第一场效应晶体管 (“FET”) 布置在该单块单晶区域中。第一源区和第一漏区限定第一源漏导电通路。与第一 FET 的第一源漏导电通路电并联地提供具有第二源漏导电通路的至少一个第二场效应晶体管 (“FET”)。第二 FET 具有包括第二源区和第二漏区中至少一个的第二扩散区域。第二源漏导电通路在第二扩散区域与第一源区和第一漏区之一之间延伸。布置单块单晶区域的体接触,使得体接触与第二扩散区域具有结。

附图说明

图 1 是示出了根据现有技术的体接触 SOI FET 的顶部平面视图。

图 2 是通过图 1 中的线 2-2 的截面视图,示出了根据现有技术的体接触 SOI FET。

图 3 是通过图 1 中的线 3-3 的截面视图,示出了根据现有技术

的体接触 SOI FET。

图 4 是示出了根据现有技术的多指的体接触 SOI FET 的顶部平面视图。

图 5 是示出了根据现有技术的另一体接触 SOI FET 的顶部平面视图。

图 6 是示出了根据本发明一个实施例的体接触 SOI FET 的顶部平面视图。

图 7A 是示出了通过图 6 中的线 7-7 的相应截面视图，示出了根据本发明的特定实施例的体接触 SOI。

图 7B 是示出了通过图 6 中的线 7-7 的相应截面视图，示出了根据本发明这种实施例的变型的体接触 SOI。

图 8 是示出了根据本发明另一实施例的体接触 SOI FET 的顶部平面视图。

图 9 是示出了根据本发明又一实施例的体接触 SOI FET 的顶部平面视图。

图 10 是示出了根据本发明再一实施例的体接触 SOI FET 的顶部平面视图。

具体实施方式

根据本发明的实施例，提供了一种用于解决体接触 FET 前述问题的半导体器件结构和制造方法。参考图 6，在此处描述的半导体器件结构中，第一场效应晶体管（FET）620 布置在衬底的单块单晶半导体区域 600 中。体接触 640 具有到单块单晶区域 600 的扩散区域 650 的结 642，所述扩散区域 650 没有与第一 FET 的源区 624 电结合，或者实际上没有与第一 FET 的漏区 626 电结合。而是，扩散区域 650 担任第二 FET 632 的源区和漏区中的至少一个以及另一第二 FET 634 的源区和漏区中的至少一个，所述另一第二 FET 634 具有到第一 FET 的第一源区和第一漏区中至少一个的源漏导电通路。这样，就将第二 FET 的源漏导电通路与第一 FET 的源漏导电通路电并联连

接。

在图 6 示出的本发明的实施例中，单块单晶半导体区域 600 优选地主要包括硅，或者主要包括硅合金，例如锗硅。备选地，为了对沟道区域施加应力来增加晶体管的性能，半导体区域 600 具有主要包括硅的部分以及主要包括锗硅的另一部分。单块单晶区域可选地通过布置在单晶区域 600 的底部边缘 616 和顶部边缘 618 处以及在单块单晶半导体区域 600 的左侧边缘 612 和右侧边缘 614 处的一个或多个浅沟槽隔离（“STI”）610 来界定。单块单晶区域 600 优选地提供在绝缘体上半导体（“SOI”）层中，诸如 SOI 衬底的绝缘体上硅层，其中掩埋氧化物（“BOX”）层位于 SOI 层之下，而衬底的体区域位于 BOX 层之下，类似于上文参考图 2 描述和示出的 BOX 层和体区域。

在单块单晶半导体区域 600 中，第一 FET 620 在第一源区 624 和第一漏区 626 之间具有第一源漏导电通路 622。体接触 640 具有到单块单晶区域 600 的扩散区域 650 的结 642，所述扩散区域 650 没有与第一 FET 的源区 624 电结合，或者实际上没有与第一 FET 的漏区 626 电结合。而是，扩散区域 650 的一部分担任第二 FET 632 的源区 652，所述第二 FET 632 具有到第一 FET 620 的漏区 626 的源漏导电通路 633，该源漏导电通路 633 与第一 FET 的源漏导电通路 622 并联。同样，扩散区域 650 的一部分担任另一第二 FET 634 的漏区 654，所述另一第二 FET 634 具有与第一 FET 并联的、到第一 FET 620 的源区 624 的源漏导电通路 635。

如在图 6 中进一步所示，第一 FET 和第二 FET 分别具有栅极导体，其分别提供为在一个单块导电图形中导电并物理地接合在一起的第一栅极导体部分 660 和第二栅极导体部分 662、664。第一栅极导体部分 660 沿单块单晶区域 600 的纵向方向定向，即沿单块单晶区域 600 的顶部边缘 618 和底部边缘 616 之间的方向定向。第二栅极导体部分 662、664 沿单块单晶区域的横向方向定向，即沿单块单晶区域的左侧边缘 612 和右侧边缘 614 之间的宽度 665 的方向定向。

单块导电图形还包括尾部导体 670, 所述尾部导体 670 沿着从第二栅极导体部分 662、664 的边缘朝向单块导电图形的顶部边缘 618 的纵向方向延伸。

优选地, 单块导电图形的第二栅极导体部分 662、664 完全跨过宽度 665 延伸。这有助于确保其中布置有第二 FET 632、634 的部分的扩散区域 650 与第一 FET 620 电分隔。第一栅极导体部分 660 从第二栅极导体部分 662、664 的一个边缘一直延伸至单块单晶半导体区域 600 的一个边缘, 在此情况下, 是顶部边缘 616。

根据优选的实施例, 单块导电图形具有线宽 671, 线宽 671 基本上不大于集成电路的栅极导体的预定最小线宽, 其中半导体器件结构形成所述集成电路的一部分。优选地, 单块导电图形的线宽 671 等于集成电路的最小预定线宽。优选地, 不但第一栅极导体部分 660 而且第二栅极导体部分 662、664 以及尾部导体部分 670 都具有等于最小预定线宽的线宽。小线宽促进了通过第一 FET 620 的高电流驱动。小线宽还降低了位于未用作第一 FET 的第一栅极导体的导电图形部分之下的单晶半导体区域的量, 从而保持寄生电容较低。

进一步参考图 6, 通过经过相应的开口将稍微重掺杂区域注入单块单晶半导体区域中来形成体接触 640。为了确保体接触放置在容差内且大小足够, 开口可以在 STI 区域 610 的一部分之上延伸, 使得当在对体接触区域进行注入时, 能够将某些注入物质注入至 STI 区域 610 中。然而, 仅有单块单晶半导体 600 的注入部分成为结构的体接触区域的部分。

图 7A 为通过图 6 示出的半导体器件结构的线 7-7 的截面视图。如图 7A 所示, 单晶半导体区域的体接触区域 640 与扩散区域 654 相邻, 并与扩散区域 654 形成结。如上所述, 第二扩散区域 654 担任第二 FET 的漏区。第二 FET 634 具有源漏导电通路, 该源漏导电通路在第二栅极导体部分 664 之下的扩散区域 654 和第一 FET 的源区 624 之间延伸。硅化物层 672 位于其中布置体接触区域 640、第二扩散区域 654 和第一源区 624 的 SOI 层之上。优选地, 通过将硅化物

形成金属沉积到所述结构暴露的单晶硅材料上然后进行退火来形成与单晶硅区域自对准的硅化物 672，由此形成硅化物层 672。层间电介质（“ILD”）区域 676 覆盖包括所有 FET、体接触区域和扩散区域的半导体器件结构。如果有必要，可以通过该电介质层中的开口来提供诸如导电过孔 674 的接触以及其它接触（未示出），以与器件的期望部分导电接触。

同样，如图 6 中所示，第二栅极导体部分 664 具有绝缘帽 666 以及绝缘侧壁间隔层 667，所述绝缘帽 666 和绝缘侧壁间隔层 667 共同密封第二栅极导体部分 664，用于与相邻导电部件隔离。虽然在图 6 中没有特别示出，但是优选地，绝缘帽和侧壁间隔层密封整个单块导电图形以进行隔离。在绝缘帽 666 以及侧壁间隔层 667 进行隔离的情况下，可以在穿过 ILD 区域 676 延伸的开口中提供导电过孔 674，以与硅化物层 672 导电接触。可选地，在图 7B 示出的该实施例的一个变型中，可以以无边界方式来形成导电过孔 674，以便导电过孔 674 的边缘 676 落在绝缘帽 666 上。本发明的实施并不要求这种无边界接触。备选地，可以使用另一更加常规的接触方案来代替，诸如在以下关于图 7B 所描述的方案。

图 7B 示出了关于图 7A 描述的半导体器件结构的另一变型。在该结构中，提供了位于第二栅极导体部分 764 之上的硅化物层 768。通过延伸，可以形成位于整个单块导电图形之上的这种硅化物层 768，所述整个单块导电图形包括第一栅极导体部分 660（图 6）以及尾部导体部分 670，假定导电过孔 774 的边缘（例如边缘 776）与尾部导体部分 670 的边缘 682 和 684 适当隔开，如图 6 所示。

图 8 示出了参考图 6 和图 7A 或图 7B 的上述实施例的变型。如在此所示，包括尾部导体部分 842 和第一栅极导体部分 860 的单块导电图形在单块单晶半导体区域的顶部边缘 818 和底部边缘 816 之间的其整个长度 858 延伸。根据导电过孔相对于体接触注入区域 840 的设置，可以采用无边界或者有边界的方式来形成导电过孔，与图 7A 和图 7B 所述的类似。

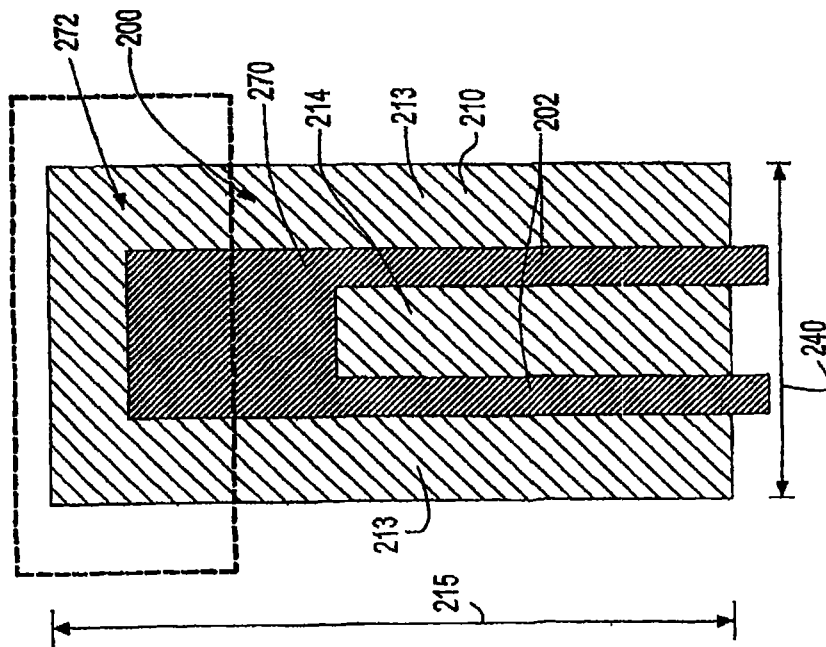
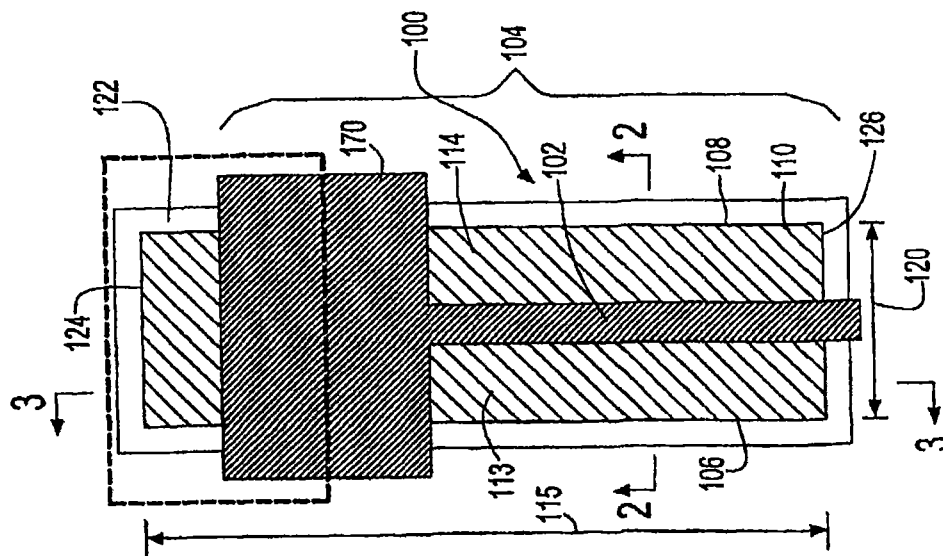
在图 9 示出的另一实施例中，第一 FET 的漏区和源区之一从单块单晶半导体区域的底部边缘 916 延伸至其顶部边缘 918。优选地，源区 926 从底部边缘 916 延伸至顶部边缘 918。在此情况下，体接触注入区域 940 与第二扩散区域 954 和源区 926 的一部分都具有结，所述第二扩散区域 954 布置在第一栅极导体部分 960 的与源区 926 相对的一侧上。

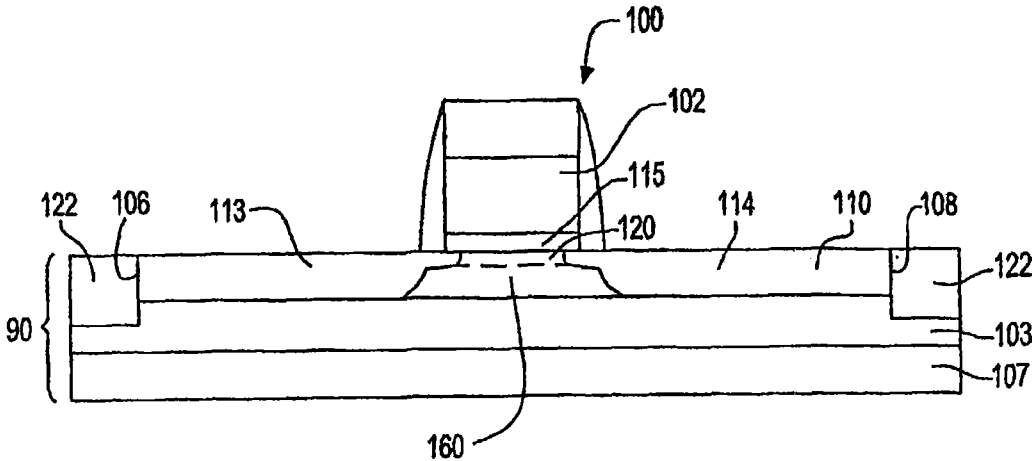
最后，图 10 示出了与图 9 所示类似的实施例，但是其中单块单晶半导体区域具有带凹口的外观。例如浅沟槽隔离（“STI”）区域 1010 的隔离区域占有围绕半导体区域的衬底表面区域。该结构适合应用于其中有源第一 FET 1020 的栅极导体 1060 不必具有集成电路的栅极导体的最小线宽的情况。栅极导体 1060 的线宽基本上大于最小线宽。需要第一 FET 1020 的栅极导体 1060 的更大的线宽来确保 STI 区域 1010 的边缘在用于制造第一 FET 1020 所提供的工艺容限内被栅极导体 1060 重叠。在该实施例中，第一 FET 1020 的漏区或者源区仅在单晶区域的底部边缘 1016 与布置在顶部边缘和底部边缘之间的中间边缘 1015 之间延伸。此外，在该实施例中，第二栅极导体部分 1064 仅在例如单晶半导体区域的左侧边缘 1012 的一个边缘与第一 FET 1020 的第一栅极导体部分 1060 之间延伸，并以直角 1070 或者基本以直角与第一栅极导体部分相接。

虽然已经根据其特定的优选实施例对本发明进行了描述，但是本领域技术人员应当理解，在不脱离下文所附权利要求书限定的本发明的真实范围和精神的情况下，可以对其进行许多变型和改进。

工业应用性

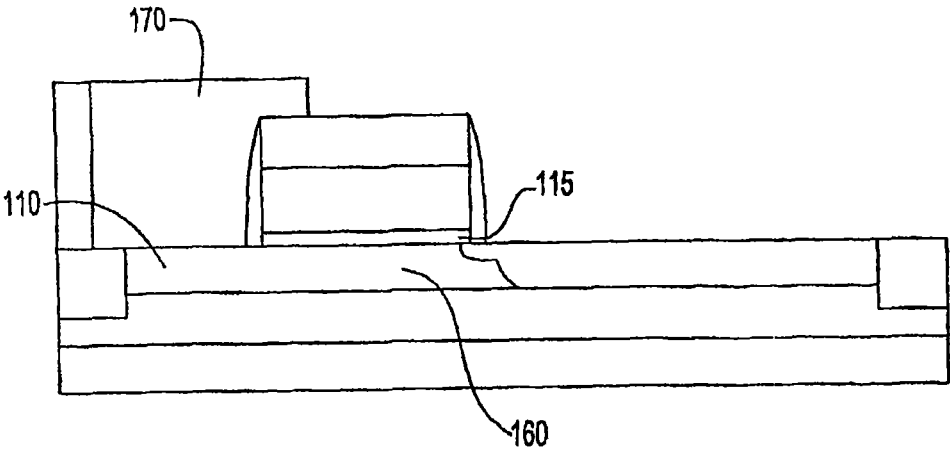
本发明在半导体器件领域是有益的，且尤其是对于场效应晶体管更加有益。





现有技术

图 2



现有技术

图 3

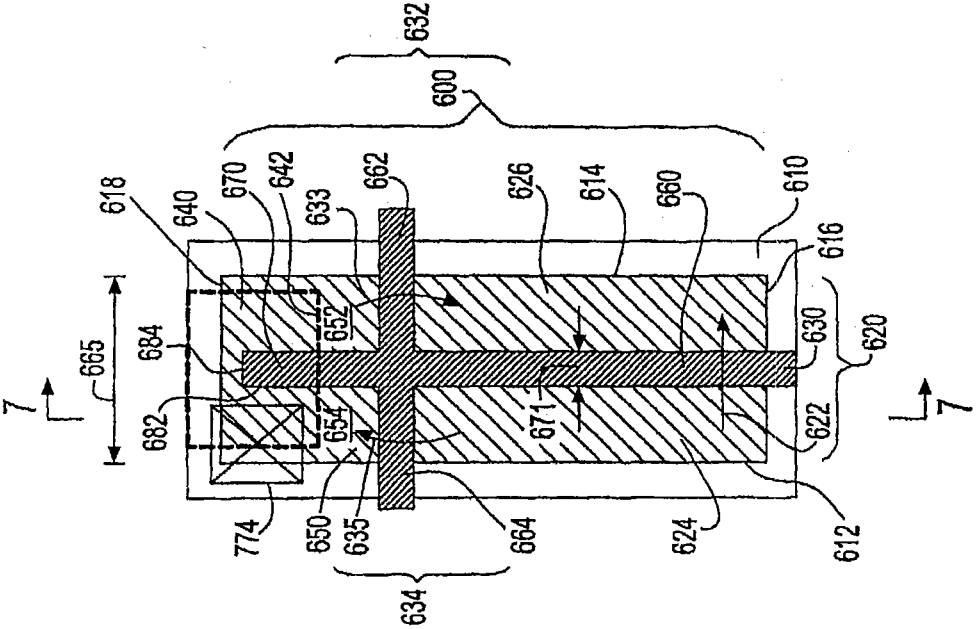


图 6

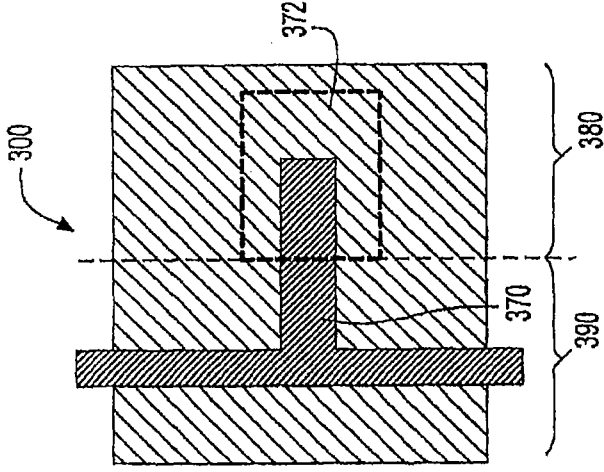


图 5

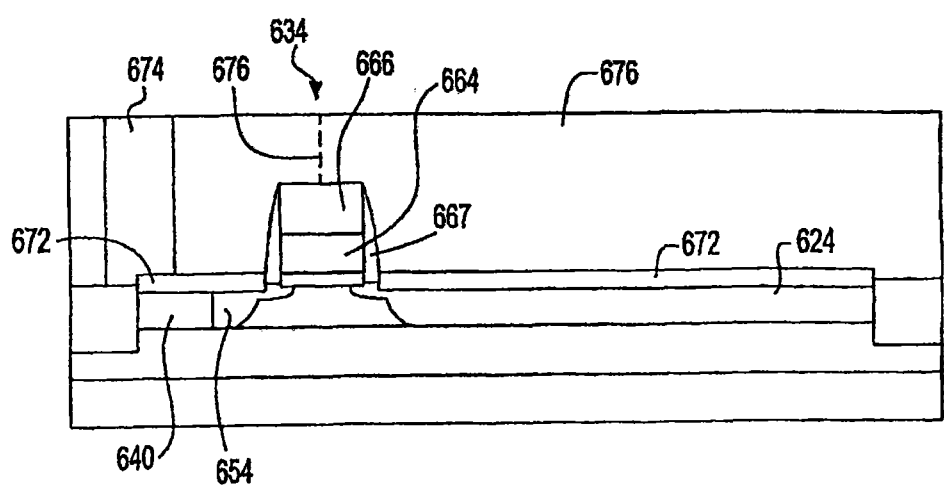


图 7A

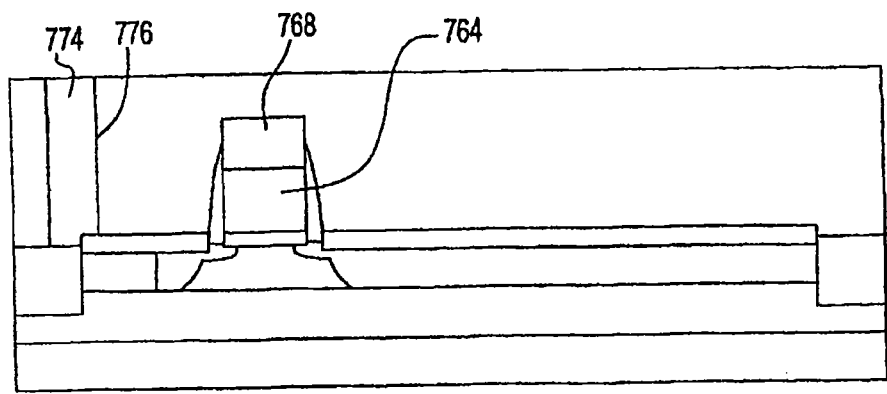


图 7B

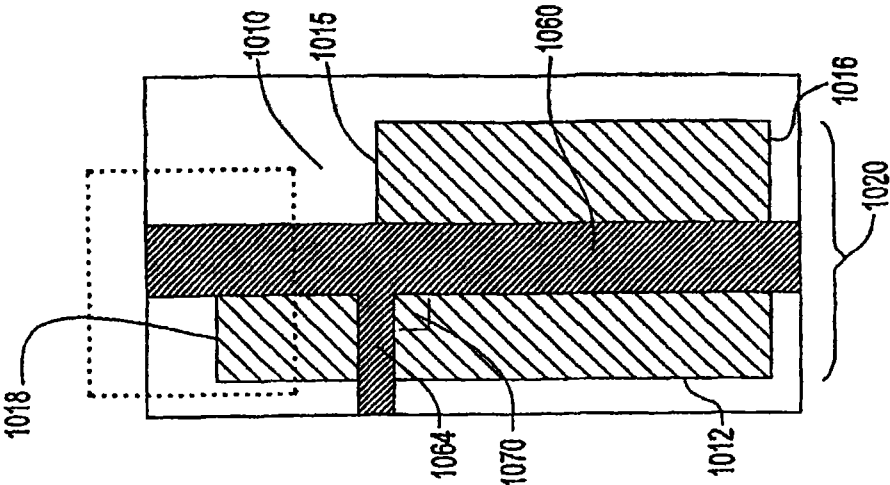


图 10

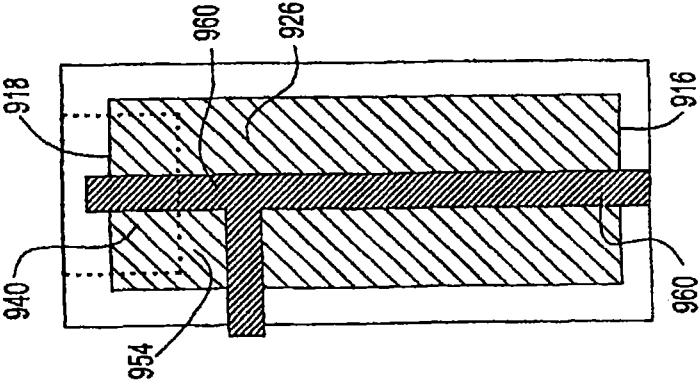


图 9

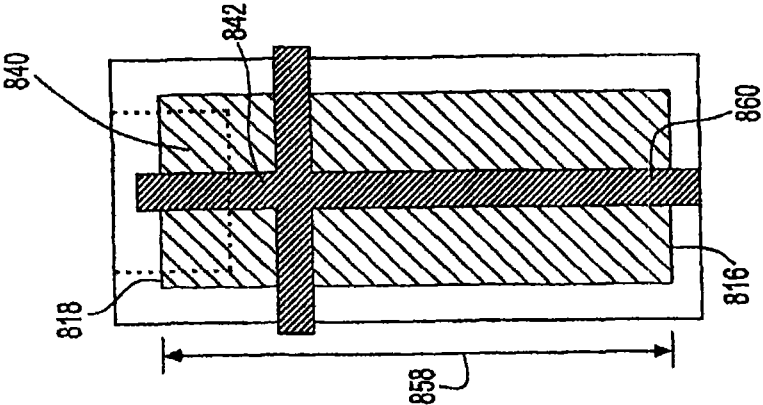


图 8