

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 11 月 15 日 (2007.11.15)

【公開番号】特開 2005-174286 (P2005-174286A)

【公開日】平成 17 年 6 月 30 日 (2005.6.30)

【年通号数】公開・登録公報 2005-025

【出願番号】特願 2004-286229 (P2004-286229)

【国際特許分類】

**G 0 6 F 13/38 (2006.01)**

**G 0 6 F 12/02 (2006.01)**

**G 0 6 F 12/06 (2006.01)**

**H 0 4 L 13/08 (2006.01)**

【F I】

G 0 6 F 13/38 3 1 0 D

G 0 6 F 12/02 5 4 0

G 0 6 F 12/06 5 2 2 C

G 0 6 F 12/06 5 5 0 B

H 0 4 L 13/08

【手続補正書】

【提出日】平成 19 年 9 月 28 日 (2007.9.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

リンク・リスト・データ・ファイルを処理するように適合されたメモリ管理システムを操作する方法であって、前記システムは複数の高速小容量メモリおよび低速大容量メモリを備え、前記高速メモリは第 1 のデータ転送速度を持ち、前記大容量メモリは前記第 1 のデータ転送速度よりも遅い第 2 のデータ転送速度を持ち、前記システムはさらに、前記メモリによりリンク・リストの読み書きの要求を生成するためのアクセス・フロー・レギュレータを備え、該方法が、

前記アクセス・フロー・レギュレータから前記高速メモリに書き込み要求を送信することにより、前記高速メモリへのリンク・リストの書き込みを開始するステップ、

前記リンク・リストの先頭バッファおよび末尾バッファおよび少なくとも 1 つの中間バッファを前記高速メモリに書き込むステップ、及び

前記高速メモリから前記大容量メモリに前記少なくとも 1 つの中間バッファを転送する一方で、先頭バッファおよび末尾バッファを前記高速メモリ内に残すステップからなる方法。

【請求項 2】

リンク・リスト・データ・ファイルを処理するように適合されたメモリ管理システムを操作する方法であって、前記システムは複数の高速小容量メモリおよび低速大容量メモリを備え、前記高速メモリは第 1 のデータ転送速度を持ち、前記大容量メモリは前記第 1 のデータ転送速度よりも遅い第 2 のデータ転送速度を持ち、前記システムはさらに、前記メモリによりリンク・リストの読み書きの要求を生成するためのアクセス・フロー・レギュレータを備え、

指定されたリンク・リストの読み出し要求を前記アクセス・フロー・レギュレータから

前記指定されたリンク・リストのバッファを含む前記高速メモリに送信するステップ、  
前記指定されたリンク・リストの先頭バッファを読み込むステップ、  
前記リンク・リストの前記少なくとも1つの中間バッファを前記大容量メモリから前記高速メモリのうちの1つに転送するステップ、  
前記1つの高速メモリに転送された前記中間バッファを前記指定されたリンク・リストの交換先頭バッファとして指定するステップ、  
前記1つの高速メモリから前記指定されたリンク・リストの前記中間バッファを読み出すステップ、及び  
前記指定されたリンク・リストの前記読み出されたバッファを前記アクセス・フロー・レギュレータに送信するステップ  
からなる方法。

【請求項3】

請求項1又は2の方法であって、  
前記システムを前記アクセス・フロー・レギュレータからの複数の要求に対するリンク・リストを同時処理するように動作させるステップ、  
前記システムを前記複数の高速メモリのうちの異なるメモリに格納されているリンク・リストのバッファを処理するように動作させるステップ、  
前記システムを、末尾バッファを新しいリンク・リストに書き込まれた第1のバッファとして書き込むように動作させるステップ、及び  
リンク・リストの先頭バッファを最初に読み込むステップ  
をさらに含む方法。

【請求項4】

請求項1又は2の方法において、前記システムはさらに、複数の状態コントローラ(1804)を備え、それぞれの状態コントローラは前記複数の高速メモリのうちの対応するメモリに対する個別のコントローラであり、前記システムはさらに、前記アクセス・フロー・レギュレータを前記状態コントローラと接続する要求バス(1802)を備え、読み出し要求を送信する前記ステップが、  
前記アクセス・フロー・レギュレータを動作させ、前記読み出し要求を受信すべきアイドル状態の高速メモリを選択するステップ、  
前記読み出し要求を前記アクセス・フロー・レギュレータから前記要求バスを介して前記選択された高速メモリに対して個別の状態コントローラに送信するステップ、  
前記状態コントローラを、前記選択された高速メモリの現在の占有レベルを判別するように動作させるステップ、  
前記現在の占有レベルが所定のレベル以下の場合に前記要求を前記高速メモリに送信するステップ、及び  
前記選択された高速メモリの前記現在の占有レベルが前記所定のレベルを超えた場合に前記大容量メモリへの接続を要求するステップ  
を含み、  
前記システムがさらに、バックグラウンド・アクセス・マルチプレクサ、および前記状態コントローラを前記マルチプレクサと接続するアクセス・バスを備え、前記システムがさらに、前記マルチプレクサを前記大容量メモリと接続するバスを備え、前記方法が、前記マルチプレクサを、  
前記大容量メモリへの接続の要求を前記状態コントローラから受信し、  
複数の要求状態コントローラのどれかに対し前記大容量メモリへのアクセスを許可するかを決定するように動作させるステップ、  
前記1つの要求状態コントローラを前記大容量メモリに接続するステップ、  
前記1つの高速メモリから前記大容量メモリにデータを転送する際の前記大容量メモリのオペレーションを制御するステップ、及び  
前記アクセス・バスを介して前記状態コントローラから前記マルチプレクサに前記リンク・リストのバッファを転送するステップを含む方法。

## 【請求項 5】

請求項 1 又は 2 の方法において、前記大容量メモリから前記バッファを転送する前記ステップが、

リンク・リストの中間バッファを前記大容量メモリから前記高速メモリに、前記高速メモリのデータ転送速度に実質的に等しいデータ転送速度を持つバースト・モードで転送するステップ、

前記読み出されたバッファを前記高速メモリに格納するステップ、

その後、前記高速メモリから前記リンク・リストのバッファを読み出し、前記アクセス・フロー・レギュレータに転送するステップ、

バッファを既存のリンク・リストに書き込むのに、前記高速メモリから前記大容量メモリに前記既存のリンク・リスト既存の末尾を転送することにより書き込むステップ、及び

新しいバッファを前記既存のリンク・リストの新しい末尾バッファとして前記高速メモリに書き込むステップ

を含む方法。

## 【請求項 6】

請求項 4 記載の方法において、前記状態コントローラを動作させる前記ステップが、さらに、

複数のリンク・リストのバッファを同時に受け取るステップ、

前記アクセス・フロー・レギュレータに送られる複数のリンク・リストのバッファを分離するステップ、

前記アクセス・フロー・レギュレータによって受け取られた複数のアクセスを前記高速メモリに送るステップ、

前記アクセス・フロー・レギュレータからそれぞれの受信された要求に応答し、前記状態コントローラに個別の高速メモリの現在の占有レベルを判別するステップ、

前記現在の占有レベル以下の場合、前記関連する高速メモリに前記アクセスを送るステップ、

前記現在の占有レベルを超えた場合、前記要求をバッファリングするよう前記アクセス・フロー・レギュレータに信号を送るステップ、

前記高速メモリからバッファをバースト・モードで前記大容量メモリに転送するのを制御するステップ、

前記大容量メモリからバッファを前記高速メモリに転送するのを制御するステップ、

転送が要求されたときに前記大容量メモリがアイドル状態かどうか判別するステップ、

アイドル状態の場合前記バッファを前記大容量メモリに送るステップ、及び

前記大容量メモリが使用中の場合、前記転送をバッファリングするステップ

を含む方法。

## 【請求項 7】

請求項 4 の方法において、前記マルチプレクサを動作させる前記ステップが、さらに、複数のビッディング高速メモリのどれに対し前記大容量メモリへのアクセスを許可するかを決定するステップ、

他のバッファの要求を前記 1 つの高速メモリにバッファリングするステップ、

前記大容量メモリからのバッファの転送先の高速メモリに対する ID を決定するステップ、及び

前記大容量メモリから前記識別された高速メモリにバースト・モードで前記バッファを転送するのを制御するステップ

を含む方法。

## 【請求項 8】

請求項 1 又は 2 の方法であって、さらに、

それぞれの前記高速メモリの使用中 / アイドル状態を示す、それぞれの高速メモリに固有の信号を発生するステップ、

それぞれの発生した信号を前記アクセス・フロー・レギュレータに送るステップ、

前記アクセス・フロー・レギュレータを、前記高速メモリによるリンク・リストの読み書きの要求を受け取るように動作させるステップ、

要求を受け取ったことに対して応答して前記アクセス・フロー・レギュレータを動作させることにより、前記高速メモリにより生成される前記使用中／アイドル状態信号を読み出すステップ、

前記読み出しに応答して前記アクセス・フロー・レギュレータを、前記いくつかの高速メモリのうちアイドル状態のメモリを識別するように動作させるステップ、

前記アクセス・フロー・レギュレータを、データ・ファイルの読み書きの要求を前記アイドル状態の1つの高速メモリに送るよう動作させるステップからなる方法。

【請求項 9】

リンク・リストのデータ・ファイルを処理するように適合されているメモリ管理システム(1800)であって、前記システムが、

複数の高速小容量メモリ(1803-1、1803-2、1803-3、1803-4、1803-5、1803-6、1803-7、1803-8)および低速大容量メモリ(806-1、806-2、806-3)であって、前記高速メモリは第1のデータ転送速度を持ち、前記大容量メモリは前記第1のデータ転送速度よりも遅い第2のデータ転送速度を持つメモリ、

前記メモリ(1803、1806)によるリンク・リストの読み書きの要求を生成するためのアクセス・フロー・レギュレータ(1801)、

書き込み読み出し要求を前記複数の高速メモリ(1806-1、1806-2、1806-3、1806-4、1806-5、1806-6、1806-7、1806-8)のうちのアイドル状態のメモリに送ることにより前記メモリ内のリンク・リストの書き込みを開始するための装置(1819)、

前記リンク・リストの先頭バッファおよび末尾バッファおよび少なくとも1つの中間バッファを前記高速メモリに書き込むための装置(1919)、

前記高速メモリから前記大容量メモリに前記リンク・リストの前記少なくとも1つの中間バッファを転送し、その一方で前記リンク・リストの先頭バッファおよび末尾バッファを前記高速メモリに残すための装置(1804、1808、1810)、

その後前記アクセス・フロー・レギュレータからの前記リンク・リストの読み込みの要求を前記高速メモリに送るための装置(1802)、

前記リンク・リストの先頭バッファを前記高速メモリの1つに読み込むための装置(1804)、

前記リンク・リストの前記少なくとも1つの中間バッファを前記大容量メモリから前記高速メモリに転送するための装置(1808、1810、1804)、

前記高速メモリ内の転送されたバッファを新しい先頭バッファとして指定するための装置(1810)、

その後前記先頭バッファおよび前記末尾バッファだけでなく前記中間バッファを前記高速メモリから読み出すための装置(1804)、及び

前記リンク・リストの前記読み出されたバッファを前記アクセス・フロー・レギュレータに送信するための装置(1802)を備えるメモリ管理システム。

【請求項 10】

請求項 9 のメモリ管理システムであって、さらに、

それぞれの高速メモリの現在の使用中／アイドル状態を示す、それぞれの高速メモリに固有の信号を発生するための前記高速メモリ(1803)を備える装置(1804)、

前記信号を前記アクセス・フロー・レギュレータに送るための装置(1802)、

前記アクセス・フロー・レギュレータ(1801)により、前記高速メモリによるリンク・リストの読み書きの要求を受け取る装置(1814)、

前記アクセス・フロー・レギュレータ(1801)により、前記要求を受け取ったこと

に 応 答 し て、前 記 使 用 中 / ア イ ド ル 状 態 信 号 を 読 み 込 む 装 置 ( 1 8 2 1 )、

前 記 ア ク セ ス ・ フ ロ ー ・ レ ギ ュ レ ー タ ( 1 8 0 1 ) に よ り、前 記 読 み 出 し に 対 す る 応 答 し て 前 記 高 速 メ モ リ の そ れ ぞ れ の 現 在 の 使 用 中 / ア イ ド ル 状 態 を 判 別 す る た め の 装 置 ( 1 8 2 1 )、及 び

前 記 ア ク セ ス ・ フ ロ ー ・ レ ギ ュ レ ー タ ( 1 8 0 1 ) に よ り、前 記 メ モ リ の 1 つ が 現 在 ア イ ド ル 状 態 か ど う か を 判 別 し た こ と に 応 答 し て、前 記 高 速 メ モ リ に よ る リ ン ク ・ リ ス ト の 読 み 書 き の 要 求 を 許 可 す る 装 置 ( 1 8 2 1、1 8 0 4 )

を 備 え る メ モ リ 管 理 シ ス テ ム。