



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

260 825

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 12 86
(21) PV 8963-86.Y

(51) Int. Cl.⁴
G 06 K 7/00

(40) Zveřejněno 15 06 88
(45) Vydáno 1.11.1989

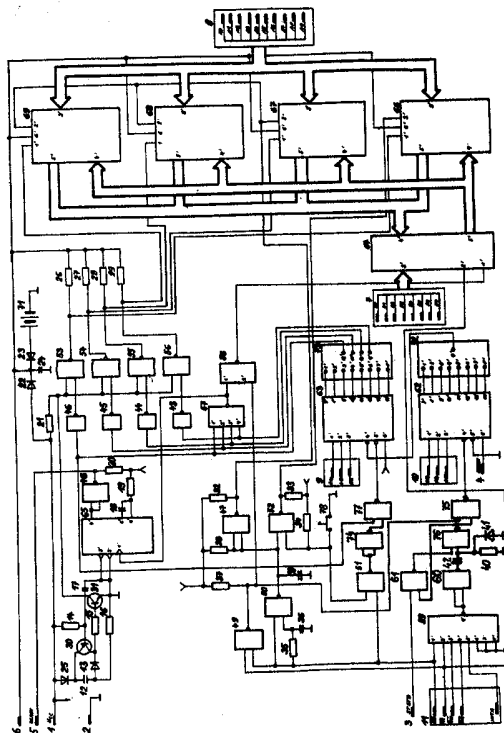
(75)
Autor vynálezu

DITTRICH ARNOŠT ing. CSc.,
VANĚK VLADIMÍR ing., PRAHA

(54)

Zapojení paměti pro zápis a čtení se zálohovaným napájením

Je řešeno zapojení paměti pro zápis a čtení se zálohovaným napájením. Účelem řešení je uchování obsahu pamětových bloků i v případě výpadku síťového napájení. Uchování informace v pamětových blocích je zabezpečeno zálohovacím zdrojem napájení a obvodem pro vyhodnocení ztráty napájecího napětí. Pomocí hradel s otevřeným kolektorem jsou v případě vyhodnocení ztráty napájecího napětí blokovány uvolňovací vstupy pamětových bloků. Ze zálohovacího zdroje jsou při výpadku síťového napájení napájeny pouze pamětové bloky. Je popsáno výhodné provedení zapojení paměti pro zápis a čtení.



Vynález se týká zapojení paměti pro zápis a čtení se zálohovaným napájením.

Mikroproces^{ro}ové systémy jsou pro svou činnost nezbytně vybaveny paměťovými obvody pro zápis a čtení označovanými RWM. Pro řízení soustav v reálném čase je nezbytné uchování řady údajů i v případě výpadku síťového napájení. To vyžaduje použití paměti se zálohovaným napájením. Řešení paměťových modulů je závislé na vlastnostech paměťových prvků i vlastnostech řídicích signálů dostupných na sběrnici mikroprocesorového systému. Jsou známa napájení paměti se zálohovaným napájením, jejichž uspořádání je vázáno na určitý mikroprocesorový systém. Obvody vyhodnocující výpadek napájení jsou komplikované a jednoduché verze těchto obvodů je nutné během výpadků napájet ze zdroje pro zálohování.

Uvedené nevýhody odstraňuje zapojení paměti pro zápis a čtení se zálohovaným napájením podle vynálezu, sestávající z paměťových obvodů, logických integrovaných obvodů, periferních obvodů, kondenzátorů, odporů, diod, tranzistorů a baterie. Podstata vynálezu spočívá v tom, že první, druhý, třetí, čtvrtý a pátý vstup logického členu jsou spojeny se sběrnici řídicích signálů. Přitom druhý vstup logického členu je spojen současně s prvním vstupem prvního hradla i se sedmým vstupem budiče přijímače dat. První vstup logického členu je přitom současně spojen s druhým vstupem prvního hradla, s prvním vstupem druhého hradla i s druhým vstupem třetího hradla a přes první odpor s druhým vstupem druhého hradla, jenž je současně přes první kondenzátor spojen se svorkou nulového potenciálu. Výstup prvního hradla je spojen přes druhý odpor s kladnou napájecí svorkou a současně s druhým vstupem desátého hradla. Výstup logického členu je spojen se vstupem prvního invertoru, jehož výstup je

připojen přes druhý kondenzátor na druhý vstup jedenáctého hradla, jenž je přes sedmnáctý odpor spojen se svorkou nulového potenciálu, se kterou je též spojena anoda páté diody paralelně připojené k sedmnáctému odporu. První vstup jedenáctého hradla je spojen s výstupem dvanáctého hradla, k jehož prvnímu vstupu je připojena třetí svorka. Druhý vstup dvanáctého hradla je spojen s výstupem jedenáctého hradla a současně s druhým vstupem třináctého hradla, jehož první vstup je spojen s výstupem prvního hradla. Výstup třetího hradla je spojen se vstupem druhého invertoru, jehož výstup je spojen s druhým vstupem čtrnáctého hradla, jehož první vstup je zapojen na čtvrtý výstup druhého adresovacího pole. Výstup čtrnáctého hradla je spojen s pátým hradlovacím vstupem druhého adresovacího dekodéru, jehož šestý vstup je spojen s první svorkou pro připojení kladného napájecího napětí. Čtvrtý vstup druhého adresovacího dekodéru je zapojen na výstup prvního adresovacího pole, přičemž jeho první, druhý a třetí vstup jsou spojeny s druhým segmentem adresové sběrnice. První až osmý výstup druhého adresovacího dekodéru jsou spojeny vždy s příslušným prvním až osmým vstupy druhého adresovacího pole. První, druhý a třetí vstupy prvního adresovacího dekodéru jsou spojeny s prvním segmentem adresové sběrnice. Čtvrtý hradlovací vstup prvního adresového dekodéru je zapojen na výstup třináctého hradla. Pátý vstup prvního adresového dekodéru je spojen se svorkou nulového potenciálu. Šestý vstup prvního adresového dekodéru je spojen se čtvrtou svorkou pro ^{signál} reset. První až osmý výstupy prvního adresového dekodéru jsou spojeny s prvním až osmým výstupy prvního adresovacího pole. První výstup druhého adresovacího pole je spojen se vstupem třetího invertoru a se čtvrtým vstupem desátého hradla. Druhý výstup druhého adresovacího pole je spojen se vstupem čtvrtého invertoru a se třetím vstupem desátého hradla. Třetí výstup druhého adresovacího pole je spojen se vstupem pátého invertoru a s druhým vstupem devátého hradla. Čtvrtý výstup druhého adresovacího pole je spojen se vstupem šestého invertoru a s prvním vstupem devátého hradla, jehož výstup je zapojen na první vstup monostabilního obvodu a současně na první

vstup desátého hradla, jehož výstup je připojen k prvnímu vstupu budiče přijímače dat, jehož sběrnice vstup je spojen s datovou sběrnicí a jehož datový výstup je současně spojen s datovými vstupy prvního, druhého, třetího i čtvrtého paměťových bloků, jejichž třetí vstupy jsou všechny spojeny se třetím segmentem adresové sběrnice a jejichž výstupy jsou všechny připojeny na datový vstup budiče přijímače dat. Výstup druhého hradla je spojen paralelně se vstupem sedmého invertoru, s prvním vstupem čtvrtého hradla, přes třetí odpor s první svorkou kladného napájecího napětí a přes šestý kondenzátor se svorkou nulového potenciálu. Druhý vstup čtvrtého hradla je spojen paralelně s prvním vstupem třetího hradla, přes čtvrtý odpor s první svorkou pro kladné napájecí napětí a přes spínač se svorkou nulového potenciálu. Výstup čtvrtého hradla je spojen přes pátý odpor s první svorkou pro kladné napájecí napětí a paralelně s druhým vstupem prvního paměťového bloku. Výstup sedmého invertoru je spojen přes šestý odpor s první svorkou pro kladné napájecí napětí a paralelně s druhým vstupem druhého paměťového bloku, s druhým vstupem třetího paměťového bloku a s druhým vstupem čtvrtého paměťového bloku. Druhý a třetí vstup monostabilního obvodu jsou spojeny paralelně a na svorku nulového potenciálu. Pátý vstup monostabilního obvodu je spojen přes sedmý kondenzátor s jeho šestým vstupem, jenž je přes sedmý odpor spojen s první svorkou pro kladné napájecí napětí. Výstup monostabilního obvodu je připojen na vstup osmého invertoru, jehož výstup je spojen přes osmý odpor s první svorkou pro kladné napájecí napětí a paralelně s pátou svorkou pro signál READY. Emitor prvního tranzistoru je spojen jednak s katodou první diody, jejíž anoda je připojena na první svorku pro kladné napájecí napětí, jednak přes třetí kondenzátor s anodou druhé diody, jež je přes devátý odpor spojena s emitorem druhého tranzistoru a se svorkou nulového potenciálu. Kolektor prvního tranzistoru je spojen paralelně s katodou druhé diody a přes desátý odpor s bází druhého tranzistoru. Báze prvního tranzistoru je spojena přes jedenáctý odpor s první svorkou pro kladné napájecí napětí a přes čtvrtý kondenzátor s emitorem druhého tranzistoru, jehož kolektor je připojen na první vstup pátého hradla. První vstup šestého hrad-

la, první vstup sedmého hradla a první vstup osmého hradla jsou spojeny paralelně a přes dvanáctý odpor jsou spojeny s první svorkou pro kladné napájecí napětí, ke které je též připojena anoda třetí diody, jejíž katoda je spojena paralelně se šestou svorkou pro zálohovací napětí, s katodou čtvrté diody, s napájecími vstupy prvního, druhého, třetího i čtvrtého paměťových bloků a přes pátý kondenzátor se svorkou nulového potenciálu. Anoda čtvrté diody je spojena s kladným pólem zálohovací baterie, jejíž záporný pól je připojen ke svorce nulového potenciálu. Výstup šestého invertoru je spojen s druhým vstupem pátého hradla, jehož výstup je spojen jednak přes třináctý odpor se šestou svorkou pro zálohovací napětí, jednak paralelně s prvním vstupem prvního paměťového bloku. Výstup pátého invertoru je spojen s druhým vstupem šestého hradla, jehož výstup je spojen jednak s prvním vstupem druhého paměťového bloku a jednak přes čtrnáctý odpor s první svorkou pro kladné zálohovací napětí. Výstup čtvrtého invertoru je spojen s druhým vstupem sedmého hradla, jehož výstup je spojen jednak s prvním vstupem třetího paměťového bloku a jednak přes patnáctý odpor se šestou svorkou pro zálohovací napětí. Výstup třetího invertoru je spojen s druhým vstupem osmého hradla, jehož výstup je spojen jednak s prvním vstupem čtvrtého paměťového bloku a jednak přes šestnáctý odpor se šestou svorkou pro zálohovací napětí.

Zapojení paměti pro zápis a čtení se základovým napájením podle vynálezu výhodně zabezpečuje zachování informací v paměti při malém nároku na odběr ze zdroje pro zálohování. Zabezpečuje tento účel i v mikropočítačových systémech, jejichž sběrnice má omezený počet řídicích signálů. Umožňuje zapsání a čtení dat v jednokilobytových blocích a udržení zapsané informace i po výpadku síťového napájení mikropočítače. Zachování informace je jednak zabezpečeno zálohovacím zdrojem napájení a jednak obvodem pro vyhodnocení ztráty napájecího napětí. V případě ztráty napájecího napětí tento obvod blokuje uvolňovací signály paměti, a tím zamezuje možnosti přepsání jejího obsahu během zhroucení činnosti mikropočítače. Přitom ze zálohovacího zdroje jsou v takovém případě napájeny pouze paměťové obvody. Paměť je dále

vybavena obvodem umožňujícím dodatečné manuální zablokování dalšího zápisu do některých paměťových bloků po zapsání dat, které je potřebné vkládat do paměti, ale během dalšího provozu mikropočítače již nesmí dojít k jejich změně. Pro paměťové prvky s menší rychlostí je paměť vybavena obvodem generujícím zpožděný signál READY pro procesor. Adresový dekodér je zapojen pro volbu adresy v plné šíři adresového prostoru s možností umístění počáteční adresy s rozlišitelností jeden kilobyte. Adresový dekodér je řízen obvodem, který zpracovává signály řídicí sběrnice pro zápis, čtení a přerušení, a tím umožňuje činnost paměti i v systémech, které neobsahují všechny signály nutné pro řízení adresování.

Příklad zapojení pro zápis a čtení se zálohovaným napájením je znázorněn na připojeném výkrese.

Logický člen 59 je spojen se sběrnicí řídicích signálů 11 svým prvním vstupem pro signál MW zápisu do paměti, svým druhým vstupem pro signál MR čtení z paměti, svým třetím vstupem pro signál IOW zápisu do výstupního zařízení, svým čtvrtým vstupem pro signál IOR pro čtení z výstupního zařízení a svým pátým vstupem pro kvitovací signál přerušení INTA. Šestý, sedmý a osmý vstupy logického členu 59 jsou propojeny paralelně a s první svorkou 1 pro kladné napájecí napětí. Druhý vstup logického členu 59 je přitom paralelně spojen s prvním vstupem prvního hradla 49 a s druhým vstupem budiče přijímače dat 64. První vstup logického členu 59 je přitom paralelně spojen s druhým vstupem prvního hradla 49, s prvním vstupem druhého hradla 50, s druhým vstupem třetího hradla 51 a přes první odpor 35 s druhým vstupem druhého hradla 50, jenž je přes první kondenzátor 36 spojen se svorkou nulového potenciálu 2. Výstup prvního hradla 49 je spojen přes druhý odpor 37 s první svorkou 1 pro kladné napájecí napětí a paralelně s druhým vstupem desátého hradla 58. Výstup logického členu 59 na jeho deváté pozici je spojen se vstupem prvního invertoru 60, jehož výstup je připojen přes druhý kondenzátor 42 na druhý vstup jedenáctého hradla 76, jenž je přes sedmnáctý odpor 40 spojen se svorkou nulového potenciálu 2, se kterou je též spojena anoda páté diody 41, para-

lelně připojené k sedmnáctému odporu 40. První vstup jedenáctého hradla 76 je spojen s výstupem dvanáctého hradla 61, k jehož prvnímu vstupu je připojena třetí svorka 3 signálu strobe a jehož druhý vstup je spojen s výstupem jedenáctého hradla 76 a s druhým vstupem třináctého hradla 75, jehož první vstup je spojen s výstupem prvního hradla 49. Výstup třetího hradla 51 je spojen se vstupem druhého invertoru 74, jehož výstup je spojen s druhým vstupem čtrnáctého hradla 77, jehož první vstup je připojen na čtvrtý výstup na dvanácté pozici druhého adresovacího pole 73. Výstup čtrnáctého hradla 77 je spojen s pátým, hradlovacím vstupem druhého adresového dekodéru 63, jehož vstup je spojen s první svorkou 1 pro kladné napájecí napětí a jehož čtvrtý vstup je spojen s výstupem na deváté pozici prvního adresovacího pole 72. První, druhý a třetí vstupy druhého adresovacího dekodéru 63 jsou spojeny s druhým segmentem 9 adresové sběrnice na pozicích A10, A11, A12. První až osmý výstupy druhého adresového dekodéru 63 na jeho pozicích sedmé až čtrnácté jsou spojeny s odpovídajícími prvními až osmými vstupy druhého adresovacího pole 73. První, druhý a třetí vstupy prvního adresovacího dekodéru 62 jsou spojeny s prvním segmentem 10 adresové sběrnice na pozicích A13, A14, A15. Čtvrtý, hradlovací vstup prvního adresového dekodéru 62 je zapojen na výstup třináctého hradla 75. Pátý vstup prvního adresového dekodéru 62 je spojen se svorkou nulového potenciálu 2 a jeho šestý vstup je spojen se čtvrtou svorkou⁴ pro signál RESET. První až osmý výstupy na sedmé až čtrnácté pozici prvního adresového dekodéru 62 jsou spojeny s odpovídajícími prvními až osmými vstupy prvního adresovacího pole 72. První výstup na deváté pozici druhého adresovacího pole 73 je spojen paralelně se vstupem třetího invertoru 43 a se čtvrtým vstupem devátého hradla 57. Druhý výstup na desáté pozici druhého adresovacího pole 73 je spojen paralelně se vstupem čtvrtého invertoru 44 a se třetím vstupem devátého hradla 57. Třetí výstup na jedenácté pozici druhého adresovacího pole 73 je spojen paralelně se vstupem pátého invertoru 45 a s druhým vstupem devátého hradla 57. Čtvrtý výstup na dvanácté pozici druhého adresovacího pole 73 je spojen paralelně se vstupem šestého invertoru 46

a s prvním vstupem devátého hradla 57, jehož výstup je zapojen paralelně na první vstup monostabilního obvodu 65 a na první vstup desátého hradla 58, jehož výstup je připojen k prvnímu vstupu budiče přijímače dat 64, jehož sběrnice vstup na jeho sdružené třetí pozici je spojen s datovou sběrnicí 7 o pozicích D0, D1, D2, D3, D4, D5, D6 a D7 a jehož datový výstup na jeho sdružené páté pozici je spojen s datovými vstupy na čtvrtých pozicích prvního, druhého, třetího i čtvrtého paměťových bloků 66, 67, 68 a 69, jejichž sdružené třetí vstupy jsou spojeny s třetím segmentem 8 adresové sběrnice na pozicích A0, A1, A2, A3, A4, A5, A6, A7, A8, A9. Sdružené výstupy prvního, druhého, třetího i čtvrtého paměťových bloků 66, 67, 68, 69 na jejich pátých pozicích jsou připojeny na sdružený datový vstup budiče přijímače dat 64 na jeho čtvrtou pozici. Výstup druhého hradla 50 je spojen paralelně s prvním vstupem čtvrtého hradla 52, se vstupem sedmého invertoru 47, přes třetí odpor 38 s první svorkou 1 pro kladné napájecí napětí a přes šestý kondenzátor 39 se svorkou nulového potenciálu 2. Druhý vstup čtvrtého hradla 52 je spojen paralelně s prvním vstupem třetího hradla 51, přes čtvrtý odpor 34 s první svorkou 1 pro kladné napájecí napětí a přes spínač 78 se svorkou nulového potenciálu 2. Výstup čtvrtého hradla 52 je spojen paralelně s druhým vstupem prvního paměťového bloku 66 a přes pátý odpor 33 s první svorkou 1 pro kladné napájecí napětí. Výstup sedmého invertoru 47 je spojen paralelně s druhými vstupy druhého, třetího i čtvrtého paměťových bloků 67, 68, 69 a přes šestý odpor 32 s první svorkou 1 pro kladné napájecí napětí. Druhý i třetí vstupy monostabilního obvodu 65 jsou spojeny se svorkou nulového potenciálu 2 a jeho pátý vstup je přes sedmý kondenzátor 18 spojen s jeho šestým vstupem, jenž je přes sedmý odpor 19 spojen s první svorkou 1 pro kladné napájecí napětí. Výstup monostabilního obvodu 65 na jeho čtvrté pozici je připojen na vstup osmého invertoru 48, jehož výstup je spojen paralelně s pátou svorkou 5 signálu READY a přes osmý odpor 20 s první svorkou 1 pro kladné napájecí napětí. Emitter prvního tranzistoru 30 je spoje jednak s katodou první diody 25, jejíž anoda je spojena s první svorkou 1 pro kladné napájecí napětí a jednak přes třetí kondenzá-

tor 12 s anodou druhé diody 13, jež je spojena přes devátý odpor 16 s emitorem druhého tranzistoru 31 a se svorkou nulového potenciálu 2. Kolektor prvního tranzistoru 30 je spojen paralelně s katodou druhé diody 13 a přes desátý odpor 15 sází druhého tranzistoru 31. Baze prvního tranzistoru 30 je spojena přes jedenáctý odpor 14 s první svorkou 1 pro kladné napájecí napětí a přes čtvrtý kondenzátor 17 se svorkou nulového potenciálu 2 a s emitorem druhého tranzistoru 31, jehož kolektor je paralelně spojen s prvním vstupem pátého hradla 53, s prvním vstupem šestého hradla 54, s prvním vstupem sedmého hradla 55, s prvním vstupem osmého hradla 56 a přes dvanáctý odpor 21 s první svorkou 1 pro kladné napájecí napětí, se kterou je též spojena anoda třetí diody 22, jejíž katoda je spojena s šestou svorkou 6 pro zálohovací napětí a paralelně s katodou čtvrté diody 23, se šestými vstupy prvního, druhého, třetího i čtvrtého paměťových bloků 66, 67, 68, 69 a přes pátý kondenzátor 24 se svorkou nulového potenciálu 2. Anoda čtvrté diody 23 je spojena s kladným pólem zálohovací baterie 71, jejíž záporný pól je připojen ke svorce nulového potenciálu 2. Výstup šestého invertoru 46 je spojen s druhým vstupem pátého hradla 53, jehož výstup je spojen paralelně s prvním vstupem prvního paměťového bloku 66 a přes třináctý odpor 26 se šestou svorkou 6 zálohovacího napětí. Výstup pátého invertoru 45 je spojen s druhým vstupem šestého hradla 54, jehož výstup je spojen paralelně s prvním vstupem druhého paměťového bloku 67 a přes čtrnáctý odpor 27 se šestou svorkou 6 pro zálohovací napětí. Výstup čtvrtého invertoru 44 je spojen s druhým vstupem sedmého hradla 55, jehož výstup je spojen paralelně s prvním vstupem třetího paměťového bloku 68 a přes patnáctý odpor 28 se šestou svorkou 6 pro zálohovací napětí. Výstup třetího invertoru 43 je spojen s druhým vstupem osmého hradla 56, jehož výstup je spojen paralelně s prvním vstupem čtvrtého paměťového bloku 69 a přes šestnáctý odpor 29 se šestou svorkou 6 pro zálohovací napětí.

Paměť je organizována v paměťových blocích prvním až čtvrtém 66, 67, 68 a 69, například jeden kilobyte. Každý paměťový blok je připojen ke třetímu segmentu adresové sběrnice 8 obsa-

hující dolní část adres A0 až A9 umožňující adresaci v paměťovém bloku. První adresový dekodér 62 je připojen k prvnímu segmentu adresové sběrnice 10 obsahující adresy A13 až A15. V prvním adresovacím poli 72 se provede volba umístění paměti do osmikilobytové paměťové zóny. Druhý adresový dekodér 63 je připojen k druhému segmentu adresové sběrnice 9 s adresami A10 až A12. Ve druhém adresovacím poli 73 se volí adresa umístění jednotlivých paměťových bloků v rámci zvolené paměťové zóny. Oba adresové dekodéry jsou řízeny signály z výstupu třináctého a čtrnáctého hradla 75 a 77, jež jsou koncovými členy logické sítě, která zpracovává signály řídicí sběrnice 71, strobovací signál ze třetí svorky 3 a stav blokování zápisu ze spínače 78. Tímto spínačem se může zablokovat další zápis do prvního paměťového bloku 66 po zapsání dat, u kterých v dalším provozu již nesmí dojít ke změně přepsáním. Deváté hradlo 57 vyhodnocuje adresování některého z prvního až čtvrtého paměťových bloků 66, 67, 68 a 69.

Při použití paměti s delší dobou přístupu je v případě adresace paměti výstupní signál z devátého hradla 57 přiveden na monostabilní obvod 65, jenž vymezuje zpožďující signál READY pro procesor.

Uchování informace v paměti i při výpadku síťového napájení a zhroucení činnosti mikropočítače je jednak zajištěno napájením ze zálohovací baterie 71 přes čtvrtou diodu 23, která baterii 71 odpojuje při přítomnosti napětí na první svorce pro kladné napájecí napětí 1. Dále se vyhodnocuje pokles napájecího napětí vyhodnocovacím obvodem výpadku, který je tvořen prvním a druhým tranzistorem 30 a 31, první a druhou diodou 13 a 15, třetím a čtvrtým kondenzátorem 12 a 17 a devátým, desátým a jedenáctým odporem 14, 15 a 16. Během poklesu napětí až do jeho zániku a pak opět během nárůstu až do obnovení napájení je blokováno páté, šesté, sedmé a osmé hradlo s otevřeným kolektorem 53, 54, 55 a 56, a tím jsou blokovány první vstupy prvního, druhého, třetího i čtvrtého invertoru 66, 67, 68 i 69 paměťových bloků, které slouží k uvolňování paměti pro činnost. Tak je zamezeno nekontrolovanému zápisu do pamětí při výpadku až do obnovení napájení.

PŘEDMĚT VYNÁLEZU

260 825

Zapojení paměti pro zápis a čtení se zálohovaným napájením, sestávající z paměťových obvodů, logických obvodů a periferních obvodů mikroprocesorových systémů, kondenzátorů, odporů, diod, tranzistorů a baterie, vyznačené tím, že první, druhý, třetí, čtvrtý i pátý vstupy logického členu (59) jsou spojeny se sběrnici řídicích signálů (11), zatímco jeho šestý, sedmý a osmý vstupy jsou propojeny paralelně a s první svorkou (1) pro kladné napájecí napětí, přičemž druhý vstup logického členu (59) je spojen paralelně též s druhým vstupem prvního hradla (49), s prvním vstupem druhého hradla (50), s druhým vstupem třetího hradla (51) a přes první odpor (35) s druhým vstupem druhého hradla (50), jenž je přes první kondenzátor (36) spojen se svorkou nulového potenciálu (2), přičemž výstup prvního hradla (49) je spojen paralelně s druhým vstupem desátého hradla (58) a přes druhý odpor (37) s první svorkou (1), přičemž výstup logického členu (59) je spojen se vstupem prvního invertoru (60), jehož výstup je připojen přes druhý kondenzátor (42) na druhý vstup jedenáctého hradla (76), jenž je přes sedmnáctý odpor (40) spojen se svorkou nulového potenciálu (2), se kterou je též spojena anoda páté diody (41), paralelně připojené k sedmnáctému odporu (40), přičemž první vstup jedenáctého hradla (76) je spojen s výstupem dvanáctého hradla (61), k jehož prvnímu vstupu je připojena třetí svorka (3) a jehož druhý vstup je spojen s výstupem jedenáctého hradla (76) a druhým vstupem třináctého hradla (75), jehož první vstup je spojen s výstupem prvního hradla (49), přičemž výstup třetího hradla (51) je spojen se vstupem druhého invertoru (74), jehož výstup je spojen s druhým vstupem čtrnáctého hradla (77), jehož první vstup je spojen se čtvrtým vstupem druhého adresovacího pole (73), přičemž výstup čtrnáctého hradla (77) je spojen s pátým vstupem druhého adresovacího dekodéru (63), jehož šestý vstup je spojen s první svorkou (1) a jehož čtvrtý vstup je spojen s výstupem prvního adresovacího pole (72), přičemž první, druhý a třetí vstupy druhého adresovacího dekodéru (63) jsou spojeny s druhým segmentem (9) adresové sběrnice, zatímco první, druhý a třetí vstupy prvního adresového dekodéru (62) jsou spo-

jeny s prvním segmentem (10) adresové sběrnice, přičemž první až osmý výstupy druhého adresového dekodéru (6) jsou spojeny s odpovídajícími prvním až osmým vstupy druhého adresovacího pole (73), přičemž čtvrtý vstup prvního adresového dekodéru (62) je spojen s výstupem třináctého hradla (75), zatímco pátý vstup prvního adresového dekodéru (62) je spojen se svorkou nulového potenciálu (2) a jeho šestý vstup je spojen se čtvrtou svorkou (4), přičemž první až osmý výstupy prvního adresovacího dekodéru (62) jsou spojeny s odpovídajícími prvním až osmým vstupy prvního adresovacího pole (72), přičemž první výstup druhého adresovacího pole (73) je spojen paralelně se vstupem třetího invertoru (43) a se čtvrtým vstupem devátého hradla (57), zatímco druhý výstup druhého adresovacího pole (73) je spojen paralelně se vstupem čtvrtého invertoru (44) a se třetím vstupem devátého hradla (57), zatímco třetí výstup druhého adresovacího pole (73) je spojen paralelně se vstupem pátého invertoru (45) a s druhým vstupem devátého hradla (57), zatímco čtvrtý výstup druhého adresovacího pole (73) je spojen paralelně se vstupem šestého invertoru (46) a s prvním vstupem devátého hradla (57), jehož výstup je spojen paralelně s prvním vstupem monostabilního obvodu (65) a s prvním vstupem desátého hradla (58), jehož výstup je spojen s prvním vstupem budiče přijímače dat (64), jehož sběrnicový vstup je spojen s datovou sběrnicí (7) a jehož datový výstup je spojen s datovými vstupy prvního, druhého, třetího a čtvrtého paměťových bloků (66, 67, 68, 69), jejichž sdružené třetí vstupy jsou spojeny s třetím segmentem (8) adresové sběrnice, přičemž sdružené výstupy prvního, druhého, třetího a i čtvrtého paměťových bloků (66, 67, 68, 69) jsou připojeny na sdružený datový vstup budiče přijímače dat (64), přičemž výstup druhého hradla (50) je spojen paralelně s prvním vstupem čtvrtého hradla (52), se vstupem sedmého invertoru (47), přes třetí odpor (38) s první svorkou (1) a přes šestý kondenzátor (39) se **svorkou nulového potenciálu (2)**, zatímco druhý vstup čtvrtého hradla (52) je spojen paralelně s prvním vstupem třetího hradla (51), přes čtvrtý odpor (34) s první svorkou (1) a přes spínač (78) se svorkou nulového potenciálu (2), zatímco výstup čtvrtého hradla (52) je spojen

paralelně s druhým vstupem prvního paměťového bloku (66) a přes pátý odpor (33) s první svorkou (1), přičemž výstup sedmého invertoru (47) je spojen paralelně s druhými vstupy druhého, třetího i čtvrtého paměťových bloků (67, 68, 69) a přes šestý odpor (32) s první svorkou (1), přičemž druhý i třetí vstupy monostabilního obvodu (65) jsou spojeny se svorkou nulového potenciálu (2) a jeho pátý vstup je přes sedmý kondenzátor (18) spojen s jeho šestým vstupem, jenž je přes sedmý odpor (19) spojen s první svorkou (1), zatímco výstup monostabilního obvodu (65) je spojen se vstupem osmého invertoru (48), jehož výstup je spojen paralelně s pátou svorkou (5) a přes osmý odpor (20) s první svorkou (1), přičemž emitor prvního tranzistoru (30) je spojen jednak s katodou první diody (25), jejíž anoda je spojena s první svorkou (1) a jednak přes třetí kondenzátor (12) s anodou druhé diody (13), jež je spojena přes devátý odpor (16) s emitorem druhého tranzistoru (31) a se svorkou nulového potenciálu (2), zatímco kolektor prvního tranzistoru (30) je spojen paralelně s katodou druhé diody (13) a přes desátý odpor (15) sází druhého tranzistoru (31), zatímco báze prvního tranzistoru (30) je spojena přes jedenáctý odpor (14) s první svorkou (1) a přes čtvrtý kondenzátor (17) se svorkou nulového potenciálu (2) a s emitorem druhého tranzistoru (31), jehož kolektor je paralelně spojen s prvním vstupem pátého hradla (53), s prvním vstupem šestého hradla (54), s prvním vstupem sedmého hradla (55), s prvním vstupem osmého hradla (56) a přes dvanáctý odpor (21) s první svorkou (1), se kterou je též spojena anoda třetí diody (22), jejíž katoda je spojena se šestou svorkou (6) a paralelně s katodou čtvrté diody (23), se šestými vstupy prvního, druhého, třetího i čtvrtého paměťových bloků (66, 67, 68, 69) a přes pátý kondenzátor (24) se svorkou nulového potenciálu (2), přičemž anoda čtvrté diody (23) je spojena s kladným pólem baterie (71), jejíž záporný pól je připojen ke svorce nulového potenciálu (2), přičemž výstup šestého invertoru (46) je spojen s druhým vstupem pátého hradla (53), jehož výstup je spojen paralelně s prvním vstupem prvního paměťového bloku (66) a

přes třináctý odpor (26) se šestou svorkou (6), zatímco výstup pátého invertoru (45) je spojen s druhým vstupem šestého hradla (54), jehož výstup je spojen paralelně s prvním vstupem druhého paměťového bloku (67) a přes čtrnáctý odpor (27) se šestou svorkou (6), zatímco výstup čtvrtého invertoru (44) je spojen s druhým vstupem sedmého hradla (55), jehož výstup je spojen paralelně s prvním vstupem třetího paměťového bloku (68) a přes patnáctý odpor (28) se šestou svorkou (6), zatímco výstup třetího invertoru (43) je spojen s druhým vstupem osmého hradla (56), jehož výstup je spojen paralelně s prvním vstupem čtvrtého paměťového bloku (69) a přes šestnáctý odpor (29) se šestou svorkou /6/.

1 výkres

