

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
12 février 2004 (12.02.2004)

PCT

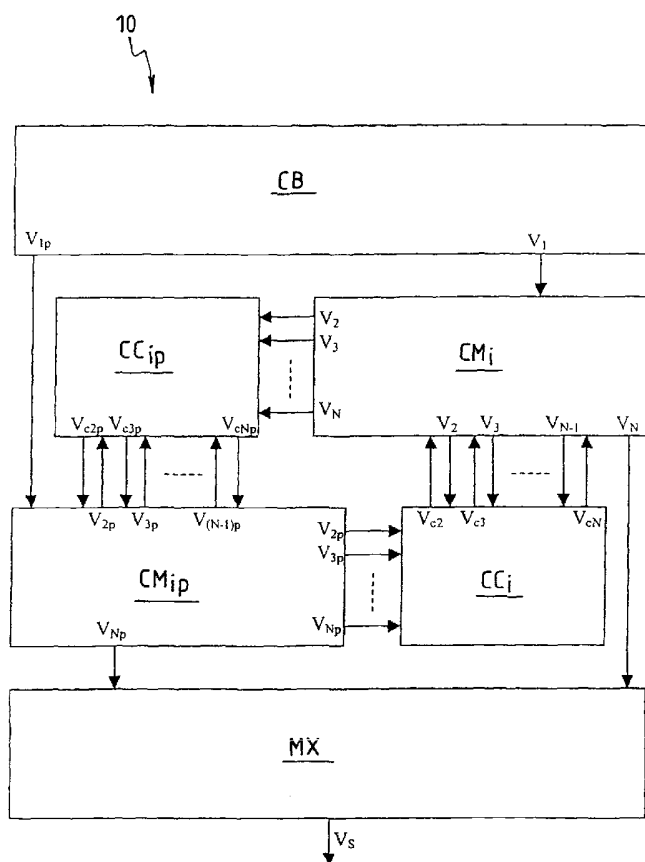
(10) Numéro de publication internationale
WO 2004/013949 A2

- (51) Classification internationale des brevets⁷ : **H02M** (71) **Déposant** (pour tous les États désignés sauf US) :
CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, rue Michel-Ange, F-75794 Paris
Cedex 16 (FR).
- (21) Numéro de la demande internationale : PCT/FR2003/002351
- (22) Date de dépôt international : 25 juillet 2003 (25.07.2003) (72) **Inventeurs; et**
- (25) Langue de dépôt : français (75) **Inventeurs/Déposants** (pour US seulement) : **ZHANG, Ming** [CN/FR]; 7, allée Jacques Bainville, F-94300 Vincennes (FR). **LLASER, Nicolas** [FR/FR]; 7, allée Jacques Bainville, F-94300 Vincennes (FR).
- (26) Langue de publication : français
- (30) Données relatives à la priorité : 02/09653 30 juillet 2002 (30.07.2002) FR (74) **Mandataires** : **CABINET ORES** etc.; 36, rue de St Pe-tersbourg, F-75008 Paris (FR).

[Suite sur la page suivante]

(54) Title: VOLTAGE-VOLTAGE CONVERTER FOR INTEGRATED CIRCUITS

(54) Titre : CONVERTISSEUR TENSION/TENSION POUR CIRCUITS INTEGRES.



(57) **Abstract:** Disclosed is a voltage-voltage converter for integrated circuits. The invention is characterized by the fact that said converter has a multi-stage symmetric structure and comprises at least one input stage that is formed by a clock booster (CB) circuit which has a symmetric structure and supplies two output voltages, a voltage multiplier stage that has a symmetric structure and comprises two voltage multiplier circuits (CM_i; CM_{ip}) which are mounted in two branches (B1; B2) of the converter and to which the two output voltages of the input stage are applied, respectively, and an output stage (S) formed by a multiplexing (MX) circuit to which the two output voltages of the voltage multiplier stage are applied. The invention applies to EEPROM memories and low-voltage integrated circuits.

(57) **Abrégé :** Convertisseur tension/tension pour circuits intégrés, caractérisé en ce qu'il présente une structure symétrique à plusieurs étages et comprend au moins un étage d'entrée constitué par un circuit survolteur d'horloge (CB) à structure symétrique qui délivre deux tensions de sortie, un étage multiplicateur de tension à structure symétrique comprenant deux circuits multiplicateurs de tension (CM_i ; CM_{ip}) respectivement montés dans deux branches (B1 ; B2) du convertisseur et auxquels sont respectivement appliqués les deux tensions de sortie de l'étage d'entrée, et un étage de sortie (S) constitué par un circuit multiplexeur (MX) auquel

sont appliquées les deux tensions de sortie

[Suite sur la page suivante]



(81) **États désignés (national) :** AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **États désignés (régional) :** brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

CONVERTISSEUR TENSION/TENSION POUR CIRCUITS INTEGRES

L'invention concerne un convertisseur tension/tension pour circuits intégrés, qui trouve notamment des applications dans la réalisation de mémoires EEPROM et de circuits intégrés à basse tension.

D'une manière générale, le premier circuit à principe de transfert de charges qui a permis la réalisation d'un convertisseur tension/tension à circuits intégrés a été proposé par Monsieur J.F. DICKSON dans un article intitulé "*On-chip high-voltage generation in NMOS integrated circuits using an improved voltage multiplier technics*" et qui est paru en juin 1976 dans la revue "*IEEE J. SOLID-STATE CIRCUITS, vol. 11, pp. 374-376*". Ce circuit dénommé ci-après circuit DICKSON présente une structure non symétrique qui est constituée de condensateurs et de transistors NMOS montés en diode. La fonction des condensateurs est de stocker des charges électriques, alors que celle des transistors est d'agir comme des interrupteurs pour contrôler la charge des condensateurs et le transfert des charges entre les condensateurs. Après publication de cet article, la majorité des convertisseurs tension/tension à structure non symétrique ont été réalisés sur la base du circuit DICKSON précité, mais ils présentent notamment pour inconvénient d'entraîner une perte de tension qui est due à des imperfections dans les interrupteurs à transistors NMOS.

Par ailleurs, un circuit "*Clock Booster*" réalisé en technologie CMOS a fait l'objet d'un article intitulé "*An experimental 1,5V 64Mb DRAM*" qui est paru en avril 1991 dans le volume 26, pages 465-472 de la revue précitée, un tel circuit à structure symétrique permettant d'ajouter une composante continu à un signal d'horloge. Ce circuit sera dénommé après par circuit survolteur d'horloge.

D'une manière générale, des convertisseurs tension/tension CMOS intégrés sont notamment utilisés dans deux principaux domaines, à savoir : les mémoires "EEPROM" appelées aussi "FLASHROM", et les circuits intégrés basses tensions afin d'alimenter certaines parties de ces circuits avec des tensions plus élevées. Les mémoires "EEPROM" sont actuellement

utilisées dans de nombreuses applications grand public comme par exemple des appareils photo-numériques, les lecteurs audio-numériques MP3 et les ordinateurs de poche, et la demande de ce type de mémoires s'est accrue considérablement durant ces deux dernières années. Les circuits intégrés basses tensions sont également en pleine expansion et notamment utilisés dans des produits grand public comme les téléphones cellulaires et les appareils portables précédemment cités.

Concrètement, le principal problème technique à résoudre est d'augmenter le plus possible la tension de sortie du convertisseur pour un nombre d'étages donné. Dans le cas d'un appareil portable alimenté sous trois volts au moyen d'une pile par exemple, il faut une tension de programmation de neuf volts pour pouvoir stocker des informations dans une mémoire du type "FLASHROM".

En théorie, si le convertisseur tension/tension était parfait, un tripleur de tension (deux étages) serait suffisant pour produire cette tension de programmation de neuf volts. Or, l'expérience montre qu'un convertisseur tension/tension à structure non symétrique réalisé sur la base du circuit DICKSON devrait être un quadrupleur de tension (trois étages) pour produire la tension de programmation précitée.

Au titre de l'art antérieur, le document WO 02/43232 décrit un convertisseur tension/tension selon le préambule de la revendication 1.

Les convertisseurs tension/tension actuels ayant des performances limitées, l'invention vise à concevoir une nouvelle structure de convertisseur tension/tension qui soit à même de satisfaire à plusieurs buts, en particulier :

- éliminer la perte de tension à la sortie du convertisseur qui est due à l'imperfection des interrupteurs réalisés à partir de transistors MOS ;
- permettre des réalisations à plusieurs étages ;
- atteindre une tension de sortie maximale qui soit proche de la tension de sortie théorique ;
- minimiser la surface totale du convertisseur pour des performances équivalentes , et

- fonctionner sur une large plate d'alimentation, par exemple de 1,2V à 5V pour une technologie standard.

Pour atteindre ces buts, l'invention propose un convertisseur tension/tension pour circuits intégrés, présentant une structure symétrique à plusieurs étages et comprend au moins un étage d'entrée constitué par un circuit survolteur d'horloge à structure symétrique qui délivre deux tensions de sortie, un étage multiplicateur de tension à structure symétrique comprenant deux circuits multiplicateurs de tension respectivement montés dans deux branches du convertisseur et auxquels sont respectivement appliqués les deux tensions de sortie de l'étage d'entrée, et un étage de sortie constitué par un circuit multiplexeur auquel sont appliquées les deux tensions de sortie de l'étage multiplicateur de tension, qui est caractérisé en ce que chaque circuit multiplicateur de tension est commandé par un circuit de commande, et en ce que chaque circuit multiplicateur de tension fournit les tensions nécessaires au fonctionnement de son circuit de commande d'une part et au fonctionnement du circuit de commande de l'autre circuit multiplicateur de tension du même étage d'autre part.

D'une manière générale :

- le circuit survolteur d'horloge a pour fonction d'additionner une composante continue à un signal d'horloge, et il comprend deux circuits semblables qui reçoivent respectivement deux signaux d'horloge ayant des phases opposées,
- chaque circuit multiplicateur de tension comprend un condensateur et un interrupteur pour contrôler la charge du condensateur et le transfert de sa charge vers le circuit multiplicateur de tension de l'étage suivant, et
- chaque circuit multiplicateur de tension est commandé par un circuit de commande, et fournit des tensions nécessaires au fonctionnement de son circuit de commande d'une part et au fonctionnement du circuit de commande de l'autre circuit multiplicateur de tension du même étage d'autre part.

Le convertisseur selon l'invention peut être à sortie positive et, dans ce cas, le circuit multiplexeur récupère les tensions les plus élevées des circuits multiplicateurs de tension et, par commutation, en extrait la tension continue la plus élevée qui forme la tension de sortie du convertisseur.

5 Inversement, le convertisseur peut être à sortie négative et, dans ce cas, le circuit multiplexeur récupère les tensions les plus basses des circuits multiplicateurs de tension et, par commutation en extrait la tension continue la plus basse qui forme la tension de sortie du convertisseur.

 Ainsi, la structure du convertisseur tension/tension selon
10 l'invention permet de conserver les avantages d'une structure symétrique. En effet, les Demandeurs se sont livrés à des essais et ont pu démontrer qu'un convertisseur tension/tension à structure symétrique est plus performant notamment pour des applications sur charge résistive qu'un convertisseur à structure non symétrique. Plus précisément, un convertisseur à structure
15 symétrique présente une meilleure tenue en charge et il en résulte que la capacité de lissage à ajouter en sortie peut avoir une valeur plus faible, ce qui permet de réduire la surface totale du convertisseur. Par ailleurs, pour une même valeur de charge résistive et une même tolérance d'ondulation de la tension de sortie, la tension de sortie monte plus vite que dans le cas d'une
20 structure non-symétrique.

 La structure du convertisseur tension/tension selon l'invention permet également de diminuer l'effet des capacités parasites pour obtenir un meilleur rendement et une tension de sortie plus élevée. Ce résultat est obtenu en utilisant des circuits multiplicateurs de tension basés sur la
25 structure du circuit DICKSON, alors que les Demandeurs avaient fait des premiers essais sur un convertisseur tension/tension qui utilisait une technique d'empilement des capacités.

 L'invention a ainsi permis la réalisation d'un convertisseur tension/tension à sortie positive ou négative qui est le résultat d'un compromis
30 trouvé à partir des structures connues symétriques et non symétriques en les combinant d'une manière originale suite à de nombreux essais effectués en laboratoire.

D'autres avantages, caractéristiques et détails de l'invention ressortiront du complément de description qui va suivre en référence à des dessins, donnés uniquement à titre d'exemple et dans lesquels :

- la figure 1 représente sous la forme d'un schéma-bloc la structure générale d'un convertisseur tension/tension conforme à l'invention ;
- la figure 2 illustre un premier mode de réalisation d'un convertisseur tension/tension conforme à l'invention et à sortie positive ;
- les figures 3 et 4 illustrent respectivement deux circuits multiplexeurs qui peuvent chacun constituer l'étage de sortie du convertisseur tension/tension à sortie positive de la figure 2 ;
- la figure 5 illustre un second mode de réalisation d'un convertisseur tension/tension conforme à l'invention et à sortie positive ;
- la figure 6 illustre un premier mode de réalisation d'un convertisseur tension/tension conforme à l'invention et à sortie négative ; et
- les figures 7 et 8 illustrent respectivement deux circuits multiplexeurs qui peuvent chacun constituer l'étage de sortie du convertisseur tension/tension à sortie négative de la figure 6 ;
- la figure 9 illustre un second mode de réalisation d'un convertisseur tension/tension conforme à l'invention et à sortie négative ; et
- les figures 10 et 11a à 11d sont des vues qui seront utilisées pour expliciter le fonctionnement du premier mode de réalisation du convertisseur illustré sur la figure 2.

La structure générale d'un convertisseur tension/tension selon l'invention est illustrée à la figure 1, sachant que ce convertisseur présente une structure symétrique, à plusieurs étages et à tension de sortie positive ou négative. Plus précisément, le convertisseur comprend au moins N étages montés en cascade, le premier étage étant constitué par un circuit survolteur d'horloge CB à structure symétrique. Les (N-1) étages intermédiaires suivants sont chacun constitués par deux circuits multiplicateurs de tension CM_i et CM_{ip} (i variant de 2 à N) qui forment une structure symétrique. Ces deux circuits multiplicateurs de tension sont respectivement commandés par deux circuits de CC_i et CC_{ip} qui délivrent des tensions de commande V_{ci} et V_{cip} (i

variant de 2 à N). Chaque circuit multiplicateur de tension utilise la technique du transfert de charge du circuit DICKSON évoqué en préambule, et fournit une partie des tensions nécessaires au fonctionnement de son circuit de commande d'une part, et une partie des tensions nécessaires au fonctionnement de l'autre circuit multiplicateur d'autre part. Enfin, le convertisseur tension/tension présente un étage de sortie S qui est constitué par un circuit multiplexeur MX recevant les tensions de sortie V_N et V_{Np} des deux circuits multiplicateurs CM_N et CM_{Np} du dernier étage intermédiaire pour reconstituer une tension de sortie continue V_s .

Tous ces étages vont être décrits en détail ci-après en référence aux figures 2 à 9 qui illustrent plusieurs modes de réalisation.

Selon un premier mode de réalisation illustré à la figure 2, le convertisseur tension/tension 10 est à sortie positive, présente une structure symétrique à deux branches B_1 et B_2 , et comprend plusieurs étages. Le premier étage ou étage d'entrée est un circuit survolteur d'horloge CB à structure symétrique et à sortie positive, comprenant un transistor M_1 de type NMOS et un condensateur C_1 pour la branche B_1 du convertisseur 10, et un transistor M_{1p} de type NMOS et un condensateur C_{1p} pour la branche B_2 du convertisseur 10. Les transistors M_1 et M_{1p} ont leurs drains connectés à une tension d'alimentation V_{dd} , et leurs sources respectivement connectées aux électrodes positives des condensateurs C_1 et C_{1p} . La grille du transistor M_1 est connectée à la source du transistor M_{1p} et inversement. Les électrodes négatives des condensateurs C_1 et C_{1p} sont respectivement reliées à deux signaux d'horloge Φ_1 et Φ_2 qui sont en opposition de phase.

Les (N-1) étages qui suivent sont montés en cascade comprennent chacun deux circuits multiplicateurs de tension CM_i et CM_{ip} (i variant de 2 à N) respectivement montés dans les deux branches B_1 et B_2 du convertisseur 10 pour former une structure symétrique, chaque circuit multiplicateur reprenant la structure de base du circuit DICKSON.

Chaque circuit multiplicateur de tension CM_i de la branche B_1 comprend un condensateur C_i dont l'électrode positive est connectée à la borne de sortie d'un interrupteur K_i par un nœud V_i , et dont l'électrode

négative est connectée à un signal d'horloge Φ_n . De manière similaire, chaque circuit multiplicateur de tension CM_{ip} de la branche B_2 comprend un condensateur C_{ip} dont l'électrode positive est connectée à la borne de sortie d'un interrupteur K_{ip} par un nœud V_{ip} et dont l'électrode négative est reliée à un signal d'horloge Φ_{np} (i variant de 2 à N). Le signal d'horloge Φ_n correspond au signal d'horloge Φ_1 du circuit survolteur d'horloge CB si i est impair et au signal Φ_2 du circuit survolteur d'horloge CB si i est pair, et inversement pour le signal d'horloge Φ_{np} , ces deux signaux d'horloge Φ_1 et Φ_2 correspondant à ceux reçus par le circuit survolteur d'horloge CB. La borne d'entrée de l'interrupteur K_i de la branche B_1 du convertisseur 10 est connectée au nœud V_{i-1} de l'étage précédent, alors que la borne d'entrée de l'interrupteur K_{ip} de la branche B_2 du convertisseur 10 est connectée au nœud $V_{(i-1)p}$ de l'étage précédent.

Chaque circuit de commande CC_i d'un multiplicateur de tension CM_i de la branche B_1 du convertisseur 10 comprend un circuit inverseur I_i dont la tension de sortie fournit la tension de commande V_{ci} appliquée à l'entrée de commande de l'interrupteur K_i du circuit multiplicateur de tension CM_i (i variant de 2 à N). Chaque circuit inverseur I_i est alimenté entre la tension de sortie V_{i-1} du circuit multiplicateur CM_{i-1} de l'étage précédent de la branche B_1 du convertisseur 10 d'une part et la tension de sortie V_{ip} du circuit multiplicateur de tension CM_{ip} de l'étage correspondant de la branche B_2 du convertisseur 10 d'autre part. Il est important de noter que si la tension de sortie V_{i-1} est fournie par le circuit multiplicateur CM_{i-1} de la branche B_1 du convertisseur 10, en dehors de la tension V_1 , la tension V_{ip} est fournie par le circuit multiplicateur de tension CM_{ip} du même étage mais de la branche B_2 du convertisseur 10. L'inverseur I_i est contrôlé par un signal d'entrée qui est constitué par le signal de sortie $V_{c(i-1)}$ de l'étage précédent (i variant de 3 à N) pour obtenir un signal de sortie V_{ci} , sachant que l'inverseur I_2 est contrôlé par le signal de sortie V_{1p} de la branche B_2 du circuit survolteur d'horloge CB du premier étage du convertisseur 10.

De manière symétrique, chaque circuit de commande CC_{ip} d'un multiplicateur de tension CM_{ip} de la branche B_2 du convertisseur 10 comprend un circuit inverseur I_{ip} dont la tension de sortie fournit la tension de commande V_{cip} appliquée à l'entrée de commande de l'interrupteur K_{ip} du circuit multiplicateur de tension CM_{ip} (i variant de 2 à N). Chaque circuit inverseur I_{ip} est alimenté entre la tension de sortie $V_{(i-1)p}$ du circuit multiplicateur de tension $CM_{(i-1)p}$ de l'étage précédent de la branche B_2 du convertisseur 10 d'une part et la tension de sortie V_i du circuit multiplicateur de tension CM_i de l'étage correspondant de la branche B_1 du convertisseur 10 d'autre part. Comme précédemment, il est important de noter que si la tension de sortie $V_{(i-1)p}$ est fournie par le circuit multiplicateur de tension $CM_{(i-1)p}$ de la branche B_2 du convertisseur 10, en dehors de la tension V_{1p} , la tension V_i est fournie par le circuit multiplicateur de tension CM_i du même étage mais de la branche B_1 du convertisseur 10. L'inverseur I_{ip} est contrôlé par un signal d'entrée qui est constitué par le signal de sortie $V_{c(i-1)p}$ de l'étage précédent (i variant de 3 à N) pour obtenir un signal de sortie V_{cip} , sachant que l'inverseur I_{2p} est contrôlé par le signal de sortie V_1 de la branche B_1 du circuit survolteur d'horloge CB du premier étage du convertisseur 10.

Le circuit multiplexeur MX qui constitue l'étage de sortie S du convertisseur tension/tension 10 de la figure 2 fait l'objet de deux exemples de réalisation qui sont illustrés aux figures 3 et 4. La fonction du circuit multiplexeur MX est de récupérer les tensions les plus élevées des circuits multiplicateurs de tension et, par commutation, en extrait la tension continue la plus élevée qui forme la tension de sortie du convertisseur.

Selon le premier exemple de réalisation de la figure 3, le circuit multiplexeur MX est basé sur l'utilisation de deux interrupteurs K_{s1} et K_{s2} qui, côté sortie, partagent un même nœud de sortie correspondant à la tension de sortie V_s du convertisseur 10 et qui, côté entrée, sont respectivement reliés aux deux tensions de sortie V_{Np} et V_N des deux circuits multiplicateurs de tension CM_{Np} et CM_N de l'étage N du convertisseur 10. Le circuit multiplexeur MX comprend également un circuit auxiliaire pour produire les signaux de commande des deux interrupteurs K_{s1} et K_{s2} , ce circuit

auxiliaire étant constitué de deux circuits inverseurs $I_{(N+1)p}$ et I_{N+1} , de deux interrupteurs K_{s3} et K_{s4} , et de deux condensateurs $C_{(N+1)p}$ et C_{N+1} .

L'interrupteur K_{s3} partage les mêmes signaux de contrôle et d'entrée que ceux de l'interrupteur K_{s1} , alors que l'interrupteur K_{s4} partage les
 5 mêmes signaux de contrôle et d'entrée que ceux de l'interrupteur K_{s2} . Par contre, l'interrupteur K_{s3} est connecté entre la tension de sortie V_{Np} du circuit multiplicateur CM_{Np} de la branche B_2 de l'étage N du convertisseur 10 et l'électrode positive du condensateur $C_{(N+1)p}$ dont l'électrode négative est survoltée par le signal d'horloge $\Phi_{(n+1)p}$. D'une manière symétrique,
 10 l'interrupteur K_{s4} est connecté entre la tension de sortie V_N du circuit multiplicateur CM_N de la branche B_1 de l'étage N du convertisseur 10 et l'électrode positive du condensateur C_{N+1} dont l'électrode négative est survoltée par le signal d'horloge Φ_{n+1} .

Le circuit inverseur $I_{(N+1)p}$ a pour signal d'entrée le signal de
 15 commande V_{cNp} du circuit multiplicateur de tension CM_{Np} de l'étage N de la branche B_2 du convertisseur 10, et il est alimenté entre la tension de sortie V_{Np} comme alimentation basse et la tension V_{N+1} comme alimentation haute. D'une manière symétrique, le circuit inverseur I_{N+1} a pour signal d'entrée le signal de commande V_{cN} du circuit multiplicateur CM_N de l'étage N de la
 20 branche B_1 du convertisseur 10, et il est alimenté entre la tension de sortie V_N comme alimentation basse et la tension $V_{(N+1)p}$ comme alimentation haute.

Selon le second exemple de réalisation de la figure 4, le circuit multiplexeur MX reprend globalement la structure de celui illustré à la figure 3. La seule différence réside dans le fait que le signal d'entrée du circuit
 25 inverseur $I_{(N+1)p}$ est le signal $V_{(N+1)p}$ au lieu du signal V_{cNp} , et le signal d'entrée du circuit inverseur I_{N+1} est le signal V_{N+1} au lieu du signal V_{cN} .

Selon un second mode de réalisation illustré à la figure 5 qui est une variante de celui illustré à la figure 2, le convertisseur tension/tension 10 est également à sortie positive et diffère uniquement au niveau des circuits
 30 de commande CC_i et CC_{ip} des circuits multiplicateurs de tension CM_i et CM_{ip} (i variant de 2 à N). Plus précisément, le circuit inverseur I_i de chaque circuit de commande CC_i est alimenté entre les tensions de sortie V_{i-1} et V_{ip} , sachant

que la tension de sortie V_{i-1} est celle produite par le circuit multiplicateur de tension CM_{i-1} de l'étage précédent de la branche B_1 du convertisseur 10, et la tension de sortie V_{ip} est celle produite par le circuit multiplicateur de tension CM_{ip} de l'étage correspondant de la branche B_2 du convertisseur 10. En

5 entrée, chaque circuit inverseur I_i est contrôlé par le signal de sortie V_i du circuit multiplicateur de tension CM_i pour produire le signal de sortie V_{ci} . D'une manière symétrique, le circuit inverseur I_{ip} de chaque circuit de commande CC_{ip} est alimenté entre les tensions de sortie $V_{(i-1)p}$ et V_i , sachant que la tension de sortie $V_{(i-1)p}$ est produite par le circuit multiplicateur de tension

10 $CM_{(i-1)p}$ de l'étage précédent de la branche B_2 du convertisseur 10, et la tension de sortie V_i est celle produite par le circuit multiplicateur de tension CM_i de l'étage correspondant de la branche B_1 du convertisseur 10. En entrée, chaque circuit inverseur I_{ip} est contrôlé par le signal de sortie V_{ip} du circuit multiplicateur de tension CM_{ip} pour produire le signal de sortie V_{cip} .

15 Comme pour le premier mode de réalisation illustré à la figure 2, le circuit multiplexeur MX qui forme l'étage de sortie du convertisseur 10 peut être réalisé suivant l'un des deux exemples illustrés aux figures 3 et 4.

La figure 6 illustre un premier mode de réalisation d'un convertisseur tension/tension conforme à l'invention mais à sortie négative, sachant qu'il présente également plusieurs étages et une structure symétrique

20 à deux branches B_1 et B_2 . Le premier étage ou étage d'entrée est un circuit survolteur d'horloge à structure symétrique et à sortie négative, comprenant un transistor M_1 de type PMOS et un condensateur C_1 pour la branche B_1 du convertisseur 10, et un transistor M_{1p} de type PMOS et un condensateur C_{1p}

25 pour la branche B_2 du convertisseur 10. Les transistors M_1 et M_{1p} ont leurs drains connectés à une masse zéro volt, et leurs sources respectivement connectées aux électrodes négatives des condensateurs C_1 et C_{1p} . La grille du transistor M_1 est connectée à la source du transistor M_{1p} et inversement. Les électrodes positives des condensateurs C_1 et C_{1p} sont respectivement

30 reliées à deux signaux d'horloge $\Phi 1$ et $\Phi 2$ qui sont en opposition de phase.

Les $(N-1)$ étages qui suivent et montés en cascade comprennent chacun deux circuits multiplicateurs de tension CM_i et CM_{ip} (i

variant de 2 à N) respectivement montés dans les deux branches B_1 et B_2 du convertisseur 10 pour former une structure symétrique, chaque circuit multiplicateur de tension reprenant la structure de base du circuit DICKSON.

Chaque circuit multiplicateur de tension CM_i de la branche B_1 comprend un condensateur C_i dont l'électrode négative est connectée à la borne de sortie d'un interrupteur K_i par un nœud V_i , et dont l'électrode positive est connectée à un signal d'horloge Φ_n . D'une manière similaire, chaque circuit multiplicateur de tension CM_{ip} de la branche B_2 comprend un condensateur C_{ip} dont l'électrode négative est connectée à la borne de sortie d'un interrupteur K_{ip} par un nœud V_{ip} et dont l'électrode positive est reliée à un signal d'horloge Φ_{np} (i variant de 2 à N). Le signal d'horloge Φ_n correspond au signal d'horloge Φ_1 du circuit survolteur d'horloge CB si i est impair et au signal Φ_2 du circuit survolteur d'horloge CB si i est pair, et inversement pour le signal d'horloge Φ_{np} , ces deux signaux d'horloge Φ_1 et Φ_2 correspondant à ceux reçus par le circuit survolteur d'horloge CB. La borne d'entrée de l'interrupteur K_i de la branche B_1 du convertisseur 10 est connectée au nœud V_{i-1} de l'étage précédent, alors que la borne d'entrée de l'interrupteur K_{ip} de la branche B_2 du convertisseur 10 est connectée au nœud $V_{(i-1)p}$ de l'étage précédent.

Chaque circuit de commande CC_i d'un multiplicateur de tension CM_i de la branche B_1 du convertisseur 10 comprend un circuit inverseur I_i dont la tension de sortie fournit la tension de commande V_{ci} appliquée à l'entrée de commande de l'interrupteur K_i du circuit multiplicateur de tension CM_i (i variant de 2 à N). Chaque circuit inverseur I_i est alimenté entre la tension de sortie V_{ip} du circuit multiplicateur de tension CM_{ip} de l'étage correspondant de la branche B_2 du convertisseur 10 et la tension de sortie V_{i-1} du circuit multiplicateur CM_{i-1} de l'étage précédent de la branche B_1 du convertisseur 10. Il est important de noter que si la tension de sortie V_{i-1} est fournie par le circuit multiplicateur de tension CM_{i-1} de la branche B_1 du convertisseur 10, en dehors de la tension V_1 , la tension V_{ip} est fournie par le circuit multiplicateur de tension CM_{ip} du même étage mais de la branche B_2

du convertisseur 10. L'inverseur I_i est contrôlé par un signal d'entrée qui est constitué par le signal de sortie $V_{c(i-1)}$ de l'étage précédent (i variant de 3 à N) pour obtenir un signal de sortie V_{ci} , sachant que l'inverseur I_2 est contrôlé par le signal de sortie V_{1p} de la branche B_2 du circuit survolteur d'horloge CB du premier étage du convertisseur 10.

De manière symétrique, chaque circuit de commande CC_{ip} d'un multiplicateur de tension CM_{ip} de la branche B_2 du convertisseur 10 comprend un circuit inverseur I_{ip} dont la tension de sortie fournit la tension de commande V_{cip} appliquée à l'entrée de commande de l'interrupteur K_{ip} du circuit multiplicateur de tension CM_{ip} (i variant de 2 à N). Chaque circuit inverseur I_{ip} est alimenté entre la tension de sortie V_i du circuit multiplicateur de tension CM_i de l'étage correspondant de la branche B_1 du convertisseur 10 et la tension de sortie $V_{(i-1)p}$ du circuit multiplicateur de tension $CM_{(i-1)p}$ de l'étage précédent de la branche B_2 du convertisseur 10. Comme précédemment, il est important de noter que si la tension de sortie $V_{(i-1)p}$ est fournie par le circuit multiplicateur de tension $CM_{(i-1)p}$ de la branche B_2 du convertisseur 10, en dehors de la tension V_{1p} , la tension V_i est fournie par le circuit multiplicateur de tension CM_i du même étage mais de la branche B_1 du convertisseur 10. L'inverseur I_{ip} est contrôlé par un signal d'entrée qui est constitué par le signal de sortie $V_{c(i-1)p}$ de l'étage précédent (i variant de 3 à N) pour obtenir un signal de sortie V_{cip} , sachant que l'inverseur I_{2p} est contrôlé par le signal de sortie V_1 de la branche B_1 du circuit survolteur d'horloge CB du premier étage du convertisseur 10.

Le circuit multiplexeur MX qui constitue l'étage de sortie S du convertisseur tension/tension 10 à sortie négative de la figure 6 fait l'objet de deux exemples de réalisation qui sont illustrés aux figures 7 et 8. La fonction du circuit multiplexeur MX est de récupérer les tensions les plus basses des circuits multiplicateurs de tension et, par commutation, en extrait la tension continue la plus basse qui forme la tension de sortie du convertisseur.

Selon le premier exemple de réalisation de la figure 7, le circuit multiplexeur MX est basé sur l'utilisation de deux interrupteurs K_{s1} et K_{s2} à commande inversée qui, côté sortie, partagent un même nœud de sortie

correspondant à la tension de sortie V_s du convertisseur 10 et qui, côté entrée, sont respectivement reliés aux deux tensions de sortie V_{Np} et V_N des deux circuits multiplicateurs de tension CM_{Np} et CM_N de l'étage N du convertisseur 10. Le circuit multiplexeur MX comprend également un circuit

5 auxiliaire pour produire les signaux de commande des deux interrupteurs K_{s1} et K_{s2} , ce circuit auxiliaire étant constitué de deux circuits inverseurs $I_{(N+1)p}$ et I_{N+1} , de deux interrupteurs K_{s3} et K_{s4} , et de deux condensateurs $C_{(N+1)p}$ et C_{N+1} .

L'interrupteur K_{s3} partage les mêmes signaux de contrôle et

10 d'entrée que ceux de l'interrupteur K_{s1} , alors que l'interrupteur K_{s4} partage les mêmes signaux de contrôle et d'entrée que ceux de l'interrupteur K_{s2} . Par contre, l'interrupteur K_{s3} est connecté entre la tension de sortie V_{Np} du circuit multiplicateur CM_{Np} de la branche B_2 de l'étage N du convertisseur 10 et l'électrode négative du condensateur $C_{(N+1)p}$ dont l'électrode positive est

15 survoltée par le signal d'horloge $\Phi_{(n+1)p}$. D'une manière symétrique, l'interrupteur K_{s4} est connecté entre la tension de sortie V_N du circuit multiplicateur CM_N de la branche B_1 de l'étage N du convertisseur 10 et l'électrode négative du condensateur C_{N+1} dont l'électrode positive est survoltée par le signal d'horloge Φ_{n+1} .

20 Le circuit inverseur $I_{(N+1)p}$ a pour signal d'entrée le signal de commande V_{cNp} du circuit multiplicateur de tension CM_{Np} de l'étage N de la branche B_2 du convertisseur 10, et il est alimenté entre la tension de sortie V_{Np} comme alimentation haute et la tension V_{N+1} comme alimentation basse. D'une manière symétrique, le circuit inverseur I_{N+1} a pour signal d'entrée le

25 signal de commande V_{cN} du circuit multiplicateur CM_N de l'étage N de la branche B_1 du convertisseur 10, et il est alimenté entre la tension de sortie V_N comme alimentation haute et la tension $V_{(N+1)p}$ comme alimentation basse.

Selon le second exemple de réalisation de la figure 8, le circuit multiplexeur MX reprend globalement la structure de celui illustré à la

30 figure 7. La seule différence réside dans le fait que le signal d'entrée du circuit inverseur $I_{(N+1)p}$ est le signal $V_{(N+1)p}$ au lieu du signal V_{cNp} , et le signal d'entrée du circuit inverseur I_{N+1} est le signal V_{N+1} au lieu du signal V_{cN} .

Selon un second mode de réalisation illustré à la figure 9 et qui est une variante de celui illustré à la figure 6, le convertisseur tension/tension 10 est également à sortie négative et diffère uniquement au niveau des circuits de commande CC_i et CC_{ip} des circuits multiplicateurs de tension CM_i et CM_{ip} (i variant de 2 à N). Plus précisément, le circuit inverseur I_i de chaque circuit de commande CC_i est alimenté entre les tensions de sortie V_{ip} et V_{i-1} , sachant que la tension de sortie V_{i-1} est celle produite par le circuit multiplicateur CM_{i-1} de l'étage précédent de la branche B_1 du convertisseur 10, et la tension de sortie V_{ip} est celle produite par le circuit multiplicateur CM_{ip} de l'étage correspondant de la branche B_2 du convertisseur 10. En entrée, chaque circuit inverseur I_i est contrôlé par le signal de sortie V_i du circuit multiplicateur de tension CM_i pour produire le signal de sortie V_{ci} . D'une manière symétrique, le circuit inverseur I_{ip} de chaque circuit de commande CC_{ip} est alimenté entre les tensions de sortie V_i et $V_{(i-1)p}$, sachant que la tension de sortie $V_{(i-1)p}$ est produite par le circuit multiplicateur $CM_{(i-1)p}$ de l'étage précédent de la branche B_2 du convertisseur 10, et la tension de sortie V_i est celle produite par le circuit multiplicateur de tension CM_i de l'étage correspondant de la branche B_1 du convertisseur 10. En entrée, chaque circuit inverseur I_{ip} est contrôlé par le signal de sortie V_{ip} du circuit multiplicateur de tension CM_{ip} pour produire le signal de sortie V_{cip} .

Comme pour le premier mode de réalisation illustré à la figure 6, le circuit multiplexeur MX qui forme l'étage de sortie du convertisseur 10 peut être réalisé suivant l'un des deux exemples illustrés aux figures 7 et 8.

On va décrire maintenant le fonctionnement du convertisseur tension/tension d'ordre N et à tension de sortie positive qui est illustré à la figure 2. Ce fonctionnement peut être divisé en deux phases, à savoir : une première phase correspondant à la charge du condensateur du premier étage, et une seconde phase correspondant au transfert des charges stockées sur le condensateur durant la première phase vers l'étage suivant.

Au préalable, en se reportant à la figure 10, il est important de faire les remarques préliminaires suivantes :

- il y a une opposition de phase, étage par étage, entre les branches B_1 et B_2 du convertisseur, c'est-à-dire que si l'étage i de la branche B_1 comprenant le circuit multiplicateur de tension CM_i et son circuit de commande CC_i est dans la première phase de fonctionnement, l'étage i de la

5 branche B_2 comprenant le circuit multiplicateur de tension CM_{ip} et son circuit de commande CC_{ip} est alors dans la seconde phase de fonctionnement ;

- il y a également une inversion de phase entre un étage et ses voisins pour chaque branche B_1 et B_2 , c'est-à-dire que si l'étage i de la branche B_1 est dans la seconde phase de fonctionnement, les étages $i-1$ et

10 $i+1$ sont alors dans la première phase de fonctionnement ; et

- la commutation de phase est contrôlée par les signaux d'horloge Φ_1 et Φ_2 d'une part, et la phase d'un étage se trouve changée à chaque nouveau demi-cycle d'horloge d'autre part, c'est-à-dire que si l'étage i de la branche B_2 est dans la première phase de fonctionnement, il passera

15 dans la seconde phase de fonctionnement au demi-cycle d'horloge suivant, comme cela est illustré sur les chronogrammes des figures 11a à 11d, en particulier ceux des figures 11a et 11b.

La première phase de fonctionnement correspond à la charge du condensateur C_i ou C_{ip} de l'étage i de chaque branche B_1 et B_2 , avec i

20 variant de 2 à N . Pour chaque branche B_1 et B_2 , cette première phase se produit lorsque le signal d'horloge Φ_j ($j = 1$ ou 2) appliquée sur le condensateur C_i ou C_{ip} de l'étage CM_i (branche B_1) ou CM_{ip} (branche B_2) est au niveau bas (0 volt), comme cela est illustré sur la figure 11a pour la branche B_1 et sur la figure 11b pour la branche B_2 . Durant cette première

25 phase de fonctionnement, la tension sur l'électrode positive du condensateur C_i (branche B_1) ou C_{ip} (branche B_2) est chargée, à travers l'interrupteur K_i (branche B_1) ou K_{ip} (branche B_2) qui est à l'état passant, à la tension V_{i-1} (condensateur C_i) ou à la tension $V_{(i-1)p}$ (condensateur C_{ip}), ces tensions étant égales à iV_{dd} . L'état de l'interrupteur K_i (branche B_1) et K_{ip} (branche B_2) est

30 contrôlé par une tension V_{ci} (branche B_1) et V_{cip} (branche B_2), ces tensions égales à $(i+1)V_{dd}$ étant fournies par l'inverseur I_i (branche B_1) ou I_{ip} (branche B_2) qui est alimenté entre les tensions V_{ip} (égale à $(i+1)V_{dd}$) et V_{i-1} (égale à

iV_{dd}) pour la branche B_1 , et V_i (égale à $(i+1)V_{dd}$) et $V_{(i-1)p}$ (égale à iV_{dd}) pour la branche B_2 .

La seconde phase de fonctionnement correspond à l'empilement sur la tension d'alimentation V_{dd} du condensateur C_i ou C_{ip} de l'étage i de chaque branche B_1 et B_2 avec i variant de 2 à N . Pour chaque
 5 branche B_1 et B_2 , cette phase se produit lorsque l'horloge Φ_j ($j = 1$ ou 2) connectée sur le condensateur C_i ou C_{ip} de l'étage CM_i ou CM_{ip} est au niveau haut (V_{dd}). Durant cette phase, la tension sur l'électrode positive V_i (V_{ip}) du condensateur C_i (C_{ip}) est survoltée de V_{dd} élevant ainsi cette tension à
 10 $(i+1)V_{dd}$. L'interrupteur K_i (K_{ip}) est bloqué pendant la seconde phase et commandé par une tension V_{ci} (V_{cip}) égale à $(i-1)V_{dd}$ et fournie par l'inverseur I_i (I_{ip}), comme cela est illustré sur les figures 11e et 11d respectivement associées aux figures 11a et 11b. L'inverseur I_i est alimenté entre V_{ip} de valeur iV_{dd} et V_{i-1} de valeur $(i-1)V_{dd}$, alors que l'inverseur I_{ip} est alimenté
 15 entre V_i de valeur iV_{dd} et $V_{(i-1)p}$ de valeur $(i-1)V_{dd}$.

Les deux phases de fonctionnement concernent aussi le survolteur d'horloge CB. Lorsque les éléments de la branche B_1 comprenant le condensateur C_1 associé au transistor M_1 sont dans la première phase alors les éléments de la branche B_2 comprenant le condensateur C_{1p} associé
 20 au transistor M_{1p} sont dans la seconde phase et puis alternativement. La première phase correspond à la charge à V_{dd} du condensateur C_1 ou C_{1p} à travers le transistor M_1 ou M_{1p} et cette phase se produit quand l'horloge Φ_j ($j = 1$ ou 2) est au niveau bas ($0V$). La seconde phase correspond à l'empilement du condensateur C_1 ou C_{1p} sur le signal d'horloge Φ_j au niveau haut (V_{dd}), ce
 25 qui produit sur V_1 ou V_{1p} une tension de $2V_{dd}$ comme l'illustre les figures 11a et 11b.

A titre d'exemple, dans le cas d'une mémoire "EEPROM" qui nécessite une tension de programmation d'au moins 9 volts à partir d'une tension d'alimentation de 3 volts fournie par une pile, un convertisseur
 30 tension/tension selon l'invention avec seulement deux étages multiplicateurs de tension est suffisant pour produire la tension de programmation.

REVENDEICATIONS

1. Convertisseur tension/tension pour circuits intégrés, présentant une structure symétrique à plusieurs étages et comprend au moins
5 un étage d'entrée constitué par un circuit survolteur d'horloge (CB) à structure symétrique qui délivre deux tensions de sortie, un étage multiplicateur de tension à structure symétrique comprenant deux circuits multiplicateurs de tension (CM_i ; CM_{ip}) respectivement montés dans deux branches (B_1 ; B_2) du convertisseur et auxquels sont respectivement appliqués les deux tensions de
10 sortie de l'étage d'entrée, et un étage de sortie (S) constitué par un circuit multiplexeur (MX) auquel sont appliquées les deux tensions de sortie de l'étage multiplicateur de tension, caractérisé en ce que chaque circuit multiplicateur de tension (CM_i ; CM_{ip}) est commandé par un circuit de commande (CC_i ; CC_{ip}), et en ce que chaque circuit multiplicateur de tension
15 (CM_i ; CM_{ip}) fournit des tensions nécessaires au fonctionnement de son circuit de commande d'une part et au fonctionnement du circuit de commande de l'autre circuit multiplicateur de tension du même étage d'autre part.

2. Convertisseur selon la revendication 1, caractérisé en ce que le circuit survolteur d'horloge (CB) a pour fonction d'additionner une
20 composante continue à un signal d'horloge, et en ce que le circuit survolteur d'horloge (CB) comprend deux circuits semblables qui reçoivent respectivement deux signaux d'horloge (Φ_1 ; Φ_2) ayant des phases opposées.

3. Convertisseur selon la revendication 1 ou 2, caractérisé en ce que chaque circuit multiplicateur de tension (CM_i ; CM_{ip}) comprend un
25 condensateur (C_i ; C_{ip}) et un interrupteur (K_i ; K_{ip}) pour contrôler la charge du condensateur et le transfert de sa charge vers le circuit multiplicateur de tension de l'étage suivant.

4. Convertisseur selon l'une des revendications précédentes, caractérisé en ce qu'il est à sortie positive, en ce que le circuit
30 survolteur d'horloge (CB) formant l'étage d'entrée est à sortie positive et comprend deux transistors NMOS et deux condensateurs, en ce que le drain de chaque transistor (M_1 ; M_{1p}) est connecté à une borne d'alimentation (V_{dd}),

la source de chaque transistor (M_1 ; M_{1p}) est connectée à l'électrode positive du condensateur (C_1 ; C_{1p}) de la branche associée, et la grille de chaque transistor (M_1 ; M_{1p}) est connectée à l'électrode positive du condensateur (C_1 ; C_{1p}) de la grille de chaque transistor (M_1 ; M_{1p}) est connectée à la source du transistor de la branche opposée, et en ce que les électrodes négatives des condensateurs (C_1 ; C_{1p}) sont respectivement reliées à deux signaux d'horloge (Φ_1 ; Φ_2) en opposition de phase.

5. Convertisseur selon la revendication 3 ou 4, caractérisé en ce que les condensateurs (C_i ; C_{ip}) des deux branches (B_1 ; B_2) de l'étage multiplicateur de tension ont leurs électrodes positives qui sont respectivement connectées aux sorties des deux interrupteurs (K_i ; K_{ip}) par deux nœuds (V_i ; V_{ip}) et leurs électrodes négatives qui sont reliées à un signal d'horloge (Φ_i), en ce que les entrées des interrupteurs (K_i ; K_{ip}) sont connectées à la sortie de l'étage précédent, et en ce que le signal d'horloge (Φ_i) correspond soit au signal (Φ_1) si i est impair pour la première branche (B_1) et au signal (Φ_2) si i est pair pour la première branche (B_1), soit au signal (Φ_2) si i est impair pour la seconde branche (B_2) et à (Φ_1) si i est pair pour la seconde branche (B_2).

6. Convertisseur selon l'une des revendications précédentes, caractérisé en ce que le circuit de commande (CC_i) du circuit multiplicateur de tension (CM_i) de la première branche (B_1) est un circuit inverseur (I_i) qui est alimenté entre la tension (V_{i-1}) du circuit multiplicateur de tension de l'étage précédent de la première branche (B_1) et la tension (V_{ip}) du circuit multiplicateur de tension du même étage de la seconde branche (B_2), et en ce que l'inverseur (I_i) est commandé soit par la tension ($V_{c(i-1)}$) du circuit multiplicateur de tension précédent de la première branche (B_1) ou soit par la tension (V_i) du circuit multiplicateur de tension (CM_i) de la première branche (B_1).

7. Convertisseur selon l'une des revendications précédentes, caractérisé en ce que le circuit de commande (CC_{ip}) du circuit multiplicateur de tension (CM_{ip}) de la seconde branche (B_2) est un circuit

inverseur (I_{ip}) qui est alimenté entre la tension de sortie ($V_{(i-1)p}$) du circuit multiplicateur de tension ($CM_{(i-1)p}$) de l'étage précédent de la seconde branche (B_2) et la tension de sortie (V_i) du circuit multiplicateur de tension (CM_i) du même étage de la première branche (B_1), et en ce que l'inverseur (I_{ip}) est
 5 commandé soit par la tension de sortie ($V_{c(i-1)p}$) du circuit multiplicateur de tension précédent de la seconde branche (B_2) ou soit par la tension (V_{ip}) du circuit multiplicateur de tension (CM_{ip}) de la seconde branche (B_2).

8. Convertisseur selon l'une des revendications précédentes, caractérisé en ce que le circuit multiplicateur (MX) récupère les
 10 tensions les plus élevées des circuits multiplicateurs de tension (CM_i ; CM_{ip}) , et, par commutation, en extrait la tension continue la plus élevée formant la tension de sortie du convertisseur.

9. Convertisseur selon la revendication 8, caractérisé en ce que le circuit multiplexeur (MX) est à sortie positive et comprend deux
 15 interrupteurs (K_{s1} ; K_{s2}) reliés à la borne de sortie (V_s) du circuit multiplexeur d'une part et aux bornes de sortie (V_{Np} ; V_N) de l'étage multiplicateur de tension (N-1) d'autre part, en ce que les deux interrupteurs (K_{s1} ; K_{s2}) sont contrôlés par les signaux de sortie de deux circuits inverseurs ($I_{(N+1)p}$; I_{N+1}), et en ce que le circuit multiplexeur comprend également un circuit auxiliaire dont
 20 la fonction est de générer les signaux de commande pour les interrupteurs (K_{s1} ; K_{s2}).

10. Convertisseur selon la revendication 9, caractérisé en ce que le circuit auxiliaire comprend deux inverseurs ($I_{(N+1)p}$; I_{N+1}), deux circuits interrupteurs (K_{s3} ; K_{s4}) et deux condensateurs ($C_{(N+1)p}$; C_{N+1}).

25 11. Convertisseur selon la revendication 10, caractérisé en ce que les deux interrupteurs (K_{s3} ; K_{s4}) ont le même signal de contrôle et le même signal d'entrée que les deux interrupteurs (K_{s1} ; K_{s2}), en ce que l'interrupteur (K_{s3}) est monté entre la tension de sortie (V_{Np}) et l'électrode positive du condensateur ($C_{(N+1)p}$) dont l'électrode négative est reliée au signal
 30 d'horloge ($\Phi_{(n+1)p}$), en ce que l'interrupteur (K_{s4}) est monté entre la tension de sortie (V_N) du circuit multiplicateur (CM_N) de la première branche (B_1) de l'étage N du convertisseur et l'électrode positive du condensateur (C_{N+1}) dont

l'électrode négative est reliée au signal d'horloge (Φ_{n+1}), et en ce que les deux inverseurs ($I_{(N+1)p}$; I_{N+1}) ont respectivement pour signaux d'entrée les signaux (V_{cNp} ; V_{cN}) et sont respectivement alimentés entre les tensions (V_{Np} ; V_N) comme alimentation basse et (V_{N+1} ; $V_{(N+1)p}$) comme alimentation haute.

5 12. Convertisseur selon la revendication 10, caractérisé en ce que les deux interrupteurs (K_{s3} ; K_{s4}) ont le même signal de contrôle et le même signal d'entrée que les deux interrupteurs (K_{s1} ; K_{s2}), en ce que l'interrupteur (K_{s3}) est monté entre la tension de sortie (V_{Np}) et l'électrode positive du condensateur ($C_{(N+1)p}$) dont l'électrode négative est reliée au signal
10 d'horloge ($\Phi_{(n+1)p}$), en ce que l'interrupteur (K_{s4}) est monté entre la tension de sortie (V_N) du circuit multiplicateur (CM_N) de la première branche (B_1) de l'étage N du convertisseur et l'électrode positive du condensateur (C_{N+1}) dont l'électrode négative est reliée au signal d'horloge (Φ_{n+1}), et en ce que les deux inverseurs ($I_{(N+1)p}$; I_{N+1}) ont respectivement pour signaux d'entrée les signaux
15 ($V_{(N+1)p}$; V_{N+1}) et sont respectivement alimentés entre les tensions (V_{Np} ; V_N) comme alimentation basse et (V_{N+1} ; $V_{(N+1)p}$) comme alimentation haute.

13. Convertisseur selon l'une des revendications 1 à 3, caractérisé en ce qu'il est à sortie négative, en ce que le circuit survolteur d'horloge formant l'étage d'entrée est à sortie négative et comprend deux
20 transistors PMOS et deux condensateurs, en ce que le drain de chaque transistor (M_1 ; M_{1p}) est connecté à la masse, la source de chaque transistor (M_1 ; M_{1p}) est connectée à l'électrode négative du condensateur (C_1 ; C_{1p}) de la branche associée, et la grille de chaque transistor (M_1 ; M_{1p}) est connectée à l'électrode positive du condensateur (C_1 ; C_{1p}) de la grille de chaque
25 transistor (M_1 ; M_{1p}) est connectée à la source du transistor de la branche opposée, et en ce que les électrodes positives des condensateurs (C_1 ; C_{1p}) sont respectivement reliées à deux signaux d'horloge (Φ_1 ; Φ_2) en opposition de phase.

14. Convertisseur selon la revendication 13, caractérisé en ce
30 que les condensateurs (C_i ; C_{ip}) des deux branches (B_1 ; B_2) de l'étage multiplicateur de tension ont leurs électrodes négatives qui sont

respectivement connectées aux sorties des deux interrupteurs (K_i ; K_{ip}) par deux nœuds (V_i ; V_{ip}) et leurs électrodes positives qui sont reliées à un signal d'horloge (Φ_i), en ce que les entrées des interrupteurs (K_i ; K_{ip}) sont connectées à la sortie de l'étage précédent, et en ce que le signal d'horloge (Φ_i) correspond soit au signal (Φ_1) si i est impair pour la première branche (B_1) et au signal (Φ_2) si i est pair pour la première branche (B_1), soit au signal (Φ_2) si i est impair pour la seconde branche (B_2) et à (Φ_1) si i est pair pour la seconde branche (B_2).

15. Convertisseur selon la revendication 13 ou 14, caractérisé en ce que le circuit de commande (CC_i) du circuit multiplicateur de tension (CM_i) de la première branche (B_1) est un circuit inverseur (I_i) qui est alimenté entre la tension (V_{i-1}) du circuit multiplicateur de tension de l'étage précédent de la première branche (B_1) et la tension (V_{ip}) du circuit multiplicateur de tension du même étage de la seconde branche (B_2), et en ce que l'inverseur (I_i) est commandé soit par la tension ($V_{c(i-1)}$) du circuit multiplicateur de tension précédent de la première branche (B_1) ou soit par la tension (V_i) du circuit multiplicateur de tension (CM_i) de la première branche (B_1).

16. Convertisseur selon l'une des revendications 13 à 15, caractérisé en ce que le circuit de commande (CC_{ip}) du circuit multiplicateur de tension (CM_{ip}) de la seconde branche (B_2) est un circuit inverseur (I_{ip}) qui est alimenté entre la tension de sortie ($V_{(i-1)p}$) du circuit multiplicateur de tension ($CM_{(i-1)p}$) de l'étage précédent de la seconde branche (B_2) et la tension de sortie (V_i) du circuit multiplicateur de tension (CM_i) du même étage de la première branche (B_1), et en ce que l'inverseur (I_{ip}) est commandé soit par la tension de sortie ($V_{c(i-1)p}$) du circuit multiplicateur de tension précédent de la seconde branche (B_2) ou soit par la tension (V_{ip}) du circuit multiplicateur de tension (CM_{ip}) de la seconde branche (B_2).

17. Convertisseur selon l'une des revendications 13 à 16, caractérisé en ce que le circuit multiplicateur (MX) récupère les tensions les plus basses des circuits multiplicateurs de tension (CM_i ; CM_{ip}) , et, par

commutation, en extrait la tension continue la plus basse formant la tension de sortie du convertisseur.

18. Convertisseur selon la revendication 17, caractérisé en ce que le circuit multiplexeur (MX) est à sortie négative et comprend deux interrupteurs (K_{s1} ; K_{s2}) reliés à la borne de sortie (V_s) du circuit multiplexeur d'une part et aux bornes de sortie (V_{Np} ; V_N) de l'étage multiplicateur de tension (N-1) d'autre part, en ce que les deux interrupteurs (K_{s1} ; K_{s2}) sont contrôlés par les signaux de sortie de deux circuits inverseurs ($I_{(N+1)p}$; I_{N+1}), et en ce que le circuit multiplexeur comprend également un circuit auxiliaire dont la fonction est de générer les signaux de commande pour les interrupteurs (K_{s1} ; K_{s2}).

19. Convertisseur selon la revendication 18, caractérisé en ce que le circuit auxiliaire comprend deux inverseurs ($I_{(N+1)p}$; I_{N+1}), deux circuits interrupteurs (K_{s3} ; K_{s4}) et deux condensateurs ($C_{(N+1)p}$; C_{N+1}).

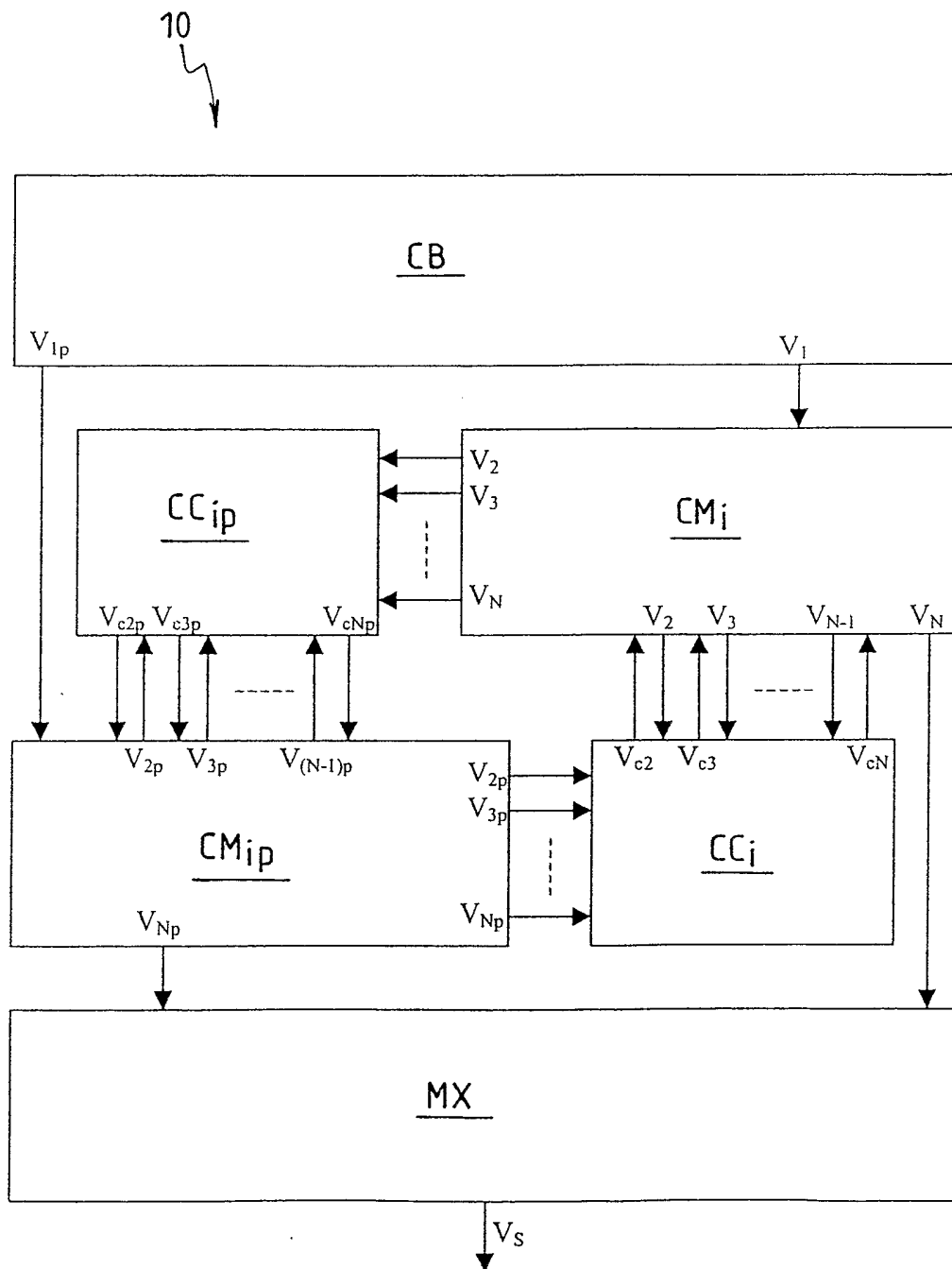
20. Convertisseur selon la revendication 19, caractérisé en ce que les deux interrupteurs (K_{s3} ; K_{s4}) ont le même signal de contrôle et le même signal d'entrée que les deux interrupteurs (K_{s1} ; K_{s2}), en ce que l'interrupteur (K_{s3}) est monté entre la tension de sortie (V_{Np}) et l'électrode négative du condensateur ($C_{(N+1)p}$) dont l'électrode positive est reliée au signal d'horloge ($\Phi_{(n+1)p}$), en ce que l'interrupteur (K_{s4}) est monté entre la tension de sortie (V_N) du circuit multiplicateur (CM_N) de la première branche (B_1) de l'étage N du convertisseur et l'électrode négative du condensateur (C_{N+1}) dont l'électrode positive est reliée au signal d'horloge (Φ_{n+1}), et en ce que les deux inverseurs ($I_{(N+1)p}$; I_{N+1}) ont respectivement pour signaux d'entrée les signaux (V_{cNp} ; V_{cN}) et sont respectivement alimentés entre les tensions (V_{Np} ; V_N) comme alimentation haute et (V_{N+1} ; $V_{(N+1)p}$) comme alimentation basse.

21. Convertisseur selon la revendication 19, caractérisé en ce que les deux interrupteurs (K_{s3} ; K_{s4}) ont le même signal de contrôle et le même signal d'entrée que les deux interrupteurs (K_{s1} ; K_{s2}), en ce que l'interrupteur (K_{s3}) est monté entre la tension de sortie (V_{Np}) et l'électrode négative du condensateur ($C_{(N+1)p}$) dont l'électrode positive est reliée au signal d'horloge ($\Phi_{(n+1)p}$), en ce que l'interrupteur (K_{s4}) est monté entre la tension de

sortie (V_N) du circuit multiplicateur (CM_N) de la première branche (B_1) de l'étage N du convertisseur et l'électrode négative du condensateur (C_{N+1}) dont l'électrode positive est reliée au signal d'horloge (Φ_{n+1}), et en ce que les deux inverseurs ($I_{(N+1)p}$; I_{N+1}) ont respectivement pour signaux d'entrée les signaux

5 ($V_{(N+1)p}$; V_{N+1}) et sont respectivement alimentés entre les tensions (V_{Np} ; V_N) comme alimentation haute et (V_{N+1} ; $V_{(N+1)p}$) comme alimentation basse.

1/8

FIG.1

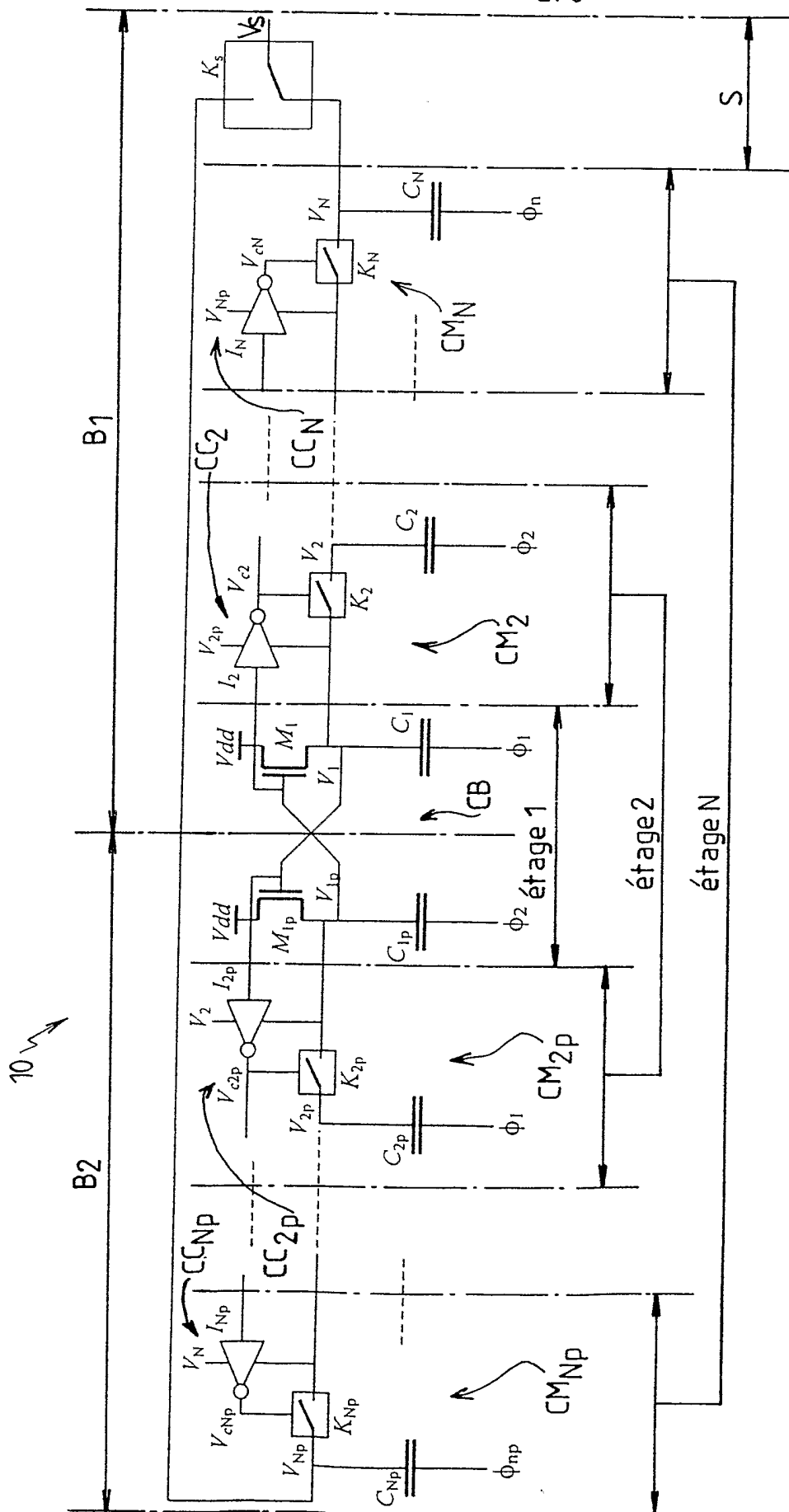


FIG. 2

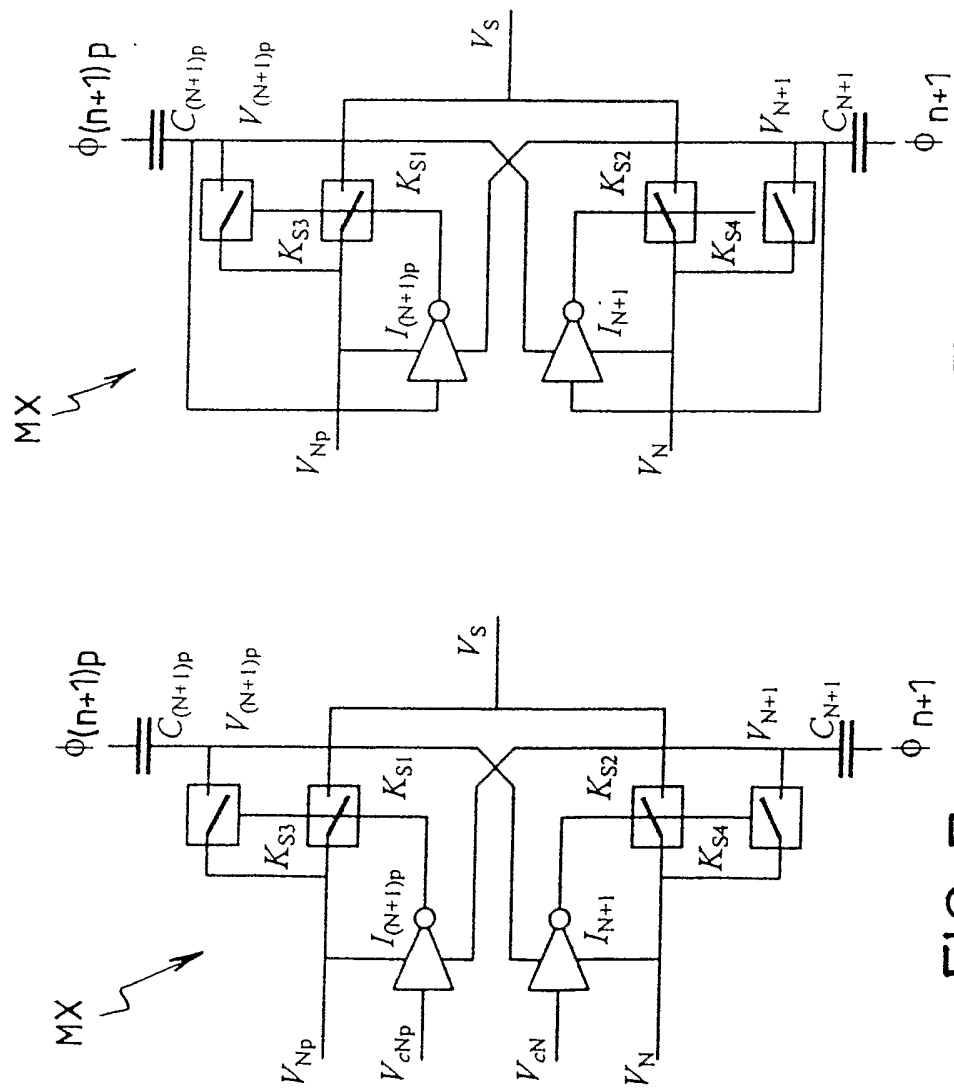


FIG. 4

FIG. 3

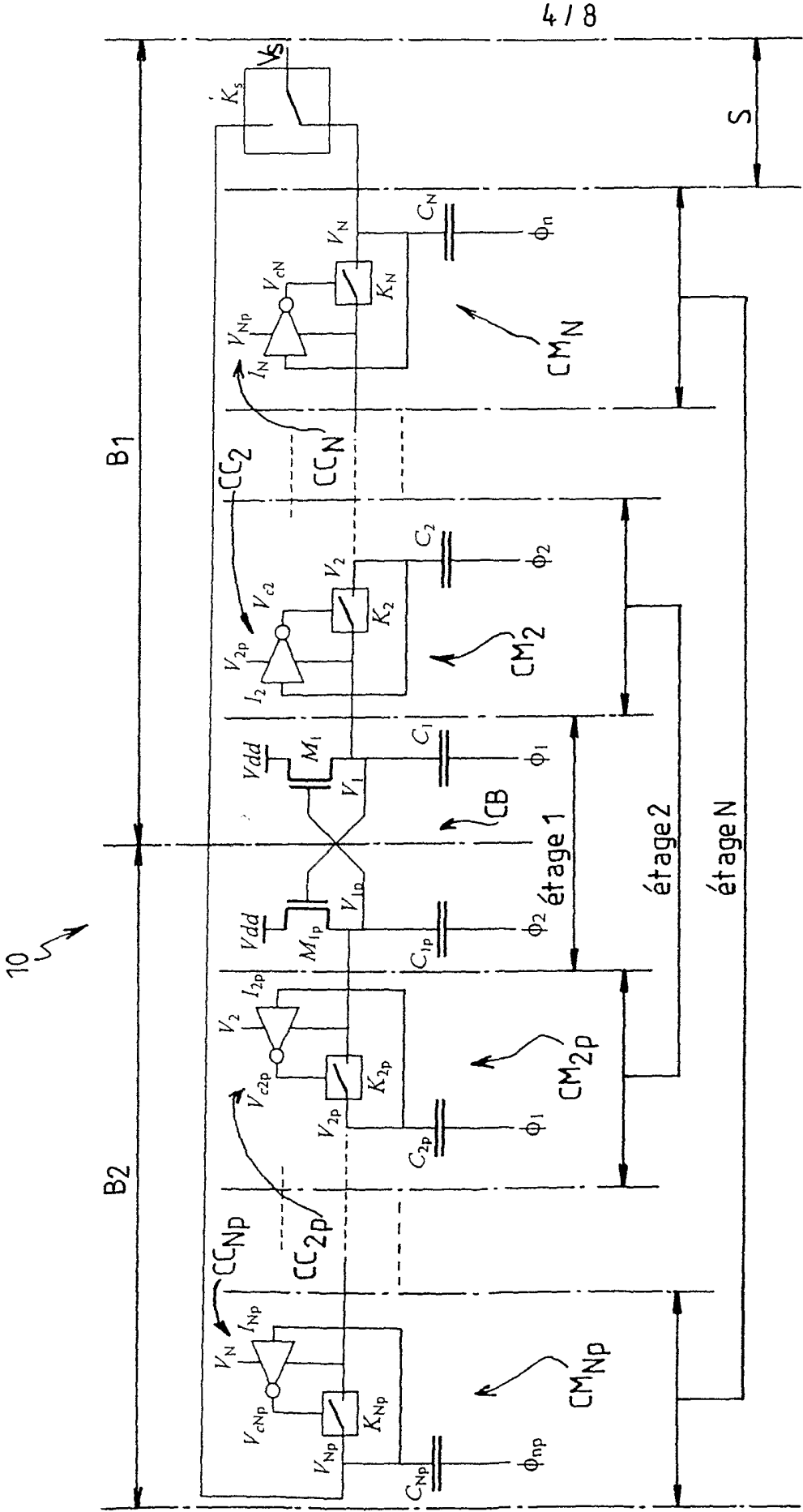


FIG. 5

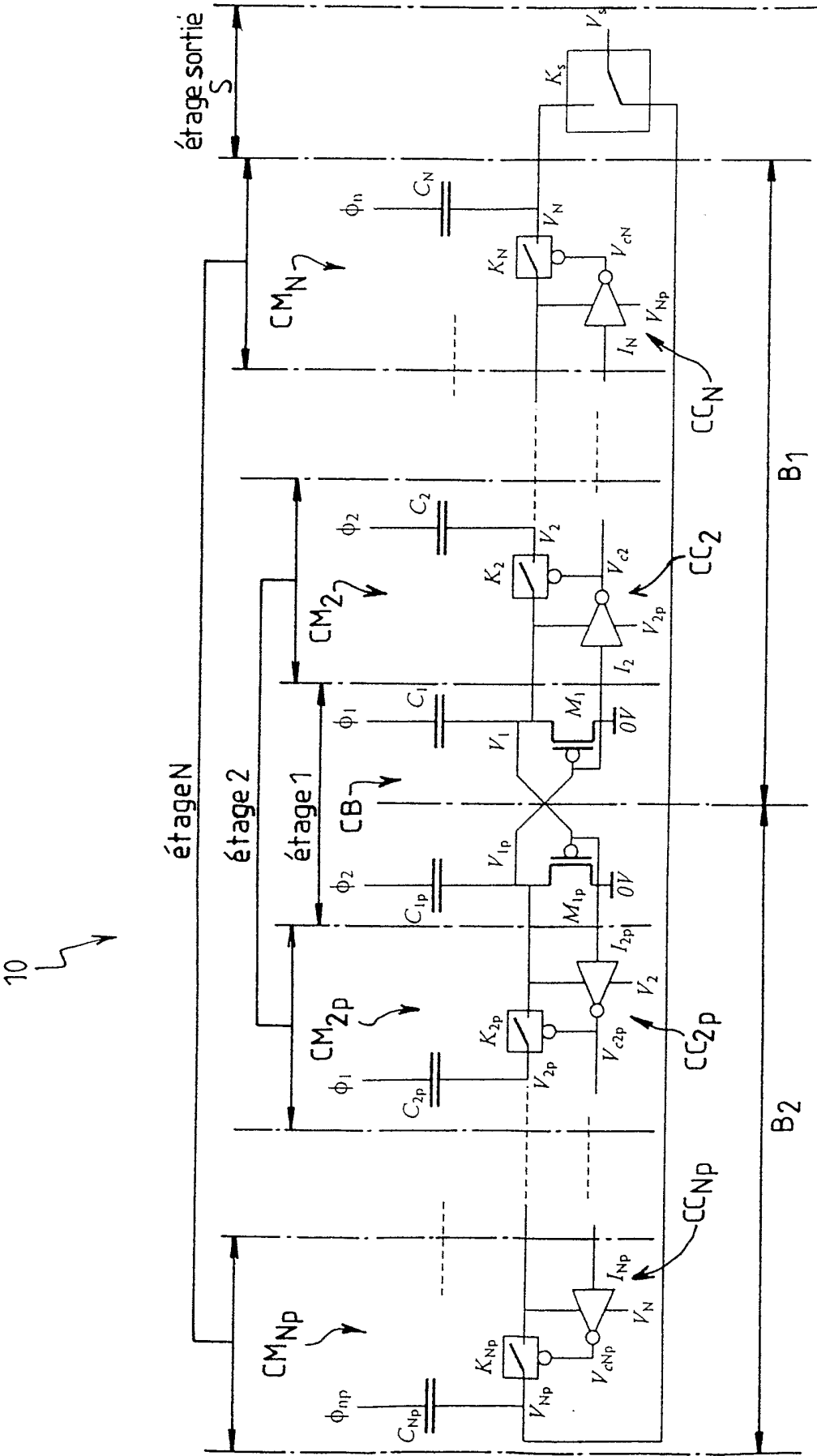
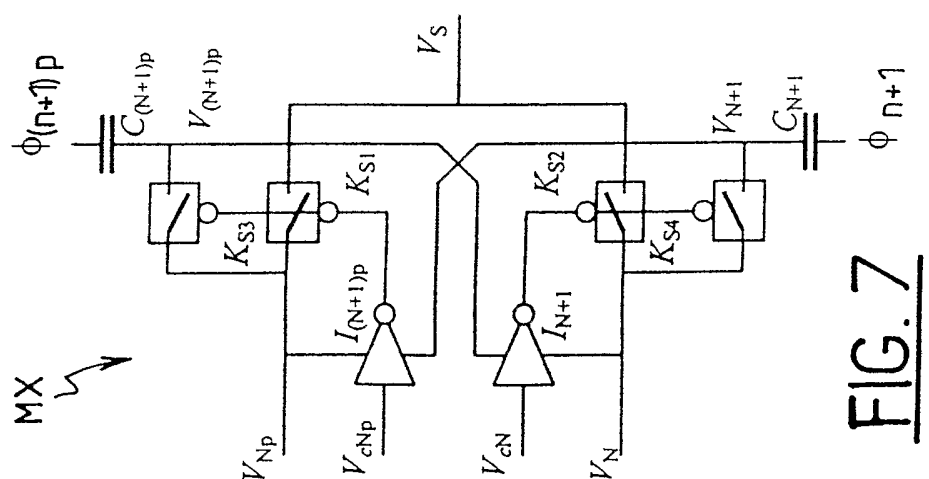
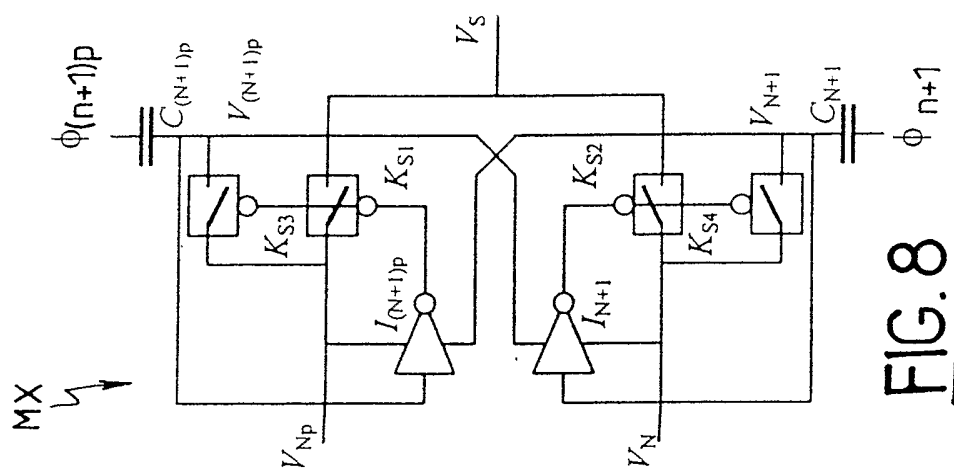


FIG.6



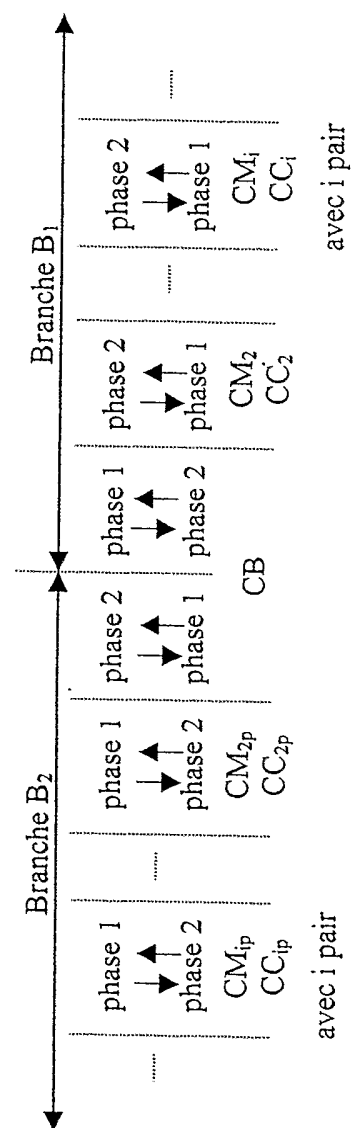
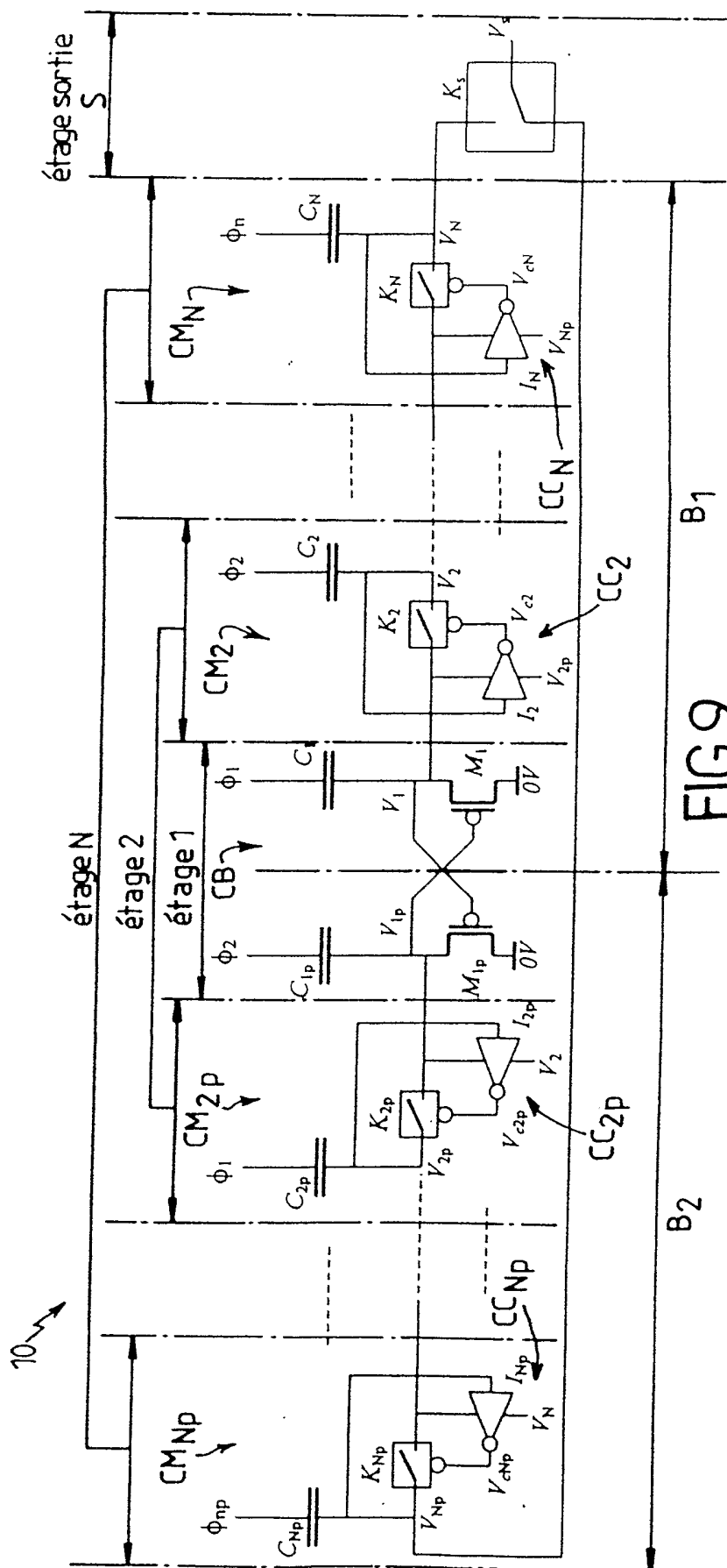
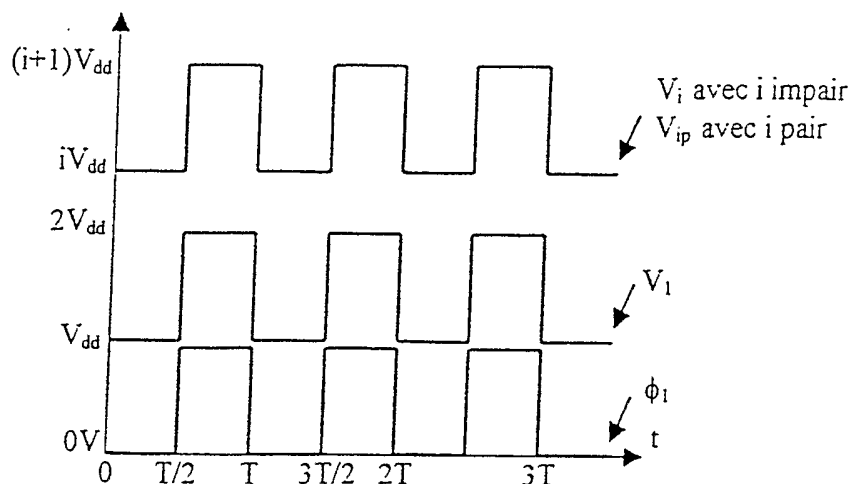
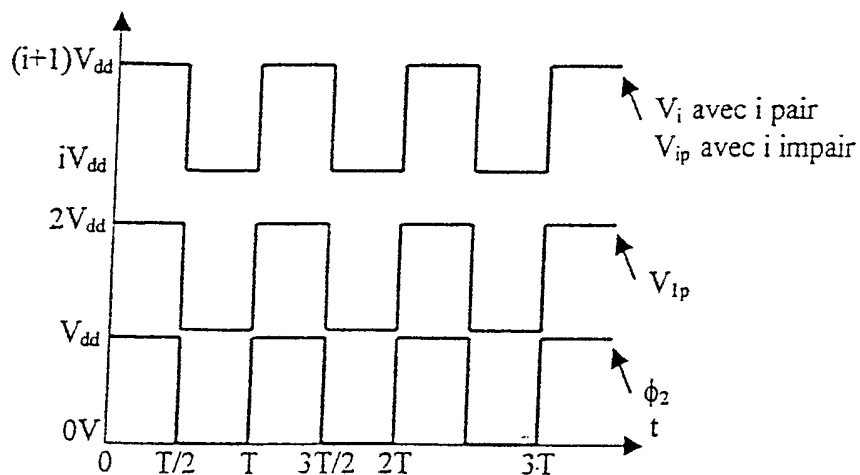
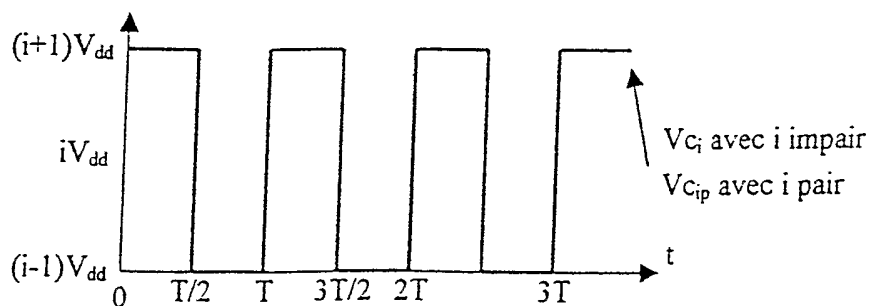


FIG.11aFIG.11bFIG.11cFIG.11d