



(12)

## Patentschrift

(21) Aktenzeichen: **102 38 523.8**  
(22) Anmeldetag: **22.08.2002**  
(43) Offenlegungstag: **04.03.2004**  
(45) Veröffentlichungstag  
der Patenterteilung: **02.10.2014**

(51) Int Cl.: **H01L 23/28** (2006.01)  
**H01L 21/52** (2006.01)  
**H03H 9/145** (2006.01)  
**H03H 3/08** (2006.01)  
**H03H 9/25** (2006.01)  
**H01L 23/50** (2006.01)  
**H01L 23/485** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(62) Teilung in:  
**102 62 409.7**

(73) Patentinhaber:  
**EPCOS AG, 81669 München, DE**

(74) Vertreter:  
**Epping Hermann Fischer,  
Patentanwalts-gesellschaft mbH, 80639 München,  
DE**

(72) Erfinder:  
**Feiertag, Gregor, Dr., 80689 München, DE; Stelzl,  
Alois, 81549 München, DE; Krüger, Hans, Dipl.-  
Phys., 81737 München, DE; Portmann, Jürgen,  
Dr., 81677 München, DE; Nicolaus, Karl, Dr., 80686  
München, DE**

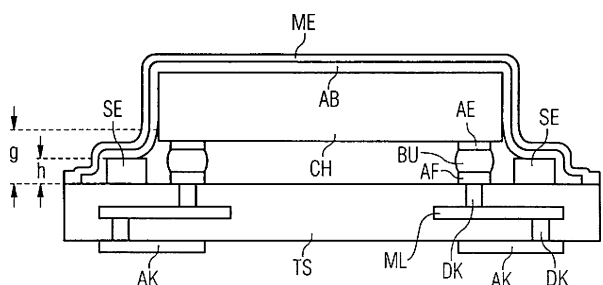
(56) Ermittelter Stand der Technik:  
**siehe Folgeseiten**

(54) Bezeichnung: **Verkapseltes elektronisches Bauelement und Verfahren zur Herstellung**

(57) Hauptanspruch: Bauelement, enthaltend:  
– einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,  
– ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist, und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,  
– ein Stützelement (SE), welches auf der Oberseite des Trägersubstrats angeordnet ist und den Chip umläuft, ohne ihn zu berühren,  
– eine Abdichtung (AB), welche den Chip umgibt und direkt mit dem Chip verbunden ist und zumindest den Raum zwischen dem Stützelement und dem genannten Chip dicht abschließt, wobei eine durch die Abdichtung verursachte thermisch induzierte mechanische Spannung in den elektrisch leitenden Verbindungen dadurch verringert ist, dass sich die Abdichtung vertikal am Stützelement abstützt, wobei  
h die Höhe des Stützelements ist,  
g der Abstand zwischen der Oberseite des Trägersubstrats und dem Auflagepunkt der Abdichtung am Chip ist,  
 $\alpha_{\text{Bump}}$ ,  $\alpha_{\text{Abdichtung}}$ ,  $\alpha_{\text{Stützelement}}$  die thermischen Ausdehnungskoeffizienten der elektrisch leitenden Verbindung, der Abdichtung und des Stützelements sind,

$$h = g (\alpha_{\text{Bump}} - \alpha_{\text{Abdichtung}}) / (\alpha_{\text{Stützelement}} - \alpha_{\text{Abdichtung}}) \text{ und}$$

die durch thermische Ausdehnung auftretenden Kräfte im Temperaturbereich zwischen  $-60^{\circ}\text{C}$  und  $85^{\circ}\text{C}$  pro eine elektrisch leitende Verbindung maximal 2 Newton betragen.



(56) Ermittelter Stand der Technik:

<b>DE</b>	<b>198 06 818</b>	<b>C1</b>
<b>EP</b>	<b>0 742 643</b>	<b>A1</b>
<b>WO</b>	<b>99/ 43 084</b>	<b>A1</b>
<b>WO</b>	<b>99/ 56 390</b>	<b>A1</b>

**SELMEIER, P. [u.a.]: Recent advances in SAW packaging. In: IEEE Ultrasonic Symposium. ISBN 0-7803-7177-1. 2001, Vol. 1, S. 283-292**

**Beschreibung**

**[0001]** Die Erfindung betrifft ein verkapseltes Bauelement, bei dem zwischen einem Trägersubstrat und der aktiven Fläche eines Chips ein Spalt vorgesehen ist, insbesondere ein mit akustischen Wellen arbeitendes Bauelement, das ein Trägersubstrat und einen auf der Oberseite des Trägersubstrats angeordneten und mit diesem mittels Bumps oder anderer elektrisch leitender Verbindungen elektrisch und mechanisch verbundenen Chip enthält.

**[0002]** Der Chip ist auf einem Substrat, z. B. bei einem akustischen Bauelement auf einem piezoelektrischen Substrat aufgebaut, wobei die zum Trägersubstrat zugewandte Chipoberfläche, im folgenden Unterseite genannt, elektrisch leitende Strukturen trägt, z. B. mit akustischen Oberflächen- oder Volumenwellen arbeitende Resonatoren.

**[0003]** Um die empfindlichen leitenden Strukturen auf dem Chip vor Umgebungseinflüssen zu schützen, wurden bereits verschiedene Verfahren zur einfachen Verkapselung der Bauelemente vorgeschlagen.

**[0004]** Es besteht z. B. die Möglichkeit, den Raum zwischen dem Chiprand und dem Trägersubstrat mit einem Underfiller abzudichten und eine Metallschicht auf das Bauelement aufzusputtern. Dieses Verfahren hat den Nachteil, daß man die leitenden Strukturen (insbesondere akustische Wandler) auf dem Chip vor dem Underfiller, beispielsweise mit einer Kunststoffkappe, schützen muß und dazu aufwendige Verfahrensschritte braucht.

**[0005]** In der DE 198 06 818 C1 wurde beispielsweise vorgeschlagen, die Bauelemente in Flip-Chip-Anordnung auf einem Träger zu verlöten und anschließend mit einer Folie, z. B. Laminatfolie, abzudecken, die zwischen den Bauelementen dicht mit dem Träger abschließt. In weiteren Variationen solcher Folienabdeckungen von Bauelementen wird auch vorgeschlagen, diese Folien durch Aufbringen einer Metallschicht über der Folie weiter hermetisch abzudichten und diese Metallisierung beispielsweise galvanisch zu verstärken. In diesem Fall handelt es sich um freistehende Bumps, die nicht durch eine Vergußmasse unterstützt sind. Da die mechanische Verbindung zwischen dem Trägersubstrat und dem Chip ausschließlich durch die Laminatfolie und die Bumps zustande kommt, müssen vor allem die Bumps die im Chip bei mechanischen Einwirkungen auftretenden Scherspannungen und/oder Zugspannungen aushalten.

**[0006]** Aus der WO 99/56390 A1 sind gekapselte elektronische Bauelemente, zum Beispiel SAW-Bauelemente, bekannt.

**[0007]** Aus der WO 99/43084 A1 sind ebenfalls gekapselte SAW-Bauelemente bekannt.

**[0008]** Aus der EP 0742643 A1 sind elektrische Bauelemente mit einem gehäuteten SAW-Chip bekannt.

**[0009]** Aus dem Artikel „Recent Advances in SAW Packaging“ von P. Selmeier, R. Grünwald, A. Przada, H. Krüger, G. Feiertag und C. Ruppel (2001 IEEE Ultrasonics Symposium, S. 283–292) sind einzelne Bauelemente, die sich für eine Miniaturisierung eignen, bekannt.

**[0010]** Insbesondere infolge unterschiedlicher Ausdehnungskoeffizienten der Laminatfolie bzw. der Abdichtungen und der Bumps sind die Bumps bei einem starken und sprunghaften Temperaturwechsel mechanischen Verspannungen ausgesetzt, die zu Rissen, Brüchen und sogar zum Abreißen der Bumps führen können.

**[0011]** Aufgabe der vorliegenden Erfindung ist es, bei einem Bauelement in Flip-Chip-Bauweise mechanischen Verspannungen der elektrisch leitenden Verbindungen, insbesondere Bumpverbindungen bei extremen thermischen Belastungen vorzubeugen.

**[0012]** Diese Aufgabe wird erfindungsgemäß durch ein Bauelement nach Anspruch 1 und ein Verfahren gemäß Anspruch 30 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind weiteren Ansprüchen zu entnehmen.

**[0013]** Die Erfindung schlägt ein Bauelement vor, das einen Chip mit elektrisch leitenden Strukturen auf einer Oberfläche, im folgenden Chipunterseite genannt, und ein mit diesem Chip elektrisch und mechanisch verbundenes Trägersubstrat umfaßt. Das Trägersubstrat weist auf der Oberseite Anschlußflächen zum Ankontaktieren des Chips auf. Der zumindest eine Chip ist in Flip-Chip-Bauweise mit Hilfe von elektrisch leitenden Verbindungen, vorzugsweise Lötverbindungen, insbesondere Bumpverbindungen (Bumps), auf einem Trägersubstrat montiert, wobei die Anschlußflächen des Trägersubstrats mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Zwischen dem Trägersubstrat und der aktiven Fläche des Chips ist ein Spalt vorgesehen.

**[0014]** Zur Entlastung der elektrisch leitenden Verbindungen ist ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement vorgesehen, welches den Chip umläuft, ohne ihn zu berühren. Das Stützelement ist vorzugsweise durch einen auf der Oberseite des Trägersubstrats angeordneten geschlossenen Rahmen, welcher den Chip umläuft, gebildet. Ferner umfaßt das erfindungsgemäße Bauelement eine Abdichtung, welche den Chip umgibt und zumindest den Raum zwischen dem Chip und dem

ihn umlaufenden Stützelement dicht abschließt. Dabei stützt sich die Abdichtung am Stützelement ab.

**[0015]** Das Trägersubstrat des erfindungsgemäßen Bauelements kann eine oder mehrere dielektrische Schichten, beispielsweise aus einem Kunststoff, insbesondere organischem Kunststoff, Silizium, Siliziumoxid oder Keramik, insbesondere LTCC- oder HTCC-Keramik (LTCC = Low Temperature Cofired Ceramic, HTCC High Temperature Cofired Ceramic) enthalten.

**[0016]** Die Keramik kann vorteilhaft als schrumpfarmer Keramik (Non Shrinkage) ausgeführt sein. Dies garantiert beim Sintern eine nur geringe Dimensionsänderung, so daß eine in der Grünfolie vorgegebene Geometrie beim Sintern weitgehend erhalten bleibt oder zumindest in reproduzierbarer Art und Weise einen nur geringen Schrumpf durch Sinterschwund erleidet. Mit LTCC-Keramiken ist es möglich, die Grünfolien mit kostengünstigen Metallisierungen zu versehen, deren Beständigkeit gegenüber den niedrig liegenden Sintertemperaturen der LTCC-Keramik gewährleistet ist.

**[0017]** Möglich ist es jedoch auch, das Trägersubstrat als PCB (Printed Circuit Board) auszuführen, das als einschichtige oder mehrschichtige Leiterplatte auf Kunststoffbasis ausgebildet ist.

**[0018]** Die dielektrischen Schichten sind voneinander durch Metallisierungsebenen getrennt, wobei die Oberseite und die Unterseite des Trägersubstrats auch Metallisierungsebenen bilden, die zumindest Anschlußflächen zum Ankontaktieren des Chips bzw. Außenkontakte zum Auflöten des Bauelements auf einem Systemträger (z. B. Leiterplatte) aufweisen. Die Metallisierungsebenen enthalten z. B. elektrische Verbindungsleiter, Signaldurchführungen oder integrierte Schaltungselemente (ausgewählt aus einer Induktivität, einer Kapazität oder einer Leitung), welche auf eine an sich bekannte Weise durch Leiterbahnen oder Leiterflächen gebildet sind. Die Metallisierungsebenen sind miteinander mittels Durchkontaktierungen verbunden.

**[0019]** Der Chip bei dem erfindungsgemäßen Bauelement umfaßt ein Trägersubstrat, das eine oder mehrere dielektrische Schichten enthalten kann, welche durch Metallisierungsebenen voneinander getrennt sind, wobei die Oberseite oder die Unterseite des Trägersubstrats auch eine Metallisierungsebene darstellt. Die Struktur der Metallisierungsebenen und ihre Verbindung miteinander sind wie oben beschrieben. Das Substrat kann z. B. eine oder mehrere Schichten aus Kunststoff, Silizium oder Siliziumoxid enthalten. Die als die Metallisierungsebene vorgesehene Chipseite kann zumindest eine passive, nicht-lineare oder aktive Bauelement-Struktur aufweisen, insbesondere eine Diode oder einen Transistor.

**[0020]** Das erfindungsgemäße Bauelement kann insbesondere ein mit akustischen Wellen arbeitendes Bauelement sein, bei dem der Chip ein Substrat mit zumindest einer piezoelektrischen Schicht umfaßt, wobei eine Chipseite (z. B. die Chipunterseite) zumindest einen Oberflächenwellen-Wandler oder einen Volumenwellen-Resonator aufweist. Das Substrat kann wie oben beschrieben mehrere dielektrische Schichten und Metallisierungsebenen enthalten.

**[0021]** Das erfindungsgemäße Bauelement kann außerdem ein MEMS-Bauelement (MEMS = Microelectromechanical System, MOEMS = Micro Optoelectromechanical System) oder ein Halbleiter-Bauelement, insbesondere eine integrierte Schaltung auf der Halbleiter-Basis sein.

**[0022]** Die Abdichtung kann aus einem dielektrischen Material, insbesondere aus einer Vergußmasse, z. B. Harz, Glob-Top, Underfiller, Kleber oder einem Kunststoff, insbesondere einem organischen Kunststoff, einem Metallot, Glaslot oder einer Laminatfolie sein.

**[0023]** Die Abdichtung bedeckt zumindest teilweise die Seitenflächen des Chips und die Teilbereiche des ihn umlaufenden Stützelements und kann dabei den Raum zwischen den Seitenflächen des Chips und des Stützelements teilweise oder vollständig ausfüllen.

**[0024]** In einer vorteilhaften Ausführungsform ist die Abdichtung als dielektrische Schicht ausgebildet, welche zusätzlich die Chipoberseite überdeckt. Die dielektrische Schicht kann durch eine Vergußmasse, z. B. Harz oder eine Kunststoffschicht, insbesondere eine Schicht aus einem organischen Kunststoff oder einem Glaslot oder durch eine Laminatfolie gebildet sein.

**[0025]** Die dielektrische Schicht kann aus einer oder mehreren Schichten bestehen, welche beispielsweise verschiedene Funktionen realisieren. Es ist vorteilhaft, wenn eine der genannten Schichten eine besonders geringe Feuchtigkeitsaufnahme oder eine gute Gasdichtigkeit aufweist. Dafür sind insbesondere Schichten aus einem LCP-Material (Liquid Crystal Polymer) geeignet. Es ist zweckmäßig, insbesondere bei einer als Folie realisierten dielektrischen Schicht, die schlecht am Trägersubstrat bzw. Chip haftet, eine zusätzliche Haftvermittlungsschicht vorzusehen. Als oberste Schicht im Schichtaufbau der dielektrischen Schicht kann eine zusätzliche Schicht angeordnet werden, die insbesondere für die Laserbeschriftung geeignet ist. Es ist möglich, daß eine der Schichten im Schichtaufbau der dielektrischen Schicht zusätzlich zum Auffüllen der Zwischenräume zwischen den Chips auf einem großflächigen Trägersubstrat (Pa-

nel) geeignet ist. Diese Schicht kann mit einer Ver-  
gußmasse realisiert werden.

**[0026]** Möglich ist auch, daß die genannte Abdich-  
tung mit einer oder mehreren der genannten dielek-  
trischen Schichten kombiniert ist.

**[0027]** Es ist möglich, daß die dielektrische Schicht  
das Stützelement und den Chip vollständig über-  
deckt und erst außerhalb des Stützelementes mit  
dem Trägersubstrat abschließt. Zwischen dielektri-  
scher Schicht und der Oberseite des Trägersubstrats  
ist ein Hohlraum ausgebildet, in welchem der Chip  
und das ihn umlaufende Stützelement gemeinsam  
eingeschlossen sind. Dabei kann das Stützelement  
aus einem hermetisch dichten oder einem nicht her-  
metisch dichten Material sein.

**[0028]** In einer weiteren vorteilhaften Ausführungs-  
form ist die Abdichtung als dielektrische Schicht aus-  
gebildet, welche den Chip vollständig überdeckt und  
mit dem Stützelement dicht abschließt, wobei die Au-  
ßenseite des Stützelementes von der Abdichtung nicht  
abgedeckt ist. Dabei ist das Stützelement sinnge-  
mäß aus einem hermetisch dichten Material und kann  
einen Teil der Seitenwand des erfindungsgemäßen  
Bauelements bilden.

**[0029]** Beim bevorzugten Verfahren zur Herstellung  
eines erfindungsgemäßen Bauelements wird das mit  
mehreren Chips bestückte großflächige Trägersub-  
strat (Panel) bei einer vergleichsweise hohen Tem-  
peratur mit einer Kunststoffolie laminiert, die beim  
Abkühlen über dem Chip und dem ihn umlaufenden  
Stützelement aufgespannt wird.

**[0030]** Ist das Bauteil in diesem Zustand noch nicht  
hermetisch verschlossen, wird durch eine weitere  
Schicht die Hermetizität hergestellt. Dazu muß die  
hermetische Schicht, z. B. eine Cu-Schicht, im Be-  
reich zwischen den Einbauplätzen der Chips mit dem  
Stützelement oder mit dem Trägersubstrat abschlie-  
ßen. Aus diesem Grund wird die dielektrische Schicht  
an diesen Stellen entfernt.

**[0031]** Möglich ist es auch, die hermetische Schicht  
am Rand des Bauelements in einem (ringförmig) ge-  
schlossenen Streifen direkt mit der Oberfläche des  
Trägersubstrates abschließen zu lassen, wobei meh-  
rere oder alle Chips des Bauelements innerhalb die-  
ses geschlossenen Streifens angeordnet sind. In die-  
sem Fall liegt die hermetische Schicht zwischen den  
Chips auf dem Stützelement auf und die Chips des  
Bauelements sind nicht individuell, sondern kollektiv  
hermetisch dicht verkapselt.

**[0032]** Es ist möglich, daß das erfindungsgemäße  
Bauelement mehrere gleiche oder unterschiedliche  
Chips mit passiven oder aktiven Komponenten um-  
faßt, welche auf der Oberseite des Trägersubstrats

angeordnet sind und auf die gleiche Art verkapselt  
sind.

**[0033]** Es ist möglich, daß das Bauelement außer-  
dem eine oder mehrere diskrete Komponenten, z. B.  
ausgewählt aus einem Kondensator, einem Wider-  
stand oder einer Spule, umfaßt.

**[0034]** Die Herstellung der als Bumps ausgeführ-  
ten elektrisch leitenden Verbindungen gelingt mit ver-  
schiedenen Verfahren. In herkömmlicher Weise kön-  
nen die Bumps über den Anschlußflächen durch  
galvanische Abscheidung erzeugt werden, beispiele-  
weise durch Abscheidung von SnPb, SnAg, SnCu,  
SnAgCu oder SnAu. An die galvanische Abscheidung  
kann sich ein Umschmelzen anschließen, was zur  
Ausbildung der entsprechenden Legierung führt.

**[0035]** Möglich ist es auch, in herkömmlicher Weise  
die Bumps mittels Sieb- oder Schablonendruck von  
Lotpaste zu erzeugen und anschließend einen Re-  
flowprozeß durchzuführen, bei dem die Bumps ihre  
kugelförmige Geometrie erhalten.

**[0036]** Auch ist es möglich, die Bumps durch gerich-  
tetes Stanzen von Zylindern aus Lotfolie über den  
Durchkontaktierungen der obersten Schicht des Trä-  
gersubstrats zu erzeugen.

**[0037]** Alternativ können die Bumps auch auf den  
lötfähigen Metallisierungen auf der Chipunterseite er-  
zeugt werden. Dies kann beispielsweise ebenfalls  
durch galvanische Abscheidung über den entspre-  
chenden Metallisierungen erfolgen. Auch ein Sol-  
der-Jet-Verfahren ist möglich. Ferner ist Schablonen-  
druck von Lotdepots auf den Metallisierungen und  
ein anschließender Umschmelzprozeß möglich. Da  
auch hier die Benetzbarkeit der lötfähigen Metallisie-  
rungen die Strukturierung erleichtert, kann eine un-  
terschiedliche Benetzbarkeit von metallischen Struktu-  
ren zur Strukturierung der Bumps auf dem Chip bzw.  
im Wafer-Stadium verwendet werden. Beispielswei-  
se ist es möglich, einen Großteil der auf dem Chip  
(der Chipunterseite) befindlichen Metallisierungen zu  
passivieren, beispielsweise durch Erzeugen einer an-  
odischen Oxidschicht, die zusätzlich noch mit einer  
aufgebrachten mineralischen Schicht, beispielsweise  
einer dünnen Siliziumoxidschicht oder einer dünnen  
Siliziumnitridschicht abgedeckt sein kann. Die nicht  
von dieser Passivierung bedeckten Flächen bleiben  
dann mit Lot benetzbar oder speziell durch geeigne-  
te weitere Schichten, sogenannte Underbumpmetall-  
isierungen – UBM – mit Lot benetzbar gemacht wer-  
den, während die passivierten Oberflächen der Met-  
tallisierung die Lötstopmmaske darstellen.

**[0038]** Das auf dem Trägersubstrat angeordnete  
Stützelement umschließt einen Innenraum, der den  
Ort zur Aufnahme des Chips darstellt und geome-  
trisch definiert. Das Stützelement kann dabei bis über

das Niveau der Chip-Unterkante oder -Oberkante reichen. Möglich ist es jedoch auch, daß das Stützelement niedriger als die Chip-Unterkante ist.

**[0039]** Als erhabene Struktur ist das Stützelement aus Kunststoff, Lot oder Metall gebildet und kann integriert mit anderen Komponenten oder Strukturen des Trägersubstrats erzeugt werden. Ein aus Metall bestehendes oder mit einer Metallisierung versehenes Stützelement hat den Vorteil, daß die Metallisierung einen guten Kontakt, Haftung und Benetzung zur Abdichtung oder dielektrischen Schicht schafft, so daß eine hermetische Abdichtung des gesamten Bauelements und insbesondere der leitenden Strukturen auf der Unterseite des Chips gewährleistet ist. Möglich ist es jedoch auch, daß die Oberfläche des Stützelementes keine Metallisierung aufweist.

**[0040]** Das Stützelement kann ferner aus einem keramischen Material oder einem Kunststoff, bevorzugt aus einem Kunststoff mit einer sehr geringen Wasseraufnahmefähigkeit (z. B. hochgefüllten Kunststoff oder Flüssigkristall-Polymer) sein.

**[0041]** Das Stützelement kann ferner mit bzw. über lötfähigen Metallisierungen erzeugt werden. Zunächst wird eine Metallisierung auf dem Trägersubstrat an den für das Stützelement vorgesehenen Stellen erzeugt, beispielsweise in einem Sputterprozeß. Das Stützelement kann dann durch galvanische Verstärkung dieser Metallisierung erzeugt werden. Dabei kann zunächst eine Schichtenfolge Titan (für die bessere Haftung) und Kupfer erzeugt werden. Eine ausreichende Dicke dieser Schicht kann bereits durch Sputtern erzielt werden, beispielsweise 100 bis 200 nm Titan und mehr als 6 µm Kupfer. Möglich ist es jedoch auch, eine dünne Titan/Kupferschicht zu erzeugen (0,1 bis 2 µm Kupfer) und diese anschließend galvanisch zu verstärken. Vorzugsweise erfolgt eine Strukturierung des Stützelementes mit Hilfe einer Photoresistmaske durch strukturiertes Aufputtern. Die Maske kann auch so ausgebildet sein, daß sie während des galvanischen Aufdickprozesses auf dem Trägersubstrat verbleiben kann.

**[0042]** Es ist möglich, daß für jeden auf der Oberseite des Trägersubstrats angeordneten Chip das Stützelement in der Form eines individuellen Rahmens vorgesehen ist. Es ist außerdem möglich, daß das Stützelement als ein Rahmen aus einem soliden Block mit Ausnehmungen für jeden Chip ausgebildet ist.

**[0043]** Die Verwendung des den Chip umlaufenden Stützelementes bei der Verkapselung des Bauelements mit Hilfe einer Abdichtung hat den Vorteil, daß auf die elektrisch leitenden Verbindungen einwirkende mechanische Kräfte, welche insbesondere bei thermischer Belastung auftreten und zu Rissen führen können, durch das Abstützen der Abdichtung

am Stützelement reduziert werden, was zur mechanischen Entlastung der elektrisch leitenden Verbindungen beiträgt.

**[0044]** Die Aufgabe, eine Überbelastung der elektrisch leitenden Verbindungen zu vermeiden, wird außerdem abweichend von der vorliegenden Erfindung durch ein weiteres Bauelement gelöst. Es wird ein Chip vorgeschlagen, mit elektrisch leitenden Strukturen auf der Chipunterseite, und einem Trägersubstrat, welches auf der Oberfläche Anschlußflächen aufweist, wobei der Chip in Flip-Chip-Bauweise mittels elektrisch leitender Verbindungen auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen elektrisch verbunden sind. Auf der Chipoberseite ist eine Abdeckung, insbesondere ein Verbund aus einer dielektrischen Schicht und einer darüber liegenden Metallschicht angeordnet, wobei dieser Verbund rund um den Chip außerhalb der Chipfläche mit dem Trägersubstrat abschließt. Zur Entlastung der elektrisch leitenden Verbindungen (vorzugsweise Bumps) ist bei dem Bauelement die Chipdicke so ausgewählt, daß die durch thermische Ausdehnung des genannten Verbundes auftretenden Kräfte im Temperaturbereich zwischen -60°C und 85°C pro elektrisch leitende Verbindung (pro Bump) maximal 2 Newton betragen.

**[0045]** Die Erfinder haben gefunden, daß eine auf eine elektrisch leitende Verbindung, insbesondere einen Bump wirkende Kraft ab 2 Newton zur Entstehung von Bumprissen führt, was durch geeignete Wahl der Schichtdicke vermieden werden kann. Bei gängigen Chipgrößen und dazu verwendeten Bumpenordnungen ist dazu in der Regel eine Reduzierung der Chipdicke nötig. Mit dieser nicht erfindungsgemäßen Variante des Bauelements wird die gewünschte Entlastung der elektrisch leitenden Verbindungen (Bumps) ohne Stützelement erzielt, was den entsprechenden Verfahrensschritt zur Aufbringung des Stützelementes auf dem Trägersubstrat erspart.

**[0046]** Abweichend von der vorliegenden Erfindung wird in einer weiteren Ausführungsvariante vorgeschlagen, eine dielektrische Schicht aus Polymermaterial mit einem Elastizitätsmodul unter 1 GPa oder eine dünne Folie, deren Dicke kleiner als 20 µm beträgt, zu verwenden. Bei den genannten Materialien ist bei Temperaturwechsel die Verformung der elektrisch leitenden Verbindung dadurch minimiert, daß die Verformung nicht im Lot bzw. in den elektrisch leitenden Verbindungen, sondern zu einem großen Teil in der dielektrischen Schicht bzw. in der Folie auftritt.

**[0047]** Alternativ kann eine dielektrische Schicht bzw. eine Folie verwendet werden, die einen kleinen thermischen Ausdehnungskoeffizienten aufweist

oder bei der der thermische Ausdehnungskoeffizient durch Beimischung eines anorganischen Füllstoffs reduziert wird. Vorzugsweise wird eine dielektrische Schicht mit einem thermischen Ausdehnungskoeffizienten verwendet, welcher demjenigen des Lotes bzw. des Materials der elektrisch leitenden Verbindungen entspricht. Möglich ist es auch, daß der thermische Ausdehnungskoeffizient des Materials der dielektrischen Schicht zwischen  $\alpha_{\text{Bump}}/2$  und  $2\alpha_{\text{Bump}}$  ausgewählt ist. Damit eine Strukturierung solcher dielektrischen Schichten bzw. Folien mit Füllstoffen möglich ist, werden vorzugsweise Partikel verwendet, deren Durchmesser kleiner als  $1 \mu\text{m}$  ist.

**[0048]** Abweichend von der vorliegenden Erfindung wird in einer weiteren Ausführungsvariante außerdem ein Bauelement vorgeschlagen, das einen Chip mit elektrisch leitenden Strukturen auf der Chipunterseite und ein Trägersubstrat, welches auf der Oberfläche Anschlußflächen aufweist, enthält, wobei der Chip in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen elektrisch verbunden sind. Ein Bauelement enthält außerdem ein auf der Oberseite des Trägersubstrats angeordnetes als Schrumpfrahmen ausgebildetes Stützelement, welches den Chip umläuft und diesen dicht umschließt. Diese vorteilhafte Ausführungsform der Erfindung hat den Vorteil, daß der Schrumpfrahmen den zu verkapselnden Chip gleichzeitig mechanisch unterstützt und diesen dicht mit dem Trägersubstrat abschließt, so daß in diesem Fall im Prinzip keine weitere Abdichtung notwendig ist. Ist der Schrumpfrahmen nicht ausreichend gasdicht, kann die Hermetizität des Bauteils durch eine zusätzliche hermetisch dichte Schicht, vorzugsweise durch eine Metallschicht hergestellt werden.

**[0049]** Die Aufgabe wird außerdem durch ein Verfahren mit folgenden Schritten gelöst:

- zumindest zwei elektrisch leitende Strukturen tragende Chips werden auf einem Trägersubstrat, welches auf der Oberfläche Anschlußflächen zur elektrischen Verbindung mit den elektrisch leitenden Strukturen des Chips aufweist, in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen befestigt,
- die zumindest zwei Chips werden mit einer dielektrischen Schicht, welche auf der Chipoberseite aufliegt und mit dem Trägersubstrat abschließt, überdeckt, so daß jeder der zumindest zwei Chips auf diese Weise individuell verkapselt wird,
- der Zwischenraum zwischen den zumindest zwei Chips wird mit einer Vergußmasse gefüllt.

**[0050]** Es ist möglich, auf der dielektrischen Schicht eine Metallschicht aufzutragen, die mit der dielektri-

schen Schicht einen Verbund bildet, und die Vergußmasse dann auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des Chips aufzutragen und gegebenenfalls zu härten. Das Trägersubstrat kann anschließend zersägt werden, so daß einzelne Bauelemente entstehen, welche zumindest einen der genannten Chips umfassen.

**[0051]** In diesem vorteilhaften Verfahren zur Herstellung eines verkapselten Bauelements wird die Entlastung der elektrisch leitenden Verbindungen mit einem äußeren, über dem Verbund angeordneten und durch die Vergußmasse gebildeten Stützelement erzielt (durch seitliche Stützfunktion). Gegenüber dem entsprechenden Verfahrensschritt der Aufbringung eines strukturierten "inneren" Stützelementes auf dem Trägersubstrat stellt dies eine Verfahrenserleichterung dar.

**[0052]** Im Folgenden werden die Ausgestaltungsformen anhand von Ausführungsbeispielen und der dazugehörigen schematischen und daher nicht maßstabgetreuen Figuren näher erläutert.

**[0053]** Fig. 1 zeigt ein verkapseltes Bauelement mit einem Trägersubstrat, einem aufgesetzten Chip, einer dielektrischen Schicht und einem Stützelement im schematischen Querschnitt

**[0054]** Fig. 2 zeigt eine vorteilhafte Ausführungsform des verkapselten Bauelements mit dem Stützelement aus einem hermetisch dichten Material im schematischen Querschnitt

**[0055]** Fig. 3 und Fig. 4 zeigen vorteilhafte Ausführungsformen des verkapselten Bauelements im schematischen Querschnitt

**[0056]** Fig. 5a und Fig. 5b zeigen ein Bauelement mit einer Vergußmasse zwischen den verkapselten Chips im schematischen Querschnitt

**[0057]** Fig. 6a und Fig. 6b zeigt ein Bauelement mit einem gedünnten Chip im schematischen Querschnitt (im Normalzustand und bei einer wesentlich niedrigeren Temperatur)

**[0058]** Fig. 6c zeigt eine beispielhafte Anordnung der elektrisch leitenden Verbindungen des gedünnten Chips im Bauelement im schematischen Querschnitt parallel zur Chipoberfläche

**[0059]** Fig. 7a bis Fig. 7c zeigen aufeinanderfolgende Prozessschritte bei der Verkapselung des Bauelements mit einem Chip mit angeschrägten Seitenflächen und einem Lotrahmen

**[0060]** Fig. 1 zeigt ein Trägersubstrat TS mit aufgesetztem Chip CH und einem Stützelement SE im schematischen Querschnitt. Das Bauelement umfaßt

den auf dem Trägersubstrat TS in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen BU montierten Chip CH und ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement SE, das den Chip umläuft.

**[0061]** Im Bauelement liegt der Chip auf dem Stützelement nicht auf.

**[0062]** Der Chip und das Stützelement zusammen sind mit einer als dielektrische Schicht ausgebildeten Abdichtung AB überdeckt. In diesem Ausführungsbeispiel ist auf die dielektrische Schicht AB zusätzlich eine Metallschicht ME aufgetragen. Die Metallschicht dient zur Abschirmung der signalführenden Chip-Strukturen vor elektromagnetischen Störungen sowie zur Herstellung der Hermetizität.

**[0063]** Die Chipoberseite kann zusätzlich mit einer durchgehenden Metallisierung oder mit einer Schicht, z. B. Klebeschicht, welche eine bessere Haftung der dielektrischen Schicht AB ermöglicht, versehen werden.

**[0064]** Das Trägersubstrat TS enthält eine oder mehrere dielektrische Schichten, wobei auf dessen Oberseite, Unterseite und ggf. zwischen zwei dielektrischen Schichten Metallisierungsebenen ML vorgesehen sind. Die Oberseite des Trägersubstrats weist insbesondere Anschlußflächen AF auf, die mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Die Unterseite des Trägersubstrats weist insbesondere Außenkontakte AK (z. B. SMD-fähige Kontakte, SMD = Surface Mounted Device) auf. Die Außenkontakte sind mit den Anschlußflächen und ggf. den Metallisierungsebenen ME mittels Durchkontaktierungen DK verbunden. Die Metallisierungsebenen des mehrschichtigen Trägersubstrats können durch Leiterbahnen und Metallflächen gebildete integrierte Schaltungselemente enthalten, ausgewählt z. B. aus einer Kapazität, einer Induktivität, einer Leitung oder einem Leitungsabschnitt.

**[0065]** Der Chip CH enthält beispielsweise ein piezoelektrisches Substrat, dessen eine Oberfläche (Unterseite) Metallisierungen eines Oberflächenwellenbauelements und/oder zumindest einen FBAR (Thin Film Bulk Acoustic Wave Resonator), im folgenden Bauelementstrukturen genannt, trägt. Der Chip kann außerdem ein mehrschichtiges Substrat mit integrierten Schaltungselementen sein. Es ist möglich, daß die Chipoberseite metallisiert ist, z. B. durch eine Cu-Sputterschicht, die galvanisch verstärkt ist.

**[0066]** Die im Trägersubstrat integrierten Schaltungselemente können für sich oder zusammen mit den auf dem Chip oder im Chip angeordneten Bauelementstrukturen oder Schaltungselementen zumindest einen Teil folgender Schaltungen bilden: eines Hochfrequenz-Schalters, einer Anpaßschaltung, ei-

nes Antennenschalters, eines Diodenschalters, eines Transistorschalters, eines Hochpaßfilters, eines Tiefpaßfilters, eines Bandpaßfilters, eines Bandsperrfilters, eines Leistungsverstärkers, eines Vorverstärkers, eines LNAs, eines Duplexers, eines Duplexers, eines Kopplers, eines Richtungkopplers, eines Speicherelements, eines Baluns, eines Mischers oder eines Oszillators.

**[0067]** Der Ausdehnungskoeffizient des Stützelementes  $\alpha_{\text{Rahmen}}$  ist vorzugsweise ungefähr dem Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen  $\alpha_{\text{Bump}}$  gleich und ist kleiner als der Ausdehnungskoeffizient der Abdeckung  $\alpha_{\text{Abdeckung}}$ . Die Höhe des Stützelementes über der Oberfläche des Trägersubstrats kann z. B. ungefähr gleich oder größer als die Höhe der elektrisch leitenden Verbindung oder die Bumphöhe sein. Es ist sinnvoll, die Höhe des Stützelementes  $h$  so auszuwählen, daß sie mit dem Abstand  $g$  zwischen der Oberseite des Trägersubstrats und dem Auflagepunkt der Folie am Chip folgendermaßen verbunden ist:

$$h \approx g \frac{\alpha_{\text{Bump}} - \alpha_{\text{Abdeckung}}}{\alpha_{\text{Rahmen}} - \alpha_{\text{Abdeckung}}}$$

**[0068]** Ferner ist es möglich, daß die Höhe des Stützelementes im gesamten spezifizierten Temperaturbereich (z. B.  $-60^{\circ}\text{C}$  ...  $+85^{\circ}\text{C}$ ) kleiner als die Höhe der elektrisch leitenden Verbindung (oder Bumphöhe) bei der gleichen Temperatur ist. In diesem Fall kann die Breite des Stützelementes so ausgewählt werden, daß die innere Kante des Stützelementes wie in **Fig. 1** dargestellt außerhalb der vom Chip bedeckten Fläche liegt oder unter den Chip reicht.

**[0069]** Möglich ist auch, daß die Höhe des Stützelementes größer, gleich oder kleiner als der Abstand zwischen der Chipoberseite (oder der Chipunterseite) und der Oberseite des Trägersubstrats ist.

**[0070]** Das Stützelement SE folgt vorzugsweise der äußeren Form des Chips CH und ist daher insbesondere (in der Draufsicht) rechteckig ausgebildet.

**[0071]** Das Stützelement kann aus Metall, Lot, Keramik oder Kunststoff bestehen. Das aus Kunststoff bestehende Stützelement kann beispielsweise aus einem Photolack erzeugt werden oder mit Hilfe einer Photolithographie oder eines Lasers aus einer anderen Schicht strukturiert werden. Das Stützelement aus Metall kann durch Siebdruck oder galvanisch erzeugt werden.

**[0072]** Da in diesem Beispiel eine hermetische Verkapselung des Chips im Bauelement dadurch erreicht wird, daß sowohl die dielektrische Schicht der Abdichtung AB als auch die Metallschicht ME außerhalb des Stützelementes mit dem Trägersubstrat ab-



schließt, ist es möglich, daß das Stützelement aus einem nicht hermetisch dichten Material besteht.

**[0073]** Das Stützelement kann einseitig mit einer Klebeschicht, Glaslot oder einer lötfähigen Schicht, z. B. aus Metallot, versehen sein, damit das Stützelement an der Oberseite des Trägersubstrats befestigt werden kann.

**[0074]** Es ist möglich, daß das Stützelement fest mit dem Trägersubstrat verbunden ist oder einen Bestandteil des Trägersubstrats bildet, wobei das Stützelement und das Trägersubstrat aus dem gleichen Material sein und z. B. gleichzeitig hergestellt werden können.

**[0075]** Die Bumps können galvanisch, durch Solder-Jet-Verfahren (z. B. Laserbumping), Studbumping oder durch Drucken erzeugt werden. Alternativ dazu kann auch ein anisotrop leitender Kleber eingesetzt werden, der z. B. auf die Oberseite des Trägersubstrats aufgebracht wird. In diesem Fall müssen signalleitende Strukturen (auf der Chipseite) eventuell geschützt werden, z. B. durch eine Schutzkappe oder eine Schutzschicht.

**[0076]** In Fig. 2 ist eine weitere vorteilhafte Ausführungsform des Bauelements dargestellt. Im Gegensatz zu dem in der Fig. 1 vorgestellten Ausführungsbeispiel schließt die dielektrische Schicht AB nicht mit dem Trägersubstrat TS, sondern nur mit dem Stützelement SE ab. Dabei bedeckt die dielektrische Schicht AB nur einen Teil des Stützelementes, so daß die Metallschicht ME mit dem von der dielektrischen Schicht nicht bedeckten Bereich des Stützelementes abschließt. Da das Stützelement SE hier einen Teil der Seitenwand des Bauelements darstellt, so wird eine hermetische Verkapselung des Chips im Bauelement in diesem Fall nur gewährleistet, wenn das Stützelement aus einem hermetisch dichten Material (z. B. Keramik, Metall oder Lot) besteht.

**[0077]** Das in der Fig. 3 gezeigte Ausführungsbeispiel entspricht der Fig. 2, wobei das Stützelement SE hier Bestandteil des Trägersubstrats TS sein kann. In diesem Beispiel ist die Höhe des Stützelementes ungefähr gleich dem Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats. Es ist auch möglich, daß die Höhe des Stützelementes größer oder kleiner als der Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats ist.

**[0078]** Es ist möglich, daß die als dielektrische Schicht ausgebildete Abdichtung AB durchgehend ist und insbesondere die Oberfläche des Stützelementes vollständig bedeckt. Dies hat den Vorteil, daß eine solche Schicht besonders einfach aufgetragen werden kann. Wenn die dielektrische Schicht dabei einen

hermetischen Abschluß gewährt, so kann auf die Metallschicht ME verzichtet werden.

**[0079]** Im in der Fig. 4 dargestellten Ausführungsbeispiel ist der Raum zwischen dem Chip CH und dem Stützelement SE mit der Abdichtung AB abgedichtet. Die Abdichtung bedeckt in diesem Fall nur die einander benachbarten bzw. direkt gegenüberliegenden Randbereiche auf der Oberseite des Chips und des Stützelementes.

**[0080]** Die Abdichtung kann aus Glaslot oder Vergußmasse (z. B. Klebmasse oder Harz) sein. In diesem Fall ist es sinnvoll, zur Abschirmung des Chips eine Metallschicht ME so aufzubringen, daß sie die Chipoberseite, die Abdichtung und die von der Abdichtung unbedeckte Oberfläche des Stützelementes überdeckt.

**[0081]** Es ist möglich, daß die Chipoberseite und die Oberfläche des Stützelementes schon vor dem Aufbringen der Abdichtung metallisiert sind und die Abdichtung aus Lot besteht. In diesem Fall kann auf die durchgehende Metallschicht, welche insbesondere die Abdichtung überdeckt, verzichtet werden.

**[0082]** In Fig. 5a ist eine vorteilhafte Ausführungsform ohne Stützelement dargestellt. Der Chip CH ist auf einem großflächigen Trägersubstrat TS (Panel) angeordnet und wie in der Figur angedeutet von weiteren (gleichen oder unterschiedlichen) Chips umgeben. Jeder Chip gehört beispielsweise zu einem Einbauplatz auf dem Panel. Dabei sind die Chips auf die gleiche Art mit einer dielektrischen Schicht AB verkapselt. Da die dielektrische Schicht AB in der Regel keinen hermetischen Abschluß ermöglicht, wird durch eine weitere hermetische Schicht ME die Hermetizität hergestellt. Dazu soll die hermetische Schicht, insbesondere eine Metallschicht, z. B. eine Cu-Schicht, welche mit der dielektrischen Schicht einen Verbund bildet, im Bereich zwischen den Einbauplätzen mit dem Trägersubstrat abschließen. Aus diesem Grund wird die dielektrische Schicht an diesen Stellen entfernt.

**[0083]** Die Entlastung der elektrisch leitenden Verbindungen wird hier dadurch erreicht, daß die Zwischenräume zwischen den verkapselten Chips mit einer Vergußmasse VM (z. B. Harz oder Glob-Top) mit einem geeigneten Ausdehnungskoeffizienten zumindest teilweise ausgefüllt werden. Das Material und die Höhe dieser Füllung werden so ausgewählt, daß der (verglichen mit dem der Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen) höhere Ausdehnungskoeffizient der dielektrischen Schicht AB kompensiert wird, und daß der Ausdehnungskoeffizient des Verbunds der Vergußmasse, der dielektrischen Schicht und der Metallschicht ME im Bereich zwischen der Oberseite des Trägersubstrats und der Chipunterkante an den Ausdehnungskoeffi-

zienten der elektrisch leitenden Verbindungen angepaßt ist. Nach dem Aushärten der Vergußmasse VM kann das großflächige Trägersubstrat mit den darauf an entsprechenden einzelnen Einbauplätzen angeordneten Chips in einzelne Bauteile vereinzelt und insbesondere zersägt werden. Die vereinzelt Bauteile können einen Chip oder mehrere Chips enthalten.

**[0084]** In dem in **Fig. 5b** gezeigten Ausführungsbeispiel sind die Chips wie oben beschrieben verkapselt und auf dem großflächigen Trägersubstrat TS angeordnet, wobei das Trägersubstrat später in einzelne Bauteile zerteilt, beispielsweise zersägt wird. In **Fig. 5b** wird die Entlastung der elektrisch leitenden Verbindungen wie in **Fig. 5a** durch die Vergußmasse VM und zusätzlich durch das Stützelement SE erreicht.

**[0085]** In einem bevorzugten Ausführungsbeispiel wird die Vergußmasse VM bis zur Chipoberkante aufgefüllt, um ein (nach dem Vereinzeln durch Zersägen) quaderförmiges Bauelement zu erhalten, welches bei der späteren SMD-Montage leicht bestückt werden kann.

**[0086]** In **Fig. 6a** und **Fig. 6b** ist eine weitere vorteilhafte Ausführungsform gezeigt.

**[0087]** Bei einem sprunghaften Temperaturwechsel erfahren der Chip, das Trägersubstrat, die dielektrische Schicht, die Metallschicht und die elektrisch leitenden Verbindungen (z. B. Bumps) unterschiedliche Ausdehnungen aufgrund der unterschiedlichen und z. T. auch richtungsabhängigen thermischen Ausdehnungskoeffizienten. Die auftretenden mechanischen Spannungen, insbesondere die Scherspannungen, müssen vor allem die elektrisch leitenden Verbindungen (Bumps) aushalten. Die Simulation des Bauelements zeigt, daß in einem Bump mit dem Durchmesser von ca. 180 µm ab einer auf ihn wirkenden Scherkraft von etwa 2 N Risse hervorgerufen werden, die zur Beeinträchtigung der Funktion des Bauelements und sogar zum Abriß des Bumps von der UBM (Außenelektroden AE auf der Seite des Chips bzw. Anschlußflächen AF auf der Seite des Trägersubstrats) führen können.

**[0088]** Es ist möglich, die Temperaturwechselbeständigkeit des Bauelements zu erhöhen, indem die Chipdicke entweder so gering ausgewählt wird oder durch Dünnen des Chips dermaßen reduziert wird, daß die für das Durchbiegen des Chips CH notwendige Kraft im ganzen spezifizierten Temperaturbereich (z. B. -60°C bis +85°C) deutlich kleiner ist als die für einen Abriss der elektrisch leitenden Verbindungen BU von der UBM bzw. der Anschlußfläche AF oder die für die Entstehung von Bumprissen ausreichende Kraft (z. B. 2 N pro Bump). Der genaue Wert der Chipdicke hängt vom Verhältnis der Ausdehnungskoeffi-

zienten der dielektrischen Schicht AB und der Metallschicht ME, des Chips CH, der elektrisch leitenden Verbindungen BU, des Trägersubstrats TS und von geometrischen Faktoren (z. B. Chipgröße, Größe der elektrisch leitenden Verbindungen oder der Abstand zwischen den elektrisch leitenden Verbindungen) ab und kann per Simulation ermittelt werden.

**[0089]** In einem vorteilhaften in **Fig. 6c** gezeigten Ausführungsbeispiel ist der Chip CH1 aus Lithiumtantalat (mit einem richtungsabhängigen thermischen Ausdehnungskoeffizienten von ca. 7,0–14,3 ppm/K) der Breite  $a = 1,2$  mm und der Länge  $b = 1,8$  mm mit einem hier nicht dargestellten Trägersubstrat der Breite 2 mm und der Länge 2,5 mm (mit dem thermischen Ausdehnungskoeffizienten von 6,3 ppm/K) mittels sechs Bumps BU1 aus SnAg(3,5)Cu(0,8) (mit einem thermischen Ausdehnungskoeffizienten von 20,0 ppm) der Höhe 50 µm verbunden. Die Bumps sind im gleichen Abstand in zwei parallelen Reihen zu je 3 Bumps entlang der längeren Chipkante angeordnet. Der Abstand L1 der Bumps in einer Reihe beträgt 800 µm. Der Abstand L2 zwischen den Reihen beträgt 900 µm. Die Abdeckung des Chips besteht aus einer 50 µm dicken Folie (mit einem thermischen Ausdehnungskoeffizienten von 130,0 ppm/K im relevanten Temperaturbereich) und einer darüber angeordneten 20 µm dicken Cu-Schicht, die einen Ausdehnungskoeffizienten von 17,1 ppm/K aufweist. Numerische Simulationen des Ausdehnungsverhaltens für den relevanten Temperaturbereich haben ergeben, daß die pro Bump auftretende resultierende Kraft bei einer Chipdicke < 250 µm unterhalb von 2 Newton ist.

#### Dünnen des Chips

**[0090]** In einer vorteilhaften Variante wird der Chip gedünnt, um Entlastung der elektrisch leitenden Verbindungen zu erreichen. Es ist möglich, dafür ein DBG-Verfahren (Dicing Before Grinding) einzusetzen. Dabei werden die noch nicht vereinzelt Chips im Wafer-Stadium, also vor dem Verlöten mit dem Trägersubstrat gedünnt. Zuerst wird eine Oberfläche des Wafers (hier Unterseite genannt) entlang der vorgesehenen Sägelinien angesägt oder anderweitig strukturiert. Die Tiefe der Sägespur bzw. der Strukturvertiefung ist kleiner als die Dicke des Wafers und vorzugsweise gleich groß oder etwas größer als die erzielte, nach dem Dünnen verbleibende Chipdicke. Anschließend wird das Material auf der Oberseite des Wafers teilweise abgetragen, wobei gleichzeitig die Chips auf dem angesägten und gedünnten Wafer vereinzelt werden.

**[0091]** Die Chips können auch nach dem Auflöten gedünnt werden, um den oben angegebenen Zweck zu erreichen. Der eine Dicke von zirka 250 µm oder mehr aufweisende Chip kann dabei bis auf eine Stärke von 50 bis 100 µm gedünnt werden. Zum Dün-

nen ist insbesondere ein Partikelstrahl mit Aluminiumoxidpartikeln eines Durchmessers  $< 50 \mu\text{m}$  geeignet. Möglich ist es auch, den Chip abzuschleifen. Vor dem Bearbeiten mit dem Partikelstrahl können mittels einer weichen Resistmaske, beispielsweise einer Fotolackmaske die Bereiche abgedeckt werden, bei denen ein Abtrag verhindert werden soll. Möglich ist es jedoch auch, gleichzeitig mit dem Dünnen des Chips Bereiche des Trägersubstrats zu entfernen oder dieses gar mittels des Strahlverfahrens vollständig zu durchtrennen. In diesem Fall kann es erforderlich sein, den Chip vorher ebenfalls mit einer Maske abzudecken.

**[0092]** In einer vorteilhaften Variante ist es möglich, die noch nicht vereinzelt Chips wie oben angegeben auf dem Wafer vorzudünnen und sie nach dem Auflöten weiter mit einem Strahlverfahren (z. B. Sandstrahl) zu dünnen, um insbesondere Abrundung der Kanten zu erreichen, was beispielsweise beim Aufbringen einer Folienabdeckung erwünscht ist.

**[0093]** Fig. 7 zeigt eine alternative Ausführungsform. Dabei wird ein als ein Lotrahmen ausgebildetes Stützelement SE auf dem Trägersubstrat vor dem Aufsetzen des Chips CH erzeugt. Dazu wird zunächst eine Metallisierung (Bezugszeichen AE) ähnlich einer Underbumpmetallisierung (UBM) auf dem Trägersubstrat an den für den Lotrahmen vorgesehenen Stellen erzeugt. Der Lotrahmen kann dann durch Aufdrucken, galvanische Verstärkung der UBM oder ebenfalls als rahmenförmiges Stück Lotfolie aufgebracht werden. Bei dieser Ausführung werden die Seitenkanten des Chips so abgeschrägt, daß der Chip sich zur Oberfläche mit den (evtl. im späteren Prozeßschritt aufzutragenden) elektrisch leitenden Strukturen (genannt Chipunterseite) hin verjüngt. Dann wird er an den schrägen Seitenflächen metallisiert. Vorzugsweise erfolgt die Metallisierung der Seitenflächen im gleichen Prozeßschritt wie die Erzeugung der elektrisch leitenden Strukturen und der UBM auf der Chipunterseite. Die Seitenfläche des Chips kann außerdem z. B. mit einer Ti/Cu-Schicht bedampft werden, wobei die leitenden Strukturen an der Chipunterseite mit einem Fotolack geschützt werden können.

**[0094]** Neben den elektrisch leitenden Strukturen weist die Chipunterseite Außenelektroden AE, eine Kontaktmetallisierung KM und am unteren Chiprand angeordnete isolierende nicht benetzende Strukturen IS auf. Die isolierenden Strukturen verhindern einen Kurzschluß zwischen den Außenelektroden AE und der Kontaktmetallisierung KM. Sie können aus Kunststoff oder Lötstopplack strukturiert werden oder durch Passivierung der Metallstrukturen erzeugt werden. Bei einem ausreichend großen Abstand zwischen den Außenelektroden AE und der Kontaktmetallisierung KM kann auf die isolierende Schicht IS verzichtet werden.

**[0095]** Die Chipoberseite kann zu Abschirmzwecken zusätzlich mit einer Metallschicht versehen werden.

**[0096]** In diesem Ausführungsbeispiel befinden sich die elektrisch leitenden Verbindungen (Bumps) vor dem Aufsetzen des Chips auf der Oberseite des Trägersubstrats TS. Der Chip kann dann so auf das Trägersubstrat aufgesetzt werden, siehe Fig. 7b, daß er mit den abgeschrägten Seitenkanten über dem Lotrahmen angeordnet ist und durch die elektrisch leitenden Verbindungen (Bumps) von unten gestützt wird. Die Rahmenhöhe und die Höhe der elektrisch leitenden Verbindung (Bumphöhe) werden so ausgewählt, daß durch das Kollabieren der Lötmasse bzw. der Bumps während des Verlötns der Chip in Kontakt mit dem Lotrahmen gebracht wird. Beim Verlöten kommt eine Lotverbindung des Lotrahmens zu den Kontaktmetallisierungen KM an den Seitenkanten des Chips zustande (Bezugszeichen AB, SE in der Fig. 7c), wobei die Lotverbindung zu einem hermetischen Abschluß zwischen dem Chip und dem Trägersubstrat dient und wobei nach dem Verlöten die Abdichtung AB durch den Lotrahmen gebildet ist.

**[0097]** Es ist möglich, anstelle des Chips mit den schrägen Seitenflächen einen Chip zu verwenden, dessen Seitenflächen zumindest eine Stufe aufweisen, so daß der Chip im Querschnitt etwa T-förmig ist. In diesem Fall kann die (teilweise) Metallisierung der Chipseitenflächen auf der Stufe und im gleichen Prozeßschritt wie die Erzeugung der elektrisch leitenden Strukturen und der UBM auf der Chipunterseite erfolgen.

**[0098]** In einem weiteren Ausführungsbeispiel des Bauelements weist ein als Rahmen ausgebildetes Stützelement ein Schrumpfverhalten auf, so daß der Rahmen nach einer Temperaturbeanspruchung dicht am Chip anliegt. In diesem Fall kann auf die weitere Abdichtung verzichtet werden und das Bauteil kann gleich durch eine hermetisch dichte Schicht, insbesondere eine Metallschicht (z. B. durch eine Cu-Sputterschicht, die galvanisch verstärkt wird) verschlossen werden, wobei die hermetisch dichte Schicht die Chipoberseite und den Schrumpfrahmen überdeckt und mit dem Trägersubstrat abschließt. Der Rahmen kann einseitig mit einer lötfähigen Schicht oder mit einer Klebeschicht versehen werden, die den Rahmen mit dem Trägersubstrat verbindet.

**[0099]** Mit dem Verfahren können vorzugsweise mehrere Chips parallel auf einem entsprechend großflächigen Trägersubstrat aufgebracht, angeschlossen und verkapselt werden. Zwischen einzelnen Chips kann anschließend das Trägersubstrat durchtrennt werden, um einzelne Bauelemente oder Gruppen von miteinander zu Modulen verschalteten Bauelemente zu vereinzeln. Das Auftrennen und Vereinzeln kann mit einem Strahlprozeß oder durch Sägen erfolgen. Oberflächenschichten und insbesondere

re zu durchtrennende Metallisierungen können dabei vorher ggf. strukturiert und dazu naßchemisch oder durch Plasmaätzen entfernt werden.

### Patentansprüche

1. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
  - ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist, und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,
  - ein Stützelement (SE), welches auf der Oberseite des Trägersubstrats angeordnet ist und den Chip umläuft, ohne ihn zu berühren,
  - eine Abdichtung (AB), welche den Chip umgibt und direkt mit dem Chip verbunden ist und zumindest den Raum zwischen dem Stützelement und dem genannten Chip dicht abschließt, wobei eine durch die Abdichtung verursachte thermisch induzierte mechanische Spannung in den elektrisch leitenden Verbindungen dadurch verringert ist, dass sich die Abdichtung vertikal am Stützelement abstützt, wobei h die Höhe des Stützelements ist, g der Abstand zwischen der Oberseite des Trägersubstrats und dem Auflagepunkt der Abdichtung am Chip ist,
- $\alpha_{\text{Bump}}$ ,  $\alpha_{\text{Abdichtung}}$ ,  $\alpha_{\text{Stützelement}}$  die thermischen Ausdehnungskoeffizienten der elektrisch leitenden Verbindung, der Abdichtung und des Stützelements sind,

$$h = g (\alpha_{\text{Bump}} - \alpha_{\text{Abdichtung}}) / (\alpha_{\text{Stützelement}} - \alpha_{\text{Abdichtung}})$$

und

die durch thermische Ausdehnung auftretenden Kräfte im Temperaturbereich zwischen  $-60^{\circ}\text{C}$  und  $85^{\circ}\text{C}$  pro eine elektrisch leitende Verbindung maximal 2 Newton betragen.

2. Bauelement nach Anspruch 1, bei dem die elektrisch leitenden Verbindungen Bumps sind.

3. Bauelement nach Anspruch 1 oder 2, bei dem die Abdichtung (AB) als dielektrische Schicht ausgebildet ist, welche zusätzlich die Chipoberseite überdeckt.

4. Bauelement nach Anspruch 3, bei dem die dielektrische Schicht aus einer oder mehreren Schichten besteht.

5. Bauelement nach einem der Ansprüche 1 bis 4, bei dem die Seitenflächen des Chips (CH) angeschrägt sind, so daß sich der Querschnitt des Chips zum Trägersubstrat (TS) hin verjüngt.

6. Bauelement nach einem der Ansprüche 1 bis 5, bei dem die Seitenflächen des Chips (CH) zumindest eine Stufe aufweisen.

7. Bauelement nach einem der Ansprüche 1, 2, 5 oder 6, bei dem die Abdichtung die Randbereiche des Chips und des ihn umschließenden Stützelementes bedeckt, wobei die Chipoberseite von der Abdichtung nicht bedeckt ist.

8. Bauelement nach einem der Ansprüche 1, 2 oder 5 bis 7, bei dem eine auf der Chipoberseite, auf der Abdichtung (AB) und auf an die Abdichtung angrenzenden, von dieser unbedeckten Randbereichen des Stützelementes und/oder des Trägersubstrats angeordnete Metallschicht (ME) vorhanden ist.

9. Bauelement nach einem der Ansprüche 3, 4, 5 oder 6, bei dem die dielektrische Schicht (AB) den Chip (CH) zusammen mit dem ihn umlaufenden Stützelement (SE) vollständig überdeckt, wobei diese dielektrische Schicht auf der Chipoberseite und auf dem Stützelement aufliegt und erst außerhalb des Stützelementes mit dem Trägersubstrat abschließt, so daß sich der Chip zusammen mit dem ihn umlaufenden Stützelement in einem gemeinsamen Hohlraum befindet, der zwischen der dielektrischen Schicht und der Oberseite des Trägersubstrats ausgebildet ist.

10. Bauelement nach einem der Ansprüche 3, 4, 5 oder 6, bei dem die dielektrische Schicht (AB) die Chipoberseite vollständig überdeckt und mit dem Stützelement dicht abschließt, wobei das Stützelement aus einem hermetisch dichten Material ist.

11. Bauelement nach einem der Ansprüche 3, 4, 5, 6, 9 oder 10, bei dem eine Metallschicht (ME) vorhanden ist, die zumindest die dielektrischen Schicht bedeckt und mit dieser einen Verbund bildet.

12. Bauelement nach einem der Ansprüche 3, 4, 5, 6 oder 9 bis 11, bei dem eine Vergußmasse auf der dielektrischen Schicht oder auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des Chips aufliegt.

13. Bauelement nach Anspruch 12, bei dem die Metallschicht außerhalb der Chipfläche mit dem Stützelement oder außerhalb des Stützelementes mit dem Trägersubstrat abschließt.

14. Bauelement nach Anspruch 5 oder 6, bei dem an den dem Trägersubstrat (TS) zugewandten oder angeschrägten Seitenflächen des Chips eine Kontaktmetallisierung (KM) vorhanden ist, bei dem das Stützelement (SE) als Lotrahmen auf der Oberseite des Trägersubstrats ausgebildet ist, wobei das Stützelement mit der Kontaktmetallisierung

des Chips verlötet ist und wobei die Abdichtung (AB) durch den Lotrahmen gebildet ist.

15. Bauelement nach Anspruch 14, bei dem die Chipoberseite mit einer Metallschicht versehen ist.

16. Bauelement nach einem der Ansprüche 1, 2, 7 oder 8, bei dem die Abdichtung aus einem dielektrischen Material ist.

17. Bauelement nach Anspruch 16, bei dem die Abdichtung aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem Glaslot oder einem Harz ist.

18. Bauelement nach einem der Ansprüche 3, 4, 5, 6, oder 9 bis 13, bei dem die dielektrische Schicht aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem Glaslot oder einem Harz besteht.

19. Bauelement nach einem der Ansprüche 1 bis 4, 5 bis 13 oder 16 bis 18, bei dem das Stützelement aus Metall, einem keramischen Material oder Kunststoff ist.

20. Bauelement nach einem der Ansprüche 1 bis 4, 5 bis 13 oder 16 bis 18, bei dem das Stützelement die Begrenzung einer auf dem Trägersubstrat vorhandenen Vertiefung ist.

21. Bauelement nach einem der Ansprüche 1 bis 4 oder 5 bis 19, bei dem die Höhe des Stützelementes den Abstand zwischen der Oberseite des Trägersubstrats und der Chipunterkante nicht übersteigt, wobei der innere Rand des Stützelementes bis unter die zum Trägersubstrat weisende Chipkante reicht.

22. Bauelement nach einem der Ansprüche 1 bis 4, 5 bis 13 oder 16 bis 20, bei dem die Höhe des Stützelementes gleich dem Abstand zwischen der Oberseite des Trägersubstrats und der Chipunterkante ist oder diesen Abstand übersteigt.

23. Bauelement nach einem der Ansprüche 1 bis 22, bei dem das Trägersubstrat (TS) eine LTCC-Keramik – Low Temperature Cofired Ceramic – ist.

24. Bauelement nach einem der Ansprüche 1 bis 23, bei dem an der Unterseite des Trägersubstrats (TS) SMD fähige Außenkontakte (AK) vorhanden sind.

25. Bauelement nach einem der Ansprüche 1 bis 24, bei dem das Trägersubstrat (TS) zumindest zwei dielektrische Schichten umfaßt.

26. Bauelement nach einem der Ansprüche 1 bis 25, bei dem der Chip (CH) zumindest einen mit akus-

tischen Oberflächenwellen oder akustischen Volumenwellen arbeitenden Resonator enthält.

27. Bauelement nach einem der Ansprüche 1 bis 26, das mehrere gleiche oder verschiedene Chips aufweist, wobei die Chips auf dem Trägersubstrat (TS) in der gleichen Weise befestigt und verkapselt sind.

28. Verfahren, bei dem ein Bauelement gemäß einem der vorherigen Ansprüche hergestellt wird, wobei die Werte für  $\alpha_{\text{Bump}}$ ,  $\alpha_{\text{Abdichtung}}$ ,  $\alpha_{\text{Stützelement}}$ ,  $g$  und  $h$  so gewählt werden, um die Zugkraft auf maximal 2 Newton pro elektrisch leitender Verbindung zu begrenzen, dass gilt:

$$h = g(\alpha_{\text{Bump}} - \alpha_{\text{Abdichtung}}) / (\alpha_{\text{Stützelement}} - \alpha_{\text{Abdichtung}}).$$

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

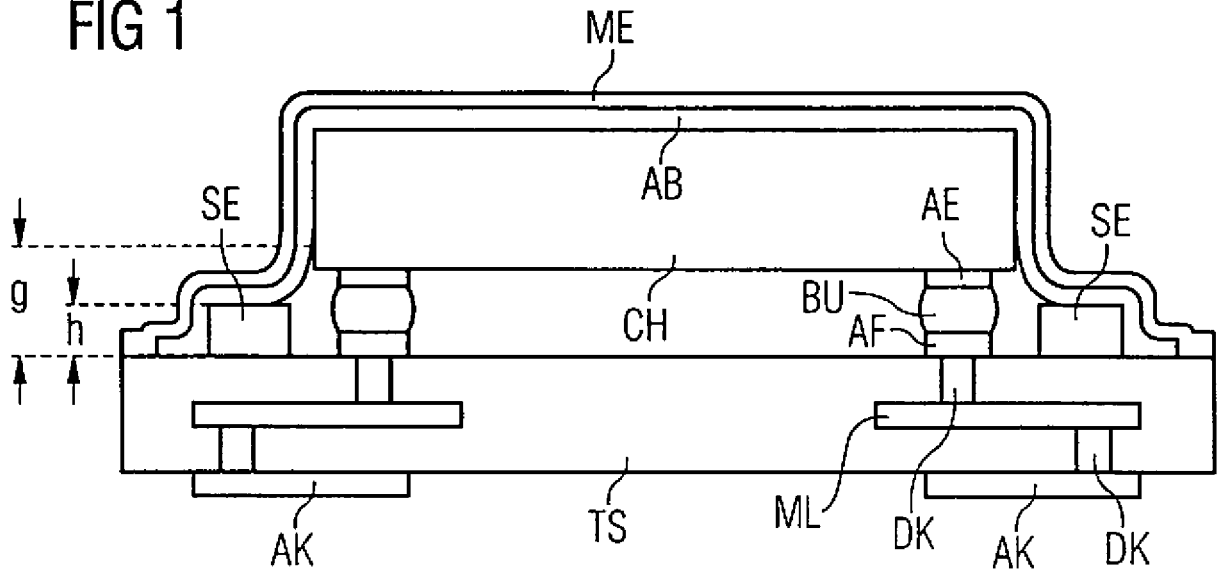


FIG 2

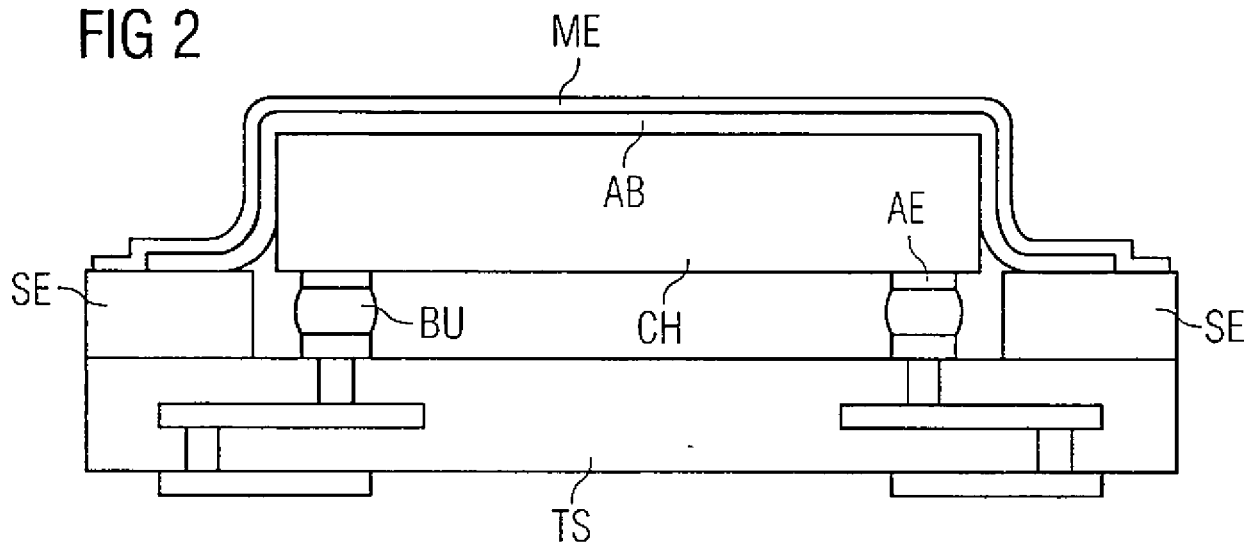


FIG 3

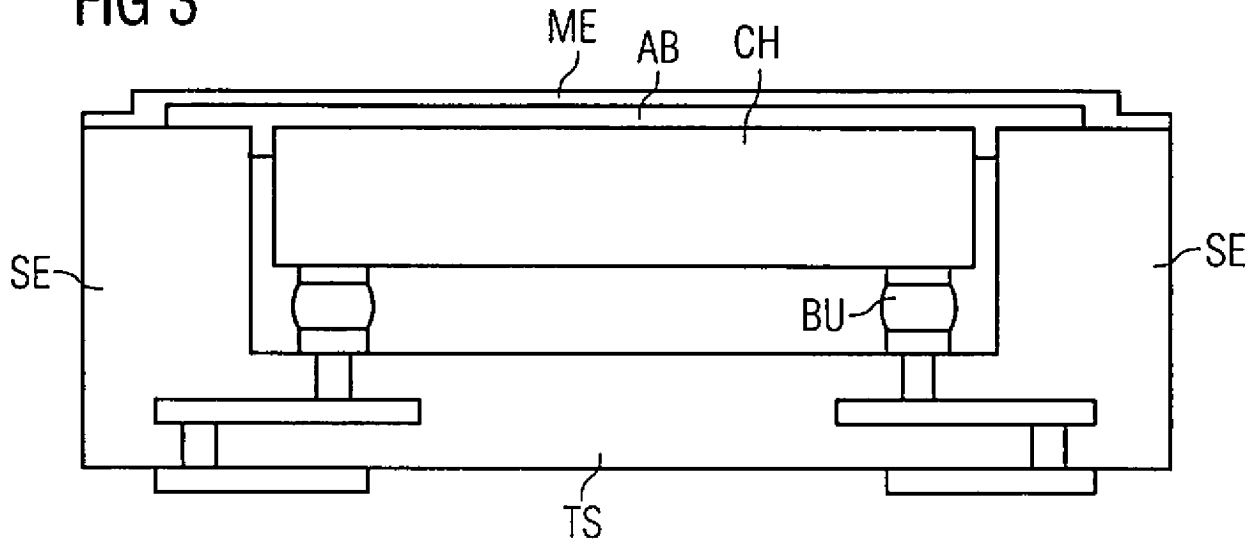


FIG 4

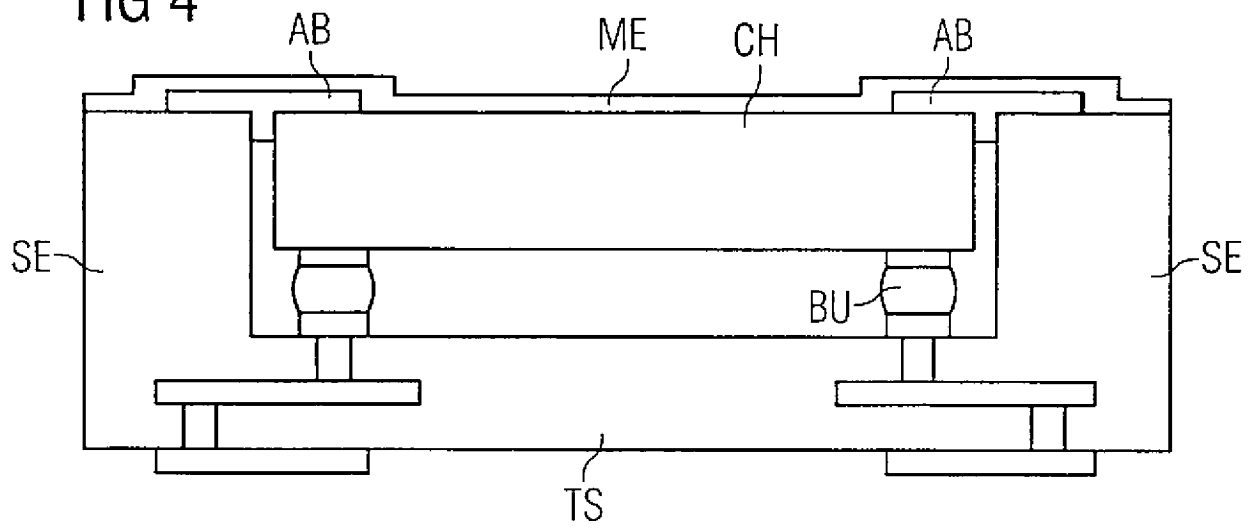


FIG 5A

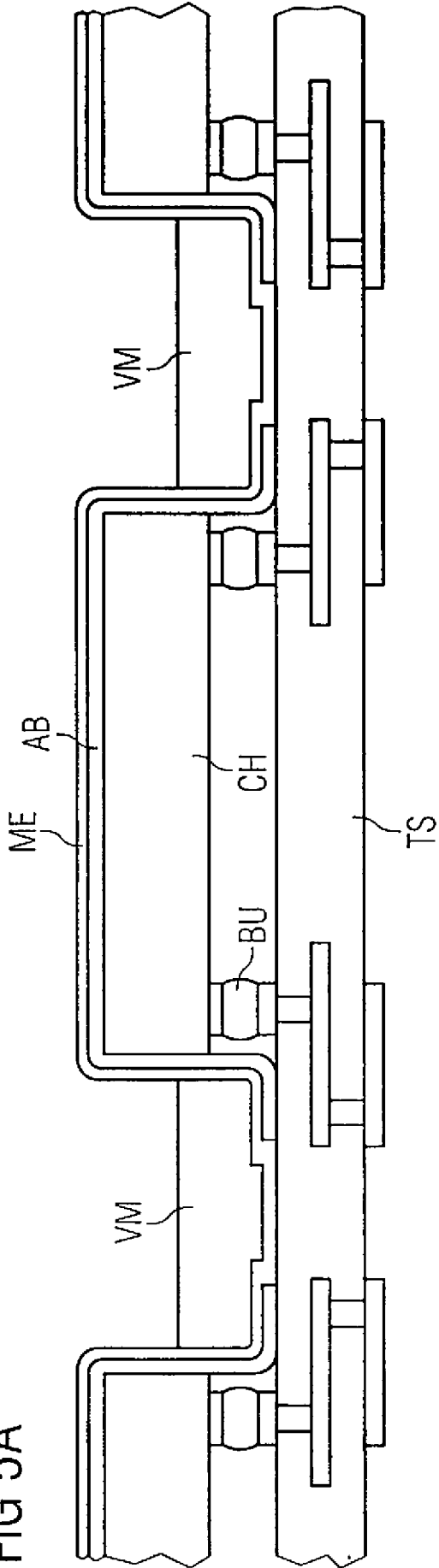


FIG 5B

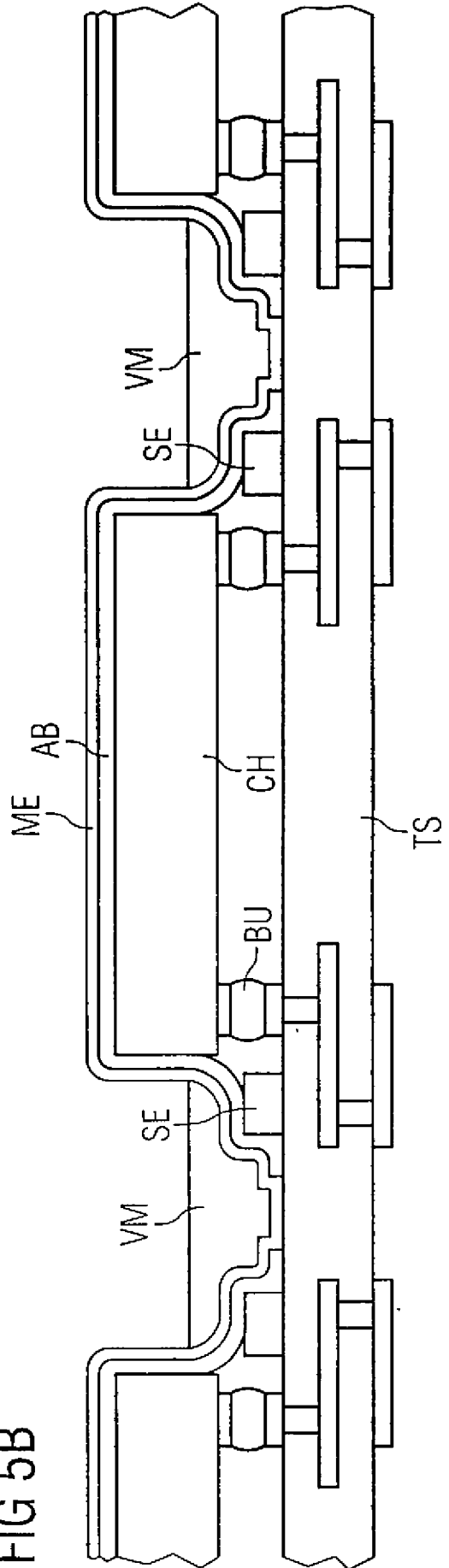




FIG 6A

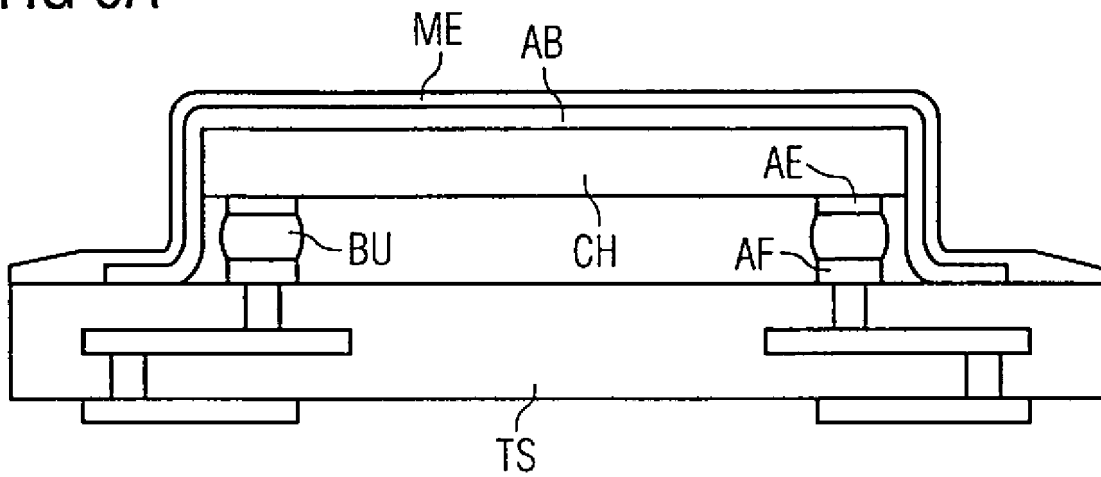
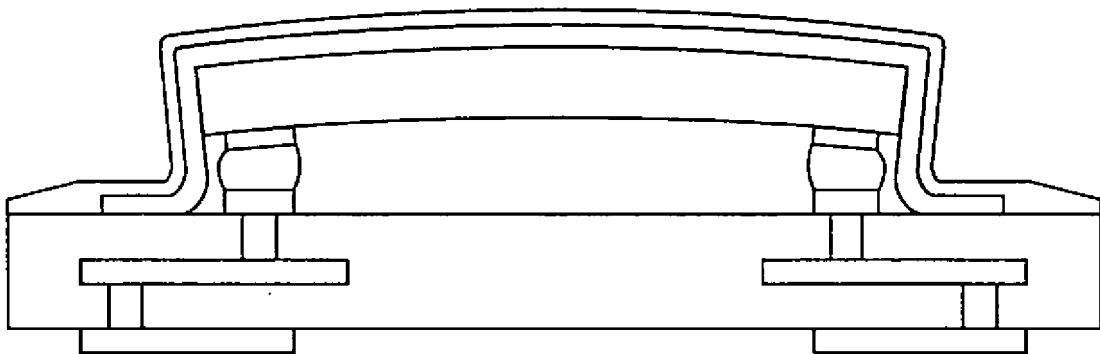


FIG 6B



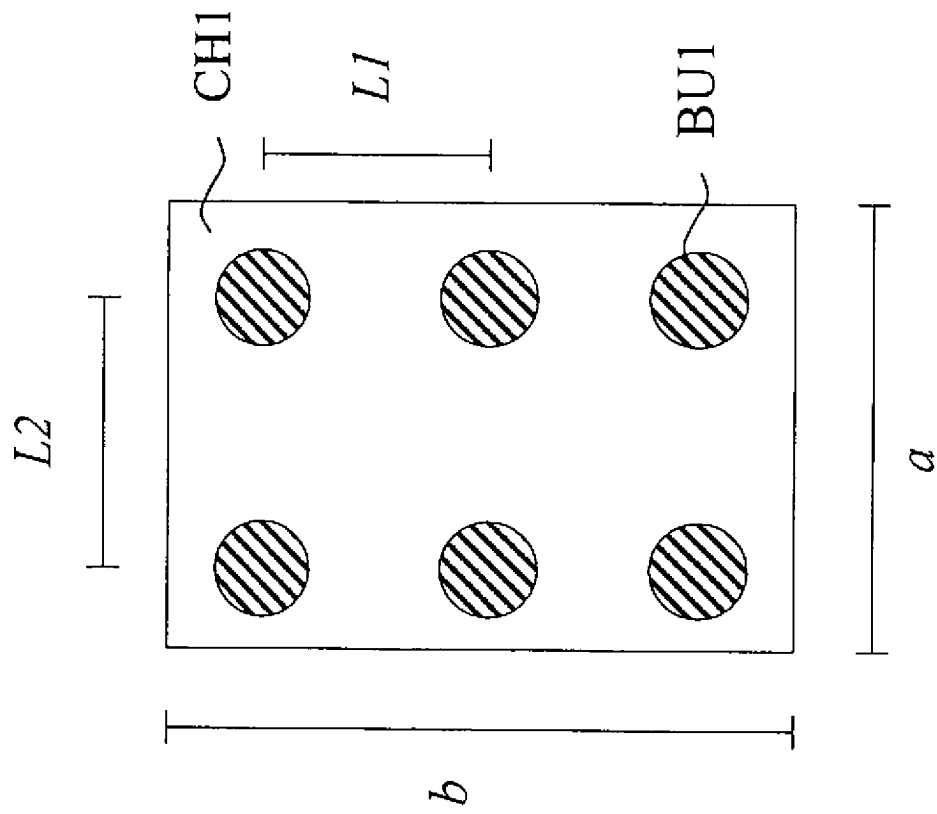


Fig. 6c

FIG 7A

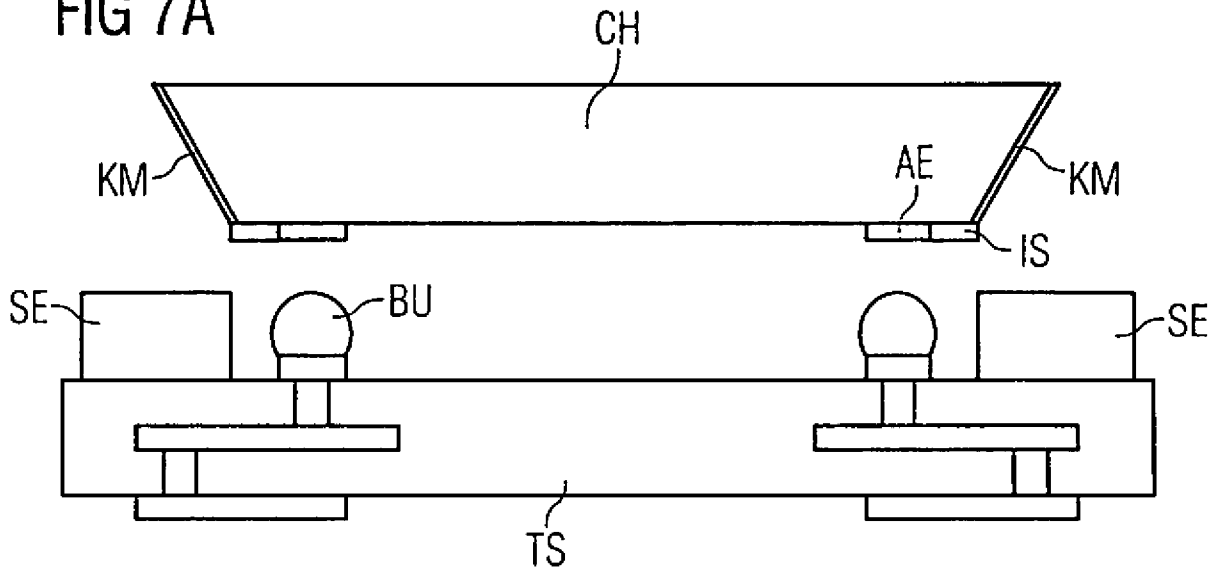


FIG 7B

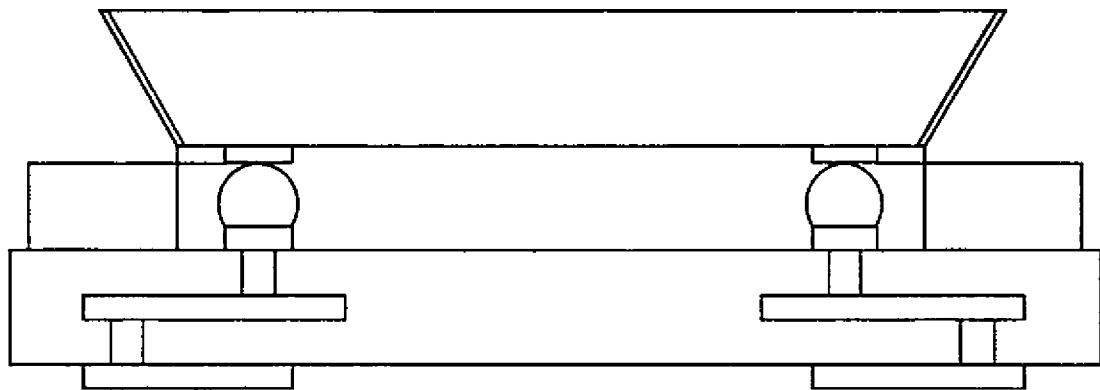


FIG 7C

