

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6322572号
(P6322572)

(45) 発行日 平成30年5月9日(2018.5.9)

(24) 登録日 平成30年4月13日(2018.4.13)

(51) Int.Cl.

H02M 3/00 (2006.01)

F 1

H02M 3/00

H

請求項の数 6 (全 16 頁)

(21) 出願番号 特願2014-508180 (P2014-508180)
 (86) (22) 出願日 平成24年4月30日 (2012.4.30)
 (65) 公表番号 特表2014-512801 (P2014-512801A)
 (43) 公表日 平成26年5月22日 (2014.5.22)
 (86) 國際出願番号 PCT/US2012/035818
 (87) 國際公開番号 WO2012/173707
 (87) 國際公開日 平成24年12月20日 (2012.12.20)
 審査請求日 平成27年4月23日 (2015.4.23)
 (31) 優先権主張番号 13/097,644
 (32) 優先日 平成23年4月29日 (2011.4.29)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (73) 特許権者 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メイル ステイショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恒三

前置審査

最終頁に続く

(54) 【発明の名称】スイッチモード電力コンバータ用の定電力／電流制御のための方法および装置

(57) 【特許請求の範囲】

【請求項1】

出力電力において出力電圧信号と出力電流信号とを提供するスイッチモード電力段とともに用いる制御回路であって、前記スイッチモード電力段が、公称出力電圧と公称出力電流と最大出力電流と最大出力電力を含み、

前記制御回路が、

電圧制御ループと、

電流制御ループと、

前記電圧制御ループに第2の基準電圧信号を提供する基準ランプ制御回路と、

前記電流制御ループに基準電流信号を提供する基準発生器回路と、

を含み、

前記基準電流信号が、前記公称出力電流よりも大きいかもしくは同等であり、かつ前記最大出力電流よりも小さい場合に、前記制御回路が、平均電流モード制御を提供するため前記電流制御ループを用い、前記出力電力が一定である、制御回路。

【請求項2】

請求項1に記載の制御回路であって、

前記基準電流信号が前記最大出力電流に等しいときに、前記スイッチモード電力段が定電流モード制御で動作する、制御回路。

【請求項3】

請求項1に記載の制御回路であって、

10

20

前記基準電流信号が前記公称出力電流よりも小さいときに、前記スイッチモード電力段が定電力モード制御で動作する、制御回路。

【請求項 4】

請求項2に記載の制御回路であって、

前記切り替えが、前記最大電流によって除算された前記最大電力に等しい出力電圧で起¹⁰こる、制御回路。

【請求項 5】

請求項1に記載の制御回路であって、

前記ランプ時間間隔が、前記出力電圧信号の電圧オーバーシュートを低減するように設¹⁰定される、制御回路。

【請求項 6】

請求項2に記載の制御回路であって、

前記スイッチモード電力段が負荷に結合され、前記負荷が前記スイッチモード電力段から解放されるときに、前記制御回路が定電流モード制御から定電力モード制御もしくは定電圧モード制御に切り替わる、回路。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概してスイッチモード電力コンバータに関し、特にスイッチモード電力コンバータの定電力／電流制御のための方法および装置に関する。²⁰

【背景技術】

【0002】

スイッチモード電力コンバータは、典型的に、インダクタおよびコンデンサのような、一つもしくは複数の半導体スイッチとエネルギー貯蔵素子とを含み、所定のスイッチング周波数で様々な回路構成の間でエネルギー貯蔵素子を切り替えることにより動作する。パルス幅変調（P MW）コンバータでは、電力コンバータの出力電圧もしくは電流は、スイッチに印加される一つもしくは複数の制御信号のデューティサイクルを変化させることにより制御され得る。

【0003】

様々なアナログおよびディジタル制御方法が、DC DC、AC DC、DC AC、およびAC DCコンバータのようなスイッチモード電力コンバータのラインおよび負荷レギュレーションを提供するために使用されてきた。例えば、スイッチモード電力コンバータのための以前より公知の制御技術は、定電力および電流制御を含む。³⁰

【0004】

定電力および電流制御を提供するために、2つの制御ループが必要とされる：電圧制御ループおよび電流制御ループである。「電圧／電流モードスイッチングコントローラ」と称されることもある、以前より公知の定電力および電流制御システムでは、電圧制御ループが、動作の定電圧領域に電圧モード制御を提供し、電流制御ループが、動作の定電力および定電流領域に電流モード制御を提供し、制御回路「OR」が電圧制御ループ出力および電流制御ループ出力を提供し、2つの出力のうち小さい方を用いてPWM信号を生成する。⁴⁰

【0005】

例えば、図1は、公称出力電圧 $V_{n o m}$ 、公称出力電流 $i_{n o m}$ 、特定の最大出力電流 $i_{m a x}$ 、および特定の最大出力電力 $P_{m a x}$ を有する、電圧／電流モードスイッチングコントローラのための、以前より公知の定電力および電流制御システムの動作を表す。この制御システムでは、 $i_{n o m}$ よりも小さな出力電流 i 。値に対して、電圧モード制御が用いられる。特に、電圧制御ループがコンバータ出力電圧 v_o を基準電圧と比較し、エラー信号が補償器に提供され、出力電圧 v_o が所望の値（例えば、 $v_{n o m}$ ）に等しくなるように補償器の出力がコンバータのスイッチのデューティ比を設定するよう用いられる。

【0006】

$i_{n.m}$ よりも大きなもしくは $i_{n.m}$ に等しい出力電流 i_o 値では、制御は、電圧モード制御から電流モード制御に切り替わる。特に、 $i_{n.m}$ よりも大きいかもしくは $i_{n.m}$ に等しいが、 i_{max} よりは小さな出力電流 i_o 値に対して、電流制御ループが、コンバータ出力電流 i_o を基準電流と比較し、エラー信号が補償器に提供され、補償器の出力がコンバータのスイッチのデューティ比を設定するよう用いられる。電流ループの基準電流は、 P_{max}/v_o に設定されるので、コンバータ出力電流、すなわち $P_o = (v_o \times i_o)$ は一定（例えば P_{max} ）である。より高い負荷では、電流制御ループは一定値 i_{max} で出力電流をクランプする。

【0007】

このような以前より公知の定電力および電流制御システムの一つの問題は、ループの飽和および出力電圧のオーバーシュートである。特に、負荷が増加するにつれて、電圧制御ループにより特定されるデューティサイクルが増加するので、コンバータは出力電圧を $v_o = v_{n.m}$ で維持することができ、他方で要求される出力電流 i_o を供給する。このような場合には、 $i_{n.m}$ よりも大きな出力電流 i_o に対して、制御が電圧モード制御から電流モード制御に切り替わるときに、電圧制御ループが飽和し得る（例えば、特定されたデューティサイクルが最大になる）。このようなループの飽和を避けるために、かねてより公知の制御システムには、積分器をクランプするなどの非飽和技術を含むものもある。

【0008】

しかしながら、非飽和技術が用いられようとされまいと、負荷が突然減少する場合、制御は、電流モード制御から電圧制御モードに切り替わるであろう。その結果、電圧制御ループが飽和される場合（もしくは、非飽和技術が電圧基準を $v_{n.m}$ に対応する固定値に設定する場合）、出力電圧 v_o は $v_{n.m}$ を上回り得る。負荷条件次第では、出力電圧のオーバーシュートが許容できないほど大きくなり得、感度の良い電子回路に損傷を与える。図1に示していないが、かねてより公知の平均電流制御技術には、同様の出力電圧のオーバーシュートの問題がある。

【0009】

従って、スイッチモード電力コンバータ用の定電力および電流制御のための改良された方法および装置が望ましい。

【発明の概要】

【0010】

本発明の第1の態様では、出力電圧信号および出力電流信号を出力電力に提供するスイッチモード電力段とともに用いるための制御回路が提供される。スイッチモード電力段は公称電圧と、公称電流と、最大電流と、出力電力と、最大電力とを有する。制御回路は電圧制御ループと電流制御ループとを含み、出力電流信号が、公称電圧よりも大きいかもしくは同等であり、かつ最大電流よりも小さい場合、制御回路は電圧モード制御を提供するために電圧制御ループを用い、出力電力は実質的に一定である。

【0011】

本発明の第2の態様では、出力電圧信号および出力電流信号を出力電力に提供するスイッチモード電力段とともに用いるための制御回路が提供される。スイッチモード電力段は、公称電圧と、公称電流と、最大電流と、出力電力と、最大電力とを有する。制御回路は、電圧制御ループと電流制御ループとを含み、出力電流信号が、公称電流よりも大きいかもしくは同等であり、かつ最大電流よりも小さい場合、制御回路は平均電流制御モードを提供するために電流制御ループを用い、出力電力は実質的に一定である。

【0012】

本発明の第3の態様では、出力電圧信号と出力電流信号とを出力電力に提供するスイッチモード電力段を制御するための方法が提供される。スイッチモード電力段は、公称電力と、公称電流と、最大電流と、出力電力と、最大電力とを有する。この方法は、出力電流信号が、公称電流よりも大きいかもしくは同等であり、かつ最大電流よりも小さい場合、実質的に一定の出力電力を提供するために電圧モード制御を用いることを含む。

【0013】

10

20

30

40

50

本発明のその他の特徴および態様が、以下の詳細な説明、添付の特許請求の範囲および添付の図面からより十分に明らかとなるであろう。

【図面の簡単な説明】

【0014】

【図1】図1は、以前より公知の電力コンバータの制御モードを表す図である。

【0015】

【図2】図2は、本発明による例示的なコントローラを含む電力コンバータのブロック図である。

【0016】

【図3】図3は、図1の電力コンバータの例示的な実施例のブロック図である。 10

【0017】

【図4】図4は、図3の電力コンバータのより詳細なブロック図である。

【0018】

【図5】図5は、図3および図4の電力コンバータの例示的な制御モードと動作領域とを示す図である。

【0019】

【図6】図6は、図1の電力コンバータの代替的な例示的な実施例のブロック図である。

【0020】

【図7】図7は、図6の電力コンバータのより詳細なブロック図である。

【0021】

【図8】図8は、図6および図7の電力コンバータの例示的な制御モードと動作領域とを示す図である。 20

【発明を実施するための形態】

【0022】

本発明による例示的な実施例および装置は、電圧／電流の双方のモードスイッチング制御のための定電力／電流制御と、スイッチモード電力コンバータのための平均電流制御とを提供する。

【0023】

例示的な電圧／電流モードスイッチング制御の実施例では、電圧モード制御が、実質的に一定の出力電力を提供するよう用いられる。さらに、電圧モードから電流モードへのループの切り替えは、公称電圧よりも低い出力電圧値で成される。ループの切り替えポイントと電圧基準値とをより低い出力電圧へ移動させることは、制御が電流モードから電圧モードへ切り替わるときに発生する、出力電圧のオーバーシュートを実質的に減少させ得る。 30

【0024】

例示的な平均電流モード制御の実施例では、実質的に一定の出力電力を提供するよう平均電流モード制御が用いられる。さらに、定電力モードから定電流モードへの動作モードの切り替えは、公称電圧よりも低い出力電圧値で成される。モード切り替えポイントと電力基準値をこのより低い出力電圧へ移動させることは、制御が定電流モードから定電力モードに切り替わるときに発生する出力電圧のオーバーシュートを実質的に減少させ得る。 40

【0025】

さらに、双方の例示的な実施例では、出力負荷が下がり、かつ制御が、定電流モード制御から定電圧モード制御へ切り替わる場合、電圧制御ループに用いられる基準信号が、より低い出力電圧値から公称電圧へ立ち上がる（ランプされる）。ランプ時間は、出力電圧のオーバーシュートをさらに減少するように制御され得る。

【0026】

図2を参照すると、本発明による例示的な制御回路を含む電力コンバータ10のブロック図が描かれている。特に、電力コンバータ10は、スイッチモード電力段12とコントローラ14とを含む。下記でより詳細に説明されるように、コントローラ14は、電圧制御ループと、電流制御ループと、本発明による定電力／電流制御を提供するために用いら

れる制御回路（例えば、ハードウェアおよび／もしくはソフトウェア）とを含む。本発明による例示的な技術は、電圧／電流モード切り替え制御および平均電流制御のような様々な異なる制御技術を実装するコントローラ14とともに用いられ得る。

【0027】

スイッチモード電力段12は、入力信号INに結合された第1の入力ノードと、制御信号d(t)に結合された第2の入力ノードとを有し、第1の出力ノードに第1の出力信号v_oを提供し、第2の出力ノードに第2の出力信号i_oを提供する。

【0028】

スイッチモード電力段12は、入力信号INを第1の出力信号v_oに変換する、DC DC、AC DC、DC AC、もしくはAC AC電力ステージであり得る。例えは、10スイッチモード電力段12は、DC入力電圧INをDC出力電圧v_oに変換し、かつ出力電流i_oを負荷に供給する、DC DCスイッチモード電力段であり得る（図1に図示しない）。当業者であれば、入力信号INは代替的に、DC電流か、AC電圧もしくは電流であり得、出力信号v_oは代替的にDC電流か、AC電圧もしくは電流であり得ることを理解するであろう。

【0029】

スイッチモード電力段12は、降圧コンバータ、昇圧コンバータ、降圧 昇圧コンバータ、もしくはその他の類似のコンバータであり得、それらは、本分野で公知のように、一つもしくは複数のインダクタ、コンデンサ、ダイオードおよびスイッチを含み得る（図2に図示しない）。下記でより詳細に説明されるように、スイッチは制御信号d(t)によって制御され、制御信号d(t)は、第1の出力信号v_oおよび／もしくは第2の出力信号i_oをレギュレートするよう制御され得るデューティ比を有するパルス幅変調された波形である。

【0030】

コントローラ14は、アナログコントローラ、ディジタルコントローラ、もしくはアナログ／ディジタル混合のコントローラであり得、ハードウェア、ソフトウェア、もしくはハードウェアとソフトウェアの組合せを含み得る。いくつかの例示的な実施例では、コントローラ14は、マイクロプロセッサか、その他の類似のディジタルコントローラであり得る。例えは、コントローラ14は、テキサス州ダラスのテキサス インスツルメンツ インコーポレイテッド社のUCD3040マイクロプロセッサとし得る。コントローラ14は、単一のコントローラでもよく、あるいは、複数のコントローラでもよい。

【0031】

コントローラ14は、スイッチモード電力段12の、それぞれ、第1および第2の出力ノードにおいて、それぞれ、第1の出力信号v_oと第2の出力信号i_oとを受け取るよう結合された第1および第2の入力ノードを有する。コントローラ14は、スイッチモード電力段12の第2の入力ノードに結合された出力ノードで、制御信号d(t)を提供する。

【0032】

本発明の例示的な実施例では、第1の出力信号v_oおよび第2の出力信号i_oは、スイッチモード電力段12の出力電圧と出力電流をそれぞれ表す。当業者であれば、第1の出力信号v_oが代替的にスイッチモード電力段12の何らかの他の電圧を表し得、第2の出力信号i_oが代替的にスイッチモード電力段12の何らかの他の電流を表し得ることを理解するであろう。簡単にするために、以降の説明は、第1の出力電圧v_oを出力電圧信号v_o、第2の出力信号i_oを出力電流信号i_oと称する。

【0033】

スイッチモード電力段12は典型的に、公称出力電圧v_{nomin}、公称出力電流i_{nomin}、最大出力電流i_{max}、および最大出力電力P_{max}などの或る特定された動作パラメータに応じるよう設計される。当業者であれば、スイッチモード電力段12が、その他のおよび／もしくは追加の特定された動作パラメータに対応するよう設計されても良いことを理解する。

10

20

30

40

50

【0034】

制御信号 $d(t)$ は、スイッチモード電力段 12 の一つもしくは複数のスイッチを制御するための、一つの信号を含み得るか、複数の信号（例えば、PSPWM フルブリッジコンバータで用いられる 4 つの信号）を含み得る。簡単にするために、制御信号 $d(t)$ は、以降の説明では、一つの信号を含むものとして記載される。当業者であれば、本発明による例示的な技術が一つ以上の信号を含む制御信号 $d(t)$ を生成するよう容易に変更され得ることを理解するであろう。

【0035】

下記により詳細に説明されるように、コントローラ 14 は、電圧制御ループと、電流制御ループと、本発明による定電力 / 電流制御を提供するために、基準信号を電圧制御ループおよび電流制御ループに提供する制御回路（例えば、ハードウェアおよび / もしくはソフトウェア）とを含む。10

【0036】

本発明による方法および装置は、電圧 / 電流モード切り替え制御のような様々な異なる制御技術を用いるコントローラ 14 の定電力 / 電流制御と、平均電流制御とを提供するよう用いられ得る。各々の例が順に説明される。

電圧 / 電流モード切り替えコントローラの定電力 / 電流制御

【0037】

図 3 を参照すると、本発明による電圧 / 電流モード切り替え制御を用い、かつ定電力 / 電流制御を実施する、例示的な電力コンバータ 10a のブロック図が描かれている。特に、コントローラ 14a は、基準発生器 16a と、基準ランプ制御回路 18a と、電圧制御ループ 20a と、電流制御ループ 22a と、デューティサイクル選択回路 24 とを含む。20 これらの各々が順に説明される。

【0038】

基準発生回路 16a は、スイッチモード電力段 12 の第 2 の出力ノードの出力電流信号 i_o を受け取るよう結合された入力ノードを含み、第 1 の出力ノードに電流基準信号 I_{ref} を提供し、第 2 の出力ノードに第 1 の電圧基準信号 V_{ref} を提供する。基準発生回路 16a はハードウェアおよび / もしくはソフトウェアで実装され得るものであり、下記により詳細に説明される。

【0039】

基準ランプ制御回路 18a は、基準発生回路 16a の第 2 の出力ノードの第 1 の電圧基準信号 V_{ref} を受け取るよう結合された入力ノードを含み、出力ノードに第 2 の電圧基準信号 V'_{ref} を提供する。基準ランプ制御回路 18a はハードウェアおよび / もしくはソフトウェアで実装され得るものであり、下記により詳細に説明される。30

【0040】

電圧制御ループ 20a は、スイッチモード電力段 12 の第 1 の電圧出力ノードの出力電圧信号 v_o を受け取るよう結合された第 1 の入力ノードと、基準ランプ制御回路 20a の出力ノードの第 2 の電圧基準信号 V'_{ref} を受け取るよう結合された第 2 の入力ノードとを含み、出力ノードに第 1 の制御信号 $d_v(t)$ を提供する。本発明の例示的な実施例では、第 1 の制御信号 $d_v(t)$ は第 1 のデューティサイクル信号であり得る。簡単にするために、第 1 の制御信号 $d_v(t)$ は、本明細書では電圧デューティサイクル信号 $d_v(t)$ と称される。電圧制御ループ 20a はハードウェアおよび / もしくはソフトウェアで実装され得るものであり、下記により詳細に説明される。40

【0041】

電流制御ループ 22a は、スイッチモード電力段 12 の第 2 の出力ノードの出力電流信号 i_o を受け取るよう結合された第 1 の入力ノードと、基準発生回路 16a の第 1 の出力ノードの電流基準信号 I_{ref} を受け取るよう結合された第 2 の入力ノードとを含み、出力ノードに第 2 の制御信号 $d_i(t)$ を提供する。本発明の例示的な実施例では、第 2 の制御信号 $d_i(t)$ は第 2 のデューティサイクル信号であり得る。簡単にするために、第 2 の制御信号 $d_i(t)$ は本明細書では電流デューティサイクル信号 $d_i(t)$ と称され50

る。電流制御ループ 22a はハードウェアおよび／もしくはソフトウェアで実装され得るものであり、下記でより詳細に説明される。

【0042】

デューティサイクル選択回路 24 は、電圧制御ループ 20a の出力ノードの電圧デューティサイクル信号 $d_v(t)$ を受け取るよう結合された第 1 の入力ノードと、電流制御ループ 22a の出力ノードの電流デューティサイクル信号 $d_i(t)$ を受け取るよう結合された第 2 の入力ノードとを含み、制御信号 $d(t)$ を、スイッチモード電力段 12 の第 2 の入力ノードに結合された出力ノードに提供する。デューティサイクル選択回路 24 は、ハードウェアおよび／もしくはソフトウェアで実装され得るものであり、下記でより詳細に説明される。

10

【0043】

下記でより詳細に説明されるように、電圧制御ループ 20a は、出力電圧信号 v_o と第 2 の電圧基準信号 V_{ref}' との差に基づいて電圧デューティサイクル信号 $d_v(t)$ を生成し、電流制御ループ 22a は、出力電流信号 i_o と電流基準信号 I_{ref} との差に基づいて電流デューティサイクル信号 $d_i(t)$ を生成し、また、デューティサイクル選択回路 24 は、電圧デューティサイクル信号 $d_v(t)$ と電流デューティサイクル信号 $d_i(t)$ とにに基づいて制御信号 $d(t)$ を生成する。

【0044】

また、下記でより詳細に説明されるように、基準発生器 16a は、スイッチモード電力段 12 の電圧モード制御と電流モード制御との切り替えを制御するために、第 1 の電圧基準信号 V_{ref} と電流基準信号 I_{ref} とを生成する。

20

【0045】

さらに、下記でより詳細に説明されるように、基準ランプ制御回路 18a は第 1 の電圧基準信号 V_{ref} に基づいて第 2 の電圧基準信号 V_{ref}' を生成する。特に、コントローラ 14a が電流モード制御から電圧モード制御へ切り替えられるとき（例えば、スイッチモード電力段 12 の負荷が突然解放されるとき）を除き、 $V_{ref}' = V_{ref}$ である。そのような例では、第 2 の電圧基準信号 V_{ref}' は第 1 の電圧基準信号 V_{ref} から公称出力電圧 v_{nom} ヘランプアップする。この点で、電圧基準の制御可能なランプは、 v_o のオーバーシュートを減少させるために用いられる。下記でより詳細に説明されるように、ランプ時間は、実質的に v_o のオーバーシュートを減少させるよう制御され得る。

30

【0046】

ここで図 4 を参照すると、電力コンバータ 10a のより詳細な例示的な実施例が説明される。この例では、入力信号 I_N は入力電圧信号 V_{IN} である。当業者であれば、入力信号 I_N が代替的に入力電流信号であり得ることを理解するであろう。簡単にするために、以降の説明は、入力信号 I_N を入力電圧信号 V_{IN} と称する。

【0047】

スイッチモード電力段 12 は、スイッチング段 26 と、負荷 28 と、電流感知装置 30 とを含む。スイッチング段 26 は、任意の従来のスイッチングネットワークであり得、クロック周波数 f_s を有する制御信号 $d(t)$ により制御される一つもしくは複数のスイッチ（図示しない）を含み得る。クロック周波数 f_s は、およそ 50 KHz からおよそ 5 MHz の間であり得るが、その他のクロック周波数が用いられても良い。簡単にするために、負荷 28 は抵抗として説明されるが、どのような種類の負荷であっても良い。

40

【0048】

電流感知装置 30 は、抵抗、ホール効果センサ、インダクタ DC 抵抗、もしくは負荷 28 の出力電流信号 i_o を検出するためのその他の同様の装置であり得る。電流感知装置 30 は、図 4 に示すように、負荷 28 と直列であり得、もしくは、スイッチング段 26 の何らかの他の回路要素のパラメータを測定することによって実装され得る。この点では、電流感知装置は、出力電流信号 i_o を直接的に検出し得、もしくは出力電流信号 i_o に比例するスイッチモード電力段 12 内のいくつかの他の電流に基づいて、出力電流信号 i_o を間接的に検出し得る。

50

【0049】

電圧制御ループ20aは、エラーアナログ・ディジタルコンバータ(ADC)32と、フィルタ34aとを含む。ADC32は、スイッチモード電力段12の第1の出力ノードの電圧信号 v_o を受け取るよう結合された第1の入力ノードと、基準ランプ制御回路18aの出力ノードの第2の電圧基準信号 V_{ref}' を受け取るよう結合された第2の入力ノードとを含み、出力ノードに電圧エラー信号 V を提供する。

【0050】

第2の電圧基準信号 V_{ref}' は、スイッチモード電力段12の所望の出力電圧に等しい。代替的に、第2の電圧基準信号 V_{ref}' は、スイッチモード電力段12の所望の出力電圧の一部に等しくても良い。

10

【0051】

ADC32は、出力電圧信号 v_o と第2の電圧基準信号 V_{ref}' との差をサンプリングして、その差を、サンプリングレート f_{ad1} でデジタル電圧エラー信号 V (例えば、 $V = V_o - V_{ref}'$)に変換する。サンプリングレート f_{ad1} は、典型的にループ帯域幅のおよそ20倍であるが、その他のサンプリング周波数が用いられても良い。当業者であれば、他の技術が電圧エラー信号 V を生成させるために用いられ得ることを理解するであろう。例えば、ADC32は、アナログ差分回路および従来のA/Dコンバータに置き換えられても良い。

【0052】

フィルタ34aは、ADC32の出力ノードの電圧エラー信号 V を受け取るよう結合された入力ノードを有し、出力ノードに電圧デューティサイクル信号 $d_v(t)$ を提供する。フィルタ34aは出力電圧信号 v_o を調整するので、出力電圧信号 v_o と第2の基準電圧信号 V_{ref}' とのいかなる差も小さくされる(理想は、 $V = 0$ である)。この調整は、負荷ステップ、入力電圧の変動、構成要素の変化、温度の影響、およびその他の同様の障害といった、障害の存在における差を縮小するよう実行され得る。

20

【0053】

例えば、フィルタ34aは、1000のゲインと、1KHzでの第1のゼロ点と、1KHzでの第2のゼロ点と、10KHzでのポールとを有するが、その他のパラメータが用いられても良い。フィルタ34aは本質的には補償器である。いくつかの例示的な実施例では、フィルタ34aはPID構造として実装され得る。他のフィルタのタイプおよびパラメータが用いられても良いことを同業者は理解するであろう。当業者であれば、フィルタ34aが「補償器」もしくは「コントロールローアクセラレータ」(例えば、デジタル実装用)と称されることもあることをまた理解するであろう。

30

【0054】

電流制御ループ22aは、ADC36とフィルタ38aとを含む。ADC36は、スイッチモード電力段12の第2の出力ノードの出力電流信号 i_o を受け取るよう結合された第1の入力ノードと、基準発生回路16aの第1の出力ノードの電流基準信号 I_{ref}' を受け取るよう結合された第2の入力ノードとを有し、出力ノードに電流エラー信号 I を提供する。

40

【0055】

電流基準信号 I_{ref}' は、スイッチモード電力段12の所望の出力電流に等しい。代替的に、電流基準信号 I_{ref}' は、スイッチモード電力段12の所望の出力電流の一部に等しくても良い。

【0056】

ADC36は、出力電流信号 i_o と電流基準信号 I_{ref}' との差をサンプリングし、その差を、サンプリングレート f_{ad2} でデジタル電流エラー信号 I (例えば、 $I = i_o - I_{ref}'$)に変換する。サンプリングレート f_{ad2} は、典型的にループ帯域幅のおよそ20倍であるが、その他のサンプリング周波数が用いられても良い。当業者であれば、他の技術が電流エラー信号 I を生成するために用いられ得ることを理解であろう。例えば、ADC36は、アナログ差分回路および従来のA/Dコンバータに置き換え

50

られても良い。

【0057】

フィルタ38aは、EADC36の出力ノードの電流エラー信号 I を受け取るよう結合された入力ノードを有し、出力ノードに電流デューティサイクル信号 $d_i(t)$ を提供する。フィルタ38aは出力電流信号 i_o を調整するので、出力電流信号 i_o と基準電流信号 I_{ref} とのいかなる差も小さくされる（理想は、 $I = 0$ である）。この調整は、負荷ステップ、入力電圧の変動、構成要素の変化、温度の影響、およびその他の同様の障害といった、障害の存在における差を縮小するよう実行される。

【0058】

例え、フィルタ38aは1000のゲインと、1KHzでの第1のゼロ点と、1KHzでの第2のゼロ点と、10KHzでのポールとを有するが、その他のパラメータが用いられても良い。いくつかの例示的な実施例では、フィルタ38aはPID構造として実装され得る。当業者であれば、その他のフィルタのタイプおよびパラメータが用いられても良いことを理解するであろう。また、フィルタ38aが「補償器」もしくは「コントロールローのアクセラレータ」（例え、デジタル実装用）と称されることもあることを当業者は理解するであろう。

【0059】

デューティサイクル選択器24は、電圧デューティサイクル信号 $d_v(t)$ と電流デューティサイクル信号 $d_i(t)$ の小さい方に等しい制御信号 $d(t)$ を提供する。デューティサイクル選択器24は、ハードウェアおよび／もしくはソフトウェアで実装され得る。

【0060】

前述のように、基準発生回路16aは、スイッチモード電力段12の第2の出力ノードの出力電流信号 i_o を受け取るよう結合された入力ノードを含み、第1の出力ノードに電流基準信号 I_{ref} を提供し、第2の出力ノードに第1の電圧基準信号 V_{ref} を提供する。さらに、前述のように、基準ランプ制御回路18aは、基準発生回路16aの第2の出力ノードの第1の電圧基準信号 V_{ref} を受け取るよう結合された入力ノードを含み、出力ノードに第2の電圧基準信号 V'_{ref} を提供する。

【0061】

前述のように、スイッチモード電力段12は典型的に、公称出力電圧 v_{nom} 、公称出力電流 i_{nom} 、最大出力電流 i_{max} 、および最大出力電流 P_{max} のような或る特定された動作パラメータに合うように設計される。本発明によれば、基準発生回路16aは、特定された動作パラメータ v_{nom} 、 i_{nom} 、 i_{max} 、および P_{max} を受け取り、出力電流信号 i_o に基づいて第1の電圧基準信号 V_{ref} と電流基準信号 I_{ref} とを生成して、次の3つの動作モードを提供する：（1）実質的に一定の出力電圧を有する電圧モード制御；（2）実質的に一定の出力電力を有する電圧モード制御；および（3）最大電流制限を有する電流モード制御である。

【0062】

特に、図5は、本発明による例示的な制御モードの動作図と、基準発生器の論理図とを表す。出力電流信号 $i_o < i_{nom}$ では、基準発生回路16aは、値 v_{nom} を有する第1の電圧基準信号 V_{ref} と、値 i_{max} を有する電流基準信号 I_{ref} とを提供する。この動作領域では、スイッチモード電力段12は電圧モードで動作し、実質的に一定の値の v_{nom} を有する出力電圧信号 v_o を提供する。

【0063】

出力電流信号 $i_{nom} < i_o < i_{max}$ では、基準発生回路16aは、定電力制限 (P_{max} / i_o) に基づき算出されたスケールされた値を有する第1の電圧基準信号 V_{ref} と、値 i_{max} を有する電流基準信号 I_{ref} とを提供する。この動作領域において、スイッチモード電力段12は電圧モードで動作し、実質的に一定の値である P_{max} を有する出力電力 ($P_o = v_o \times i_o$) を提供する。

【0064】

10

20

30

40

50

i_{max} に実質的に等しい出力電流信号 i_o では、基準発生回路 16a は、スケールされた値 v_c ($v_c = P_{max} / i_{max}$) を有する第 1 の電圧基準信号 V_{ref} と、値 i_{max} を有する電流基準信号 I_{ref} とを提供する。簡単にするために、 v_c は、本明細書では「切り替え電圧 v_c 」と称される。この動作領域において、スイッチモード電力段 12 は電流モードで動作し、 i_{max} で実質的に電流制限される出力電流信号 i_o を提供する。

【0065】

それゆえ、出力電流信号 $i_o < i_{max}$ では、コントローラ 14a は、電圧モードでスイッチモード電力段 12 を動作させ、 i_{max} に実質的に等しい出力電流信号 i_o に対して電流モードに切り替わる。それゆえ、ループ切り替えは、切り替え電圧 v_c に実質的に等しい出力電圧値 v_o で生じ、切り替え電圧 v_c は、公称電圧 v_{nom} よりも小さい。ループ切り替え点をこのような低い出力電圧に移動させることで、制御が電流モードから電圧モードへ戻るとき（例えば、スイッチモード電力段 12 の負荷 28 が突然解除されるとき）に発生する電圧のオーバーシュートが、事実上「検出不可能」となり得る。すなわち、電圧のオーバーシュートは依然として発生し得るが、出力電圧 v_o は、感知可能な量だけ v_{nom} を超えない。

【0066】

これは、出力電流信号 $i_o > i_{nom}$ に対して、電圧モードから電流モードへ切り替わる、以前からの公知の制御技術とは対照的である。そのような公知の回路では、ループ切り替えは、出力電力値 $v_o = v_{nom}$ で生じる。その結果、制御が電流モードから電圧モードへ戻るときに生じる電圧のオーバーシュートは v_{nom} を上回り、許容できないほどの大きさであり得る。

【0067】

本発明によれば、非飽和技術が電力制御ループ 20a のために用いられ得る。特に、非飽和は、制御が定電流モードに切り替えられるときに、フィルタ 34a の積分を停止することによって達成され得る。出力電圧 v_o が設定値を上回り始めるときに、電圧ループ 20a が深い飽和から素早く抜け出し得るように非飽和が所望される。積分器のアンワインディングは、オーバーシュートによって生じる負の誤差に依存する。

【0068】

このオーバーシュートを回避するために、ループ切り替えの後および v_o の回復中に、負の誤差が導入されるべきである。そのため、第 2 の電圧基準 V_{ref}' がそれに応じて低くされ得る。例えば、第 1 の電圧基準信号 V_{ref} (および、それゆえ第 2 の電圧基準信号 V_{ref}') が切り替え電圧 v_c に設定され得る。出力負荷が下がり、制御が電流モード制御から電圧モード制御に切り替わると、基準ランプ制御回路 18a は、切り替え電圧 v_c から v_{nom} に第 2 の電力基準信号 V_{ref}' をランプする（立ち上がる）。ランプ時間間隔は制御可能であり、それ故、オーバーシュートが低減され得、もしくは実質的になくなされ得る。例えば、ランプ時間間隔は、およそ 1 ミリ秒 (ms) からおよそ 100 ミリ秒の間であり得るが、その他のランプ時間間隔が用いられても良い。

平均電流モードコントローラにおける定電力 / 電流制御

【0069】

ここで図 6 を参照すると、平均的な電流制御モードを用い、かつ本発明に依る定電力 / 電流制御を実装する例示的な電力コンバータ 10b のブロック図が描かれている。特に、コントローラ 14b は、基準発生器 16b と、基準ランプ制御回路 18b と、電圧制御ループ 20b と、電流制御ループ 22b とを含む。これらの各々が順に説明される。

【0070】

基準発生回路 16b は、スイッチモード電力段 12 の第 1 の出力ノードの出力電圧信号 v_c と、電圧制御ループ 20b の出力ノードで提供される第 1 の電流基準信号 I_{ref} とを受け取るように結合された第 1 の入力ノードを含み、第 1 の出力ノードに第 2 の電流基準信号 I_{ref} を提供し、かつ第 2 の出力ノードに電圧基準信号 V_{ref} を提供する。基準発生回路 16b は、ハードウェアおよび / もしくはソフトウェアで実装され得るものであ

10

20

30

40

50

り、下記でより詳細に説明される。

【0071】

基準ランプ制御回路18bは、基準発生回路16bの第2の出力ノードの第1の電圧基準信号 V_{ref} を受け取るよう結合された入力ノードを含み、出力ノードに第2の電圧基準信号 V'_{ref} を提供する。基準ランプ制御回路18bは、ハードウェアおよび／もしくはソフトウェアで実装され得るものであり、下記でより詳細に説明される。

【0072】

電圧制御ループ20bは、スイッチモード電力段12の第1の出力ノードの出力電圧信号 v_o を受け取るよう結合された第1の入力ノードと、基準ランプ制御回路20aの出力ノードの第2の電圧基準信号 V_{REF} を受け取るよう結合された第2の入力ノードとを含み、出力ノードに第1の電流基準信号 I_{ref} を提供する。電圧制御ループ20bはハードウェアおよび／もしくはソフトウェアで実装され得るものであり、下記でより詳細に説明される。

10

【0073】

電流制御ループ22bは、スイッチモード電力段12の第2の出力ノードの出力電流信号 i_o を受け取るよう結合された第1の入力ノードと、基準発生回路16bの第1の出力ノードの電流基準信号 I_{ref} を受け取るよう結合された第2の入力ノードとを含み、スイッチモード電力段12の第2の入力ノードに結合された出力ノードに制御信号 $d(t)$ を提供する。電流制御ループ22bは、ハードウェアおよび／もしくはソフトウェアで実装され得るものであり、下記でより詳細に説明される。

20

【0074】

下記でより詳細に説明するように、電圧制御ループ20bは、出力電圧信号 v_o と第2の電圧基準信号 V'_{ref} との差に基づいて電流基準信号 I_{ref} を生成し、電流制御ループ22bは、出力電流信号 i_o と第2の電流基準信号 I'_{ref} との差に基づいて制御信号 $d(t)$ を生成する。

【0075】

さらに、下記でより詳細に説明するように、基準発生器16bは、スイッチモード電力段12の平均電流モード制御を提供するために、第1の電圧基準信号 V_{ref} と電流基準信号 I_{ref} とを生成する。

【0076】

30

さらに、下記でより詳細に説明されるように、基準ランプ制御回路18bは、第1の電圧基準信号 V_{ref} に基づいて第2の電圧基準信号 V'_{ref} を生成する。特に、コントローラ14bが定電流モードから平均電流モードに切り替わる場合を除いて、 $V_{ref} = V'_{ref}$ である。この例では、第2の電圧基準信号 V'_{ref} は、第1の電圧基準信号 V_{ref} から公称出力電圧 v_{nom} にランプアップする。

【0077】

ここで図7を参照すると、電力コンバータ10bのより詳細な例示的な実施例が説明される。この例では、入力信号INは入力電圧信号 V_{in} である。当業者であれば、入力信号INが代替的に入力電流信号であってもよいことを理解するであろう。簡単にするために、以降の説明では、入力信号INを入力電圧信号 V_{in} と称する。

40

【0078】

電圧制御ループ20bは、EADC32とフィルタ34bとを含む。EADC32は、スイッチモード電力段12の第1の出力ノードの出力電圧信号 v_o を受け取るよう結合された第1の入力ノードと、基準ランプ制御回路18bの出力ノードの第2の電圧基準信号 V'_{ref} を受け取るよう結合された第2の入力ノードとを含み、出力ノードに電圧エラー信号Vを提供する。

【0079】

第2の電圧基準信号 V'_{ref} は、スイッチモード電力段12の所望の出力電圧に等しい。代替的に、第2の電力基準信号 V'_{ref} は、スイッチモード電力段12の所望の出力電圧の一部に等しくても良い。

50

【0080】

EADC32は、出力電圧信号 v_o と第2の電圧基準信号 V_{ref} との差を抽出し、上述のように、その差をサンプリングレート f_{ad1} でデジタル電圧エラー信号 V (例えば、 $V = V_o - V_{ref}$)に変換する。当業者であれば、電圧エラー信号 V を生成するために他の技術も用いられることを理解するであろう。例えば、EADC32は、アナログ差分回路および従来のA/Dコンバータに置き換えられても良い。

【0081】

フィルタ34bは、EADC32の出力ノードの電圧エラー信号 V を受け取るよう結合された入力ノードを有し、出力ノードに第1の電流基準信号 I_{r0} を提供する。出力電圧信号 v_o と第2の基準電圧信号 V_{ref} との差が小さくされる(理想は、 $V = 0$ である)ように、フィルタ34bは出力電圧信号 v_o を調整する。この調整は、負荷ステップ、入力電圧の変動、構成要素の変化、温度の影響、およびその他の同様の障害といった、障害の存在における差を減少するよう実施される。

【0082】

例えば、フィルタ34bは、1000のゲインと、1KHzの第1のゼロ点と、1KHzの第2のゼロ点と、10KHzのポールとを有し得るが、その他のパラメータが用いられても良い。いくつかの例示的な実施例では、フィルタ34bはPID構造として実装され得る。当業者であれば、他のフィルタのタイプおよびパラメータが用いられても良いことを理解するであろう。また、フィルタ34bが「補償器」もしくは「コントロールローのアクセラレータ」(例えば、デジタル実装用)と称されることもあることを当業者は理解するであろう。

【0083】

電流制御ループ22bは、EADC36とフィルタ38bとを含む。EADC36は、スイッチモード電力段12の第2の出力ノードの出力電流信号 i_o を受け取るよう結合された第1の入力ノードと、基準発生回路16bの第1の出力ノードの第2の電流基準信号 I_{ref} を受け取るよう結合された第2の入力ノードとを有し、出力ノードに電流エラー信号 I を提供する。

【0084】

第2の電流基準信号 I_{ref} は、スイッチモード電力段12の所望の出力電流に等しい。代替的に、第2の電流基準信号 I_{ref} は、スイッチモード電力段12の所望の出力電流の一部であっても良い。

【0085】

EADC36は、出力電流信号 i_o と第2の電流基準信号 I_{ref} との差を抽出し、上述のように、その差をサンプリングレート f_{ad2} でデジタル電流エラー信号 I (例えば、 $I = i_o - I_{ref}$)に変換する。当業者であれば、電流エラー信号 I を生成するために他の技術が用いられても良いことを理解するであろう。例えば、EADC36は、アナログ差分回路および従来のA/Dコンバータに置き換えられても良い。

【0086】

フィルタ38bは、EADC36の出力ノードの電流エラー信号 I を受け取るよう結合された入力ノードを有し、出力ノードに制御信号 $d(t)$ を提供する。出力電流信号 i_o と第2の基準電流信号 I_{ref} との差が小さくされる(理想は、 $I = 0$ である)ように、フィルタ38bは出力電流信号 i_o を調整する。この調整は、負荷ステップ、入力電圧の変動、構成要素の変化、温度の影響、およびその他の同様の障害といった、障害の存在における差を縮小するよう実施される。

【0087】

例えば、フィルタ38bは、1000のゲインと、1KHzの第1のゼロ地点と、1KHzの第2のゼロ地点と、10KHzのポールとを有するが、他のパラメータが用いられても良い。いくつかの例示的な実施例では、フィルタ38bはPID構造として実装され得る。当業者であれば、他のフィルタのタイプおよびパラメータが用いられても良いことを理解するであろう。また、フィルタ38bが「補償器」もしくは「コントロールローの

10

20

30

40

50

アクセラレータ」（例えば、デジタル実装用）と称されることもあることを当業者は理解するであろう。

【0088】

前述のように、基準発生回路16bは、スイッチモード電力段12の第1の出力ノードの出力電圧信号 v_o を受け取るよう結合された入力ノードを含み、第1の出力ノードに第2の電流基準信号 I_{ref} を提供し、かつ第2の出力ノードに第1の電圧基準信号 V_{ref} を提供する。さらに、前述のように、基準ランプ制御回路18bは、基準発生回路16bの第2の出力ノードの第1の電圧基準信号 V_{ref} を受け取るよう結合された入力ノードを含み、出力ノードに第2の電圧基準信号 V'_{ref} を提供する。

【0089】

本発明によれば、基準発生回路16bは、特定された動作パラメータ v_{nom} 、 i_{no_m} 、 i_{max} 、および P_{max} を受け取り、第1の電流基準信号 I_{r0} （下記のように、電圧制御ループ20bのフィルタ出力である）に基づいて第1の電圧基準信号 V_{ref} と電流基準信号 I_{ref} とを生成し、次の3つの動作モードを提供する：（1）実質的に一定の出力電圧を有する平均電流モード制御、（2）実質的に一定の出力電力を有する平均電流モード制御、および（3）最大電流制限を有する電流モード制御である。

【0090】

特に、図8は本発明による例示的な制御モードの動作図と、基準発生器の論理図とを表す。第1の電流基準信号 $I_{r0} < i_{nom}$ では、基準発生回路16bは、値 v_{nom} を有する第1の電圧基準信号 V_{ref} と、第1の電流基準信号 I_{r0} に等しい第2の電流基準信号 I_{ref} とを提供する。この動作領域では、スイッチモード電力段12は平均電流モードで動作し、スイッチモード電力段12は実質的に一定の値の v_{nom} を有する出力電圧信号 v_o を提供する。

【0091】

第1の電流基準信号 $i_{nom} < I_{r0} < i_{max}$ では、基準発生回路16bは、わずかな誤差を加えた公称出力電圧 v_{nom} に等しい値を有する第1の電圧基準信号 V_{ref} と、定電力制限（ P_{max}/v_o ）に基づいて算出された第2の電流基準信号 I_{ref} とを提供する。この動作領域では、スイッチモード電力段12は平均電流モード制御で動作し、スイッチモード電力段12は、実質的に一定の値の P_{max} を有する出力電力（ $P_o = v_o \times i_o$ ）を提供する。

【0092】

i_{max} に実質的に等しい第1の電流基準信号 I_{r0} では、基準発生回路16bは、切り替え電圧 v_c （ $v_c = P_{max} / i_{max}$ ）に等しい値を有する第1の電圧基準信号 V_{ref} と、値 i_{max} を有する第2の電流基準信号 I_{ref} とを提供する。この動作領域では、スイッチモード電力段12は、定電流モード制御で動作し、 i_{max} に実質的に電流制御された出力電流信号 i_o を提供する。

【0093】

それゆえ、全ての動作モードにおいて、電流制御ループ22bは、制御信号 $d(t)$ の値を設定する。さらに、電圧ループの出力は基準発生器16bによりクランプされ、その結果、出力電圧 v_o を本質的に追跡し、 V_{ref} と v_o との小さな誤差を提供して、負荷が突然下がるときの出力電圧 v_o のオーバーシュートを防止するかもしくは最小限にする。回路が平均電流モード制御で動作し、制御信号 $d(t)$ が電流制御ループ22bによって常に生成されるので、動作モードの切り替えは図3および図4の例示的な実施例よりもよりスマーズになり得る。

【0094】

それでもなお、負荷が突然解放され、制御が定電流モードから平均電流モード制御を有する定電圧モードへ切り替わるとき、図6および図7の平均電流モード制御の実施例は、同じ出力電圧 v_o のオーバーシュートの問題を有する。従って、出力電圧 v_o のオーバーシュートを防止するために、上述のように、制御が定電力モードに切り替わるときに補償器の積分を無効にするために非飽和制御が用いられる。

10

20

30

40

50

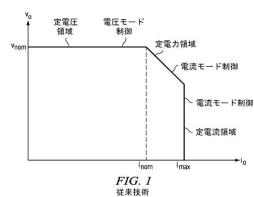
【 0 0 9 5 】

特に、出力負荷が下がり、制御が定電流モード制御から定電圧モード制御へ切り替わるとき、基準ランプ制御回路 18 b は、切り替え電圧 v_c から $v_{n_o.m}$ に第 2 の電圧基準信号 $V_{ref'}$ をランプする。ランプ時間間隔は、オーバーシュートが低減され得るか実質的になくされ得るように制御され得る。例えば、ランプ時間間隔はおよそ 1 ms からおよそ 100 ms の間であり得るが、他のランプ時間間隔が用いられても良い。

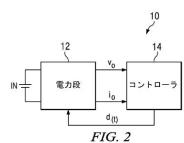
【 0 0 9 6 】

上記は本発明の原理を単に説明するものであり、様々な修正が、請求項にかかる発明から逸脱することなく、当業者によりなされ得る。

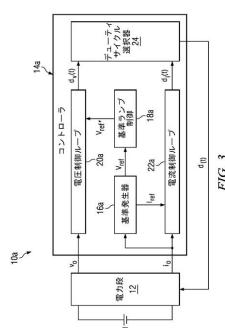
【 図 1 】



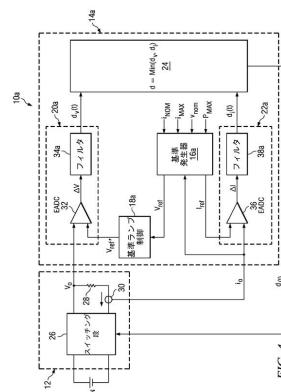
【 図 2 】



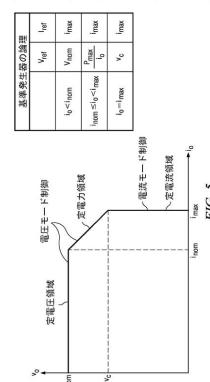
【圖 3】



【 図 4 】



【圖 5】



【図6】

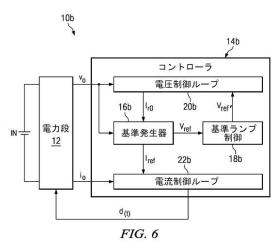


FIG. 6

【図8】

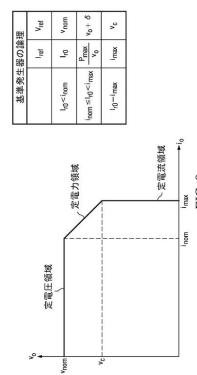


FIG. 8

【図7】

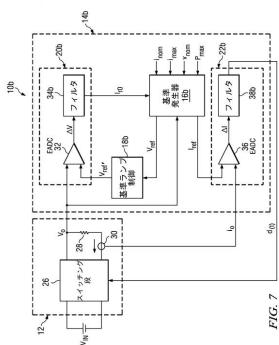


FIG. 7

フロントページの続き

(72)発明者 ジョン イエ

アメリカ合衆国 75093 テキサス州 プラノ, プレストン メドウ ドライブ 3113

(72)発明者 シャミム チョードリ

アメリカ合衆国 75098 テキサス州 ワイリー, クリークサイド エステイツ ドライブ
3103

(72)発明者 ク里斯 マイケル フランクリン

アメリカ合衆国 78739 テキサス州 オースティン, ウェイルブリッジ レーン 652
4

審査官 尾家 英樹

(56)参考文献 特開2000-252091(JP,A)

特開2010-093874(JP,A)

特開2005-038815(JP,A)

特開2008-283807(JP,A)

特開2007-259648(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44