



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0114395  
(43) 공개일자 2013년10월17일

(51) 국제특허분류(Int. Cl.)

G11C 11/15 (2006.01)

(21) 출원번호 10-2012-0036714

(22) 출원일자 2012년04월09일

심사청구일자 2012년04월09일

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

신형순

서울특별시 서초구 서초3동 1477-1번지 아이파크빌 102동 301호

(74) 대리인

특허법인엠에이피에스

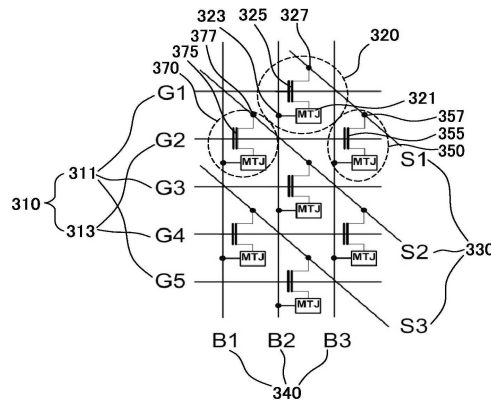
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 자기 저항 메모리

(57) 요약

본 발명에 따른 자기 저항 메모리는 제 1 그룹의 게이트 라인 및 제 2 그룹의 게이트 라인으로 구분되고, 서로 평행하게 배치된 복수의 게이트 라인, 상기 게이트 라인과 교차하는 방향으로 각 게이트 라인에 결합된 복수의 자기 저항 메모리 셀, 상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 소스 라인 및 상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 비트라인을 포함하되, 상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고, 상기 제 1 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀과 상기 제 2 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀은 서로 인접하지 않도록 결합되고, 상기 소스 라인 및 상기 비트라인은 서로 상이한 게이트 라인에 결합된 자기 저항 메모리 셀과 결합하되, 상기 소스 라인과 상기 비트라인은 서로 교차되도록 배치된 것인 자기 저항 메모리에 해당된다.

대표도 - 도3b



이 발명을 지원한 국가연구개발사업

과제고유번호 1345151466

부처명 교육과학기술부

연구사업명 기본연구지원사업(일반연구자지원)

연구과제명 Carrier 이동도 개선 기술을 이용한 3D bulk-Si MuGFET 특성 최적화 연구

주관기관 이화여자대학교 산학협력단

연구기간 2011.05.01 ~ 2012.04.30

---

## 특허청구의 범위

### 청구항 1

자기 저항 메모리에 있어서,

제 1 그룹의 게이트 라인 및 제 2 그룹의 게이트 라인으로 구분되고, 서로 평행하게 배치된 복수의 게이트 라인,

상기 게이트 라인과 교차되는 방향으로 각 게이트 라인에 결합된 복수의 자기 저항 메모리 셀,

상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 소스 라인 및

상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 비트라인을 포함하되,

상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고,

상기 제 1 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀과 상기 제 2 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀은 서로 인접하지 않도록 결합되고,

상기 소스 라인 및 상기 비트라인은 서로 상이한 게이트 라인에 결합된 자기 저항 메모리 셀과 결합하되, 상기 소스 라인과 상기 비트라인은 서로 교차되도록 배치된 것인 자기 저항 메모리.

### 청구항 2

제 1 항에 있어서,

상기 비트라인은 상기 게이트 라인과 수직 방향으로 배치되고,

상기 소스 라인은 서로 상이한 게이트 라인에 결합되고, 서로 상이한 비트라인에 결합된 자기 저항 메모리 셀들의 스위칭 소자의 일측 단자와 결합된 것인 자기 저항 메모리.

### 청구항 3

제 2 항에 있어서,

상기 소스 라인은 N 번째 게이트 라인 및 M 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자와

N+1 번째 게이트 라인 및 M-1 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되는 것인 자기 저항 메모리.

### 청구항 4

제 2 항에 있어서,

상기 소스 라인은 N 번째 게이트 라인 및 M 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자와

N+1 번째 게이트 라인 및 M+1 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되는 것인 자기 저항 메모리.

## 청구항 5

제 1 항에 있어서,

상기 소스 라인과 상기 비트라인은 상기 게이트 라인에 수직하지 않게 서로 교차되도록 배치된 것인 자기 저항 메모리.

## 청구항 6

제 5 항에 있어서,

상기 소스 라인은 N 번째 게이트 라인 및 M 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자와

N+1 번째 게이트 라인 및 M+1 번째 비트라인에 접속된 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되며,

상기 비트라인은 N 번째 게이트 라인 및 K 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자와

N+1 번째 게이트 라인 및 K+1 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되는 것인 자기 저항 메모리.

## 청구항 7

제 1 항에 있어서,

상기 소스 라인은 상기 게이트 라인과 수직 방향으로 배치되고,

상기 비트라인은 서로 상이한 게이트 라인에 결합되고 서로 상이한 소스 라인에 결합된 자기 저항 메모리 셀들의 자기터널접합 소자의 일측 단자와 결합된 것인 자기 저항 메모리.

## 청구항 8

제 7 항에 있어서,

상기 비트라인은 N 번째 게이트 라인 및 M 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자와

N+1 번째 게이트 라인 및 M+1 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되는 것인 자기 저항 메모리.

## 청구항 9

제 7 항에 있어서,

상기 비트라인은 N 번째 게이트 라인 및 M 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자와

N+1 번째 게이트 라인 및 M-1 번째 소스 라인에 접속된 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자를 각각 접속시키는 대각 방향으로 연장되는 것인 자기 저항 메모리.

## 청구항 10

자기 저항메모리에 있어서,

서로 평행하게 배치된 복수의 게이트 라인,

제 1 그룹의 비트라인 및 제 2 그룹의 비트라인으로 구분되고, 상기 게이트 라인에 대하여 수직방향으로 연장되고, 서로 평행하게 배치된 복수의 비트라인,

상기 각 게이트 라인 및 비트라인의 교차지점에 결합된 복수의 자기 저항 메모리 셀 및

상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 소스 라인을 포함하며,

상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고,

상기 제 1 그룹의 비트라인에 결합된 저항 메모리 셀에 포함된 자기터널접합 소자와 상기 제 2 그룹의 비트라인에 결합된 저항 메모리 셀에 포함된 자기터널접합 소자는 서로 인접하지 않도록 각 스위칭 소자에 접속되고,

상기 비트라인은 상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고,

상기 소스 라인은 동일한 게이트 라인에 결합되고 서로 인접한 상이한 비트라인에 결합되며, 서로 인접한 상태로 배치된 자기 저항 메모리 셀들의 스위칭 소자의 일측 단자와 결합되는 방향으로 연장되는 것인 자기 저항 메모리.

#### 청구항 11

제 10 항에 있어서,

상기 소스 라인은 N 번째 게이트 라인 및 M-1 번째 비트라인에 접속된 자기 저항 메모리 셀의 스위칭 소자의 일측 단자와

N+1 번째 게이트 라인에 접속된 인접한 두개의 자기 저항 메모리 셀 중 M 번째 비트라인에 접속된 자기 저항 메모리 셀과 M+1 번째 비트라인에 접속된 자기 저항 메모리 셀의 스위칭 소자의 일측 단자와 결합하는 방향으로 연장되는 것인 자기 저항 메모리.

#### 청구항 12

제 10 항에 있어서,

상기 소스 라인은 N 번째 게이트 라인 및 M+1 번째 비트라인에 접속된 자기 저항 메모리 셀의 스위칭 소자의 일측 단자와

N+1 번째 게이트 라인에 접속된 인접한 두개의 자기 저항 메모리 셀 중 M-1 번째 비트라인에 접속된 자기 저항 메모리 셀과 M 번째 비트라인에 접속된 자기 저항 메모리 셀의 스위칭 소자의 일측 단자와 결합하는 방향으로 연장되는 것인 자기 저항 메모리.

#### 청구항 13

서로 평행하게 배치된 복수의 게이트 라인,

제 1 그룹의 소스 라인 및 제 2 그룹의 소스 라인으로 구분되고, 상기 게이트 라인에 대하여 수직방향으로 연장되고, 서로 평행하게 배치된 복수의 소스 라인,

상기 각 게이트 라인 및 소스 라인의 교차지점에 결합된 복수의 자기 저항 메모리 셀 및

상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고 서로 평행하게 배치된 복수의 비트라인을 포함하며,

상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고,

상기 제 1 그룹의 소스 라인에 결합된 저항 메모리 셀에 포함된 자기터널접합 소자와 상기 제 2 그룹의 소스 라인 결합된 저항 메모리 셀에 포함된 자기터널접합 소자는 서로 인접하지 않도록 각 스위칭 소자에 접속되고,  
상기 소스 라인은 상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고,  
상기 비트라인은 동일한 게이트 라인에 결합되고, 서로 인접한 상이한 소스 라인에 결합되며 서로 인접한 상태로 배치된 자기 저항 메모리 셀들의 자기터널접합 소자의 일측 단자와 결합되는 방향으로 연장되는 것인 자기 저항 메모리.

#### 청구항 14

제 13 항에 있어서,

상기 비트라인은 N 번째 게이트 라인에 접속된 인접한 두 개의 자기 저항 메모리 셀 중 M 번째 소스 라인에 접속된 자기 저항 메모리 셀과 M+1 번째 소스 라인에 접속된 자기 저항 메모리 셀의 자기터널접합 소자의 일측 단자와,

N+1 번째 게이트 라인 및 M-1 번째 소스 라인에 접속된 자기 저항 메모리 셀의 자기터널접합 소자의 일측 단자와 결합하는 방향으로 연장되는 것인 자기 저항 메모리.

#### 청구항 15

제 13 항에 있어서,

상기 비트라인은 N 번째 게이트 라인에 접속된 인접한 두 개의 자기 저항 메모리 셀 중 M-1 번째 소스 라인에 접속된 자기 저항 메모리 셀과 M 번째 소스 라인에 접속된 자기 저항 메모리 셀의 자기터널접합 소자의 일측 단자와,

N+1 번째 게이트 라인 및 M+1 번째 소스 라인에 접속된 자기 저항 메모리 셀의 자기터널접합 소자의 일측 단자와 결합하는 방향으로 연장되는 것인 자기 저항 메모리.

### 명세서

#### 기술분야

[0001] 본 발명은 자기 저항 메모리(MRAM)에 관한 것이다.

#### 배경기술

[0002] 자기 저항 메모리(MRAM, 이하MRAM이라 한다)는 자기 엘리먼트들을 사용하는 비휘발성 메모리 기술이다. 예컨대, 스핀 전달 토크 자기 저항 메모리(STT-MRAM, 이하 STT-MRAM이라 한다)는 전자들이 박막(thin film)(스핀 필터)을 통과할 때 스핀 편극되는 전자들을 사용한다. STT-MRAM은 스핀 전달 토크 RAM(STT-RAM), 스핀 토크 전달 자화 스위칭 RAM(스핀-RAM) 및 스핀 모멘텀(spin momentum) 전달(SMT-RAM)로 알려져 있다.

[0003] MRAM은 제 1 세대의 자기 메모리로서 SRAM과 같은 수준의 읽고 쓰기 성능과 무한의 고체 쓰기 횟수, 반영구적 데이터 보존기간을 실현한 비휘발성 메모리 제품이나, DRAM에 비교하면 메모리 용량이 작고 소비전력이 큰 단점을 갖고 있다.

[0004] 이에 반해 차세대 자기 메모리로 손꼽히는 STT-MRAM은 MRAM의 대용량화의 약점을 해결한 것으로서 장래 DRAM 수준의 용량을 갖게 될 것이며, STT-MRAM은 전자의 스핀에 의해 생기는 자기 모멘트를 이용해 자성체의 자석화 방향을 바꾸며 미세화함과 동시에 고밀도화에 적합한 특성을 갖고 있다.

[0005] STT-MRAM 셀은 자기터널접합 소자(MTJ)에 데이터 0을 기록할 때 비트라인에 고전압(high voltage)이 인가되며 데이터 1을 기록할 때 소스 라인에 고전압(high voltage)이 인가되는 특징이 있다. 즉 다른 메모리 구조와 상이

하게 소스 라인이 항상 접지 상태(Vss)에 있는 것이 아니라 전압이 인가되는 경우가 발생한다.

- [0006] 도 1a는 종래 기술에 따른 자기 저항 메모리의 구조를 나타내는 도면이다. STT-MRAM은 트랜지스터, 자기터널접합 소자, 게이트 라인, 비트라인, 소스라인을 포함하고 있다. 자기터널접합 소자는 고정층, 자화층 및 얇은 절연층으로 구성되어 있다. 게이트 라인과 비트라인은 서로 수직하게 배치된다. 소스 라인은 STT-MRAM에 사용되는 특정 아키텍처에 따라 전형적으로 비트라인에 평행하거나, 비트라인에 수직하게 배치된다. 비트라인은 자기터널접합 소자에 접속되고, 소스라인은 기판의 소스에 접속된다.
- [0007] 도 1b 및 도 1c는 종래 기술에 따른 자기 저항 메모리의 셀 어레이를 나타내는 도면이다. 도 1b 및 도 1c에 도시된 자기 저항 메모리 셀에 있어서 소스 라인을 게이트 라인과 평행한 방향으로 배열하게 되면 단위 셀(10)의 면적을  $8F^2$ 로 최소화할 수 있다. 하지만 데이터 1을 기록하기 위하여 소스 라인이 고전압(high voltage)으로 구동되는 경우, 소스라인과 평행한 게이트 라인도 구동되므로 소스 라인에 인가되는 기생 용량(parasitic capacitance)이 매우 크다. 따라서 구동속도가 매우 느려지는 단점이 있다.
- [0008] 도 2a 및 도 2b는 종래 기술에 따른 자기 저항 메모리의 셀 어레이를 나타내는 도면이다. 도 2a 및 도 2b는 도 1c에 도시된 기술 구성의 단점을 해소하기 위해 자기 저항 메모리 셀에 있어서 소스 라인을 게이트 라인과 직교하는 방향으로 배열하여 소스 라인에 인가되는 기생 용량(parasitic capacitance)을 감소시키는 방법을 사용하고 있다. 그러나 이 방법은 소스 라인이 자기터널접합 소자와 활성층(active layer) 사이의 콘택과 단락되지 않도록 하면서 소스 라인이 비트라인과 평행하게 배치되어야 하므로 단위 셀(20)의 면적이  $12F^2$ 로 증가하는 단점이 있다.
- [0009] 이와 관련하여 한국 공개특허 제10-2004-0111716호(발명의 명칭: 반도체 메모리 장치 어레이 및 그 제조 방법)에는 반도체 메모리 소자에 있어서 행방향 및 열방향의 중첩 워드라인 및 대각 비트라인의 어레이 배열을 개시하고 있다. 또한 한국 등록특허 제10-536592호(발명의 명칭: 자기 메모리 및 그 제조 방법)에는 자기 메모리에 있어서 자기터널접합 소자를 포함하고, 비트라인과 디짓 라인이 교차되도록 배열하는 방법을 개시하고 있다.

## 발명의 내용

### 해결하려는 과제

- [0010] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 소스 라인 또는 비트라인의 레이아웃 구조를 개선한 자기 저항 메모리(MRAM)를 제공한다.

### 과제의 해결 수단

- [0011] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 자기 저항 메모리는 제 1 그룹의 게이트 라인 및 제 2 그룹의 게이트 라인으로 구분되고, 서로 평행하게 배치된 복수의 게이트 라인, 상기 게이트 라인과 교차하는 방향으로 각 게이트 라인에 결합된 복수의 자기 저항 메모리 셀, 상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 소스 라인 및 상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 비트라인을 포함하되, 상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고, 상기 제 1 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀과 상기 제 2 그룹의 게이트 라인에 결합된 자기 저항 메모리 셀은 서로 인접하지 않도록 결합되고, 상기 소스 라인 및 상기 비트라인은 서로 상이한 게이트 라인에 결합된 자기 저항 메모리 셀과 결합하되, 상기 소스 라인과 상기 비트라인은 서로 교차되도록 배치된다.
- [0012] 또한, 본 발명의 제 2 측면에 따른 자기 저항 메모리는 서로 평행하게 배치된 복수의 게이트 라인, 제 1 그룹의 비트라인 및 제 2 그룹의 비트라인으로 구분되고, 상기 게이트 라인에 대하여 수직방향으로 연장되고, 서로 평행하게 배치된 복수의 비트라인, 상기 각 게이트 라인 및 비트라인의 교차지점에 결합된 복수의 자기 저항 메모리 셀 및 상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 서로 평행하게 배치된 복수의 소스 라인을 포함하며, 상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고, 상기 제 1 그룹의 비트라인에 결합된 자기 저항 메모리 셀에 포함된 자기터널접합 소자와 상기 제 2 그룹의 비트라인에 결합된 자기 저항 메모리 셀에 포함된 자기터널접합 소자는 서로 인접하지 않도록 각 스위칭 소자에 접속되고, 상

기 비트라인은 상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고, 상기 소스 라인은 동일한 게이트 라인에 결합되고 서로 인접한 상이한 비트라인에 결합되며, 서로 인접한 상태로 배치된 자기 저항 메모리 셀들의 스위칭 소자의 일측 단자와 결합되는 방향으로 연장된다.

[0013] 또한, 본 발명의 제 3 측면에 따른 자기 저항 메모리는 서로 평행하게 배치된 복수의 게이트 라인, 제 1 그룹의 소스 라인 및 제 2 그룹의 소스 라인으로 구분되고, 상기 게이트 라인에 대하여 수직방향으로 연장되고, 서로 평행하게 배치된 복수의 소스 라인, 상기 각 게이트 라인 및 소스 라인의 교차지점에 결합된 복수의 자기 저항 메모리 셀 및 상기 자기 저항 메모리 셀에 포함된 자기터널접합 소자의 일측 단자에 결합되고 서로 평행하게 배치된 복수의 비트라인을 포함하며, 상기 스위칭 소자의 타측 단자 및 자기터널접합 소자의 타측 단자는 직렬접속되고, 상기 제 1 그룹의 소스 라인에 결합된 저항 메모리 셀에 포함된 자기터널접합 소자와 상기 제 2 그룹의 소스 라인 결합된 저항 메모리 셀에 포함된 자기터널접합 소자는 서로 인접하지 않도록 각 스위칭 소자에 접속되고, 상기 소스 라인은 상기 자기 저항 메모리 셀에 포함된 스위칭 소자의 일측 단자에 결합되고, 상기 비트라인은 동일한 게이트 라인에 결합되고, 서로 인접한 상이한 소스 라인에 결합되며 서로 인접한 상태로 배치된 자기 저항 메모리 셀들의 자기터널접합 소자의 일측 단자와 결합되는 방향으로 연장된다.

### 발명의 효과

[0014] 전술한 본 발명의 과제 해결 수단에 의하면, 소스 라인 또는 비트라인을 대각선 방향으로 위치시킬 경우 기생용량(parasitic capacitance)의 증가가 없어 기존의 자기 저항 메모리에 비하여 소스 라인의 구동속도를 향상시킬 수 있다. 또한 통상의 자기 저항 메모리는 기생용량을 감소시키기 위해 단위 셀 면적이 증가하는 문제점이 있었다. 그러나, 본 발명에서는 소스 라인 또는 비트라인을 게이트 라인과 대각선 방향으로 위치시킴으로써 단위 셀 면적을 최소화할 수 있다.

### 도면의 간단한 설명

[0015] 도 1a는 종래 기술에 따른 자기 저항 메모리의 구조를 나타내는 도면이다.  
 도 1b 및 도 1c는 종래 기술에 따른 자기 저항 메모리의 셀 어레이를 나타내는 도면이다.  
 도 2a 및 도 2b는 종래 기술에 따른 자기 저항 메모리의 셀 어레이를 나타내는 도면이다.  
 도 3a 및 도 3b는 본 발명의 제 1 실시예에 따른 자기 저항 메모리를 도시한 도면이다.  
 도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 자기 저항 메모리를 도시한 도면이다.  
 도 5a 및 도 5b는 본 발명의 제 3 실시예에 따른 자기 저항 메모리를 도시한 도면이다.  
 도 6a 및 도 6b는 본 발명의 제 4 실시예에 따른 자기 저항 메모리를 도시한 도면이다.  
 도 7a 및 도 7b는 본 발명의 제 5 실시예에 따른 자기 저항 메모리를 도시한 도면이다.  
 도 8은 본 발명의 일 실시예에 따른 자기 저항 메모리를 형성하는 공정을 도시한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0018] 도 3a 및 도 3b는 본 발명의 제 1 실시예에 따른 자기 저항 메모리를 도시한 도면이다.

- [0019] 본 발명에 따른 자기 저항 메모리는 게이트 라인(310), 자기 저항 메모리 셀(320), 소스 라인(330), 비트라인(340)을 포함한다.
- [0020] 게이트 라인(310)은 제 1 그룹의 게이트 라인(311) 및 제 2 그룹의 게이트 라인(313)으로 구분된다. 제 1 그룹의 게이트 라인(311)은 홀수 번째 게이트 라인 또는 짝수 번째 게이트 라인이다. 만약 제 1 그룹의 게이트 라인(311)이 홀수 번째 게이트 라인이라면 제 2 그룹의 게이트 라인(313)은 짝수 번째 게이트 라인이다. 복수의 게이트 라인(310)은 서로 평행하게 배치된다.
- [0021] 자기 저항 메모리 셀(320)은 게이트 라인(310)과 교차하는 방향으로 각 게이트 라인(310)에 복수개가 결합된다. 자기 저항 메모리 셀(320)은 자기터널접합 소자(321) 및 스위칭 소자(325)를 각각 포함한다. 자기터널접합 소자(321)의 일측 단자(323)는 비트라인(340)에 접속되고 스위칭 소자(325)의 일측단자(327)는 소스 라인(330)에 접속된다. 또한 자기터널접합 소자(321)의 타측 단자와 스위칭 소자(325)의 타측 단자는 직렬접속 된다.
- [0022] 한편, 제 1 그룹의 게이트 라인(311)에 결합된 자기 저항 메모리 셀과 제 2 그룹의 게이트 라인(313)에 결합된 자기 저항 메모리 셀은 서로 인접하지 않도록 결합된다. 이와 같은 구조에 따라 하나의 셀이 소정의 면적을 유지하면서도 소스 라인(330)이 게이트 라인(310)과 평행하지 않도록 배치될 수 있다.
- [0023] 소스 라인(330)은 자기 저항 메모리 셀(320)에 포함된 스위칭 소자(325)의 일측 단자(327)에 결합된다. 소스 라인(330)은 서로 평행하게 복수개가 배치된다.
- [0024] 비트라인(340)은 자기 저항 메모리 셀(320)에 포함된 자기터널접합 소자(321)의 일측 단자(323)에 결합된다. 비트라인(340)은 서로 평행하게 복수개가 배치된다.
- [0025] 소스 라인(330) 및 비트라인(340)은 서로 상이한 게이트 라인(310)에 결합된 자기 저항 메모리 셀(320)과 결합된다. 즉 제 1 소스 라인은 제1 게이트 라인의 자기 저항 메모리 셀과 결합된 후 다시 제 1 게이트 라인의 자기 저항 메모리 셀과 결합되지 않게 연결된다. 또한 제 1 비트 라인은 제 1 게이트 라인의 자기 저항 메모리 셀과 결합된 후 다시 제 1 게이트 라인의 자기 저항 메모리 셀과 결합하지 않게 연결된다.
- [0026] 또한 소스 라인(330)과 비트라인(340)은 서로 교차되도록 배치된다.
- [0027] 도 3b에 도시된 실시예는 소스 라인(330)이 게이트 라인(310)과 비트라인(340) 각각에 대하여 대각방향으로 위치한 자기 저항 메모리이다.
- [0028] 비트라인(340)은 게이트 라인(310)과 수직방향으로 배치된다. 소스 라인(330)은 서로 상이한 게이트 라인(310)에 결합되어 서로 상이한 비트라인(340)에 결합된 자기 저항 메모리 셀들의 스위칭 소자(325)의 일측 단자(327)와 결합될 수 있다.
- [0029] 따라서 소스 라인(330)은 N 번째 게이트 라인(G1) 및 M 번째 비트라인(B2)에 접속된 저항 메모리 셀(320)에 포함된 스위칭 소자(325)의 일측 단자(327)와 접속되고, N+1 번째 게이트 라인(G2) 및 M+1 번째 비트라인(B3)에 접속된 저항 메모리 셀(350)에 포함된 스위칭 소자(355)의 일측 단자(357)와 접속되어 대각 방향으로 연장된다.
- [0030] 또한 소스 라인(330)은 대각방향이 반대로 배치될 수도 있으므로, M+1 번째 비트라인(B3) 대신에 M-1 번째 비트라인(B1)에 접속된 저항 메모리 셀(370)에 포함된 스위칭 소자(375)의 일측 단자(377)와 접속되어 연장될 수도 있다.
- [0031] 예를 들면 소스 라인(330)은 제 1 게이트 라인(G1) 및 제 2 비트라인(B2)에 접속된 자기 저항 메모리 셀(320)에 포함된 스위칭 소자(325)의 일측 단자(327)와 접속되고 제 2 게이트 라인(G2) 및 제 3 비트라인(B3)에 접속된 자기 저항 메모리 셀(350)에 포함된 스위칭 소자(355)의 일측 단자(357)와 접속되는 방향으로 연장될 수 있다. 소스 라인(330)의 대각 방향이 반대로 될 경우에는 제 1 게이트 라인(G1) 및 제 2 비트라인(B2)의 자기 저항 메모리 셀(320)과 결합된 후 제 2 게이트 라인(G2) 및 제 1 비트라인(B1)의 자기 저항 메모리 셀(370)과 결합되는 방향으로 연장될 수 있다.
- [0032] 도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 자기 저항 메모리를 도시한 도면이다.
- [0033] 본 실시예는 소스 라인(430)과 비트라인(440)이 게이트 라인(410)에 수직하지 않게 서로 교차되도록 배치된 것을 특징으로 한다.
- [0034] 여기서 소스 라인(430)은 N 번째 게이트 라인(G1) 및 M 번째 비트라인(B1)에 접속된 저항 메모리 셀(420)에 포함된 스위칭 소자(425)의 일측 단자(427)와 N+1 번째 게이트 라인(G2) 및 M+1 번째 비트라인(B2)에 접속된 저항

메모리 셀(450)에 포함된 스위칭 소자(455)의 일측 단자(457)를 각각 접속시키는 대각 방향으로 연장될 수 있다. 이때 비트라인(440)은 N 번째 게이트 라인(G1) 및 K 번째 소스 라인(S1)에 접속된 저항 메모리 셀(420)에 포함된 자기터널접합 소자(421)의 일측 단자(423)와 N+1 번째 게이트 라인(G2) 및 K+1 번째 소스 라인(S2)에 접속된 저항 메모리 셀(470)에 포함된 자기터널접합 소자(471)의 일측 단자(473)를 각각 접속시키는 대각 방향으로 연장될 수 있다.

[0035] 또한 소스 라인(430) 및 비트라인(440)의 대각방향은 서로 반대로 배치될 수 있다. 이 경우 소스 라인(430)은 N 번째 게이트 라인(G1) 및 M 번째 비트라인(B1)에 접속된 저항 메모리 셀(420)에 포함된 스위칭 소자(425)의 일측 단자(427)와 N+1 번째 게이트 라인(G2) 및 M+1 번째 비트라인(B2)에 접속된 저항 메모리 셀(470)에 포함된 스위칭 소자(475)의 일측 단자(477)를 각각 접속시키는 대각 방향으로 연장될 수 있다. 이때 비트라인(440)은 N 번째 게이트 라인(G1) 및 K 번째 소스 라인(S1)에 접속된 저항 메모리 셀(420)에 포함된 자기터널접합 소자(421)의 일측 단자(423)와 N+1 번째 게이트 라인(G2) 및 K+1 번째 소스 라인(S2)에 접속된 저항 메모리 셀(450)에 포함된 자기터널접합 소자(451)의 일측 단자(453)를 각각 접속시키는 대각 방향으로 연장될 수 있다.

[0036] 예를 들면 소스 라인(430)은 제 1 게이트 라인(G1) 및 제 1 비트라인(B1)에 접속된 자기 저항 메모리 셀(420)에 포함된 스위칭 소자(425)의 일측 단자(427)와 접속되고 제 2 게이트 라인(G2) 및 제 2 비트라인(B2)에 접속된 자기 저항 메모리 셀(450)에 포함된 스위칭 소자(455)의 일측 단자(457)와 접속되는 방향으로 연장될 수 있다. 이때 비트라인(440)은 제 1 게이트 라인(G1) 및 제 1 소스 라인(S1)에 접속된 자기 저항 메모리 셀(420)에 포함된 자기터널접합 소자(421)의 일측 단자(423)와 접속되고 제 2 게이트 라인(G2) 및 제 2 소스 라인(S2)에 접속된 자기 저항 메모리 셀(470)에 포함된 자기터널접합 소자(471)의 일측 단자(473)와 접속되는 방향으로 연장될 수 있다.

[0037] 또한 소스 라인(430) 및 비트라인(440)의 대각방향은 서로 반대로 배치될 수 있으며, 이 경우 소스 라인(430)은 제 1 게이트 라인(G1) 및 제 1 비트라인(B1)에 접속된 자기 저항 메모리 셀(420)에 포함된 스위칭 소자(425)의 일측 단자(427)와 접속되고 제 2 게이트 라인(G2) 및 제 2 비트라인(B2)에 접속된 자기 저항 메모리 셀(470)에 포함된 스위칭 소자(475)의 일측 단자(477)와 접속되는 방향으로 연장될 수 있다. 이때 비트라인(440)은 제 1 게이트 라인(G1) 및 제 1 소스 라인(S1)에 접속된 자기 저항 메모리 셀(420)에 포함된 자기터널접합 소자(421)의 일측 단자(423)와 접속되고 제 2 게이트 라인(G2) 및 제 2 소스 라인(S2)에 접속된 자기 저항 메모리 셀(450)에 포함된 자기터널접합 소자(451)의 일측 단자(453)와 접속되는 방향으로 연장될 수 있다.

[0038] 도 5a 및 도 5b는 본 발명의 제 3 실시예에 따른 자기 저항 메모리를 도시한 도면이다.

[0039] 제 3 실시예는 비트라인(540)이 게이트 라인(510)과 소스 라인(530) 각각에 대하여 대각방향으로 위치한 자기 저항 메모리이다.

[0040] 비트라인(540)은 서로 상이한 게이트 라인(510)에 결합되고 서로 상이한 소스 라인(530)에 결합된 자기 저항 메모리 셀(520)들의 자기터널접합 소자(521)의 일측 단자(523)와 결합될 수 있다.

[0041] 이를 구체화하면 비트라인(540)은 N 번째 게이트 라인(G1) 및 M 번째 소스 라인(S2)에 접속된 저항 메모리 셀(520)에 포함된 자기터널접합 소자(521)의 일측 단자(523)와 N+1 번째 게이트 라인(G2) 및 M-1 번째 소스 라인(S1)에 접속된 저항 메모리 셀(570)에 포함된 자기터널접합 소자(571)의 일측 단자(573)를 각각 접속시키는 대각 방향으로 연장된다.

[0042] 또한 비트라인(540)은 대각방향이 반대로 배치될 수도 있으므로 M-1 번째 소스 라인(S1) 대신에 M+1 번째 소스 라인(S3)에 접속된 저항 메모리 셀(550)에 포함된 자기터널접합 소자(551)의 일측 단자(553)와 접속되어 연장될 수도 있다.

[0043] 예를 들면 비트 라인(540)은 제 1 게이트 라인(G1) 및 제 2 소스 라인(S2)에 접속된 자기 저항 메모리 셀(520)에 포함된 자기터널접합 소자(521)의 일측 단자(523)와 접속하고 제 2 게이트 라인(G2) 및 제 3 소스 라인(S3)에 접속된 자기 저항 메모리 셀(550)에 포함된 자기터널접합 소자(551)의 일측 단자(553)와 접속하는 방향으로 연장될 수 있다. 비트라인(540)의 대각 방향이 반대로 될 경우에는 제 1 게이트 라인(G1) 및 제 2 소스라인(S2)의 자기 저항 메모리 셀(520)과 결합한 후 제 2 게이트 라인(G2) 및 제 1 소스 라인(S1)의 자기 저항 메모리 셀(570)에 포함된 자기터널접합 소자(571)의 일측 단자(573)와 접속하는 방향으로 연장될 수 있다.

[0044] 도 6a 및 도 6b는 본 발명의 제 4 실시예에 따른 자기 저항 메모리를 도시한 도면이다.

[0045] 제 4 실시예는 제 1 내지 제 3 실시예와 달리 자기 저항 메모리 셀(620)은 게이트 라인(610) 및 비트라인(640)

의 교차 지점마다 배치되어 있으며, 동일한 게이트 라인에 접속된 자기 저항 메모리 셀(620)에 포함된 자기터널 접합 소자(621)는 서로 인접하지 않도록 엇갈려서 배치되어 있다.

[0046] 게이트 라인(610)은 복수개가 서로 평행하게 배열되어 있다. 게이트 라인(610)에 대하여 비트라인(640)이 수직 방향으로 배치되어 있다. 한편 비트라인(640)은 제 1 그룹의 비트라인(641) 및 제 2 그룹의 비트라인(643)으로 구분된다. 제 1 그룹의 비트라인(641)은 홀수 번째 비트라인 또는 짝수 번째 비트라인으로 구분할 수 있다. 만약 제 1 그룹의 비트라인(641)이 홀수 번째 비트라인이라면 제 2 그룹의 비트라인(643)은 짝수 번째 비트라인이 된다. 복수의 비트라인(640)은 서로 평행하게 배치된다.

[0047] 소스 라인(630)은 동일한 게이트 라인에 결합되어 있는 연속된 두 개의 자기 저항 메모리 셀(650, 670)의 스위칭 소자(655, 675)의 일측 단자(657, 677)와 결합되는 방향으로 연장되며, 이때 자기 저항 메모리 셀(650, 670)은 서로 인접한 상이한 비트라인(B2, B3)에 결합되어 있다.

[0048] 이를 구체화하면, 소스 라인(630)은 N 번째 게이트 라인(G1) 및 M-1 번째 비트라인(B1)에 접속된 자기 저항 메모리 셀(620)의 스위칭 소자(625)의 일측 단자(627)와 N+1 번째 게이트 라인(G2)에 접속된 인접한 두개의 자기 저항 메모리 셀(650, 670) 중 M 번째 비트라인(B2)에 접속된 자기 저항 메모리 셀(650)과 M+1 번째 비트라인(B3)에 접속된 자기 저항 메모리 셀(670)의 스위칭 소자(655, 675)의 일측 단자(657, 677)와 결합되는 방향으로 연장된다.

[0049] 또한, 소스 라인(630)은 대각방향이 반대로 배치될 수도 있으므로, N 번째 게이트 라인(G1) 및 M+1 번째 비트라인(B3)에 접속된 자기 저항 메모리 셀(660)의 스위칭 소자(665)의 일측 단자(667)와 N+1 번째 게이트 라인(G2)에 접속된 인접한 두개의 자기 저항 메모리 셀(650, 680) 중 M-1 번째 비트라인(B1)에 접속된 자기 저항 메모리 셀(680)과 M 번째 비트라인(B2)에 접속된 자기 저항 메모리 셀(650)의 스위칭 소자(655, 685)의 일측 단자(657, 687)와 결합되는 방향으로 연장될 수도 있다.

[0050] 도 7a 및 도 7b는 본 발명의 제 5 실시예에 따른 자기 저항 메모리를 도시한 도면이다.

[0051] 제 5 실시예는 도 5b와 마찬가지로 비트라인(740)이 게이트 라인(710)과 소스 라인(730) 각각에 대하여 대각방향을 위치한 자기 저항 메모리이다.

[0052] 게이트 라인(710)은 복수개가 서로 평행하게 배열되어 있으며, 게이트 라인(710)에 대하여 소스 라인(730)이 수직방향을 배치되어 있다.

[0053] 소스 라인(730)은 제 1 그룹의 소스 라인(731) 및 제 2 그룹의 소스 라인(733)으로 구분되고, 제 1 그룹의 소스 라인(731)은 홀수 번째 소스 라인 또는 짝수 번째 소스 라인으로 구분할 수 있다. 만약 제 1 그룹의 소스 라인(731)이 홀수 번째 소스 라인이라면 제 2 그룹의 소스 라인(733)은 짝수 번째 소스 라인이다. 상기 소스 라인(730)은 자기 저항 메모리 셀(720)에 포함된 스위칭 소자(725)의 일측 단자(727)에 결합되며, 복수의 소스 라인(730)은 서로 하계 배치된다.

[0054] 자기 저항 메모리 셀(720)은 게이트 라인(710) 및 소스 라인(730)의 교차 지점마다 배치되어 있다. 자기 저항 메모리 셀(720)은 자기터널접합 소자(721), 스위칭 소자(725)를 각각 포함하고 있다. 자기터널접합 소자(721)의 일측 단자(723)는 비트라인(740)에 접속되고 스위칭 소자(725)의 일측단자(727)는 소스 라인(730)에 접속되며 자기터널접합 소자(721)의 타측 단자와 스위칭 소자(725)의 타측 단자는 직렬접속 된다.

[0055] 동일한 게이트 라인에 접속된 자기 저항 메모리 셀(720, 750)에 포함된 자기터널접합 소자(721, 751)는 서로 인접하지 않도록 엇갈려서 배치된다.

[0056] 비트라인(740)은 동일한 게이트 라인에 결합되어 있는 연속된 두 개의 자기 저항 메모리 셀(720, 750)의 자기터널접합 소자(721, 751)의 일측 단자(723, 753)와 결합되는 방향으로 연장되며, 이때 자기저항 메모리 셀(720, 750)은 서로 인접한 상이한 소스 라인에 결합된다.

[0057] 구체적으로 상기 비트라인(740)은 N 번째 게이트 라인(G1)에 접속된 인접한 두 개의 저항 메모리 셀(720, 750) 중 M 번째 소스 라인(S2)에 접속된 자기 저항 메모리 셀(720)과 M+1 번째 소스 라인(S3)에 접속된 자기 저항 메모리 셀(750)의 자기터널접합 소자(721, 751)의 일측 단자(723, 753)와 N+1 번째 게이트 라인(G2) 및 M-1 번째 소스 라인(S1)에 접속된 저항 메모리 셀(770)의 자기터널접합 소자(771)의 일측 단자(773)와 결합되는 방향으로 연장된다.

[0058] 또한, 비트라인(740)은 대각방향이 반대로 배치될 수도 있으므로, N 번째 게이트 라인(G1)에 접속된 인접한 두

개의 저항 메모리 셀(720, 760) 중 M-1 번째 소스 라인(S1)에 접속된 자기 저항 메모리 셀(760)과 M 번째 소스 라인(S2)에 접속된 자기 저항 메모리 셀(720)의 자기터널접합 소자(721, 761)의 일측 단자(723, 763)와 N+1 번째 게이트 라인(G2) 및 M+1 번째 소스 라인(S3)에 접속된 저항 메모리 셀(780)의 자기터널접합 소자(781)의 일측 단자(783)와 결합되는 방향으로 연장될 수도 있다.

[0059] 이와 같이 소스 라인(330, 630, 730)과 비트라인(340, 640, 740)이 서로 교차되어 배치됨으로써 단위 셀(30, 40, 50, 60, 70)의 면적이, 예를 들면  $8F^2$ 로 최소화될 수 있으며, 동시에 소스 라인(330, 630, 730)에 인가되는 기생 용량(parasitic capacitance)의 증가를 감소시켜 구동 속도를 향상시킬 수 있다.

[0060] 도 8은 본 발명의 일 실시예에 따른 자기 저항 메모리를 형성하는 공정을 도시한 도면이다.

[0061] 도 3b에서의 자기 저항 메모리를 구현하기 위해 먼저 기판에 자기 저항 메모리 셀의 스위칭 소자를 형성한다(S810). 이때, 게이트에 접속되는 게이트라인, 소스와 드레인에 접속되는 콘택을 형성한다.

[0062] 다음으로, 소스 라인 및 자기터널접합 소자를 형성하며(S820), 이때 포토레지스트를 사선 형태로 패터닝하여 대각 방향으로 배치된 소스 라인을 형성할 수 있다.

[0063] 사선 방향으로 소스 라인이 배치되면 그 위에 비트라인을 형성하게 된다(S830). 이러한 공정은 도 4b 및 도 6b의 실시예에도 적용된다.

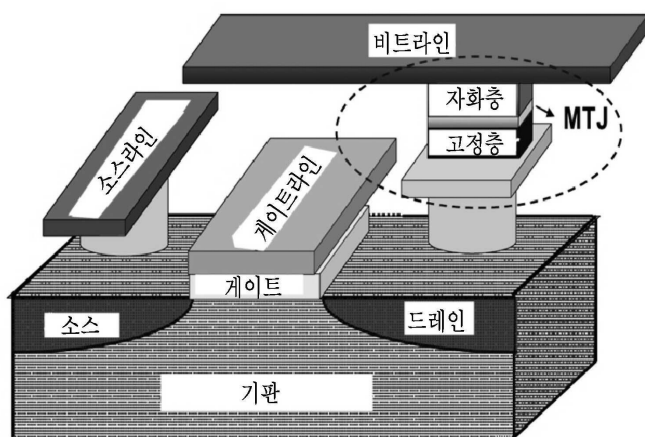
[0064] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

## 부호의 설명

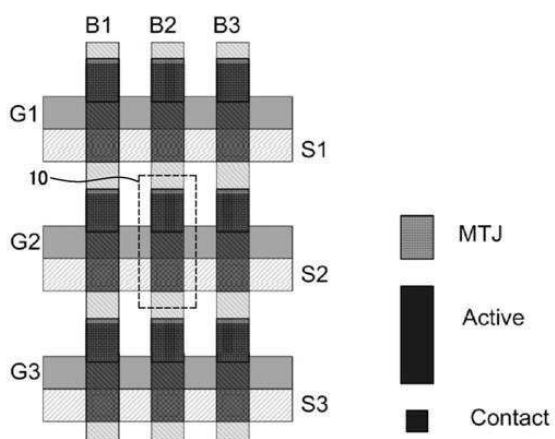
|                       |                    |
|-----------------------|--------------------|
| 10: 단위 셀              | 20: 단위 셀           |
| 30: 단위 셀              | 40: 단위 셀           |
| 50: 단위 셀              | 60: 단위 셀           |
| 70: 단위 셀              | 310: 게이트 라인        |
| 311: 제 1 그룹 게이트 라인    | 313: 제 2 그룹 게이트 라인 |
| 320: 자기 저항 메모리 셀      | 321: 자기터널접합 소자     |
| 323: 자기터널접합 소자의 타측 단자 | 325: 스위칭 소자        |
| 327: 스위칭 소자의 타측 단자    | 330: 소스 라인         |
| 340: 비트라인             | 610: 게이트 라인        |
| 620: 자기 저항 메모리 셀      | 621: 자기터널접합 소자     |
| 623: 자기터널접합 소자의 타측 단자 | 625: 스위칭 소자        |
| 627: 스위칭 소자의 타측 단자    | 630: 소스 라인         |
| 640: 비트라인             | 641: 제 1 그룹 비트라인   |
| 643: 제 2 그룹 비트라인      | 710: 게이트 라인        |
| 720: 자기 저항 메모리 셀      | 721: 자기터널접합 소자     |
| 723: 자기터널접합 소자의 타측 단자 | 725: 스위칭 소자        |
| 727: 스위칭 소자의 타측 단자    | 730: 소스 라인         |
| 731: 제 1 그룹 소스 라인     | 733: 제 2 그룹 소스 라인  |
| 740: 비트라인             |                    |

도면

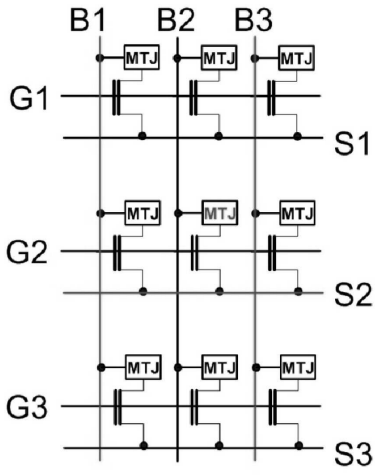
도면1a



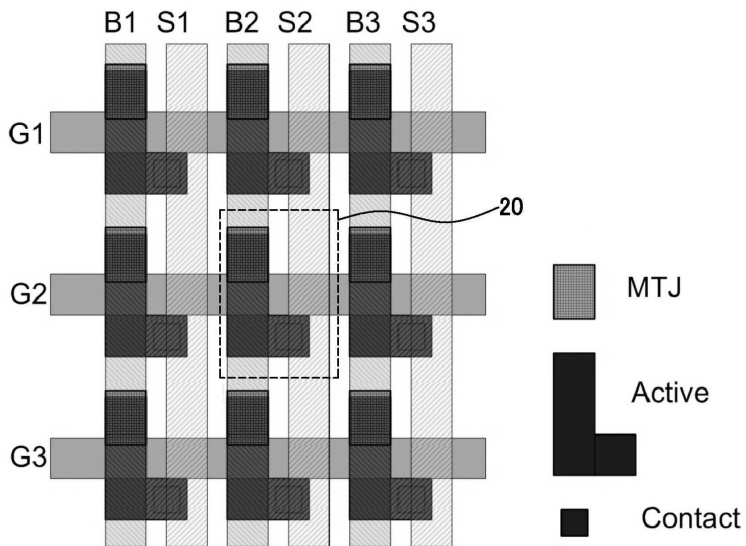
도면1b



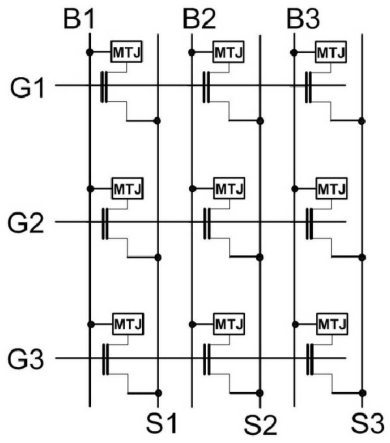
도면1c



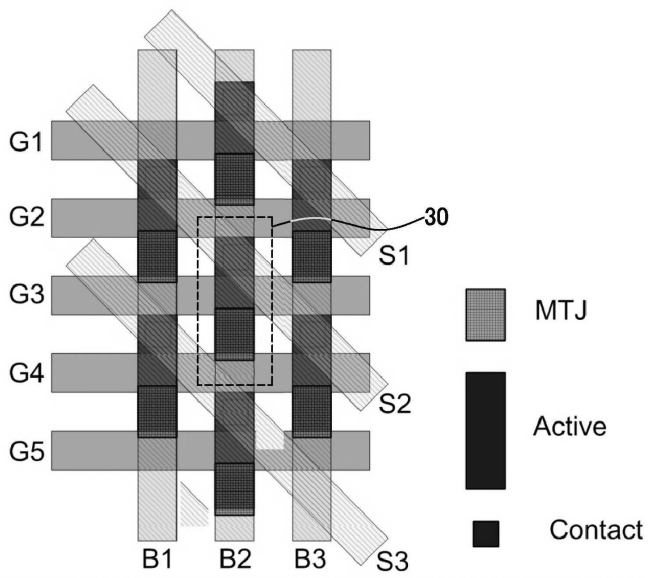
도면2a



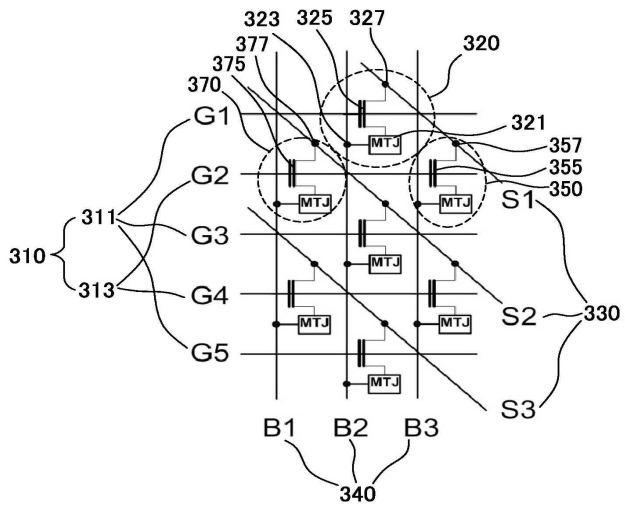
도면2b



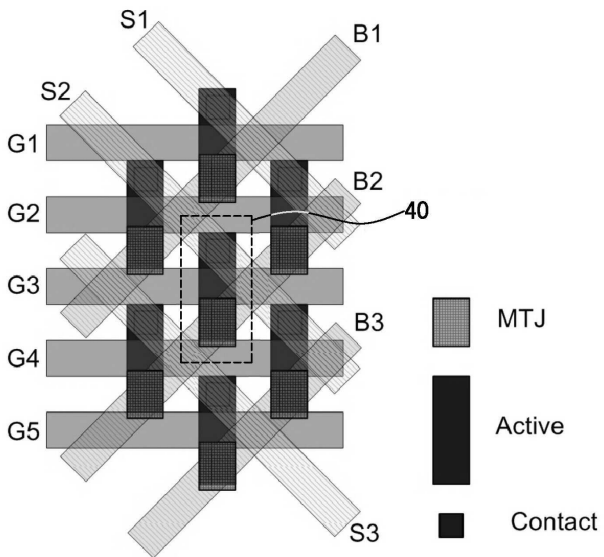
도면3a



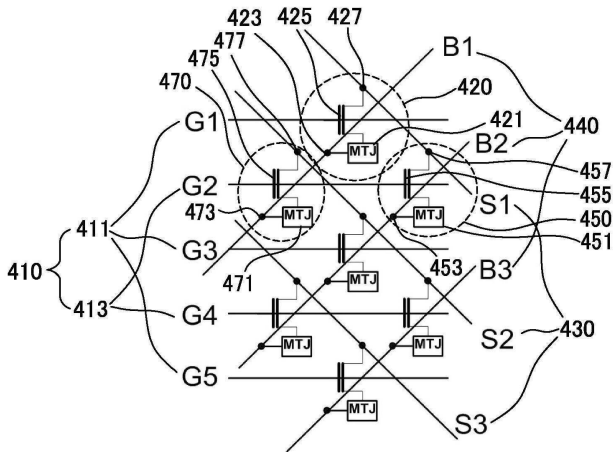
도면3b



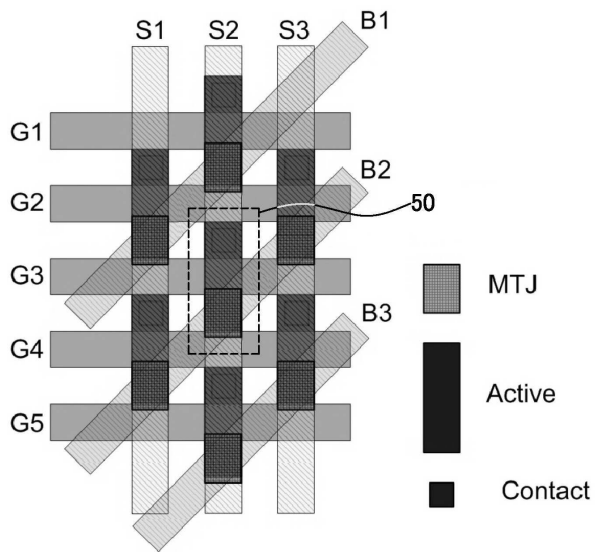
도면4a



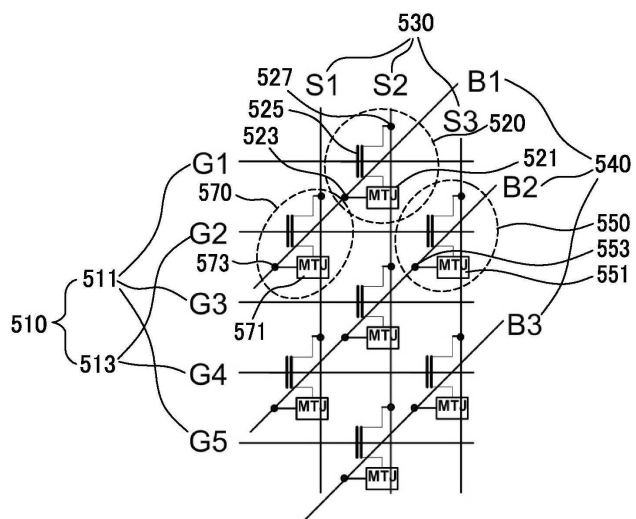
도면4b



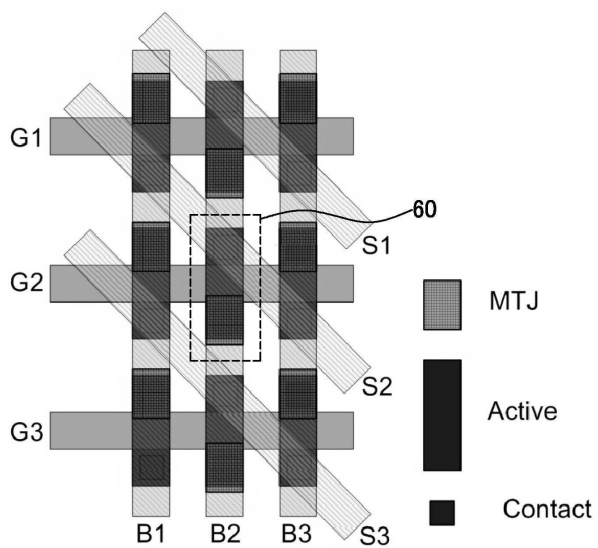
도면5a



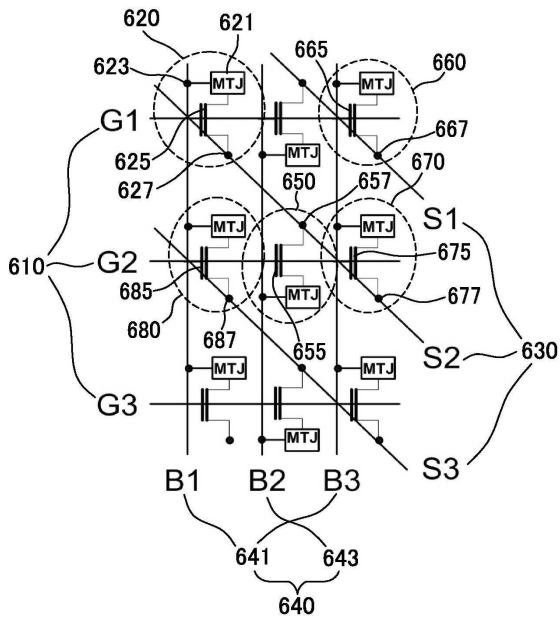
도면5b



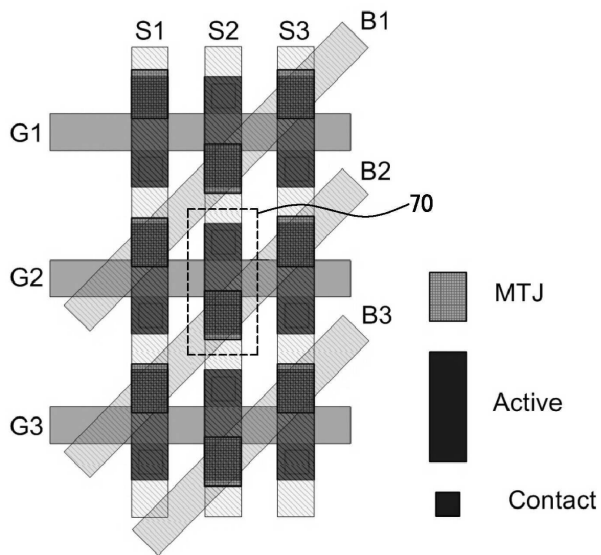
도면6a



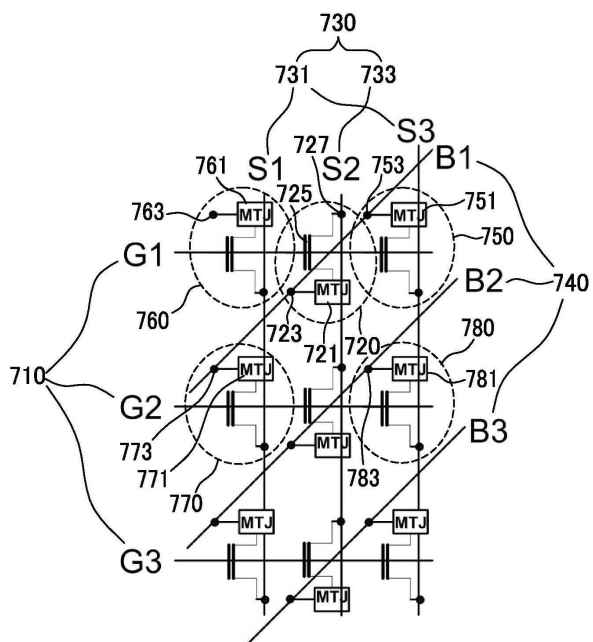
도면6b



도면7a



도면7b



도면8

