

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3800973号

(P3800973)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/13 (2006.01)	G02F 1/13 505
G02F 1/133 (2006.01)	G02F 1/133 545
G03B 21/00 (2006.01)	G03B 21/00 E
G03B 21/14 (2006.01)	G03B 21/14 Z
請求項の数 6 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2001-70549 (P2001-70549)	(73) 特許権者	000002369
(22) 出願日	平成13年3月13日 (2001.3.13)		セイコーエプソン株式会社
(62) 分割の表示	特願平8-299550の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成8年10月23日 (1996.10.23)	(74) 代理人	100104710
(65) 公開番号	特開2001-318660 (P2001-318660A)		弁理士 竹腰 昇
(43) 公開日	平成13年11月16日 (2001.11.16)	(74) 代理人	100124626
審査請求日	平成15年1月22日 (2003.1.22)		弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		最終頁に続く	

(54) 【発明の名称】 表示体の駆動回路、半導体集積回路装置、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、

この回路が担当する表示領域における表示データを蓄積するための表示データメモリと

、
前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、

表示データは、M P U (Microcomputer Processing Unit) のバスを介してmビット (10
mはM P Uが一度に処理可能なビット数) 単位で表示データメモリへと転送され、

前記表示データメモリは、前記同時に選択する走査線の数をh本 (hは2以上の自然数) とした場合、1本のワード線を選択することで、データ線に印加する電圧を決定するのに必要なh個の表示データを同時に読み出せるように構成され、

前記「m」は前記「h」の倍数であり、

表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) にX個、行方向 (走査線の延在方向) にY個配列されてなる (X×Y) 個の表示要素を具備しており、

前記表示データメモリは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に (Y×m) 個配置されてなる (X×Y) 個のメモリセ 20

ルを具備するランダムアクセスメモリであり、

1本のワード線に接続されている($Y \times m$)個のメモリセルには、(m/h)サイクルで読み出される m 本の走査線分の表示データが記憶されていることを特徴とする表示体の駆動回路。

【請求項2】

表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、

この回路が担当する表示領域における表示データを蓄積するための表示データメモリと、

前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、

表示データは、MPU (Microcomputer Processing Unit) のバスを介して m ビット (m はMPUが一度に処理可能なビット数) 単位で表示データメモリへと転送され、

前記表示データメモリは、前記同時に選択する走査線の数を h 本 (h は2以上の自然数) とした場合、1本のワード線を選択することで、データ線に印加する電圧を決定するのに必要な h 個の表示データを同時に読み出せるように構成され、

表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) に X 個、行方向 (走査線の延在方向) に Y 個配列されてなる ($X \times Y$) 個の表示要素を具備しており、

前記表示データメモリは、 n 個 (n は2以上の自然数) の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に [$(Y \times m)/n$] 個配置されてなる [$(X \times Y)/n$] 個のメモリセルを具備することを特徴とする表示体の駆動回路。

【請求項3】

表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、

この回路が担当する表示領域における表示データを蓄積するための表示データメモリと、

前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、

表示データは、MPU (Microcomputer Processing Unit) のバスを介して m ビット (m はMPUが一度に処理可能なビット数) 単位で表示データメモリへと転送され、

前記表示データメモリは、前記同時に選択する走査線の数を h 本 (h は2以上の自然数) とした場合、1本のワード線を選択することで、データ線に印加する電圧を決定するのに必要な h 個の表示データを同時に読み出せるように構成され、

駆動回路はさらに、

前記MPUからの命令を解読するコマンド解読回路と、

そのコマンド解読回路によって解読された命令に基づいて、MPUのバスを介して転送されてくる前記 m ビットの表示データの前記表示データメモリへの書き込みを制御する第1の制御回路と、

前記コマンド解読回路によって解読された命令に基づいて、前記表示データメモリからの表示データの読み出し、ならびに読み出した表示データの前記デコーダへの転送を制御する第2の制御回路と、を具備し、

表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) に X 個、行方向 (走査線の延在方向) に Y 個配列されてなる ($X \times Y$) 個の表示要素を具備しており、

前記表示データメモリは、 n 個 (n は2以上の自然数) の分割されたブロックからなる

10

20

30

40

50

ランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向（ビット線の延在方向）に (X/m) 個、行方向（ワード線の延在方向）に $[(Y \times m)/n]$ 個配置されてなる $[(X \times Y)/n]$ 個のメモリセルを具備しており、

前記分割された各ブロックの間には、前記コマンド解読回路と、前記第1の制御回路と、前記第2の制御回路とが設けられていることを特徴とする表示体の駆動回路。

【請求項4】

請求項1～請求項3のいずれかに記載の駆動回路を半導体基板に集積してなる半導体集積回路装置。

【請求項5】

請求項1～請求項3のいずれかに記載の駆動回路と、その駆動回路によりデータ線が駆動される表示体とを含む表示装置。

10

【請求項6】

請求項5に記載の表示装置を搭載した電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示体の駆動回路、半導体集積回路装置、表示装置および電子機器に関し、特に、走査線のうちの h 本（ h は2以上の自然数）を同時に選択して表示を行う、いわゆるマルチライン駆動法を用いた表示技術に関する。

【0002】

20

【背景技術】

単純マトリクス型の液晶表示装置は、アクティブマトリクス型液晶表示装置に比べ、基板に高価なスイッチング素子を用いる必要がなく安価であることから、携帯型パーソナルコンピュータのモニタ等に広く用いられている。

【0003】

そのような単純マトリクス型液晶表示装置の駆動電圧を低くしつつ、さらにその表示品質を向上させることを目的として、いわゆるマルチライン駆動法が提案されている。

【0004】

マルチライン駆動法に関する文献としては、例えば、以下のようなものがある。

【0005】

30

▲1▼「A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS, 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80～P85」

▲2▼「日本国特許公開公報、平成5年第46127号公報」

▲3▼「日本国特許公開公報、平成5年第100642号公報」

▲4▼「日本国特許公開公報、平成6年第4049号公報」

【0006】

【発明が解決しようとする課題】

マルチライン駆動は特殊駆動方式であるため、この駆動法を実行する場合には、液晶パネルの駆動回路の他に、専用のインタフェース回路を必要とする場合が多い。

40

【0007】

例えば、表示装置が搭載される電子機器に内蔵されている汎用のMPUと、液晶パネルのマルチライン駆動を実行する特殊なドライバICとの間で表示データの転送を行う場合、転送タイミングの制御用に専用のインタフェースが必要となる場合がある。

【0008】

しかし、これでは専用のインタフェースを設ける分だけ実装スペースが増大し、表示装置を組み込んだ電子機器の小型化の妨げとなり、また、電子機器のコスト上昇の一因ともなる。

【0009】

50

そこで、本発明の目的の一つは、電子機器に内蔵されているMPUに何ら負担をかけることなく、MPUと液晶パネル等の駆動回路との間の専用インタフェースをなくすことを可能とする、新規な液晶パネル等の駆動回路を提供することにある。

【0010】

【課題を解決するための手段】

上述した課題を解決する本発明は、以下のような構成をしている。

【0011】

本発明に記載の表示体の駆動回路は、表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、

10

この回路が担当する表示領域における表示データを蓄積するための表示データメモリと、前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、

表示データは、MPU (Microcomputer Processing Unit) のバスを介してmビット (mはMPUが一度に処理可能なビット数) 単位で表示データメモリへと転送され、前記表示データメモリは、前記同時に選択する走査線の本数をh本 (hは2以上の自然数) とした場合、1本のワード線を選択することで、データ線に印加する電圧を決定するのに必要なh個の表示データを同時に読み出せるように構成されていることを特徴とする。

【0012】

20

MPUの並列データの処理単位 (mビット) を、マルチライン駆動用の処理の単位としても採用し、データ転送の単位 (データのビット数) を統一する。つまり、1本のデータ線に印加する電圧を決定するのに必要なh個の表示データを含むmビットの表示データを表示データメモリへのアクセス単位とする。

【0013】

これにより、MPUは、内部バスに接続された自己が管理するメモリにデータ転送をするのと同様にして、マルチライン駆動用の表示データメモリにもデータを転送することができる。マルチライン駆動のための処理もマイクロコンピュータの内部と同様に行われるため、データ転送のタイミング制御に関する整合性もよく、MPUに特別な負担がかからない。

30

【0014】

また、上記の表示体の駆動回路において、前記「m」は前記「h」の倍数とすることができる。

【0015】

データの同時転送単位ならびに表示データRAMへの書き込み単位である「m」と、マルチライン選択数である「h」との整合性がよいため、データの転送、RAMへの書き込み、読出しのタイミング制御が容易である。したがって、データ処理のパイプライン化も可能である。

【0016】

また、上記の表示体の駆動回路において、
駆動回路はさらに、

40

前記MPUからの命令を解釈するコマンド解釈回路と、

そのコマンド解釈回路によって解釈された命令に基づいて、MPUのバスを介して転送されてくる前記mビットの表示データの前記表示データメモリへの書き込みを制御する第1の制御回路と、

前記コマンド解釈回路によって解釈された命令に基づいて、前記表示データメモリからの表示データの読み出し、ならびに読み出した表示データの前記デコーダへの転送を制御する第2の制御回路と、を具備することができる。

【0017】

駆動回路の内部に、MPUからの命令を解釈するコマンド解釈回路と、その命令に基づい

50

て表示データメモリの入出力等を制御する制御回路とを設けたことにより、駆動回路は、MPUとは独立に動作可能となり、しかも、MPUには何ら負担をかけない。

【0018】

また上記の表示体の駆動回路において、表示要素がマトリクス状に配置され前記表示体は、列方向（データ線の延在方向）に X 個、行方向（走査線の延在方向）に Y 個配列されてなる（ $X \times Y$ ）個の表示要素を具備しており、

前記表示データメモリは、メモリセルが列方向（ビット線の延在方向）に（ X/m ）個、行方向（ワード線の延在方向）に（ $Y \times m$ ）個配置されてなる（ $X \times Y$ ）個のメモリセルを具備する、ランダムアクセスメモリであり、

1本のワード線に接続されている各メモリセルには、前記同時に選択する走査線の数を h 本とした場合、データ線に印加する電圧を決定するのに必要な h 個の表示データが記憶されてもよい。

10

【0019】

表示データメモリへの、 m ビットの表示データの一括した入出力を可能とするために、表示データメモリの構成を工夫したものである。一本のワード線に接続されたメモリセル群を、同時に入出力処理される m ビットデータの蓄積に使用する。

【0020】

よって、そのワード線の電位をアクティブとすることによって、 m ビットデータの並列の書き込み、読出しを行うことができる。

【0021】

20

また、上記の表示体の駆動回路において、表示要素がマトリクス状に配置され前記表示体は、列方向（データ線の延在方向）に X 個、行方向（走査線の延在方向）に Y 個配列されてなる（ $X \times Y$ ）個の表示要素を具備しており、

前記表示データメモリは、 n 個（ n は2以上の自然数）の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向（ビット線の延在方向）に（ X/m ）個、行方向（ワード線の延在方向）に $[(Y \times m)/n]$ 個配置されてなる $[(X \times Y)/n]$ 個のメモリセルを具備することができる。

【0022】

上記構成では、表示データメモリを複数のブロックに分割する。これにより、ワード線も分割されてワード線の長さが短くなり、1本のワード線当たりの負荷が減少する。これにより信号遅延が軽減され、アクセスタイムの増大を防止できる。

30

【0023】

また、上記の表示体の駆動回路において、

表示要素がマトリクス状に配置され前記表示体は、列方向（データ線の延在方向）に X 個、行方向（走査線の延在方向）に Y 個配列されてなる（ $X \times Y$ ）個の表示要素を具備しており、

前記表示データメモリは、 n 個（ n は2以上の自然数）の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向（ビット線の延在方向）に（ X/m ）個、行方向（ワード線の延在方向）に $[(Y \times m)/n]$ 個配置されてなる $[(X \times Y)/n]$ 個のメモリセルを具備しており、

40

前記分割された各ブロックの間には、前記コマンド解読回路と、前記第1の制御回路と、前記第2の制御回路とが設けられてもよい。

【0024】

駆動回路の内部に設けられた、MPUからの命令を解読するコマンド解読回路と、その命令に基づいて表示データメモリの入出力等を制御する制御回路とは、かなり大きなロジック回路となる。これらのロジック回路を、分割された表示データメモリの各ブロック間に配置することによって、レイアウト的にスペースの有効利用を図れる。

【0025】

また、ロジック回路（制御回路等）の左右に表示データメモリの分割ブロックがあることにより、各ブロックとロジック回路（制御回路等）との距離が同じとなり、信号遅延量を

50

均一化できる。

【0026】

また本発明に記載の半導体集積回路装置は、上記の駆動回路を半導体基板に集積してなる半導体集積回路装置である。

【0027】

電子機器に搭載されているMPUと整合性がよい、安価かつ低消費電力の半導体集積回路装置（液晶パネル等のドライバIC）が得られる。

【0028】

また本発明に記載の表示装置は、上記の駆動回路と、その駆動回路によりデータ線が駆動される表示体とを含む表示装置である。

10

【0029】

携帯機器等への搭載に適した、安価かつ小型の表示装置が実現される。

【0030】

また本発明に記載の電子機器は、上記の表示装置を搭載した電子機器である。

【0031】

高性能な表示を行える、安価かつ小型の電子機器を実現できる。

【0032】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0033】

20

本発明は、マルチライン駆動法（以下、MLS駆動法という）の特徴に着目して回路構成を工夫したものである。本発明の理解のためには、MLS駆動法の内容を知ることが重要であるため、まず、MLS駆動法の概要を説明する。

【0034】

（1）MLS駆動法の概要

A．MLS駆動法の利点

MLS駆動法は、STN（Super Twisted Nematic）液晶パネルなどの、単純マトリクス方式の液晶パネルにおいて、複数の走査線を同時に選択する技術である。これにより、走査線の駆動電圧を低くすることができる。

【0035】

30

また、図7の上側に示すように、従来の線順次駆動法では、1フレーム期間に1回しか1つの画素を駆動しないために選択パルスの間隔が広く、液晶の透過率が時間経過とともに下がり、画像表示のコントラストや液晶がオンした時の輝度が低下してしまう。

【0036】

これに対し、図7の下側に示すように、MLS駆動法によれば、1フレーム期間中に複数の選択期間を設け、複数の選択期間にそれぞれ電圧を印加して1画素を駆動するため、各選択期間に電圧を印加した後の透過率の減少が少なく、平均値として高い透過率を得ることができる。従って、コントラストを向上させることができる。

【0037】

B．MLS駆動法の原理

40

図8に示されるような単純マトリクス型の液晶表示装置をMLS駆動する場合について考察する。

【0038】

図8において、走査線（X1～Xn）とデータ線（Y1～Ym）は、2枚の透明なガラス基板上に電極によって形成されており、2枚の基板間に液晶が挟まれている。

【0039】

データ線はデータ線駆動回路（Yドライバ）2000に、走査線は走査線駆動回路（Xドライバ）3000に接続されている。なお、図中、記載の簡略化のために、データ線駆動回路を「Yドライバ」と記載し、走査線駆動回路を「Xドライバ」と記載している。

【0040】

50

各走査線および各データ線の交差部には画素が形成され、各走査線および各データ線に供給される走査信号およびデータ信号により、その表示要素が駆動される。

【0041】

ここで、図9に示すように、2本の走査線X1, X2を同時に駆動し、それらの走査線とデータ線Y1とが交差する位置の画素をオン／オフさせる場合を考える。

【0042】

オン画素を「-1」とし、オフ画素を「+1」と記すことにする。このオン／オフを示すデータはフレームメモリ内に格納されている。また、選択パルスは「+1」, 「-1」の2値で表す。また、データ線Y1の駆動電圧は、「-V2」, 「+V2」, 「V1」の3値である。

10

【0043】

データ線Y1に、「-V2」, 「+V2」, 「V1」のいずれの電圧を与えるかは、表示データベクトルdと、選択行列βとの積により決定される。

【0044】

図9の(a)の場合は、 $d \cdot \beta = -2$ であり、(b)の場合は、 $d \cdot \beta = +2$ であり、(c)の場合は、 $d \cdot \beta = +2$ であり、(d)の場合は、 $d \cdot \beta = 0$ となる。

【0045】

そして、表示データベクトルdと、選択行列βとの積が「-2」のときにデータ線駆動電圧として「-V2」が選択され、「+2」のときに「+V2」が選択され、「0」のときに「V1」が選択される。

20

【0046】

表示データベクトルdと選択行列βとの積の演算を電子回路で行う場合には、表示データベクトルdと選択行列βの、対応するデータの不一致数を判定する回路を設ければよい。

【0047】

つまり、不一致数が「2」の場合には、データ線駆動電圧として「-V2」を選択する。不一致数が「0」の場合には、データ線駆動電圧として「+V2」を選択する。また、不一致数が「1」の場合には、データ線駆動電圧として「V1」を選択する。

【0048】

2ラインを同時に選択するMLS駆動では、上述のようにしてデータ線駆動電圧を決定し、1フレーム期間内で2回の選択期間を設け、その選択期間にそれぞれ電圧を印加して画素の表示状態を決定している。このような駆動法を採用することによって駆動電圧を低くすることができ、また、複数の選択期間に電圧を印加しているため透過率の低下が少なく、コントラストが向上する。

30

【0049】

このように、MLS駆動を実現するためには、1選択期間毎に、表示画像のデータ（すなわち表示パターン）と選択パルスのパターン、すなわち、走査電圧パターン（選択電圧パターンという場合もある）との不一致判定が必要となる。

【0050】

この比較を実現するためには、「同時に選択される走査ライン数(h)×1ワード線に接続されるメモリセル数(k)」分の表示データが一度に必要となる。したがって、表示データメモリから必要なデータ群を一括して読み出すために、表示データメモリの構成を工夫する必要がある。

40

【0051】

(2) 本実施の形態にかかる液晶パネルのデータ線駆動回路の全体構成

図1に液晶パネルのデータ線駆動回路（図中、Yドライバと表記しており、以下、この用語を用いて説明する）の全体構成が示される。

【0052】

Yドライバ200は、液晶パネル400のMLS駆動のための専用のICである。このYドライバ200は、液晶パネル400が搭載される電子機器に内蔵されるマイクロコンピュータ100と接続されて使用される。このマイクロコンピュータ100も半導体集積回

50

路化されている。

【0053】

マイクロコンピュータ100は、8ビットのMPU(Microcomputer Processing Unit)102、内部データバス104、VRAM105等を有する。

【0054】

Yドライバ200は、MPU102との間の情報の授受を行うMPUインタフェース回路202と、マイクロコンピュータ100の内部データバス104に直結され、表示データの授受を行う入出力バッファ204と、データの一時的な蓄積を行うバスホールド230と、コマンドの解読を行うコマンドデコーダ206と、MPUからの指示に基づき、主に表示データRAM220への表示データのライトアクセスを制御するMPU系制御回路208と、表示データRAM220からの表示データの読出しやデータ先に印加する電圧の決定動作のタイミング等を制御するLCD系制御回路と、カラムアドレス制御回路212と、ロウアドレス制御回路218と、データバッファ214と、カラムスイッチ216と、表示データRAM220と、出力選択回路222と、ラッチ224と、選択電圧パターンと表示データとの不一致を検出してデータ線に印加するべき電圧を決定するマルチラインデコーダ226と、決定された電圧を選択して出力する電圧セクタ228とを具備する。

10

【0055】

ここで注目すべき点は、Yドライバ200は、マイクロコンピュータ100の内部データバス104に直結しており、8ビットのMPU102から表示データRAM220へのデータ転送は、マイクロコンピュータ100内におけるデータ転送と同じように、8ビット単位(MPU102がデータを並列処理できる単位)で行われることである。つまり、図1中、マイクロコンピュータ100内の内部データバス104から表示データRAM220に至るまでのデータ転送ラインDB1、DB2、DB3、DB4、DB5は、8ビット(1バイト)単位で並列にデータを転送するラインである。

20

【0056】

つまり、外部のマイクロコンピュータ100とXドライバ200との間にデータ転送のパイプラインを構築する。データ転送に際し、バスホールド230を適宜に用いて転送タイミングを微調整することができる。

【0057】

つまり、MPU102は、マイクロコンピュータの内部と外部を特に意識することなく、表示データの転送処理を命令を出すことができる。

30

【0058】

MPUインタフェース回路202に入力されたMPU102からのデータ転送命令は、コマンドデコーダ(コマンド解読回路)206で解読され、その内容や必要な制御データ等がMPU系制御回路(第1の制御回路)208、LCD系制御回路(第2の制御回路)210に送られる。

【0059】

必要な情報が与えられたMPU系制御回路208は、入力バッファ204、カラムアドレス制御回路212を制御して、入出力バッファ204から表示データRAM220へのデータ転送、データの書き込みを実行する。

40

【0060】

LCD系制御回路210は、上述のMPU系制御回路の動作とは独立に、表示データRAM220からデータを読み出させる。

【0061】

出力選択回路222は、MLS駆動に必要な表示データを選択して読出す。表示データは、ラッチ224に一時的に保持された後、マルチラインデコーダ226に送られる。マルチラインデコーダ226の一致・不一致判定の結果、決定された電圧情報は電圧セクタ228に伝達され、電圧セクタ228はその電圧を選択して、液晶パネル400のデータ線(Yドライバ200が担当する表示領域のデータ線)に供給する。

50

【0062】

なお、図1中、Yドライバ200、Xドライバ300は、一つのICとして描かれているが、同じ機能をもつ複数のICをカスケード接続して用いてもよい。複数のICをカスケード接続して一つのXドライバとする場合、各ICにおける表示データRAMのメモリ容量は、その1個のICが担当する表示領域分の容量であり、電圧セクタ228から出力されるデータ線駆動電圧は、一つのICが担当する表示領域のデータ線についての駆動電圧となる。

【0063】

(3) 表示データRAM220の構成およびデータの書き込み、読出し動作の概要

図2(a)は液晶パネル400の1画素に1データに対応させたビットマップ形式のメモリ構成を示し、同図(b)は図1で採用されている表示データRAM220のメモリ構成を示す。図(a)の縦方向の1~240、横方向の1~320、図(b)の縦方向の1~30、横方向の1~2560はそれぞれメモリの物理的アドレスを示し、(b)における[1]~[30]、[1]~[320]は、MPU102側から見たアドレス空間におけるアドレスを示す。

10

【0064】

通常の画像メモリ(フレームメモリ)なら、図2(a)のような構成となるはずであるが、上述のとおり、MLS駆動を行う場合には、同時に選択する走査線数(h)分の全データを並列に一度にマルチラインデコーダに供給する必要がある、このような特殊な読出しを可能とするべく、図2(b)のような特殊な構成を採用したものである。

20

【0065】

つまり、図2(a)では、240個(ビット線方向)×320個(ワード線方向)のメモリセルを配置してメモリを構成しているが、図2(b)では、30個(ビット線方向)×2560個(ワード線方向)のメモリセルを配置してメモリを構成している。つまり、(b)では、ビット線方向のメモリセル数が1/8に圧縮され($240 \div 8 = 30$)、一方、ワード線方向のメモリセル数が8倍になっている($320 \times 8 = 2560$)。

【0066】

これは、一度に読み出すべき図2(a)の領域(A)の全データ、すなわち、図2(a)中の(a1, b1, c1, d1)から(a320, b320, c320, d320)までの全データを1本のワード線に接続されるメモリセル群に記憶させ、そのワード線をアクティブにすることで、各データの同時の並列読出しを可能とするためであり、また、データ転送との整合をとるためである。

30

【0067】

前述のとおり、データ転送は全て8ビットで行われるため、パイプライン的な処理を確保するためには、表示データRAM220に対するデータの書き込みも8ビットで行う必要がある、よって、8ビットのデータの同時書き込みを行うべく、図2(b)のように縦を1/8に圧縮し、横を8倍に伸張したメモリ構成としたものである。

【0068】

そして、表示データRAM220への1回の書き込みでは、同時に選択される走査線に対応したデータ(例えば、a1, b1, c1, d1)の他に、次のサイクルで同時に選択される走査線に対応したデータ(例えば、e1, f1, g1, h1)を一組の単位(8ビット)として、一括の書き込みを行う。

40

【0069】

MPU102側からみた表示データRAM220のカラムアドレスは、[1]~[30]であり、ロウアドレスは[1]~[320]である。したがって、図1のカラムアドレス制御回路212とロウアドレス制御回路218は、カラムアドレスを固定しておき、ロウアドレスを1つつインクリメントしながら8ビット単位の書き込みを実行していく。

【0070】

このように、表示データメモリ220への表示データの書き込みは、同時に選択される走査線の数をh本(hは2以上の自然数)とした場合、1本のデータ線に印加する電圧を決

50

定するのに必要なh個の表示データを含むmビット（mはデータ転送のビット数）の表示データを単位として行われる。これにより、MPU102は、内部バス104に接続された自己が管理するメモリ（105等）にデータ転送をするのと同様に、マルチライン駆動用の表示データRAMにもデータを転送することができる。よって、マルチライン駆動のための処理もマイクロコンピュータの内部と同様に行われるため、データ転送のタイミング制御に関する整合性もよく、MPUに特別な負担がかからない。

【0071】

また、表示データメモリ220からのデータの読出しに際しては、図2（b）の下側に矢印で示すように、まず、奇数番目の物理アドレスのメモリセルから、図2（a）の領域（ア）の表示データを一括して読出す。そして、次のサイクルで、偶数番目の物理アドレスのメモリセルから、図2（a）の領域（イ）の表示データを一括して読出す。このような読出しデータの選択は、図1の出力選択回路222が実行する。

10

【0072】

このように、本実施の形態では、データ転送ならびにRAMへの書き込み単位（「8」ビット）は、マルチライン選択数（「4」）の倍数であり、よって、RAMへの書き込み、読出しの整合性がよく、タイミング制御が容易である。よって、データのパイプライン的な処理に適する。

【0073】

（4）表示データRAM220周辺の回路の具体例

図3に表示データRAM220周辺の回路の具体例が示される。

20

【0074】

表示データRAM220としては、SRAMを用いている。メモリセルM1、M2・・・は、ワード線W1、W2・・・がアクティブとなると選択状態となり、各メモリセルへの書き込み、読出しが可能となる。

【0075】

一方、データバッファ214は、MPU102の内部バス104を介して送られてくる8ビットのデータD0～D7を一時的にストアするもので、各データに対応した段数のフリップフロップ215a～215hを有する。

【0076】

各段のフリップフロップ215a～215hには、1対の信号ラインDL1、xDL1、DL2、xDL2・・・がそれぞれ接続されている。なお、xは電圧レベルが反転されていることを示す記号である。

30

【0077】

この信号ラインDL1、xDL1、DL2、xDL2・・・にカラムスイッチを構成する8組のNMOSトランジスタS1、S2、・・・S15、S16の一端（ソース、ドレイン）が接続され、8組のNMOSトランジスタS1、S2・・・のゲートには、カラムアドレス制御回路212から出力される共通のカラムスイッチ制御信号ADR1（ADR2）が供給される。

【0078】

つまり、例えば、カラムスイッチ制御信号ADR1がアクティブとなると、8組のNMOSトランジスタS1、S2、・・・S15、S16が全部オンして、8個のメモリセル（例えば、メモリセルM1～M8）へのデータの同時書き込みが可能となる。

40

【0079】

また、メモリセルからのデータの読出しにおいて、相補ビット線対BL1、xBL1等を介して読み出された表示データは、出力選択回路222で選別された後にラッチ224へと送られる。

【0080】

出力選択回路222は、選択信号SEL1、SEL2によって選択的にオンするMOSトランジスタからなるスイッチS30～S37を具備し、選択信号SEL1がアクティブとなると偶数番目のメモリセルからのデータを通させ、選択信号SEL2がアクティブと

50

なると奇数番目のメモリセルからのデータを通過させる。

【0081】

ラッチ224はインバータINV1, INV2を組み合わせたフリップフロップを有する。

【0082】

ラッチ224で保持された表示データは、マルチラインデコーダ226に供給される。マルチラインデコーダ226は、液晶パネルの1本のデータ線を駆動するための電圧を決定する不一致判定回路227a, 227b・・・を有する。

【0083】

図5は、1個の不一致判定回路の構成を示したブロック図である。

10

【0084】

不一致数判定回路は、第1のROM回路1、第2のROM回路2、第3のROM回路3、第4のROM回路4、第5のROM回路5と、プリチャージ(PC)回路6～10を有している。PC回路6, 7, 9, 10は同じ構成であるが、PC回路8は構成が少し異なり、入出力端子の数が1つになっている。

【0085】

不一致数判定回路への入力信号は、液晶パネルの走査線駆動のパターン(選択電圧パターン)を判別するためのパターン識別信号(PD0, PD1)と、フレームメモリから読み出したデータ信号data1からdata4と、プリチャージ信号PC、表示のオン、オフを反転する信号FRである。

20

【0086】

これら入力信号は、各々インバータを介して、正転信号と反転信号の両方がROM1～5回路1～5に共通に入力される。ただし、FR端子には、正転信号だけが入力される。

【0087】

PC1～5回路6～10の出力信号sw1～sw5は、図20のレベルシフタ259を介し、電圧セクタ260の制御端子に接続されている。出力信号sw1～sw5のいずれか1つがHighの時、電圧セクタ内で対応する電圧レベルVY1～VY5の1つが選択され、データ線に印加される。

【0088】

図6は、図5のROM5回路5を模式的に表した図であり、Nチャンネル・トランジスタ(以降Nch・Tr)を白丸(○)で示している。

30

【0089】

図6の左側において、通常のCMOSトランジスタ記号と対応して示しているように、ゲートは(a, c)と表記され、ドレインは(b)と表記され、ソースは(d)と表記され、サブストレート(Vss=GND)と表記されている。

【0090】

次に、入力信号からデコード演算により出力信号が生成される過程を説明する。

【0091】

不一致判定回路の出力線(縦の線)は、あらかじめプリチャージ(PC信号)によりHighになっている。入力線(横の線)から入力される入力信号によって、一本の縦の線に直列接続されている全てのNch・Trがオンすると、その縦の線の電位はVssとなり、出力はLowに変化する。

40

【0092】

例えば、走査電圧パターン(選択電圧パターン)として図10のパターンを採用しているとする。

【0093】

XPCがHighで、data1～data4がすべてHighならば、ROM5回路の1列目のNch・Trがすべてオンし、VssにつながりLowを出力する。他の列は、オンしていないNch・Trがあり、Vssにはつながらず、Highのままである。

【0094】

50

このように、N c h・T rをどこに置くかによって、出力を選択することができる。つまり、N c h・T rの配置によって、入力信号をデコードし、選択電圧データへと変換することが可能である。

【0095】

マルチラインデコーダ226から出力される選択電圧データは、電圧セクタ228に入力され、そのデータに対応した電圧が選択されて液晶パネル400に供給される。なお、参照番号229a、229bはそれぞれ、1出力当たりの電圧選択回路を示す。

【0096】

(5) 第2の実施の形態

図2の表示データRAM220は、同時に駆動される走査線の数に対応する表示データを、1本のワード線をアクティブとすることにより一挙に読み出す必要上、通常のRAMに比べて、横方向に極めて長い（つまり、1本の走査線が極めて長い）という特殊な形態をしている。

10

【0097】

一方、上述のとおり、電子機器に内蔵されるマイクロコンピュータ100におけるMPU102（図1）は、液晶パネルのMLS駆動を何ら意識することなく、通常どおり高速のデータ転送処理を実行する。

【0098】

したがって、表示データRAM220へのデータの入出力の際、長いワード線の駆動により信号遅延が生じてアクセスタイムが増大すると、MPU102側からの高速なデータ転送との整合性がとれずに、MPU102のバスと直結したパイプライン的なデータ転送が困難になる場合も想定される。

20

【0099】

そこで、本実施の形態では、図4に示すように、表示データRAM220を例えば2つのブロック221a、221bに分割して1本のワード線長を短縮し、駆動遅延を軽減する。

【0100】

図4においては、図1と同じ箇所には同じ参照番号を付してある。

【0101】

各ブロック221a、221bにはワード線ドライバ240、242が設けられ、各ワード線ドライバ240、242はそれぞれ、分割されたワード線W1a～Wna、W1b～Wnbを駆動する。また、カラムアドレス制御回路212a、212b、データバッファ214a、214b、マルチラインデコーダ226a、226bも分割して設けている。

30

【0102】

さらに、本実施の形態では、分割されたブロック221a、221bの間に、ロジック回路211を配置している。

【0103】

ここで、「ロジック回路211」は、図1におけるMPUインタフェース202、バスホールダ230、コマンドデコーダ206、MPU制御回路208、LCD系制御回路210を総括的に表現する名称である。特に、MPU制御回路208、LCD系制御回路210はかなり大きなロジック回路であり、その配置が問題となる。

40

【0104】

そこで、本実施の形態では、MPU制御回路208やLCD系制御回路210を含む「ロジック回路211」を、分割された表示データRAMの各ブロック221a、221b間に配置し、スペースの有効利用を図っている。

【0105】

また、ロジック回路211の左右に分割されたブロック221a、221bがあることにより、ロジック回路211から各ブロック221a、221bまでの距離が同じとなり、信号遅延量を均一化できる。

【0106】

50

なお、本実施の形態では表示データRAMを2分割しているが、これに限定されるものではなく、適切な分割を行うことができる。

【0107】

本実施の形態の駆動回路が担当する表示体の領域のサイズが、縦（データ線の延在方向）に X 個、横（走査線の延在方向）に Y 個配列されてなる合計で $(X \times Y)$ 個の表示要素からなる領域であり、表示データメモリを n 個（ n は2以上の自然数）に分割する場合、分割された1つのブロックは、メモリセルが縦（ビット線の延在方向）に (X/m) 個、横（ワード線の延在方向）に $\{(Y \times m)/n\}$ 個配置されてなる合計で $\{(X \times Y)/n\}$ 個のメモリセルを、具備することになる。ここで、 m は上述のとおり、MPUの並列データ処理単位（転送の処理単位）である。

10

【0108】

（6）第3の実施の形態

次に、上述の表示装置（液晶表示装置）を搭載した電子機器の例について説明する。

【0109】

本実施の形態にかかる電子機器は、図11に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

20

【0110】

このような構成の電子機器として、図12に示す液晶プロジェクタ、図13に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、図14、図15に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

30

【0111】

図12に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。

【0112】

図12において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

40

【0113】

図13に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0114】

図14に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304

50

、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0115】

ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図20に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は

10

【0116】

図14はページの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。

20

【0117】

なお、これらに代えて、図15に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0118】

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

30

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるシステムの全体構成を示す図である。

【図2】表示データRAMのメモリ構成を説明するための図であり、(a)は液晶パネルの1画素に1データを対応させたビットマップ形式の一般的なメモリ構成を示し、(b)は図1で採用されている本発明にかかる表示データRAMのメモリ構成を示す。

【図3】表示データRAMならびにその周辺回路の具体的構成例を示す図である。

【図4】本発明の第2の実施の形態にかかるシステムの要部の構成を示すブロック図である。

【図5】図2のマルチラインデコーダを構成する不一致判定回路の具体的構成を示す図である。

40

【図6】図5の不一致判定回路に使用されているROMの構成を示す図である。

【図7】単純マトリクス型の液晶パネルにおけるフレーム応答性ならびにマルチライン駆動の原理を説明するための図である。

【図8】単純マトリクス型の液晶パネルにおける電極の配置を示す図である。

【図9】マルチライン駆動の内容を説明するための図である。

【図10】マルチライン駆動における走査電圧パターン(選択電圧パターン)の一例を示す図である。

【図11】本発明が適用される電子機器のブロック図である。

【図12】本発明が適用されるプロジェクタの概略を説明するための図である。

【図13】本発明が適用されるパーソナルコンピュータの外観を示す図である。

50

【図 1 4】 本発明が適用されるページの分解斜視図である。

【図 1 5】 外付け回路を備えた画像表示装置の一例を示す斜視図である。

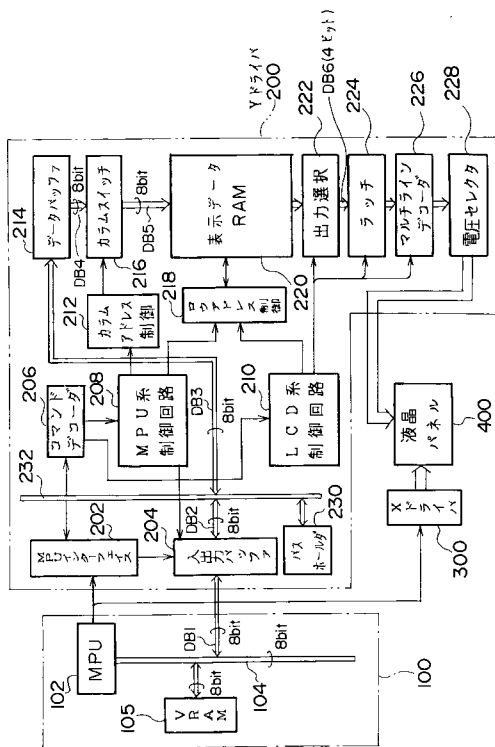
【符号の説明】

- 1 0 0 マイコンコンピュータ
- 1 0 2 M P U
- 1 0 4 内部データバス
- 1 0 5 V R A M
- 2 0 0 Y ドライバ
- 2 0 2 M P U インタフェース
- 2 0 4 入出力バッファ
- 2 0 6 コマンドデコーダ
- 2 0 8 M P U 系制御回路
- 2 1 0 L C D 系制御回路
- 2 1 2 カラムアドレス制御回路
- 2 1 4 データバッファ回路
- 2 1 6 カラムスイッチ
- 2 1 8 ロウアドレス制御回路
- 2 2 0 表示データ R A M
- 2 2 2 出力選択回路
- 2 2 4 ラッチ
- 2 2 6 マルチラインデコーダ
- 2 2 8 電圧セクタ
- 3 0 0 X ドライバ
- 4 0 0 液晶パネル

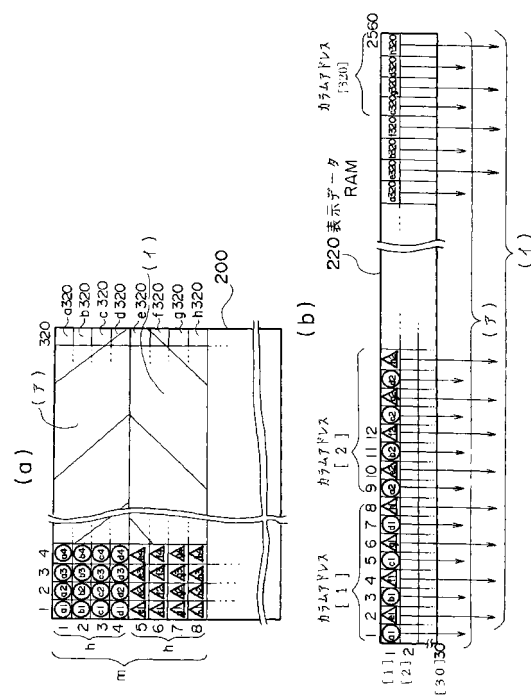
10

20

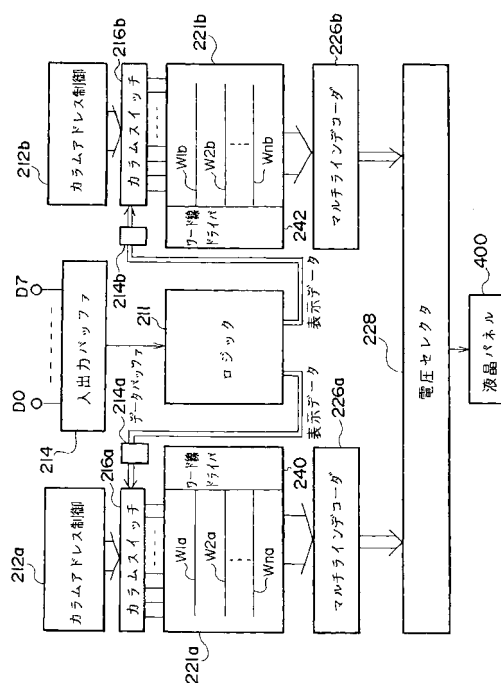
【図 1】



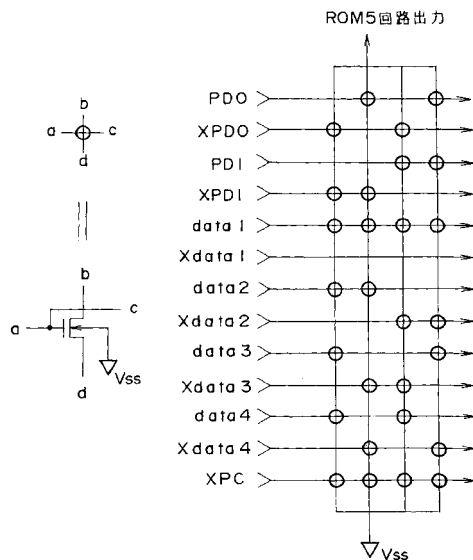
【図 2】



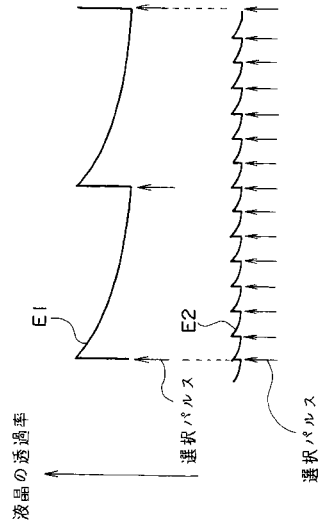
【図 4】



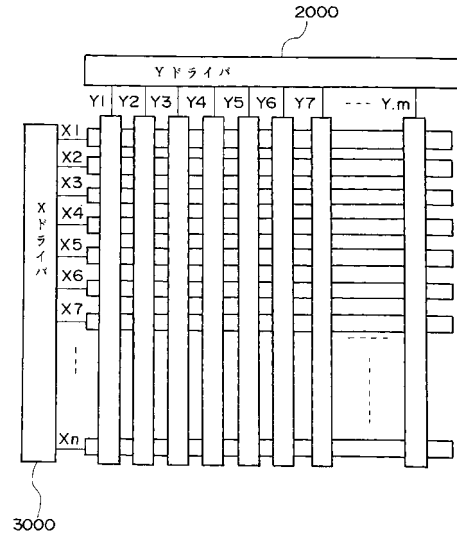
【图 6】



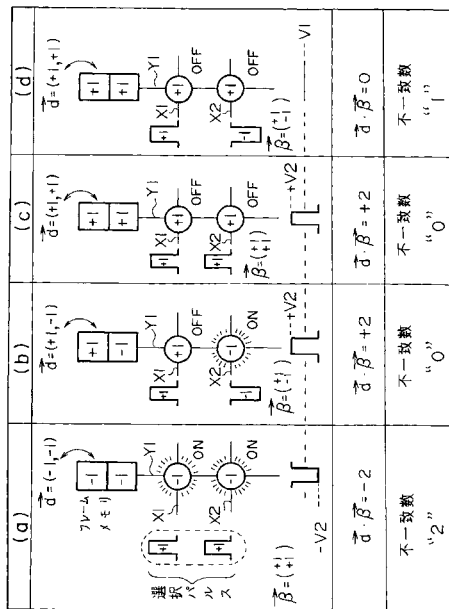
【図 7】



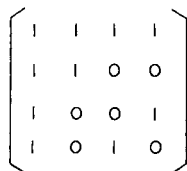
【図 8】



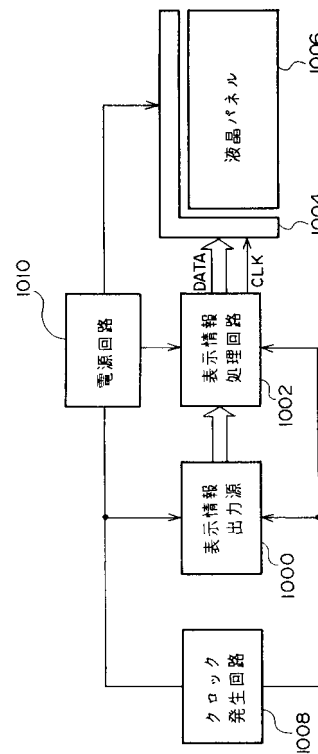
【図 9】



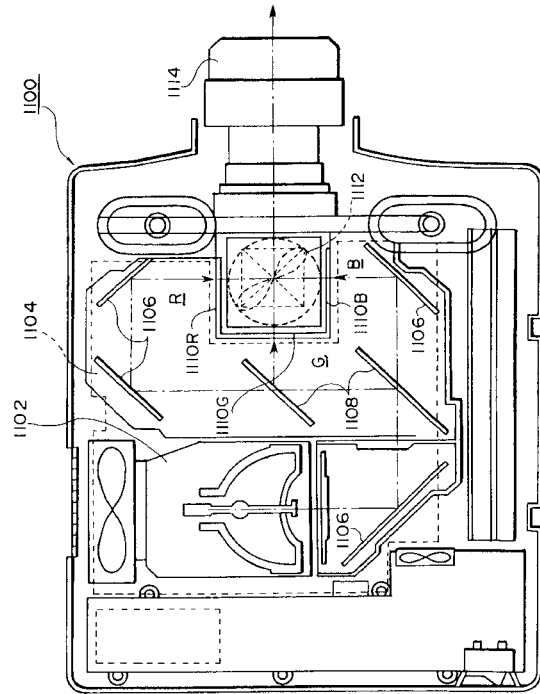
【図 10】



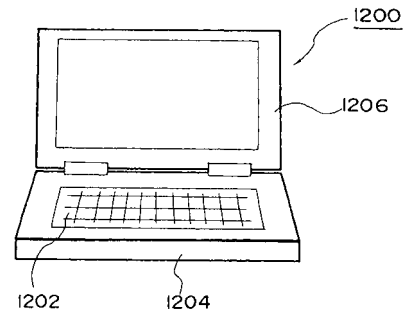
【図 11】



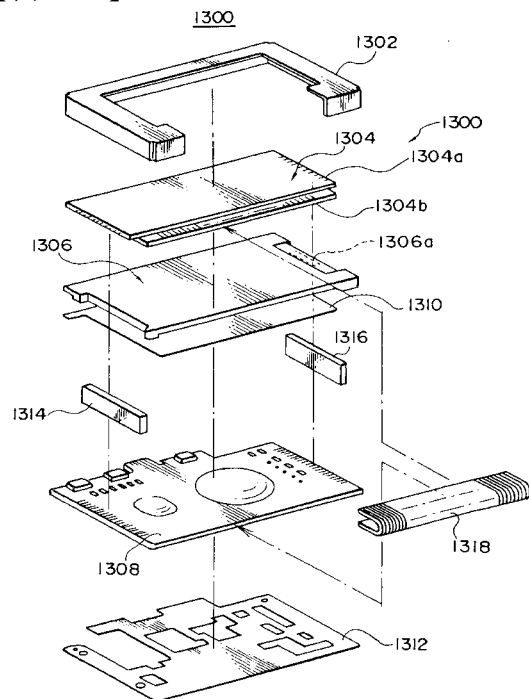
【図 1 2】



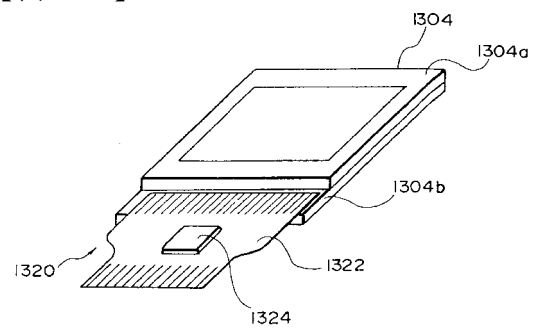
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 G 3/20 6 2 2 Q
G 0 9 G 3/20 6 2 3 U
G 0 9 G 3/20 6 3 1 B

(72)発明者 胡桃澤 孝
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72)発明者 磯▲崎▼ 慎吾
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 濱本 禎広

(56)参考文献 特開平07-281636 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133