

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-208142
(P2004-208142A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl.⁷

H03L 7/093

F I

H03L 7/08

E

テーマコード(参考)

5J106

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号	特願2002-376520 (P2002-376520)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年12月26日(2002.12.26)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	鈴木 仁人 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5J106 AA04 CC01 CC21 CC41 CC52 EE10 GG15 HH03 JJ08 KK05 KK25

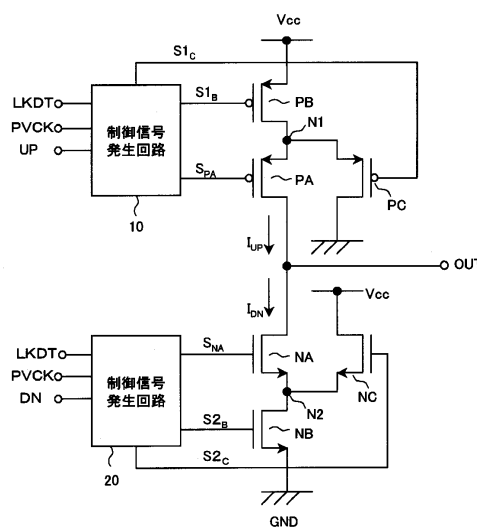
(54) 【発明の名称】 チャージポンプ及びそれを用いたPLL回路

(57) 【要約】

【課題】電流出力の立ち上がり及び立ち下がり特性を改善し、短いパルスで電流出力を駆動でき、電流出力をしないオフ時のリーク電流を低減させ、消費電力の低減を実現できるチャージポンプ及びそれを用いたPLL回路を実現する。

【解決手段】アップ信号またはダウン信号に応じて、チャージ電流またはディスチャージ電流を出力し、電流を出力しないオフ時に第3のトランジスタ(PC, NC)を導通させることにより、第2のトランジスタ(PA, NA)のゲート-ソース間に逆バイアス電圧を印加して、リーク電流の低減を実現でき、また、アップ信号またはダウン信号に応じて、第2または第3のトランジスタを切り替えるとき、制御信号のタイミングを適宜制御し、第2と第3のトランジスタが同時に導通することを回避でき、チャージポンプの出力端子から電荷の放出または注入を防止でき、VCOの発振周波数の安定性を向上できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

有効期間に第 1 のレベルに保持され、上記有効期間以外に第 2 のレベルに保持される入力信号に応じて、上記有効期間に応じた期間に電流を出力するチャージポンプであって、第 1 の電源と出力端子間に直列接続されている第 1 のトランジスタと第 2 のトランジスタと、

上記第 1 と第 2 のトランジスタの接続点と第 2 の電源との間に接続されている第 3 のトランジスタと、

上記入力信号に応じて、上記有効期間に応じた期間において上記第 1 のトランジスタを導通させ、それ以外に上記第 1 のトランジスタを遮断させる第 1 の制御信号を生成し、第 1 のトランジスタの制御端子に印加し、

上記第 1 のトランジスタの導通よりも先に上記第 2 のトランジスタを導通させ、上記第 1 のトランジスタの遮断よりも後に上記第 2 のトランジスタを遮断させ、かつ、導通時に所望の出力電流を流れるレベルに保持される第 2 の制御信号を生成し、上記第 2 のトランジスタの制御端子に印加し、

上記第 2 のトランジスタが導通する前に上記第 3 のトランジスタを遮断させ、上記第 2 のトランジスタが遮断する後に上記第 3 のトランジスタを導通させる第 3 の制御信号を生成し、上記第 3 のトランジスタの制御端子に印加する制御信号生成回路と

を有するチャージポンプ。

【請求項 2】

上記制御信号生成回路において、上記入力信号を所定の遅延時間だけ遅延させて出力するバッファと、

上記入力信号と上記バッファの出力信号に応じて、論理演算を行う論理ゲートとを有し、上記バッファの出力に応じて、上記第 1 の制御信号が生成され、上記論理ゲートの出力に応じて、上記第 2 の制御信号が生成される

請求項 1 記載のチャージポンプ。

【請求項 3】

上記制御信号生成回路において、上記入力信号より位相が進んでいる予備入力信号に応じて上記第 3 の制御信号のレベルを切り替え、上記第 3 のトランジスタを遮断させ、上記第 2 の制御信号に応じて上記第 3 の制御信号のレベルを切り替え、上記第 3 のトランジスタを導通させる

請求項 2 記載のチャージポンプ。

【請求項 4】

基準クロック信号と比較対象クロック信号との位相差に応じて、位相差信号を発生する位相比較回路と、上記位相差信号に応じた電流を出力するチャージポンプと、上記チャージポンプの出力電流に応じて生成された制御信号に応じて所定の発振周波数で発振し、発振信号に応じて上記比較対象クロック信号を生成して上記位相比較回路に出力する発振回路とを有する PLL 回路であって、

PLL 回路がロック状態にあるか否かを検出するロック状態検出回路と、

第 1 の電源と出力端子間に直列接続されている第 1 のトランジスタと第 2 のトランジスタと、上記第 1 と第 2 のトランジスタの接続点と第 2 の電源との間に接続されている第 3 のトランジスタとを含む上記チャージポンプにおいて、

上記ロック状態検出回路によって PLL 回路がロック状態にあると検出されたとき、上記位相差信号の有効期間に応じた期間において上記第 1 のトランジスタを導通させ、それ以外に当該第 1 のトランジスタを遮断させる第 1 の制御信号を上記位相差信号に応じて生成し、第 1 のトランジスタの制御端子に印加し、

上記第 1 のトランジスタの導通よりも先に上記第 2 のトランジスタを導通させ、上記第 1 のトランジスタの遮断よりも後に上記第 2 のトランジスタを遮断させ、かつ、導通時に所望の出力電流を流れるレベルに保持される第 2 の制御信号を生成し、上記第 2 のトランジスタの制御端子に印加し、

10

20

30

40

50

上記第2のトランジスタの導通よりも先に上記第3のトランジスタを遮断させ、上記第2のトランジスタの遮断よりも後に上記第3のトランジスタを導通させる第3の制御信号を生成し、上記第3のトランジスタの制御端子に印加する制御信号生成回路とを有するPLL回路。

【請求項5】

上記チャージポンプにおいて、上記位相差信号が入力されていない期間において、上記第3のトランジスタが導通状態に保持され、上記第2のトランジスタのゲート-ソース間に逆バイアス電圧が印加される請求項4記載のPLL回路。

【請求項6】

基準クロック信号と比較対象クロック信号の位相差を比較し、上記基準クロック信号と上記比較対象クロック信号との位相差に応じて、アップ信号またはダウン信号を出力する位相比較回路と、

上記アップ信号またはダウン信号に応じて、PLL回路がロック状態にあるか否かを検出するロック状態検出回路と、

上記アップ信号またはダウン信号に応じてチャージ電流またはディスチャージ電流を出力端子に出力するチャージポンプと、

上記チャージポンプの出力端子に接続され、上記チャージポンプの出力電流に応じて制御信号を出力するフィルタと、

上記制御信号に応じて、所望の周波数で発振信号を発生し、当該発振信号に応じた信号を上記比較対象クロック信号として上記位相比較回路に出力する発振回路と

を有するPLL回路であって、

上記チャージポンプは、

電源端子と上記出力端子との間に直列接続されている第1導電型の第1と第2のトランジスタと、上記第1と第2のトランジスタの接続点と基準電位との間に接続されている第3のトランジスタと、

上記アップ信号を受けて、当該アップ信号の有効期間に応じて上記第1のトランジスタを導通させ、上記有効期間以外に上記第1のトランジスタを遮断させる第1のチャージ制御信号を生成して上記第1のトランジスタの制御端子に印加し、上記第2のトランジスタを上記第1のトランジスタが導通するよりも先に導通させ、上記第1のトランジスタが遮断するよりも後に遮断させ、かつ導通時に所望のチャージ電流を上記出力端子に出力する第2のチャージ制御信号を生成し、上記第2のトランジスタの制御端子に印加し、上記第3のトランジスタを上記第2のトランジスタが導通するよりも先に遮断させ、上記第2のトランジスタが遮断するよりも後に導通させる第3のチャージ制御信号を生成し、上記第3のトランジスタの制御端子に印加する第1の制御信号生成回路と、

上記基準電位と上記出力端子との間に直列接続されている第2導電型の第4と第5のトランジスタと、上記第4と第5のトランジスタの接続点と上記電源端子との間に接続されている第6のトランジスタと、

上記ダウン信号を受けて、当該ダウン信号の有効期間に応じて上記第4のトランジスタを導通させ、上記有効期間以外に上記第4のトランジスタを遮断させる第1のディスチャージ制御信号を生成して上記第4のトランジスタの制御端子に印加し、上記第5のトランジスタを上記第4のトランジスタが導通するよりも先に導通させ、上記第4のトランジスタが遮断するよりも後に遮断させ、かつ導通時に所望のディスチャージ電流を上記出力端子に出力する第2のディスチャージ制御信号を生成し、上記第5のトランジスタの制御端子に印加し、上記第6のトランジスタを上記第5のトランジスタが導通するよりも先に遮断させ、上記第5のトランジスタが遮断するよりも後に導通させる第3のディスチャージ制御信号を生成し、上記第6のトランジスタの制御端子に印加する第2の制御信号生成回路と

を有するPLL回路。

【請求項7】

10

20

30

40

50

上記アップ信号が入力されていない期間において、上記第3のトランジスタが導通状態に保持され、上記第2のトランジスタのゲート-ソース間に逆バイアス電圧が印加される請求項6記載のPLL回路。

【請求項8】

上記ダウン信号が入力されていない期間において、上記第6のトランジスタが導通状態に保持され、上記第5のトランジスタのゲート-ソース間に逆バイアス電圧が印加される請求項6記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、チャージポンプ及びチャージポンプを用いたPLL回路、例えば、無線通信装置において局部発振信号を発生するPLL回路及びそれに用いられるチャージポンプに関するものである。

【0002】

【従来の技術】

チャージポンプのオフ時のリーク電流はチャージポンプの出力信号の電圧変動を引き起こし、PLL回路の発振周波数の変動を引き起こす原因の一つになっている。このため、オフ時のリーク電流の低減がチャージポンプ回路に要求される重要な特性である。近年、半導体の微細化に伴って電源電圧が低下し、低電圧で動作するためにトランジスタのしきい値電圧を低くすることが必要となる。これによりトランジスタのオフ時のリーク電流が増加傾向にある。

【0003】

図8は、従来のチャージポンプの一例を示している。図示のように、このチャージポンプは、nMOSトランジスタNT1、NT2、NT3及びpMOSトランジスタPT1、PT2、PT3によって構成されている。トランジスタNT2とNT3が差動対を構成し、トランジスタNT1は、トランジスタNT2とNT3のソース同士の接続点と接地電位との間に接続され、当該差動対に電流を供給する。トランジスタPT2とPT3も差動対を構成し、トランジスタPT1は、トランジスタPT2とPT3のソース同士の接続点と電源電圧 V_{CC} の供給端子との間に接続され、当該差動対に電流を供給する。

【0004】

上述したチャージポンプにおいて、トランジスタNT2とNT3からなる差動対により、ダウン信号DN及びその論理反転信号DNXに応じて、出力端子OUTにディスチャージ電流 I_{DN} を出力する。即ち、ダウン信号DN及びその論理反転信号DNXに応じて、出力端子OUTから接地電位GNDに流れる引き込み電流が I_{DN} が発生する。一方、トランジスタPT2とPT3からなる差動対により、アップ信号UP及びその論理反転信号UPXに応じて、出力端子OUTにチャージ電流 I_{UP} を出力する。

【0005】

上述したチャージポンプにおいて、ディスチャージ電流 I_{DN} の電流値は、トランジスタNT1のゲートに印加されるバイアス電圧VNによって制御され、チャージ電流 I_{UP} の電流値は、トランジスタPT1のゲートに印加されるバイアス電圧VPによって制御される。また、ディスチャージ電流 I_{DN} とチャージ電流 I_{UP} のタイミングは、上述したように、それぞれダウン信号DN及びアップ信号UPによって制御される。

【0006】

上述したチャージポンプにおいて、アップ信号UP及びその論理反転信号UPX、並びにダウン信号DN及びその論理反転信号DNXの振幅を大きくすることにより、オフ時のリーク電流の低減を図れる。しかし、オフ時にもトランジスタNT3とPT3にそれぞれ電流 I_{DN} と電流 I_{UP} が流れるので、消費電流が大きいという問題があり、さらに、ダウン信号DN及びその論理反転信号DNXに応じてトランジスタNT2とNT3を切り替えるとき、またはアップ信号UP及びその論理反転信号UPXに応じてトランジスタPT2とPT3を切り替えるとき、差動対を構成する両方のトランジスタがオンしてしまう。このた

10

20

30

40

50

め、例えば、ダウン信号DN及びその論理反転信号DNXが切り替わるとき、トランジスタNT2とNT3両方がオンするので、出力端子OUTと電源電圧V_{CC}の供給側が短絡してしまい、出力端子OUTに電荷が流入してしまう。一方、アップ信号UP及びその論理反転信号UPXが切り替わるとき、トランジスタPT2とPT3両方がオンするので、出力端子OUTと接地電位GNDが短絡してしまい、出力端子OUTから電荷が流出してしまう。

【0007】

上述したダウン信号DN及びアップ信号UPの切り替えによる電荷の流入または流出に応じて、チャージポンプの出力端子OUTに接続されているキャパシタの端子電圧V_Cが変化するので、この端子電圧V_Cによって制御される電圧制御発振器の発振周波数が所望の値からずれてしまう。

10

【0008】

上述した問題を回避するため、図9に示すチャージポンプが提案されている。図示のように、本例のチャージポンプでは、バッファアンプAMP1が設けられている。バッファアンプAMP1の正の入力端子がトランジスタNT2とPT2のドレイン同士の接続点に接続され、その出力端子と負の入力端子が、トランジスタNT3とPT3のドレイン同士の接続点Aに接続されている。

【0009】

即ち、このチャージポンプにおいて、バッファアンプAMP1が電圧フォロワを構成している。これによって、バッファアンプAMP1の出力端子Aがその正の入力端子と同じ電圧に保持されている。このため、ダウン信号DN及びその論理反転信号DNXに応じてトランジスタを切り替えるとき、またはアップ信号UP及びその論理反転信号UPXに応じてトランジスタを切り替えるとき、端子Aから出力端子OUTへの電荷の流入または流出を防ぐことができる。

20

【0010】

しかし、図9に示すチャージポンプにおいて、オフ時にもトランジスタNT3とPT3に電流I_{DN}と電流I_{UP}が流れるので、消費電流が大きいという問題が改善されていない。また、電流I_{DN}と電流I_{UP}以上の出力を要するバッファアンプAMP1を必要とするため、さらに消費電力が増大し、また、回路の規模が大きくなるという問題がある。

30

【0011】

【特許文献1】

特開2001-177400号公報

【特許文献2】

特開2000-269808号公報

【非特許文献1】

"A PLL Generator with 5 to 110MHz of Lock Range for Microprocessors", IEEE Journal of solid-state circuits, vol.127, no.11, november 1992, pp.1599-1607

【0012】

【発明が解決しようとする課題】

上述した従来のチャージポンプにおけるオフ時のリーク電流を低減するため、様々な工夫が施されていた。例えば、特許文献2に開示されているチャージポンプにおいて、電流出力をしないとき、トランジスタにバックバイアス電圧を印加することにより、オフ時のリーク電流の低減を図っていた。

40

例えば、図8に示す回路を例として、ディスチャージ電流I_{DN}を発生するnMOSトランジスタ側では、電流I_{DN}を出力しないとき、トランジスタNT1とNT2のゲートにローレベル、例えば、接地電位レベルの信号を印加し、トランジスタNT3のゲートにハイレベル、例えば、電源電圧V_{CC}レベルの信号を印加する。これによって、差動対を形成しているトランジスタNT2とNT3のソース同士の接続点がハイレベル、例えば、電源電圧V_{CC}よりトランジスタNT3のゲート-ソース間電圧V_{gs}分だけ低い電圧(V_{CC} - V_{gs})に保持される。このため、トランジスタNT2にバックバイアス電圧が印加され、オフ時

50

のリーク電流が低減される。

【0013】

しかし、実際にディスチャージ電流 I_{DN} の出力タイミングを決定する信号は、トランジスタ $N T 2$ のゲートに印加される駆動信号であり、この駆動信号は、アナログの振幅情報を含んだスイッチング制御信号であり、その振幅によって電流 I_{DN} の電流値が決まる。一般には、この駆動信号を急峻に立ち上げることが困難である。その理由は、トランジスタ $N T 2$ のゲートには、ゲート容量のほか、負荷容量に応じた容量も付くので、トランジスタ $N T 2$ のゲートを駆動するには、通常よりも大きな駆動能力を必要とする。さらに、この駆動信号は、ロジック信号ではなく、振幅情報も必要とするアナログ信号であるため、駆動能力を高めやすいロジックのバッファ回路などを使用できないからである。

10

【0014】

なお、図8に示すチャージポンプでは、ディスチャージ電流 I_{DN} を発生する $n M O S$ トランジスタ側だけでなく、チャージ電流 I_{UP} を発生する $p M O S$ トランジスタ側も同じく、トランジスタ $P T 2$ のゲートに印加する駆動信号は、振幅情報をもつアナログ信号であり、その駆動能力の制限で急峻な立ち上がりが困難である。

【0015】

上述した原因で、トランジスタ $N T 2$ のゲートに印加する駆動信号の立ち上がり特性が悪く、幅の短いパルス信号で駆動することができなくなる。このため、チャージポンプの出力端子 $O U T$ に接続され、チャージポンプの出力電流を受けて制御信号 S_C を発生し、この制御信号 S_C を用いて電圧制御発振器 ($V C O$) の発振周波数を制御する $P L L$ 回路では、制御信号 S_C の精度が低下し、発振周波数を高精度で制御することができなくなるという不利益がある。

20

【0016】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、電流出力の立ち上がり及び立ち下がり特性を改善し、短いパルスで電流出力を駆動でき、かつ電流出力をしないオフ時のリーク電流を低減させ、消費電力の低減を実現できるチャージポンプ及びそれを用いた $P L L$ 回路を提供することにある。

【0017】

【課題を解決するための手段】

上記目的を達成するため、本発明のチャージポンプは、有効期間に第1のレベルに保持され、上記有効期間以外に第2のレベルに保持される入力信号に応じて、上記有効期間に応じた期間に電流を出力するチャージポンプであって、第1の電源と出力端子間に直列接続されている第1のトランジスタと第2のトランジスタと、上記第1と第2のトランジスタの接続点と第2の電源との間に接続されている第3のトランジスタと、上記入力信号に応じて、上記有効期間に応じた期間において上記第1のトランジスタを導通させ、それ以外に上記第1のトランジスタを遮断させる第1の制御信号を生成し、第1のトランジスタの制御端子に印加し、上記第1のトランジスタの導通よりも先に上記第2のトランジスタを導通させ、上記第1のトランジスタの遮断よりも後に上記第2のトランジスタを遮断させ、かつ、導通時に所望の出力電流を流れるレベルに保持される第2の制御信号を生成し、上記第2のトランジスタの制御端子に印加し、上記第2のトランジスタが導通する前に上記第3のトランジスタを遮断させ、上記第2のトランジスタが遮断する後に上記第3のトランジスタを導通させる第3の制御信号を生成し、上記第3のトランジスタの制御端子に印加する制御信号生成回路とを有する。

30

40

【0018】

また、本発明の $P L L$ 回路は、基準クロック信号と比較対象クロック信号との位相差に応じて、位相差信号を発生する位相比較回路と、上記位相差信号に応じた電流を出力するチャージポンプと、上記チャージポンプの出力電流に応じて生成された制御信号に応じて所定の発振周波数で発振し、発振信号に応じて上記比較対象クロック信号を生成して上記位相比較回路に出力する発振回路とを有する $P L L$ 回路であって、 $P L L$ 回路がロック状態にあるか否かを検出するロック状態検出回路と、第1の電源と出力端子間に直列接続され

50

ている第1のトランジスタと第2のトランジスタと、上記第1と第2のトランジスタの接続点と第2の電源との間に接続されている第3のトランジスタとを含む上記チャージポンプにおいて、上記ロック状態検出回路によってPLL回路がロック状態にあると検出されたとき、上記位相差信号の有効期間に応じた期間において上記第1のトランジスタを導通させ、それ以外に当該第1のトランジスタを遮断させる第1の制御信号を上記位相差信号に応じて生成し、第1のトランジスタの制御端子に印加し、上記第1のトランジスタの導通よりも先に上記第2のトランジスタを導通させ、上記第1のトランジスタの遮断よりも後に上記第2のトランジスタを遮断させ、かつ、導通時に所望の出力電流を流れるレベルに保持される第2の制御信号を生成し、上記第2のトランジスタの制御端子に印加し、上記第2のトランジスタの導通よりも先に上記第3のトランジスタを遮断させ、上記第2のトランジスタの遮断よりも後に上記第3のトランジスタを導通させる第3の制御信号を生成し、上記第3のトランジスタの制御端子に印加する制御信号生成回路とを有する。

10

【0019】

さらに、本発明のPLL回路は、基準クロック信号と比較対象クロック信号の位相差を比較し、上記基準クロック信号と上記比較対象クロック信号との位相差に応じて、アップ信号またはダウン信号を出力する位相比較回路と、上記アップ信号またはダウン信号に応じて、PLL回路がロック状態にあるか否かを検出するロック状態検出回路と、上記アップ信号またはダウン信号に応じてチャージ電流またはディスチャージ電流を出力端子に出力するチャージポンプと、上記チャージポンプの出力端子に接続され、上記チャージポンプの出力電流に応じて制御信号を出力するフィルタと、上記制御信号に応じて、所望の周波数で発振信号を発生し、当該発振信号に応じて生成した信号を上記比較対象クロック信号として上記位相比較回路に出力する発振回路とを有するPLL回路であって、上記チャージポンプは、電源端子と上記出力端子との間に直列接続されている第1導電型の第1と第2のトランジスタと、上記第1と第2のトランジスタの接続点と基準電位との間に接続されている第3のトランジスタと、上記アップ信号を受けて、当該アップ信号の有効期間に応じて上記第1のトランジスタを導通させ、上記有効期間以外に上記第1のトランジスタを遮断させる第1のチャージ制御信号を生成して上記第1のトランジスタの制御端子に印加し、上記第2のトランジスタを上記第1のトランジスタが導通するよりも先に導通させ、上記第1のトランジスタが遮断するよりも後に遮断させ、かつ導通時に所望のチャージ電流を上記出力端子に出力する第2のチャージ制御信号を生成し、上記第2のトランジスタの制御端子に印加し、上記第3のトランジスタを上記第2のトランジスタが導通するよりも先に遮断させ、上記第2のトランジスタが遮断するよりも後に導通させる第3のチャージ制御信号を生成し、上記第3のトランジスタの制御端子に印加する第1の制御信号生成回路と、上記基準電位と上記出力端子との間に直列接続されている第2導電型の第4と第5のトランジスタと、上記第4と第5のトランジスタの接続点と上記電源端子との間に接続されている第6のトランジスタと、上記ダウン信号を受けて、当該ダウン信号の有効期間に応じて上記第4のトランジスタを導通させ、上記有効期間以外に上記第4のトランジスタを遮断させる第1のディスチャージ制御信号を生成して上記第4のトランジスタの制御端子に印加し、上記第5のトランジスタを上記第4のトランジスタが導通するよりも先に導通させ、上記第4のトランジスタが遮断するよりも後に遮断させ、かつ導通時に所望のディスチャージ電流を上記出力端子に出力する第2のディスチャージ制御信号を生成し、上記第5のトランジスタの制御端子に印加し、上記第6のトランジスタを上記第5のトランジスタが導通するよりも先に遮断させ、上記第5のトランジスタが遮断するよりも後に導通させる第3のディスチャージ制御信号を生成し、上記第6のトランジスタの制御端子に印加する第2の制御信号生成回路とを有する。

20

30

40

【0020】

また、本発明では、好適には、上記アップ信号が入力されていない期間において、上記第3のトランジスタが導通状態に保持され、上記第2のトランジスタのゲート-ソース間に逆バイアス電圧が印加される。

【0021】

50

また、本発明では、好適には、上記ダウン信号が入力されていない期間において、上記第6のトランジスタが導通状態に保持され、上記第5のトランジスタのゲート - ソース間に逆バイアス電圧が印加される。

【0022】

本発明によれば、チャージポンプにおいて、位相比較回路によって出力されるアップ信号またはダウン信号に応じて、チャージ電流またはディスチャージ電流を出力する。アップ信号及びダウン信号が出力されていないオフ時に、第3のトランジスタを導通させることにより、第2のトランジスタのゲート - ソース間に逆バイアス電圧を印加して、リーク電流の低減をはかる。

また、アップ信号またはダウン信号に応じて、第2または第3のトランジスタを切り替えるとき、制御信号のタイミングを適宜制御することによって、例えば、第2のトランジスタが導通するよりも先に第3のトランジスタを遮断させ、第2のトランジスタを遮断するよりも後に第3のトランジスタを導通させることによって第2と第3のトランジスタが同時に導通することを回避でき、チャージポンプの出力端子から電荷の放出または注入を防止でき、VCOの発振周波数の安定性を向上できる。

さらに、チャージポンプによって出力されるチャージ電流とディスチャージ電流のタイミングを第1のトランジスタに印加されるロック信号により制御することで、駆動能力を大きく確保でき、出力電流の立ち上がり及び立ち下がりエッジを急峻に制御でき、VCOの発振周波数を高精度で制御可能である。

【0023】

【発明の実施の形態】

第1実施形態

図1は本発明に係るチャージポンプの第1の実施形態を示す回路図である。

図示のように、本実施形態のチャージポンプは、nMOSトランジスタNA、NB、NC、pMOSトランジスタPA、PB、PC、及び制御信号発生回路10と20によって構成されている。

【0024】

トランジスタPBとPAは、電源電圧V_{CC}の端子とチャージポンプの出力端子OUTとの間に直列接続されている。即ち、トランジスタPBのソースが電源電圧V_{CC}が供給されている端子に接続され、ドレインがトランジスタPAのソースに接続されている。トランジスタPAのドレインが出力端子OUTに接続されている。トランジスタPCのソースがトランジスタPBのドレインとトランジスタPAのソースとの接続点N1に接続され、ドレインが接地されている。

【0025】

トランジスタPAのゲートに制御信号発生回路10によって出力されるアナログ制御信号S_{PA}が印加され、トランジスタPBのゲートに制御信号発生回路10によって出力される制御信号S_{1B}が印加され、トランジスタPCのゲートに制御信号発生回路10によって出力される制御信号S_{1C}が印加される。

【0026】

トランジスタNAとNBは、出力端子OUTと接地電位との間に直列接続されている。即ち、トランジスタNAのドレインが出力端子OUTに接続され、ソースがトランジスタNBのドレインに接続されている。トランジスタNBのソースが接地されている。トランジスタNCのソースがトランジスタNAのソースとトランジスタNBのドレインとの接続点N2に接続され、ドレインが電源電圧V_{CC}が供給されている端子に接続されている。

【0027】

トランジスタNAのゲートに、制御信号発生回路20によって出力されるアナログ制御信号S_{NA}が印加され、トランジスタNBのゲートに、制御信号発生回路20によって出力される制御信号S_{2B}が印加され、トランジスタNCのゲートに、制御信号発生回路20によって出力される制御信号S_{2C}が印加される。

【0028】

10

20

30

40

50

次に、制御信号発生回路 10 と 20 の構成について説明する。

図 2 は、制御信号発生回路 10 の一構成例を示す回路図である。

図 2 に示すように、制御信号発生回路 10 は、AND ゲート 11、バッファ 12、13、OR ゲート 14、インバータ 15、D フリップフロップ 16、17、及びインバータ 18、19 によって構成されている。

【0029】

AND ゲート 11 には、PLL 回路に設けられているロック検出回路のロック検出信号 LKDT と、予備分周クロック信号 PVCK が入力される。なお、ロック検出信号 LKDT は、PLL 回路がロック状態にあるとき活性化され、例えば、ハイレベルに保持され、それ以外にローレベルに保持される。予備分周クロック信号 PVCK は、PLL 回路に設けられて

10

られている分周回路によって生成され、分周クロック信号 VCK より、例えば、電圧制御発振器 (VCO) の発振信号の一周期分だけ速く出力されるパルス信号である。

AND ゲート 11 の出力信号が D フリップフロップ 17 のクロック入力端子に入力されている。

【0030】

バッファ 12 と 13 は縦続接続されている。バッファ 12 の入力端子にアップ信号 UP が入力される。

OR ゲート 14 の一方の端子にバッファ 13 の出力信号が入力され、他方の入力端子にアップ信号 UP が入力される。

OR ゲート 14 の出力信号がインバータ 15 によって反転され、D フリップフロップ 16 のクロック入力端子に入力される。

20

【0031】

D フリップフロップ 16 の出力端子 Q からの出力信号が D フリップフロップ 17 のリセット端子に入力され、D フリップフロップ 17 の出力端子 Q からの出力信号がインバータ 18 によって反転され、D フリップフロップ 16 のリセット端子に入力される。

【0032】

図 2 に示すように、制御信号発生回路 10 において、インバータ 15 から制御信号 S1A が出力され、バッファ 12 の出力信号がインバータ 19 によって反転され、制御信号 S1B として出力される。D フリップフロップ 17 の出力端子 Q からの出力信号が制御信号 S1C として出力される。また、制御信号 S1A に応じてアナログ制御信号 S_{PA} が生成される。

30

【0033】

以下、制御信号発生回路 10 の動作について説明する。

制御信号発生回路 10 は、PLL 回路がロック状態にあるとき、即ち、ロック検出信号 LKDT がハイレベルのとき制御信号 S1C を出力する。それ以外するとき、AND ゲート 11 の出力信号がローレベルに保持されるため、D フリップフロップ 17 が動作せず、制御信号 S1C がリセット状態のローレベルに保持される。このとき、アップ信号 UP に応じて制御信号 S1A と S1B が生成される。即ち、PLL 回路がロック状態に達していないとき、制御信号 S_{PA} と S1B が出力され、これらに応じた VCO の発振周波数が制御される。

40

【0034】

図 3 は、ロック状態に達したときの制御信号発生回路 10 の動作を示す波形図である。以下、図 2 及び図 3 を参照しつつ、制御信号発生回路 10 の動作を説明する。

予備分周信号 PVCK がハイレベルに立ち上がると、AND ゲート 11 の出力信号が立ち上がり、これに応じて、図 3 (F) に示すように、D フリップフロップ 17 の出力、即ち、制御信号 S1C がローレベルからハイレベルに変わる。

【0035】

次に、図 3 (G) に示すように、アップ信号 UP の立ち上がりよりバッファ 12 の遅延時間だけ遅れて、制御信号 S1B がハイレベルからローレベルに切り替わる。

バッファ 13 により、バッファ 12 の出力信号がさらに遅延される。即ち、2 段のバッ

50

ア12と13によって遅延されたアップ信号UPともとのアップ信号UPがともにORゲート14に入力される。

【0036】

このため、ORゲート14によって、制御信号S1_Bよりも幅が広いパルス信号が出力される。さらに、ORゲート14の出力信号がインバータ15によって反転され、Dフリップフロップ16のクロック入力端子に入力される。

なお、インバータ15の出力は、制御信号S1_Aとして取り出される。図3(H)には、制御信号S1_Aの波形を示している。さらに、制御信号S1_Aに応じて、図3(I)に示すように所定の振幅をもつアナログ制御信号S_{PA}が生成される。当該アナログ制御信号S_{PA}の振幅に応じてチャージ電流I_{UP}の電流値が制御される。

10

【0037】

インバータ15の出力の立ち上がりエッジに応じて、Dフリップフロップ16の出力がハイレベルに切り替わり、これに応じてDフリップフロップ17がリセットされる。即ち、制御信号S1_Cがハイレベルからローレベルに立ち下がる(図3(F))。

【0038】

上述したように、制御信号発生回路10によって、PLL回路に設けられている分周器からの予備分周信号PVCK及び位相比較回路からのアップ信号UPに応じて、制御信号S1_A、S1_B及びS1_Cがそれぞれ発生される。制御信号S1_BとS1_Cは、図1に示すチャージポンプのトランジスタPBとPCのゲートに印加され、制御信号S1_Aに応じて、所望の振幅を持つアナログ制御信号S_{PA}が生成され、トランジスタPAのゲートに印加される。これに応じて、チャージポンプは、アップ信号UPの有効期間中、即ち、アップ信号UPがハイレベルに保持されている間、トランジスタPAのゲートに印加されるアナログ制御信号S_{PA}の振幅に応じたチャージ電流I_{UP}を出力端子OUTに出力する。

20

【0039】

次に、図4を参照しつつ、制御信号発生回路20の構成について説明する。

図4は、制御信号発生回路20の一構成例を示す回路図である。

図4に示すように、制御信号発生回路20は、ANDゲート21、バッファ22、23、ORゲート24、インバータ25、Dフリップフロップ26、27、及びインバータ28によって構成されている。

【0040】

ANDゲート21には、ロック検出信号LKDTと予備分周信号PVCKが入力される。ANDゲート21の出力信号がDフリップフロップ27のクロック入力端子に入力されている。

30

【0041】

バッファ22と23は縦続接続されている。バッファ22の入力端子にダウン信号DNが入力される。

ORゲート24の一方の端子にバッファ23の出力信号が入力され、他方の入力端子にダウン信号DNが入力される。

ORゲート24の出力信号がインバータ25によって反転され、Dフリップフロップ26のクロック入力端子に入力される。

40

【0042】

Dフリップフロップ26の出力端子Qからの出力信号がDフリップフロップ27のリセット端子に入力され、Dフリップフロップ27の出力端子Qからの出力信号がインバータ28によって反転され、Dフリップフロップ26のリセット端子に入力される。

【0043】

図4に示すように、制御信号発生回路20において、ORゲート24から制御信号S2_Aが出力され、バッファ22から制御信号S2_Bが出力される。Dフリップフロップ27の出力信号の反転信号、即ち、インバータ28の出力信号Sが制御信号S2_Cとして出力される。また、制御信号S2_Aに応じて、アナログ制御信号S_{NA}が生成される。

【0044】

50

以下、制御信号発生回路20の動作について説明する。

制御信号発生回路20は、図2に示す制御信号発生回路10と同様に、PLL回路がロック状態に達したとき、即ち、ロック検出信号LKDTがハイレベルのとき制御信号S_{2c}を出力する。それ以外するとき、ANDゲート21の出力信号がローレベルに保持されるため、Dフリップフロップ27が動作せず、制御信号S_{2c}がリセット状態のハイレベルに保持される。

【0045】

図5は、制御信号発生回路20の動作を示す波形図である。以下、図4及び図5を参照しつつ、制御信号発生回路20の動作を説明する。

予備分周信号PVCKがハイレベルに立ち上がると、ANDゲート21の出力信号が立ち上がり、これに応じて、Dフリップフロップ27の出力信号がリセット状態のローレベルからハイレベルに立ち上がる。これに応じて、図5(F)に示すように、インバータ28の出力信号、即ち、制御信号S_{2c}がハイレベルからローレベルに変わる。

【0046】

次に、図5(G)に示すように、ダウン信号DNの立ち上がりよりバッファ22の遅延時間だけ遅れて、制御信号S_{2b}がローレベルからハイレベルに切り替わる。

バッファ23により、バッファ22の出力信号がさらに遅延される。即ち、2段のバッファ22と23によって遅延されたダウン信号DNとよとのダウン信号DNがともにORゲート24に入力される。

【0047】

このため、ORゲート24によって、制御信号S_{2b}よりも幅が広いパルス信号が出力され、さらにORゲート24の出力信号がインバータ25によって反転され、Dフリップフロップ26のクロック入力端子に入力される。

なお、ORゲート24の出力は、制御信号S_{2a}として取り出される。図5(H)には、制御信号S_{2a}の波形を示している。さらに、制御信号S_{2a}に応じて、図5(I)に示すように所定の振幅をもつアナログ制御信号S_{NA}が生成される。当該アナログ制御信号S_{NA}の振幅に応じて、ディスチャージ電流I_{DN}の電流値が制御される。

【0048】

インバータ25の出力の立ち上がりエッジに応じて、Dフリップフロップ26の出力がハイレベルに切り替わり、Dフリップフロップ27がリセットされ、その出力信号がハイレベルからローレベルに立ち下がる。これに応じて、図5(F)に示すように、インバータ28の出力信号、即ち制御信号S_{2c}がローレベルからハイレベルに立ち上がる。

【0049】

上述したように、制御信号発生回路20によって、予備分周信号PVCK及びダウン信号DNに応じて、制御信号S_{2a}、S_{2b}及びS_{2c}がそれぞれ発生される。制御信号S_{2b}とS_{2c}は、図1に示すチャージポンプのトランジスタNBとNCのゲートに印加され、制御信号S_{2a}に応じて、所望の振幅を持つアナログ制御信号S_{NA}が生成され、トランジスタNAのゲートに印加される。これに応じて、チャージポンプは、ダウン信号DNの有効期間中、即ち、ダウン信号DNがハイレベルに保持されている間、トランジスタNAのゲートに印加されるアナログ制御信号S_{NA}の振幅に応じたディスチャージ電流I_{DN}を出力端子OUTに出力する。

【0050】

本実施形態のチャージポンプにおいて、上述した制御信号発生回路10と20によって、位相比較回路によって生成されたアップ信号UP及びダウン信号DNに応じて、チャージ電流I_{UP}及びディスチャージ電流I_{DN}をそれぞれ生成し、出力端子OUTに出力する。

【0051】

次に、本実施形態のチャージポンプの全体の動作について説明する。

上述したとおり、本実施形態のチャージポンプは、アップ信号UP及びダウン信号DNに応じて、チャージ電流I_{UP}及びディスチャージ電流I_{DN}を出力する。

ここで、まず、アップ信号UPに応じてチャージ電流I_{UP}を出力する部分の動作について

説明する。

【0052】

図3の波形図に示すように、アップ信号UPが有効期間以外するとき、即ち、アップ信号UPがローレベルのとき、制御信号S1_AとS1_Bがハイレベル、制御信号S1_Cがローレベルにそれぞれ保持されている。また、制御信号S1_Aに応じて生成されているアナログ制御信号S_{PA}がほぼ電源電圧V_{CC}に保持される。このため、チャージポンプにおいて、トランジスタPCが導通し、トランジスタPAとPBが遮断する。遮断状態にあるトランジスタPAのソース電圧はほぼ接地電位GNDに保持され、ゲート電圧がほぼ電源電圧V_{CC}に保持されているので、トランジスタPAのゲート-ソース間に逆バイアス電圧が印加される。このため、トランジスタPAのリーク電流がゼロバイアス、即ちV_{GS} = 0の場合に較べて低減される。

10

【0053】

次に、アップ信号UPの立ち上がりエッジより前に、予備分周クロック信号PVCKが出力される。これに応じて、制御信号S1_Cがローレベルからハイレベルに立ち上がり、トランジスタPCが導通状態から遮断状態に切り替わる。

【0054】

次に、アップ信号UPが立ち上がり、所定の期間においてハイレベルに保持される。ここで、アップ信号UPがハイレベルの期間を有効期間という。

図3に示すように、アップ信号UPが立ち上がるに従って、制御信号S1_AとS1_Bが順次ローレベルに切り替わる。制御信号S1_Aに応じて、所定の振幅のアナログ制御信号S_{PA}が出力される。そして、制御信号S1_Bがローレベルに切り替わったとき、トランジスタPBとPAがともに導通状態にあり、電源電圧V_{CC}の端子から出力端子OUTまでに電流経路が形成されるので、出力端子OUTにチャージ電流I_{UP}が出力される。なお、チャージ電流I_{UP}の電流値が、トランジスタPAのゲートに印加されるアナログ制御信号S_{PA}のレベルにより決まる。

20

【0055】

アップ信号UPが有効期間を経過したのち、ローレベルに切り替わる。これに応じて、制御信号S1_Bがハイレベルに切り替わり、続いて制御信号S1_Aもハイレベルに切り替わる。これに応じて、アナログ制御信号S_{PA}がハイレベル、例えば、電源電圧V_{CC}に近いレベルに保持される。従って、アップ信号UPが有効期間を過ぎたあと、トランジスタPBとPAが順次遮断状態に切り替わる。

30

【0056】

次に、制御信号S1_Aの立ち上がりエッジに従って、制御信号S1_Cがハイレベルからローレベルに切り替わる。これに応じて、トランジスタPCが遮断状態から導通状態に切り替わる。

【0057】

上述したように、アップ信号UPに応じてチャージ電流I_{UP}を出力する動作において、トランジスタPAが導通状態に切り替える前にトランジスタPCが遮断状態に切り替わり、また、トランジスタPAが遮断状態に切り替った後にトランジスタPCが導通状態に切り替わる。即ち、トランジスタの切り替え動作において、トランジスタPAとPCが同時に導通状態になることが回避され、出力端子OUTから電荷の流出を防止できる。これによって、トランジスタの切り替えによるローパスフィルタにおけるキャパシタの端子電圧の変動を抑制でき、VCOの発振周波数の変動を抑制できる。

40

【0058】

また、チャージ電流I_{UP}の出力タイミングは、トランジスタPBのゲートに印加される制御信号S1_Bによって決まる。当該制御信号S1_Bは、大振幅のロジック信号であり、その駆動能力が大きくとれるので、チャージ電流I_{UP}の立ち上がり及び立ち下がりエッジを急峻にすることができ、これによってチャージ電流I_{UP}のパルス幅を小さくでき、より高精度で制御信号の電圧レベルを制御でき、よってVCOの発振周波数を高精度で制御することができる。

50

【0059】

次に、ダウン信号DNに応じてディスチャージ電流 I_{DN} の出力動作について説明する。ダウン信号DNは、アップ信号UPと同様に所定の有効期間においてハイレベルに保持される。チャージポンプは、ダウン信号DNの有効期間に応じて、ディスチャージ電流 I_{DN} を発生する。なお、ディスチャージ電流 I_{DN} は、チャージポンプの出力端子OUTからの引き込み電流である。

【0060】

図5にの波形図に示すように、ダウン信号DNが有効期間以外するとき、即ち、ダウン信号DNがローレベルのとき、制御信号 S_{2A} と S_{2B} がローレベルに保持され、制御信号 S_{2C} がハイレベルに保持される。また、制御信号 S_{2A} に応じて生成されているアナログ制御信号 S_{NA} がほぼ接地電位GNDに保持される。このため、トランジスタNCが導通し、トランジスタNAとNBが遮断する。また、遮断状態にあるトランジスタNAのソース電圧がほぼ電源電圧 V_{CC} に保持され、ゲート電圧が接地電位GNDに保持されているので、トランジスタNAのゲート-ソース間に逆バイアス電圧が印加される。このため、そのリーク電流がゼロバイアス、即ち、 $V_{GS} = 0$ の場合に較べて低減される。

10

【0061】

次に、ダウン信号DNの立ち上がりエッジより前に、予備分周クロック信号PVCKが出力される。これに応じて、制御信号 S_{2C} がハイレベルからローレベルに切り替わり、トランジスタNCが導通状態から遮断状態に切り替わる。

【0062】

次に、ダウン信号DNが立ち上がり、有効期間においてハイレベルに保持される。図5に示すように、ダウン信号DNの立ち上がりに従って、制御信号 S_{2A} と S_{2B} が順次ハイレベルに切り替わる。また、制御信号 S_{2A} に応じて、所定の振幅をもつアナログ制御信号 S_{NA} が出力される。そして、制御信号 S_{2B} がハイレベルに切り替わったとき、トランジスタNBとNAがともに導通状態にあり、チャージポンプの出力端子OUTから接地電位GNDまでに電流経路が形成されるので、出力端子OUTからディスチャージ電流 I_{DN} が引き込まれる。なお、ディスチャージ電流 I_{DN} の電流値が、トランジスタNAのゲートに印加されるアナログ制御信号 S_{NA} のレベルにより決まる。

20

【0063】

ダウン信号DNが有効期間を経過したのち、ローレベルに切り替わる。これに応じて、制御信号 S_{2B} がローレベルに切り替わり、続いて制御信号 S_{2A} もローレベルに切り替わる。アナログ制御信号 S_{NA} がローレベル、例えば、ほぼ接地電位に保持される。このため、ダウン信号DNが有効期間を経過したときトランジスタNBとNAが順次遮断状態に切り替わる。

30

【0064】

次に、制御信号 S_{2A} の立ち下がりエッジに従って、制御信号 S_{2C} がローレベルからハイレベルに切り替わる。これに応じて、トランジスタNCが遮断状態から導通状態に切り替わる。

【0065】

上述したように、ダウン信号DNに応じてディスチャージ電流 I_{DN} を出力する動作において、トランジスタNAが導通状態に切り替える前にトランジスタNCが遮断状態に切り替わり、また、トランジスタNAが遮断状態に切り替った後にトランジスタNCが導通状態に切り替わる。即ち、トランジスタの切り替え動作において、トランジスタNAとNCが同時に導通状態になることが回避され、出力端子OUTに電荷の注入を防止できる。これによって、トランジスタの切り替えによるローパスフィルタにおけるキャパシタの端子電圧の変動を抑制でき、VCOの発振周波数の変動を抑制できる。

40

【0066】

また、ディスチャージ電流 I_{DN} の出力タイミングは、トランジスタNBのゲートに印加される制御信号 S_{2B} によって決まる。当該制御信号 S_{2B} は、大振幅のロジック信号であり、その駆動能力が大きくとれるので、ディスチャージ電流 I_{DN} の立ち上がり及び立ち下

50

がりエッジを急峻にすることができ、これによってディスチャージ電流 I_{DN} のパルス幅を小さくでき、より高精度で制御信号の電圧レベルを制御でき、よって V_{CO} の発振周波数を高精度で制御することができる。

【0067】

以上説明したように、本実施形態のチャージポンプによれば、位相比較回路からのアップ信号 UP 及びダウン信号 DN に応じて、チャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} を発生し、アップ信号 UP 及びダウン信号 DN の何れも出力されていないオフ時に、トランジスタ PC とトランジスタ NC を導通させることにより、トランジスタ PA のソース電圧をゲート電圧より低く保持し、また、トランジスタ NA のソース電圧をゲート電圧より高く保持することにより、トランジスタ PA と NA のゲート - ソース間が逆バイアスされ、リーク電流を低減できる。また、アップ信号 UP またはダウン信号 DN に応じてトランジスタを切り替えるとき、切り替えのタイミングを適宜制御することにより、トランジスタ PA と PC を同時に導通する状態、またはトランジスタ NA と NC が同時に導通する状態が回避され、トランジスタの切り替えによる出力端子 OUT の電荷の流出または注入を回避でき、 V_{CO} に供給する制御電圧の変動を抑制でき、よって V_{CO} の発振周波数の変動を抑制できる。また、本実施形態のチャージポンプにおいて、チャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} の出力タイミングは、それぞれトランジスタ PB 及び NB のゲートに印加する大振幅のロジック制御信号により制御される。このため、トランジスタのゲート駆動能力を容易に高めることができ、チャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} の立ち上がり及び立ち下がりエッジを急峻にすることができ、よって出力電流のパルス幅を小さくでき、 V_{CO} の発振周波数を高精度で制御することができる。

10

20

【0068】

第2実施形態

図6は本発明に係るチャージポンプの第2の実施形態を示す回路図である。

図示のように、本実施形態のチャージポンプ回路は、制御信号発生回路 $10A$ と $20A$ 、及び $pMOS$ トランジスタ PA 、 PB 、 PD 、 $nMOS$ トランジスタ NA 、 NB 、 ND によって構成されている。

【0069】

図1に示す本発明のチャージポンプの第1の実施形態に較べて、本実施形態のチャージポンプでは、 $pMOS$ トランジスタ PC の代わりに $nMOS$ トランジスタ ND が用いられ、または、 $nMOS$ トランジスタ NC の代わりに $pMOS$ トランジスタ PD が用いられている。

30

【0070】

図6に示すように、トランジスタ ND において、ドレインがトランジスタ PB のドレインとトランジスタ PA のソースとの接続点 $N1$ に接続され、ソースが接地されている。トランジスタ ND のゲートに制御信号発生回路 $10A$ によって出力された制御信号 $S1_D$ が印加される。

一方、トランジスタ PD においては、ソースが電源電圧 V_{CC} が供給される端子に接続され、ドレインがトランジスタ NA のソースとトランジスタ NB のドレインの接続点 $N2$ に接続されている。また、トランジスタ PD のゲートには、制御信号発生回路 $20A$ によって出力される制御信号 $S2_D$ が印加される。

40

【0071】

また、本実施形態のチャージポンプにおいて、制御信号発生回路 $10A$ によって出力される制御信号 $S1_D$ は、上述した第1の実施形態の制御信号発生回路 10 が出力する制御信号 $S1_C$ の論理反転信号であり、制御信号発生回路 $20A$ によって出力される制御信号 $S2_D$ は、第1の実施形態の制御信号発生回路 20 が出力する制御信号 $S2_C$ の論理反転信号である。

【0072】

本実施形態のチャージポンプにおいて、上述した構成の違いを除けば、図1に示す本発明の第1の実施形態のチャージポンプとほぼ同じである。このため、本実施形態のチャージ

50

ポンプは、第1の実施形態のチャージポンプと同じように動作し、アップ信号UPまたはダウン信号DNに応じて、出力端子OUTにチャージ電流 I_{UP} またはディスチャージ電流 I_{DN} を出力する。

【0073】

また、制御信号発生回路10A及び20Aにおいて、アップ信号UP及びダウン信号DNが出力されていないオフ時に、トランジスタPA, PBを遮断させ、トランジスタNDを導通させる制御信号を出力し、また、トランジスタNA, NBを遮断させ、トランジスタPDを導通させる制御信号を出力する。このため、例えば、トランジスタPAにおいて、ソース電圧が接地電位GNDに保持され、ゲート電圧がほぼ電源電圧 V_{CC} に保持されるので、ゲート-ソース間が逆バイアスされ、リーク電流を大幅に低減できる。同様に、トランジスタNAにおいて、ソース電圧がほぼ電源電圧 V_{CC} に保持され、ゲート電圧が接地電位GNDに保持されるので、ゲート-ソース間が逆バイアスされ、リーク電流を大幅に低減できる。

10

【0074】

また、本実施形態において、オフ時にトランジスタNAのソース電圧がpMOSトランジスタPDによってほぼ電源電圧 V_{CC} レベルまで持ち上げられる。一方、第1の実施形態のチャージポンプにおいて、トランジスタNAのソース電圧は、nMOSトランジスタNCによって持ち上げられるため、ソース電圧が電源電圧 V_{CC} よりトランジスタNCのしきい値電圧分低下する。このため、本実施形態のチャージポンプにおいてオフ時にトランジスタNAのソース電圧を第1の実施形態のチャージポンプに較べて高めに保持でき、リーク電流を抑制する効果が向上する。

20

【0075】

さらに、本実施形態において、アップ信号UP及びダウン信号DNに応じて、チャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} を出力する切り替えのとき、制御信号発生回路10A及び20Aによって、所定のタイミングで適宜制御信号を生成することにより、トランジスタPAとNDが同時に導通することが回避され、出力端子OUTからの電荷の放出を防止でき、また、トランジスタNAとP手Iが同時に導通することが回避され、出力端子OUTに電荷が注入されることが防止できる。このため、切り替えによるVCOの制御信号の電圧レベルの変動を抑制でき、VCOの発振周波数の変動を抑制できる。

【0076】

第2実施形態

図7は本発明に係るPLL回路の一実施形態を示す構成図である。

図示のように、本実施形態のPLL回路は、位相周波数比較回路100、ロック検出回路110、チャージポンプ120、ループフィルタ130、VCO140及び分周器150を有している。

【0077】

以下、本実施形態のPLL回路の各構成部分について説明する。

位相周波数比較回路100は、基準クロック信号RCKと分周器150から出力される分周クロック信号VCKとの位相及び周波数を比較し、当該比較の結果、基準クロック信号RCKと分周クロック信号VCKとの位相差に応じて、アップ信号UPまたはダウン信号DNを出力する。

40

【0078】

ロック検出回路110は、位相周波数比較回路100からのアップ信号UP及びダウン信号DNに応じて、PLL回路がロック状態にあるか否かを検出し、検出の結果、PLL回路がロック状態にあるとき、ロック検出信号LKDTを活性化し、例えば、ハイレベルに設定する。なお、ロック検出信号LKDTがチャージポンプ120に出力される。

【0079】

チャージポンプ120は、位相周波数比較回路100からのアップ信号UP、ダウン信号DN及びロック検出回路110からのロック検出信号LKDTに応じて、チャージ電流 I_{UP} またはディスチャージ電流 I_{DN} を出力する。

50

チャージポンプ 120 は、上述した本発明の第 1 または第 2 の実施形態のチャージポンプによって構成されている。

【0080】

ループフィルタ 130 は、図 7 に示すように、例えば、チャージポンプの出力端子と接地電位 GND との間に縦続接続されている抵抗素子 R 及びキャパシタ C によって構成されている。ループフィルタ 130 において、キャパシタ C は、チャージポンプ 120 から出力されるチャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} に応じて充電または放電し、制御電圧 V_C を発生して VCO140 に出力する。

【0081】

なお、図 7 は、ループフィルタの一構成例を示したに過ぎず、ループフィルタは、他の種々の構成を有するが、抵抗素子 R とキャパシタ C を含むローパスフィルタはその基本的な構成である。そして、キャパシタ C がチャージポンプ 120 の出力電流に応じて充放電することによって、制御電圧 V_C を発生し、これに基づいて VCO140 の発振周波数を制御する点では、共通している。

【0082】

VCO140 は、ループフィルタ 130 によって生成した制御電圧 V_C に応じて発振周波数が制御される。当該発振周波数でクロック信号 CK を生成し、分周器 150 に供給する。

【0083】

分周器 150 は、VCO140 からのクロック信号 CK を所定の分周比 N で分周し、分周クロック信号 VCK を位相周波数比較回路 100 に出力する。また、分周器 150 は、分周クロック信号 VCK より、位相がわずかに進んでいる予備分周クロック信号 PVCK を生成し、チャージポンプ 120 に供給する。

予備分周クロック信号 PVCK は、例えば、分周クロック信号 VCK より、クロック信号 CK の 1 周期分だけ位相が進んでいるパルス信号である。例えば、分周器 150 の分周比が N であるとき、予備分周クロック信号 PVCK は、分周クロック信号 VCK より、 $1/N$ だけ位相が進む。

【0084】

次に、上述した構成を有する PLL 回路の動作について説明する。

位相周波数比較回路 100 において、基準クロック信号 RCK と分周クロック信号 VCK の位相、周波数を比較し、これらのクロック信号の位相差に応じてアップ信号 UP またはダウン信号 DN が出力される。

【0085】

ロック検出回路 110 において、位相周波数比較回路 100 により出力されたアップ信号 UP またはダウン信号 DN に応じて、PLL 回路がロック状態にあるか否かについて判断が行われる。当該判断の結果、PLL 回路がロック状態にあるとき、ロック検出信号 LKDT が活性化される。

チャージポンプ 120 では、アップ信号 UP またはダウン信号 DN に応じてチャージ電流 I_{UP} またはディスチャージ電流 I_{DN} が出力される。

【0086】

本実施形態の PLL 回路において、ロック検出回路 110 による検出の結果、PLL 回路がロック状態にある場合、チャージポンプ 120 は、図 3 及び図 5 の波形図に示すように、予備分周信号 PVCK 及びアップ信号 UP またはダウン信号 DN に応じて、制御信号発生回路によって生成した制御信号に応じてトランジスタの切り替えが行われる。その結果、アップ信号 UP 及びダウン信号 DN が出力されていないオフ時のリーク電流が低減される。また、オフ時の制御電圧 V_C のレベル変動が抑制され、VCO140 の発振周波数の変動が抑制される。

【0087】

一方、PLL 回路がロック状態に達していないとき、チャージポンプ 120 は、制御信号 S_1 または S_2 を出力しない。この場合、例えば、図 1 に示すチャージポンプにおい

て、トランジスタ P C と N C が遮断状態に保持され、アップ信号 U P またはダウン信号 D N に応じて、トランジスタ P A , P B 及びトランジスタ N A , N B が導通または遮断状態に制御され、チャージ電流 I_{UP} またはディスチャージ電流 I_{DN} が出力端子 O U T に供給される。これに応じて、ループフィルタ 1 3 0 によって、チャージポンプ 1 2 0 の出力電流に応じて制御電圧 V_C が発生され、これに応じて V C O 1 4 0 において発振周波数が制御され、そして、分周器 1 5 0 からの分周クロック信号 V C K と基準クロック信号 R C K の位相及び周波数がほぼ一致するようになったとき、P L L 回路がロック状態に入る。

【 0 0 8 8 】

上述したように、本実施形態の P L L 回路によれば、ロック状態に達していない場合、チャージポンプ 1 2 0 によって位相周波数比較回路 1 0 0 からのアップ信号 U P またはダウン信号 D N に応じて、チャージ電流 I_{UP} またはディスチャージ電流 I_{DN} が生成される。これに応じて、ループフィルタ 1 3 0 によって制御電圧 V_C が出力し、V C O 1 4 0 の発振周波数が制御される。このため、分周器 1 5 0 から出力される分周クロック信号 V C K と基準クロック信号 R C K との位相差及び周波数の差が収束するように、P L L 回路においてフィードバック制御が行われ、P L L 回路がロック状態に達したとき制御が安定化する。そして、ロック状態に達したあと、チャージポンプ 1 2 0 において図 3 及び図 5 に示すように動作し、オフ時のリーク電流の発生が抑制され、制御電圧 V_C の安定性、及び V C O 1 4 0 の発振周波数の安定性を改善できる。また、チャージ電流 I_{UP} 及びディスチャージ電流 I_{DN} のパルス幅を小さく制御することができ、V C O 1 4 0 の発振周波数を高精度で制御可能である。

【 0 0 8 9 】

【 発明の効果 】

以上説明したように、本発明のチャージポンプ及びそれを用いて構成された P L L 回路によれば、アップ信号及びダウン信号が出力されていないオフ時に、電流出力用トランジスタのソース-ゲート間に逆バイアス電圧をかけることによって、オフ時のリーク電流を低減でき、V C O の発振周波数の安定性を改善できる。一方、アップ信号及びダウン信号に応じた電流出力トランジスタを切り替えるとき、それぞれのトランジスタの切り替えタイミングを適宜制御することによって、切り替えによるチャージポンプ出力端子の電荷の注入または放出を防止でき、制御電圧の変動を抑制し、V C O の発振周波数の変動を抑制できる。

さらに、本発明のチャージポンプによれば、電流出力のタイミングは、電流出力用トランジスタの制御端子に印加されるロック信号によって制御されるので、出力電流の立ち上がりまたは立ち下がりエッジを急峻にすることができ、電流パルスの幅を小さくでき、これに従って V C O の発振周波数を高精度で制御できる利点がある。

【 図面の簡単な説明 】

【 図 1 】 本発明に係るチャージポンプの第 1 の実施形態を示す回路図である。

【 図 2 】 チャージポンプを構成する制御信号発生回路 1 0 の構成を示す回路図である。

【 図 3 】 制御信号発生回路 1 0 の動作を示す波形図である。

【 図 4 】 チャージポンプを構成する制御信号発生回路 2 0 の構成を示す回路図である。

【 図 5 】 制御信号発生回路 2 0 の動作を示す波形図である。

【 図 6 】 本発明に係るチャージポンプの第 2 の実施形態を示す回路図である。

【 図 7 】 本発明に係る P L L 回路の一構成例を示すブロック図である。

【 図 8 】 従来のチャージポンプの一構成例を示す回路図である。

【 図 9 】 従来のチャージポンプの他の構成例を示す回路図である。

【 符号の説明 】

1 0 , 1 0 A , 2 0 , 2 0 A ... 制御信号発生回路、
 1 0 0 ... 位相周波数比較回路、 1 1 0 ... ロック検出回路、
 1 2 0 ... チャージポンプ、 1 3 0 ... ループフィルタ、
 1 4 0 ... V C O、 1 5 0 ... 分周器、
 V_{CC} ... 電源電圧、 G N D ... 接地電位。

10

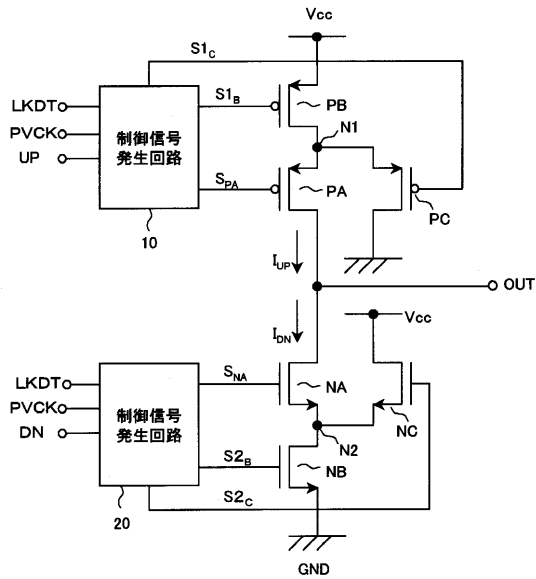
20

30

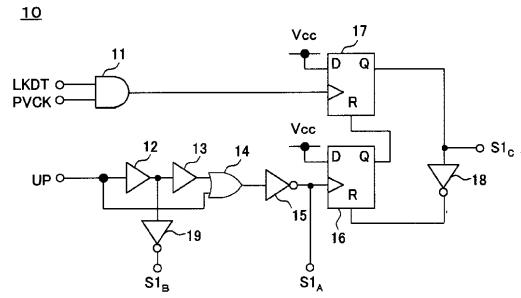
40

50

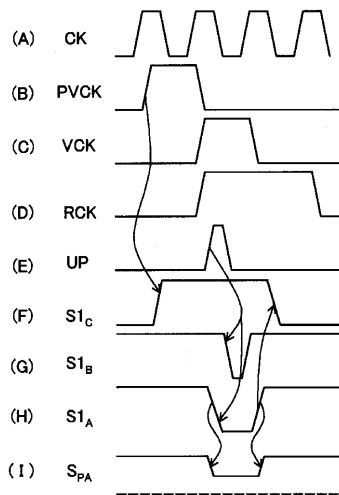
【 図 1 】



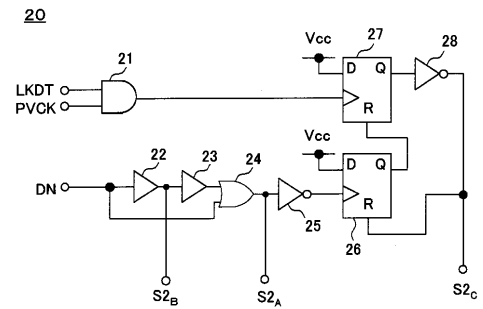
【 図 2 】



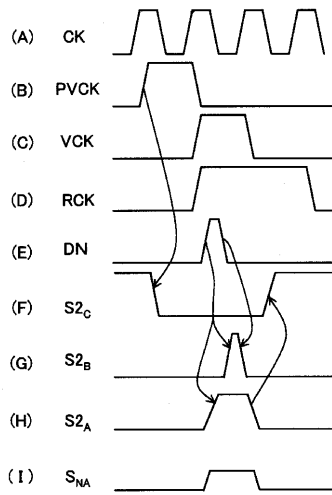
【 図 3 】



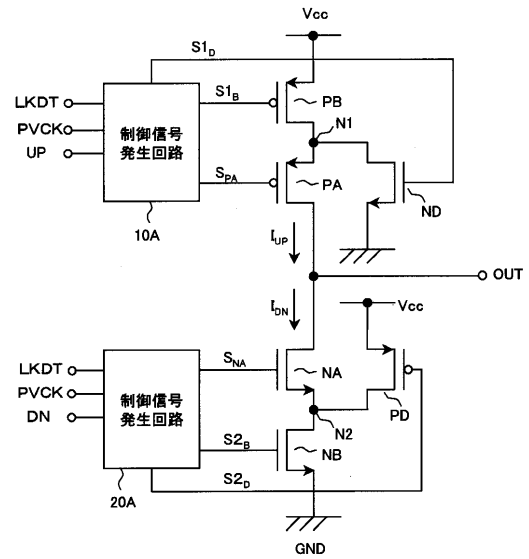
【 図 4 】



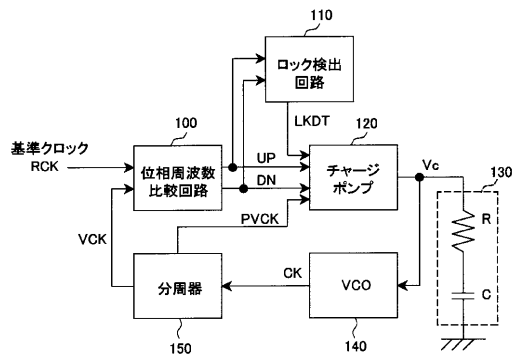
【 図 5 】



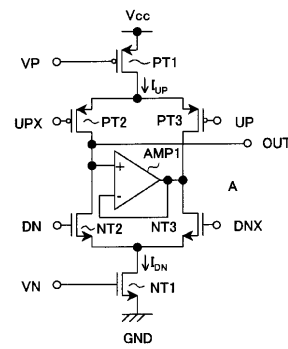
【 図 6 】



【 図 7 】



【 図 9 】



【 図 8 】

