〔19〕中华人民共和国专利局

[11] 审定号 CN 1006271B

〔12〕发明专利申请审定说明书

〔21〕申请号 85109172

[51] Int.Cl⁴

〔44〕审定公告日 1989年12月27日 H03K 19/01

〔22〕申请日 85.12.11

〔30〕优先权

〔32〕85.1.31 〔33〕US 〔31〕697,303

〔71〕申请人 得克萨斯仪器公司 地址 美国得克萨斯州75265达拉斯市

〔72〕发明人 博比·D·斯特朗 罗伯特·C·马丁

凯维恩·M·欧文斯

詹姆士·F·萨尔茨曼

〔74〕专利代理机构 上海专利事务所

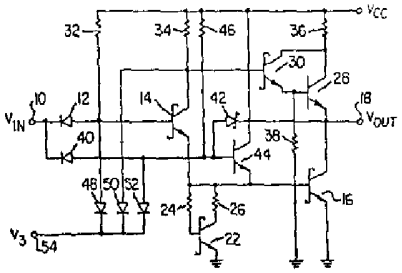
代理人 顾承根

说明书页数： 附图页数：

〔54〕发明名称 晶体管－晶体管逻辑型门高到低跃变加速电路

〔57〕摘要

一种TTL型门高到低跃变加速电路，其中输入晶体管〔14〕随着在端点〔10〕的输入电压的跃变可在高及低阻抗状态变化。输出晶体管〔16〕耦合到输入晶体管〔14〕并随着在端点〔10〕处的输入跃变而改变阻抗状态。包括加速晶体管〔44〕的电路耦合在输入晶体管〔14〕及输出晶体管〔16〕之间，以便将附加电流加到输出晶体管〔16〕以加速阻抗状态的变化。该电路将附加电流加给输出晶体管〔16〕直到在端点〔18〕处的输出电压下降到低于输出晶体管〔16〕的基极—发射极电压的两倍时为止。



权 利 要 求 书

1.一种跃变加速电路包括：

接收输入电压跃变的输入晶体管14；

与上述输入晶体管14相耦合并随着在上述输入晶体管处的电压跃变而改变状态的输出晶体管16；

连接在上述输入及输出晶体管之间、将附加电流加到上述输出晶体管以加速上述状态变化的加速电路；

其特征在于上述状态变化的加速电路包括将电流附加给输出晶体管16直到上述输出晶体管两端的输出电压下降到低于上述输出晶体管的基极—发射极电压的两倍时为止的电流源，上述电流源包括串联后连接在上述输入及输出晶体管之间的一对单向导电元件40，42，及连接在上述单向导电元件的连接点和上述输出晶体管之间的一加速晶体管44，且上述输入晶体管14及加速晶体管44的导通使上述附加电流加到上述输出晶体管16。

2.一种跃变加速电路包括：

接收输入电压跃变的输入晶体管14；

与上述输入晶体管14相耦合并随着在上述输入晶体管处的电压跃变而改变状态的输出晶体管16；

连接在上述输入及输出晶体管之间、将附加电流加到上述输出晶体管以加速上述状态变化的加速电路；

其特征在于上述状态变化的加速电路包括将电流附加给输出晶体管16直到上述输出晶体管两端的输出电压下降到低于上述输出晶体管的基极—发射极电压的两倍时为止的电流源，上述电流源包括一单向导电元件40，其一端连到上述输入晶体管及其第二端连到肖特基钳位晶体管44，且上述肖特基钳位晶体管跨接在上述输出晶体管的输入及

输出上。

3.一种跃变加速电路包括：

接收输入电压跃变的输入晶体管14；

与上述输入晶体管14相耦合并随着在上述输入晶体管处的电压跃变而改变状态的输出晶体管16；

连接在上述输入及输出晶体管之间、将附加电流加到上述输出晶体管以加速上述状态变化的加速电路；

其特征在于上述状态变化的加速电路包括将电流附加给输出晶体管16直到上述输出晶体管两端的输出电压下降到低于上述输出晶体管的基极—发射极电压的两倍时为止的电流源，上述电流源包括连接在上述输入晶体管及上述输出晶体管的输出之间的一肖特基钳位晶体管56。

4.如权利要求3 所述的加速电路，其特征还包括连到上述肖特基钳位晶体管以提供高阻抗第三状态输出的三态输入电路(52/60)。

5.如权利要求4 所述的加速电路，其特征在于上述三态输入电路包括一其阳极连到上述肖特基钳位晶体管56的基极的二极管52，该二极管的阴极包括上述第三状态输出。

6.如权利要求4 所述的加速电路，其特征在于上述三态输入电路包括一其集电极连到上述肖特基钳位晶体管56的基极的第二肖特基钳位晶体管60，上述第二肖特基钳位晶体管的发射极包括上述第三状态输出。

7.一种跃变加速电路，工作时连接在电压源两端，该电路包括：

接收来自输入端的输入电压跃变并对其作出响应而产生驱动电流的输入晶体管14；

连接成接收驱动电流并对其作出响应改变状态以产生输出电压跃变加到输出端上的输出晶体管16；

连接成将附加电流直接从电压源加到上述输出晶体管以便使上述输出晶体管的状态的改变加速的电路；

其特征在于上述状态的改变加速的电路包括：

连接在输入端和输出端之间且串连成电流导通方向相反的第一二极管和第二二极管40,42；

其基极与上述第一和第二二极管的连接点相连、其发射极与上述输出晶体管的基极相连、及其集电极直接与上述电压源相连的加速晶体管44；

藉此，上述输入晶体管和加速晶体管的导通使要加给上述输出晶体管的附加电流加到上述输出晶体管两端的输出电压下降到低于上述输出晶体管的基极- 发射极电压的两倍时为止。

8.如权利要求7 所述的加速电路，其特征还包括有选择地使输出置于高阻抗状态的三态输入电路。

9.如权利要求8 所述的加速电路，其特征在于上述三态输入电路包括其阳极连到上述加速晶体管的基极的第三二极管52及其阳极连到上述输入晶体管的基极的第四二极管48。

10. 如权利要求9 所述的加速电路，其特征在于上述输入和输出晶体管为肖特基钳位晶体管。

晶体管—晶体管逻辑型门高到低跃变加速电路

本发明涉及电子电路且更具体地涉及用以提高ＴＴＬ（晶体管—晶体管逻辑）型门电路的输出跃变（Transition）速度的加速电路。

电子装置常用的许多电路中从一电平向另一电平进行快速跃变是很重要的。ＴＴＬ门用的这一典型输出电路通常可有低电平输入及高电平输出。如输入呈现高电压则输出电路能很快跃变到低输出电压非常重要。这类输出电路能驱动高电容性负载并还能提供高阻抗三态输出也是很重要的。

以前所发明的ＴＴＬ门输出电路已经发展有“加速”单元，它在输出跃变期间将额外的加速电流加到输出晶体管。但是，这类以前的加速电路加有加速电流的时间不够长，或其幅度不够高，而且这类以前发明的加速电路通常不能用作高阻抗三态电路。

根据本发明，所发明的输出加速电路实质上消除以前所发明的输出加速电路所带来的问题，或使其变得最小。本加速电路包括一输入晶体管，它随着输入电压的跃变可在高阻抗状态及低阻抗状态之间变化。一输出晶体管与该输入晶体管相耦合，并随着加到输入晶体管的输入电压跃变而改变阻抗状态。在输入及输出晶体管之间进行耦合的电路将附加的电流加到输出晶体管以加速阻抗状态的变化。该电路将附加电流加到输出晶体管直到其两端的输出电压下降到低于输出晶体管的基极—发射极电压的两倍为止。该电路还可被连接以提供高阻抗三态输出。

根据本发明的另一方面，改进的跃变加速电路包括一接收低输入电压或高输入电压的输入。一输入晶体管与该输入相耦合，当该输入有电压跃变时，即变为导通状态。一输出晶体管与输入晶体管相耦合。在输入及输出晶体管之间至少连有一个单向导电单元。一加速晶体管与单向导电单元及输出晶体管的输入相连。输出晶体管随着因输入晶体管及加速晶体管的导通所加的电流而改变阻抗状态。

根据本发明的另一方面，改进的跃变加速电路包括一输入晶体管，其基极连成既能接收低输入电压又能接收高输入电压。输出晶体管的基极耦合到输入晶体管的发射极。输出晶体管的集电极提供输出电压。加速晶体管的发射极连到输入晶体管的集电极，且其集电极则连到输出晶体管的集电极。加到输入晶体管的基极的高输入电压使加速电流从加速晶体管加到输出晶体管的基极，以便使输出晶体管的导通加速，并使输出电压迅速下降。

为了更详细地说明本发明及有关本发明的其他目的与优点，现联系所附说明参考下列附图：

图1 图示用于ＴＴＬ门的属已知技术的加速电路的电路图；

图2 为本改进的加速电路的最佳实施例的原理电路图；

图3 为图2 所示的加速电路的一种变换；

图4 为本发明的加速电路的另一实施例；及

图5 为图4 所示的电路的一种变换。

图1 为属于已有技术的加速电路的原理图。在输入端[10] 的高输入电压或低输入电压经二极管[12] 加到肖特基(Schottky)钳位输入晶体管[14] 的基极。众所周知，肖特基钳位晶体

管包括一连到晶体管的基极及集电极两端的肖特基二极管。输入晶体管[14] 的发射极连到肖特基钳位输出晶体管[16] 的基极。晶体管[16] 的集电极连到输出端[1 8] 以提供 T T L电路所要的输出电压。

加速肖特基钳位二极管[20] 跨接在输入晶体管[14] 与输出晶体管[16] 的两集电极上。二极管[20] 在接通期间经过晶体管[14] 向输出晶体管[16] 的基极提供附加的或加速电流，以便使晶体管[16] 随着在输入电压端[10] 所收到电压的跃变更快地变为导电。

一有效关断的肖特基钳位晶体管[22] 可经电阻[24] 及[26] 连到晶体管[16] 的基极。而且，作为典型电路的部件，提供有达林顿(Darlington)对晶体管的配置，其中包括其发射极连到输出端[18] 的晶体管[28] 及跨接在晶体管[2 8] 的基极及集电极的肖特基钳位晶体管[30] 。电阻[32] 、[34] 、[36] 及[38] 提供给该电路的晶体管以必需的偏置及电流控制。

在图1 的已有技术的电路工作时，假设加到端点[10] 的输入电压是低电压而在端点[18] 的输出电压是高电压。晶体管[14] ，[16] 及[22] 是不导通的。当加到端点[10] 的输入电压跃变到高电压状态，则晶体管[14] 变为导通且从其发射极将电流加到输出晶体管[16] 的基极，晶体管[14] 还作为分相器用。此外，加速基极电流从二极管[20] 经晶体管[14] 加到晶体管[16] ，该二极管也开始导通。随着基极电流出现，输出晶体管[16] 开始导通，在端点[18] 处的输出电压开始下降直到最终二极管[20] 停止导通。这就减小了加到晶体管[16] 的基

极的附加加速电流。在该点，加到输出晶体管[16] 上的接通电流的唯一来源是经过电阻[3 2] 和[34] 及晶体管[14] 。

可以看出当在端点[18] 处的输出电压等于输出晶体管[16] 的基极—发射极电压加输入晶体管[14] 的导通电压加二极管[20] 的二极管电压时，二极管[20] 的导通终止。因为输入晶体管[14] 的导通电压约等于晶体管基极—发射极电压减去肖特基二极管电压降，则使二极管[20] 关断的输出电压可以看作约为输出晶体管[16] 的基极—发射极电压的两倍，这是因为二极管[20] 的电压降等于肖特基二极管电压降。换句话说，当在端点[18] 的输出电压近似地达到输出晶体管[16] 的基极—发射极电压的两倍时，二极管[2 0] 变为不导通，并停止加给加速电流。

已发现先前的加速电路的阈值在最佳性能时过高，因为加到输出晶体管[16] 的加速电流的时间不够长，故使电路的接通时间加长。而且，加到晶体管[16] 的附加加速电流受到晶体管[14] 的h_{FE} 的限制。因为晶体管[14] 通常经电阻[34] 向输出晶体管[16] 供给接通电流，这往往使晶体管[16] 所得到的附加接通电流减小。而且图1 所示的电路当要使用高阻抗三态输出时，就发生困难。

图2 图示根据本发明而改进的电路，其中同样的数码用于在图1 中所示的同样及同一个元件。因而图2 包括电压输入端[10] ，输入二极管[12] 及输入晶体管[14] 。晶体管[14] 的发射极连到肖特基钳位输出晶体管[16] 的基极，其集电极加到输出端[18] 以提供电压输出。晶体管[22] 的发射极及集电极经电

阻[24] 及[26] 连到晶体管[16] 的基极。由晶体管[28] 及[30] 所形成的达林顿对连到晶体管[16] 的集电极。偏置电阻[32] 、[34] 、[36] 及[38] 的连接与图1 相似。

然而在图2 中以前所说明的二极管[20] 由改进的加速电路所取代。该电路包括二极管[40] 其阴极连到输入端[10] ，其阳极连到肖特基二极管[42] 。二极管[42] 的阴极连在输出端[18] 及输出晶体管[16] 的集电极。加速晶体管[44] 的基极连到互连的二极管[40] 及[42] 的连接点。加速晶体管[44] 的发射极则连到输出晶体管[16] 的基极，其集电极则连到偏置电压。电阻[46] 连到加速晶体管[44] 的基极及偏压之间。

在图2 的改进的加速电路工作时，假设加在输入端[10] 的电压为低电压及输出端[18] 上的电压为高电压。因为肖特基二极管[42] 的阴极连到输出电压故该阴极为逻辑“1 ”。因为电压输入为低电压故二极管[40] 的阴极为逻辑“零”。因而通常加速晶体管[44] 不导通。

然而，当高电压输入加到输入端[10] 时，二极管[40] 的阴极成为逻辑“1 ”。二极管[40] 及[42] 工作以提供“与”功能，因而只有当逻辑“1 ”同时加到二极管[40] 及二极管[42] 的阴极时，加速晶体管[44] 才导通。当此情况发生时，电流从电阻[46] 流到加速晶体管[44] 的基极。晶体管[44] 作为发射极跟随器连到肖特基钳位输出晶体管[16] ，并因而将发射极电流加到输出晶体管[16] 的基极。这为晶体管[16] 的加速导通提供了直流加速源。当然，因在输入端[10] 加有高电压，故输入晶体管[14] 也开始导通，并和以前的电路一样开始

将基极电流加到输出晶体管[16] 。

由于晶体管[44] 所提供的增益，本电路为输出晶体管[16] 提供附加的加速电流。而且，从晶体管[44] 所加的加速电流比由二极管[20] (图1)所提供的电流的时间周期较长。当晶体管[16] 的集电极处的输出电压下降到约为晶体管的基极一发射极电压的两倍减去肖特基二极管压降时，只有这时晶体管[44] 才开始关断。因而此阈值实质上低于晶体管基极一发射极电压的两倍。当晶体管[16] 的集电极的电压进一步下降时，晶体管[44] 将变为不导通。因而可以看出，由于关断电压电平的阈值较低，故实质上用图2 的电路时加给输出晶体管[16] 的加速电流的时间比先前电路的时间较长。

除去这些改进的接通特性外，图2 所示的电路还可以用来提供三态输出。为提供此输出，二极管[48] 的阳极连到晶体管[14] 的基极。二极管[50] 的阳极连到晶体管[14] 的集电极。二极管[52] 的阳极连到加速晶体管[44] 的基极。二极管[48] ，[50] 及[52] 的阴极一起连到 V_s端[54] 以提供高阻抗三态输出。在工作时，二极管[48] 保持晶体管[1 4] 不导通，二极管[50] 保持晶体管[28] 及[30] 不导通。及二极管[52] 保持晶体管[44] 不导通。在这些状态时，输出晶体管[16] 没有基极电流来源，故在端点[18] 处的电压输出处于高阻抗状态，及加速电路的输入是反向偏置二极管，故输出能按需要向上向下变动。

因而可在本发明中看出在晶体管[16] 导通时驱动输出晶体管[16] 的基极电流的大小增大。在晶体管[16] 导通期间从加

速晶体管[44] 来的电流不仅减小该电路的接通时间，而且允许该电路驱动大电容性负载使其对接通时间的影响降低。由于二极管[40] 及[42] 所提供的“与”功能，仅当该电路的输入及输出都处于高电平情况时，才加有附加接通电流。

图3 图示了在图2 中所示的电路图的一种变换，其中对于前面图中的同样的及对应的部件都使用同样的数码。如可见到的一样，此电路与图2 所示的电路的不同点在于利用肖特基钳位加速晶体管[44] ，及晶体管[44] 的集电极直接连到电压输出端[18] 。此外，为了图面清晰已将包括二极管[48—52] 及端点[54] 的三态电路去掉，尽管应懂得三态电路也可用于图三的线路图中。

当图3 的电路工作时，在电路转换期间从加速晶体管[44] 所加的附加加速电流由在输出端[18] 的负载供给以便帮助负载放电。而且加速晶体管[44] 的集电极经与该处合在一起的肖特基钳位晶体管的基极集电极使其本身关断。这允许将图2 的二极管[42] 去掉。经过这些变换后，图3 线路的工作方式与图2 的线路图的工作方式相似，以便提供输出晶体管[16] 的改进的快速接通，从而使端点[18] 处的输出电压快速跃变。

图4 图示本发明的另一实施例，其中对以前的附图的同样的及相应的部件使用同样的数码。输入电压从端点[1 0] 加到输入晶体管[14] 的基极，其发射极则连到肖特基钳位输出晶体管[16] 。达林顿对晶体管[28] 及[30] 的连接如前，而电阻[34] ，[36] 及[38] 的连接与以前的线路同。

然而，在本实施例中，加速晶体管[56] 的发射极连到输入

晶体管[14] 的集电极，且其集电极连到电压输出端[1 8] 及输出晶体管[16] 的集电极。晶体管[56] 为肖特基钳位晶体管并经其基极连到电阻[58] 后再连到偏置电压。

还装有以前在图2 中所示的三态电路，其中二极管[4 8] 连在电压输入端[10] 及三态输出端[54] 之间，二极管[5 0] 连在晶体管[14] 的集电极及端点[54] 之间，以及二极管[52] 的阳极连到加速晶体管[50] 的基极，该二极管并与端点[54] 相连。同时，在图4 中二极管[48] ，[50] 及[52] 都表示为肖特基二极管。

在本发明的实施例中，加速晶体管[56] 取代以前电路中先前的加速二极管并经输入晶体管[14] 提供给输出晶体管以附加基极驱动。此加速电流加到输出晶体管[16] 直到端点[18] 处的电压输出到达晶体管基极—发射极电压加上两倍晶体管的导通电压为止。这可以看出阈值比已有技术的两倍基极—发射极电压较低，并因而用图4 的电路时所加的加速电流的时间周期加长。此外此电路可适合于三态输出如由二极管[48—52] 及三态端[54] 所图示。

图5 是图4 的线路的一种变换，其中以前图中的相同及对应部件使用相同的数码．可以看出从图4 到图5 的唯一变化是用肖特基钳位晶体管[60] 取代二极管[52] ．肖特基钳位晶体管[60] 的集电极连到加速晶体管[56] 的基极．晶体管[60] 的发射极连到三态输出端[54] ．此电路的工作方式与图4 所示的电路相同，以提供加速电流给输出晶体管[16] ．然而，图5 提供了三态电路的另一种形式。当需要三态时晶体管[60] 工作在接

通状态，以便保持加速晶体管[56] 关断。二极管[48] 及[50] 工作使其余电路关断。因而晶体管[60] 使该电路很可靠地接通，以便提供高阻抗状态。

因而可看出本发明提供有时间周期增大的加速电流，以便提供在TTL输出电路中的输出晶体管的快速跃变。本发明使阈电压降低，在该电压时加速器件的关断发生。利用有源增益器件如晶体管来代替以前所用的二极管，可以提供幅度增大的加速电流，因而进一步减小电路的关断时间。因而本器件维持输出晶体管的加速电流到低于两倍输出晶体管的基极—发射极电压的阈电平。

虽然已经透露肖特基二极管用作如二极管[42] 之类的元件，但应明白，常规的集电极—基极二极管也可以使用。在这一情况下，关断加速电流的阈电压应降低到约为一个基极—发射极晶体管电压，因为阈电压等于两个基极—发射极电压减去二极管电压，并因为集电极—基极二极管电压约等于一个基极—发射极电压。当然，肖特基二极管的尺寸小，且所需的贮存电荷少。

虽然对最佳实施例已作了详细说明，但应明白不离开由权利要求书所定义的发明的精神及范围，可以进行各式各样的变化、替代及变换。

申请号 85 1 09172
Int.Cl⁴ H03K 19/01
审定公告日 1989年12月27日

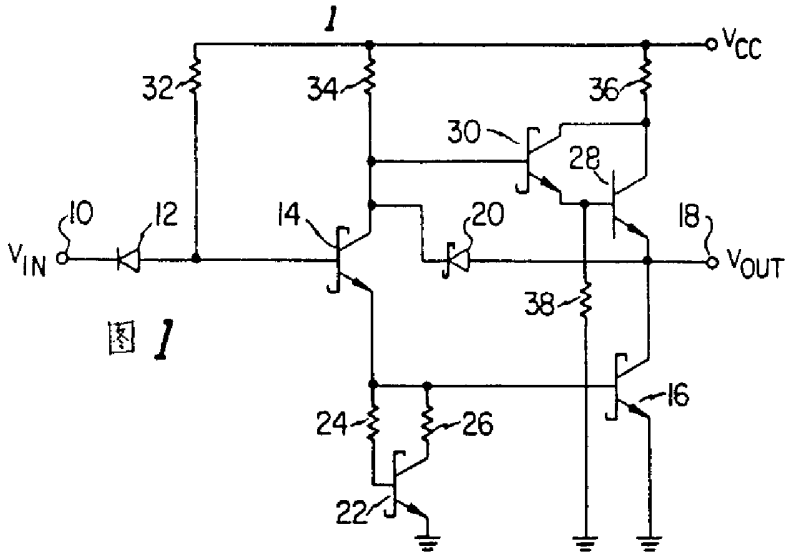


图 1

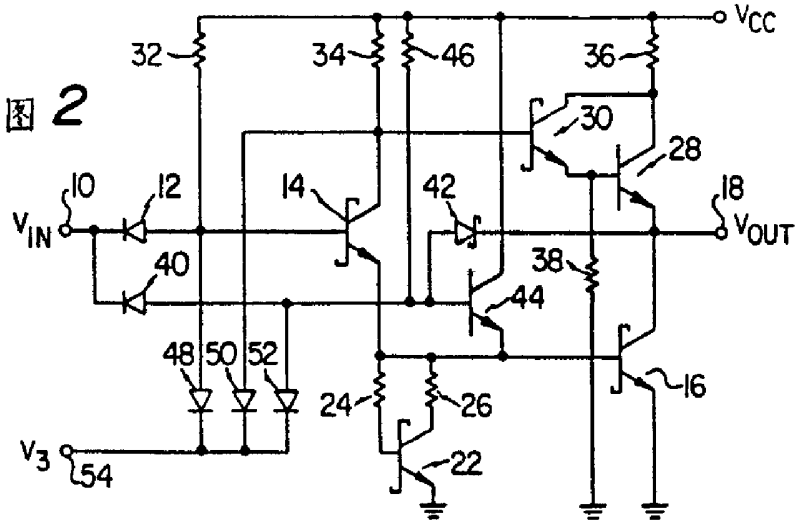


图 2

申请号 85 1 09172
Int.Cl⁴ H03K 19/01
审定公告日 1989年12月27日

图 3

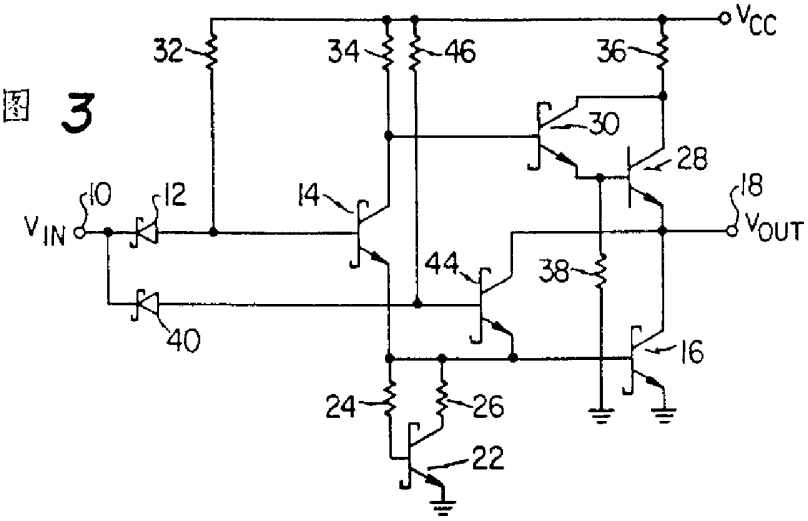
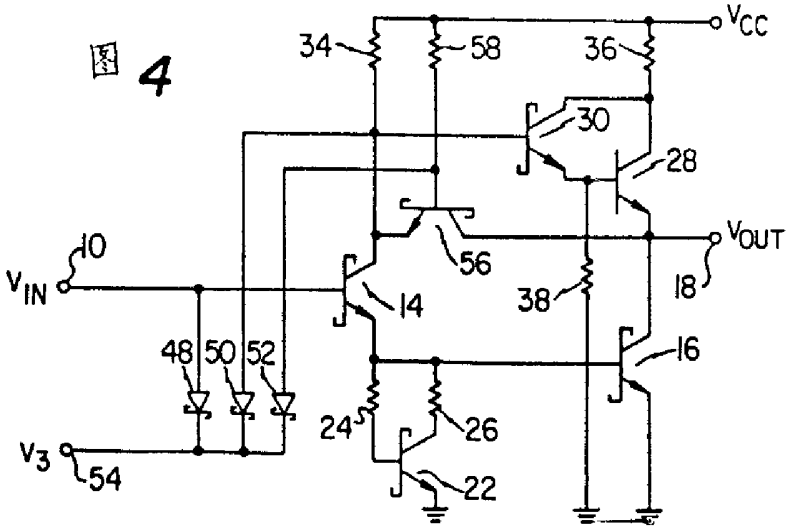


图 4



申请号 85 1 09172
Int.Cl.⁴ H03K 19/01
审定公告日 1989年12月27日

图5

