

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21170

(P2010-21170A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 U	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 6 V	
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 1 6 T	
HO 1 L 27/00 (2006.01)	HO 1 L 29/78 6 1 6 K	

審査請求 有 請求項の数 20 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-177550 (P2008-177550)
 (22) 出願日 平成20年7月8日(2008.7.8)

(出願人による申告)平成20年度、独立行政法人科学技術振興機構、ネオシリコンのポストCMOS素子応用検討 委託事業、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 河村 哲史
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 内山 博幸
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 斎藤 慎一
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

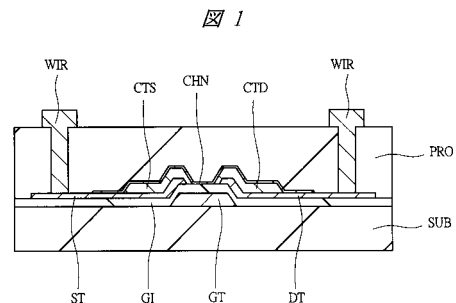
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】チャンネル層の厚さを10nm程度以下とした酸化化物TFETにおいて、チャンネル層とソース電極との間やチャンネル層とドレイン電極との間のコンタクト抵抗を低減して高速で動作することができる半導体装置を提供する。

【解決手段】酸化化物TFETのオフ状態において完全空乏化状態を実現できるように形成する。そして、チャンネル層CHNとソース電極STの間にコンタクト層CTSを形成し、チャンネル層CHNとドレイン電極DTとの間にコンタクト層CTDを形成する。さらに、ゲート電極GTとチャンネル層CHNとの間のゲート絶縁膜容量をCgi、ゲート電極GT以外の構造物とチャンネル層CHNとの間の寄生容量の総和をCpとしたとき、Cgiに対するCpの割合Cp/Cgiが0.7よりも小さくなるように形成する。

【選択図】 図1



SUB: 基板
 GT: ゲート電極
 GI: ゲート絶縁膜
 DT: ドレイン電極
 ST: ソース電極
 CTD: コンタクト層
 CTS: コンタクト層
 CHN: チャンネル層

【特許請求の範囲】

【請求項 1】

(a) 導電材料からなるゲート電極と、

(b) 前記ゲート電極と対向するように配置され、かつ、金属酸化物を使用した半導体層からなるチャンネル層と、

(c) 前記ゲート電極と前記チャンネル層に挟まれたゲート絶縁膜と、

(d) 前記チャンネル層と電氣的に接続されるソース電極およびドレイン電極とを備え、前記チャンネル層中の全キャリア量が前記ゲート電極で制御できるキャリア量よりも小さく、かつ、前記チャンネル層の厚さが最大空乏層幅よりも小さい電界効果トランジスタを有する半導体装置であって、

10

前記チャンネル層と前記ソース電極の間に第 1 導電層が形成され、かつ、前記チャンネル層と前記ドレイン電極の間に第 2 導電層が形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、

素電荷量を q 、前記チャンネル層中のキャリア濃度を N_c 、前記チャンネル層の厚さを d 、前記ゲート絶縁膜を介して前記ゲート電極により制御可能な最大電荷量を Q_g 、前記チャンネル層中の最大空乏層幅を W_{max} とする場合、

$q \times N_c \times d < Q_g$ および $d < W_{max}$ を満たすことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置であって、

20

前記第 1 導電層および前記第 2 導電層は、金属酸化物を使用した半導体層から形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置であって、

前記第 1 導電層、前記第 2 導電層および前記チャンネル層とは同一の材料から形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置であって、

離間領域を介して前記ソース電極と前記ドレイン電極が形成され、

前記ソース電極の前記離間領域側の端部を覆いながら前記ソース電極上に前記第 1 導電層が形成され、かつ、前記ドレイン電極の前記離間領域側の端部を覆いながら前記ドレイン電極上に前記第 2 導電層が形成され、前記第 1 導電層と前記第 2 導電層は前記離間領域で分離されており、

30

前記第 1 導電層上、前記離間領域上および前記第 2 導電層上にわたって前記チャンネル層が形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置であって、

前記離間領域の下層に前記ゲート絶縁膜を介して前記ゲート電極が形成されていることを特徴とする半導体装置。

【請求項 7】

40

請求項 5 記載の半導体装置であって、

前記離間領域の上層に前記ゲート絶縁膜を介して前記ゲート電極が形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 5 記載の半導体装置であって、

前記ソース電極の前記離間領域側の端部および前記ドレイン電極の前記離間領域側の端部は、先端部に行くにつれて高さが低くなるテーパ形状をしていることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置であって、

50

前記第 1 導電層の前記離間領域側の端部および前記第 2 導電層の前記離間領域側の端部は、先端部にいくにつれて高さが低くなるテーパ形状をしていることを特徴とする半導体装置。

【請求項 10】

請求項 1 記載の半導体装置であって、
前記第 1 導電層は前記ソース電極の一部領域上に形成され、
前記第 2 導電層は前記ドレイン電極の一部領域上に形成されていることを特徴とする半導体装置。

【請求項 11】

請求項 10 記載の半導体装置であって、
前記電界効果トランジスタ上には絶縁膜を介して配線層が形成されており、
前記配線層と前記ソース電極を接続する第 1 プラグは前記絶縁膜を貫通するように形成され、前記第 1 プラグは、前記チャンネル層および前記第 1 導電層が形成されていない領域の前記ソース電極に達するように形成されており、
前記配線層と前記ドレイン電極を接続する第 2 プラグは前記絶縁膜を貫通するように形成され、前記第 2 プラグは、前記チャンネル層および前記第 2 導電層が形成されていない領域の前記ドレイン電極に達するように形成されていることを特徴とする半導体装置。

【請求項 12】

請求項 1 記載の半導体装置であって、
前記チャンネル層の厚さと前記第 1 導電層の厚さの合計の厚さ、あるいは、前記チャンネル層の厚さと前記第 2 導電層の厚さの合計の厚さは、10 nm 以上 100 nm 以下であることを特徴とする半導体装置。

【請求項 13】

請求項 1 記載の半導体装置であって、
前記ゲート絶縁膜を介した前記ゲート電極と前記チャンネル層との間のゲート絶縁膜容量を C_{gi} 、前記ゲート電極以外の構造物と前記チャンネル層との間の寄生容量の総和を C_p とするとき、 C_{gi} に対する C_p の割合を示す C_p / C_{gi} の値が 0.7 よりも小さいことを特徴とする半導体装置。

【請求項 14】

請求項 1 記載の半導体装置であって、
前記電界効果トランジスタは、ガラス基板あるいはプラスチック基板上に形成されていることを特徴とする半導体装置。

【請求項 15】

請求項 1 記載の半導体装置であって、
前記電界効果トランジスタは、2 層以上の層に積層して形成されていることを特徴とする半導体装置。

【請求項 16】

(a) 基板上にゲート電極を形成する工程と、
(b) 前記ゲート電極を覆うように前記基板上にゲート絶縁膜を形成する工程と、
(c) 前記ゲート絶縁膜上にソース電極とドレイン電極とを離間領域を介して形成する工程と、
(d) 前記ソース電極上に第 1 導電層を形成し、前記ドレイン電極上に第 2 導電層を形成する工程と、
(e) 前記第 1 導電層上、前記離間領域上および前記第 2 導電層上にわたって金属酸化物を使用した半導体層からなるチャンネル層を形成する工程とを備え、
前記チャンネル層中の全キャリア量が前記ゲート電極で制御できるキャリア量よりも小さく、かつ、前記チャンネル層の厚さが最大空乏層幅よりも小さくなるように形成することを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 16 記載の半導体装置の製造方法であって、

10

20

30

40

50

前記第1導電層および前記第2導電層は、金属酸化物を使用した半導体層から形成することを特徴とする半導体装置の製造方法。

【請求項18】

請求項17記載の半導体装置の製造方法であって、

前記第1導電層、前記第2導電層および前記チャンネル層は同一の材料から形成することを特徴とする半導体装置の製造方法。

【請求項19】

請求項16記載の半導体装置の製造方法であって、

前記(d)工程は、前記ソース電極の前記離間領域側の端部を覆いながら前記ソース電極上に前記第1導電層を形成し、かつ、前記ドレイン電極の前記離間領域側の端部を覆いながら前記ドレイン電極上に前記第2導電層を形成することを特徴とする半導体装置の製造方法。

10

【請求項20】

請求項16記載の半導体装置の製造方法であって、

前記(c)工程は、前記ソース電極の前記離間領域側の端部および前記ドレイン電極の前記離間領域側の端部を、先端部に行くにつれて高さが低くなるテーパ形状に加工し、

前記(d)工程は、前記第1導電層の前記離間領域側の端部および前記第2導電層の前記離間領域側の端部を、先端部にいくにつれて高さが低くなるテーパ形状に加工することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、金属酸化物膜をチャンネル層に用いる電界効果トランジスタを含む半導体装置に関する。

【背景技術】

【0002】

薄膜トランジスタ(Thin Film Transistor: 以下、この明細書では単にTFTと称する場合がある)(電界効果トランジスタ)は、ガラスやプラスチックフィルムなどの基板上に形成することができ、エレクトロニクス技術において重要な役割を担うデバイスである。しかしながら、現在最も広く使われているアモルファスまたは多結晶シリコンTFTでは、サブスレッショルド係数が200mV/decade程度以上と大きくなる。このため、TFTを使用して回路を形成した場合、通常の大規模集積回路(Large-Scale Integrated circuit: 以下、この明細書では単にLSIと称する場合がある)のように1~3V程度の低電圧で駆動することが難しいという問題がある。また、TFTでは、オフ電流が大きいため、待機時消費電流を小さくすることが難しいという問題もある。

30

【0003】

これらの問題を解決するには、TFTのオフ状態において完全空乏化状態を実現すればよいが、シリコンTFTでは作製プロセス上、完全空乏化状態を実現する構造を形成することが容易ではない。

【0004】

40

一方、金属酸化物膜をチャンネル層に用いた酸化物TFTにおいては、例えば、特開2007-250987号公報(特許文献1)に示すように、ITO(Indium Tin Oxide)で形成したチャンネル層の厚さを5~15nmまで薄くすることで完全空乏型のオフ状態を実現する技術が開示されている。開示されている技術では、チャンネル層中の全キャリア量をゲートで制御できるキャリア量よりも小さくし、かつ、チャンネル層の厚さを最大空乏層幅よりも小さくしている。すなわち、素電荷量をq、前記チャンネル層中のキャリア濃度をNc、前記チャンネル層の厚さをd、ゲート絶縁膜を介してゲート電極により制御可能な最大電荷量をQg、チャンネル層中の最大空乏層幅をWmaxとしたとき、次の条件式(1)、(2)を同時に満たしている。

【0005】

50

$$q \times N_c \times d < Q_g \dots\dots\dots (1)$$

$$d < W_{max} \dots\dots\dots (2)$$

これにより、サブスレシヨルド係数が100~200mV/decadeで、かつ、オフ電流が小さいTF Tを実現している。

【特許文献1】特開2007-250987号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1では、ゲート電極をチャンネル層よりも下層に形成するボトムゲート型TF Tの構成が開示されており、このボトムゲート型TF Tにおいて、ITOからなるチャンネル層上にソース電極およびドレイン電極を直付けした構造が開示されている。ところが、一般に異種材料間で良好な電氣的コンタクトを取るためには、数~10nm程度の接合界面層が必要である。したがって、特許文献1に開示された構造では、チャンネル層の厚さを10nm程度以下にしているため、チャンネル層とソース電極あるいはドレイン電極との境界に十分な接合界面層を形成することができず、ソース電極やドレイン電極のコンタクト抵抗が大きくなる。このため、TF Tのオン電流が低下するという問題がある。すなわち、特許文献1に記載された技術によれば、高速動作する回路を形成することが難しいという問題がある。

10

【0007】

また、特許文献1に記載された技術では、従来のシリコンTF Tに比べて小さいサブスレシヨルド係数を実現しているが、通常のLSIで用いられる電界効果トランジスタ(Field Effect Transistor: 以下、この明細書では単にFETと称する場合がある)の80~100mV/decadeというサブスレシヨルド係数に比べると大きく、LSI並みの低電圧駆動が難しいという問題がある。

20

【0008】

本発明は、このような事情に基づいてなされたものであり、その目的は、次に示すようになっている。

【0009】

本発明の目的は、チャンネル層の厚さを10nm程度以下とした酸化物TF Tにおいて、チャンネル層とソース電極との間やチャンネル層とドレイン電極との間のコンタクト抵抗を低減して高速で動作することができる半導体装置を提供することにある。

30

【0010】

また、本発明の他の目的は、完全空乏型のTF Tのサブスレシヨルド係数を単結晶シリコンを使用したFETに匹敵する100mV/decade以下とすることにより、低電圧で駆動する半導体装置を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0013】

代表的な実施の形態による半導体装置は、(a)導電材料からなるゲート電極と、(b)前記ゲート電極と対向するように配置され、かつ、金属酸化物を使用した半導体層からなるチャンネル層と、(c)前記ゲート電極と前記チャンネル層に挟まれたゲート絶縁膜と、(d)前記チャンネル層と電氣的に接続されるソース電極およびドレイン電極とを備える。このとき、前記チャンネル層中の全キャリア量が前記ゲート電極で制御できるキャリア量よりも小さく、かつ、前記チャンネル層の厚さが最大空乏層幅よりも小さい。そして、前記チャンネル層と前記ソース電極の間に第1導電層が形成され、かつ、前記チャンネル層と前記ド

50

レイン電極の間に第2導電層が形成されていることを特徴とするものである。

【0014】

また、代表的な実施の形態による半導体装置の製造方法は、(a)基板上にゲート電極を形成する工程と、(b)前記ゲート電極を覆うように前記基板上にゲート絶縁膜を形成する工程と、(c)前記ゲート絶縁膜上にソース電極とドレイン電極とを離間領域を介して形成する工程とを備える。そして、(d)前記ソース電極上に第1導電層を形成し、前記ドレイン電極上に第2導電層を形成する工程と、(e)前記第1導電層上、前記離間領域上および前記第2導電層上にわたって金属酸化物を使用した半導体層からなるチャンネル層を形成する工程とを備える。このとき、前記チャンネル層中の全キャリア量が前記ゲート電極で制御できるキャリア量よりも小さく、かつ、前記チャンネル層の厚さが最大空乏層幅よりも小さくなるように形成するものである。

10

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0016】

オフ電流が小さい完全空乏型のTFTにおいて、コンタクト抵抗の低減を図り、消費電力が小さく、かつ、高速で動作する半導体装置を提供することができる。

【0017】

また、完全空乏型のTFTのサブスレッショルド係数を100mV/decade以下とすることにより、低電圧で駆動する半導体装置を提供することができる。

20

【発明を実施するための最良の形態】

【0018】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0019】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

30

【0020】

さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0021】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0022】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

40

【0023】

(実施の形態1)

図1は、本実施の形態1における半導体装置の構成を示す図である。半導体装置としていわゆるボトムゲート/ボトムコンタクト型酸化物TFTを挙げている。ここでいうボトムゲートとは、チャンネル層よりも下層にゲート電極が形成されている構造のことであり、ボトムコンタクトとは、チャンネル層よりも下層に本実施の形態1の特徴であるコンタクト層(導電層)が形成されている構造を示している。

50

【0024】

本実施の形態1における半導体装置では、図1に示すように、基板SUB上にゲート電極GTが形成されている。そして、このゲート電極GTを覆う基板SUBの上面にゲート絶縁膜GIが形成されている。また、ゲート絶縁膜GI上に少なくとも平面的にゲート電極GTを跨るようにしてソース電極STおよびドレイン電極DTが形成されている。すなわち、ソース電極STおよびドレイン電極DTは、一定距離離間した領域である離間領域を隔てて配置されている。

【0025】

ソース電極STの上にはソース側のコンタクト層(第1導電層)CTSが金属酸化物よりなる半導体層によって形成されており、ドレイン電極DTの上にはドレイン側のコンタクト層(第2導電層)CTDが金属酸化物よりなる半導体層によって形成されている。そして、少なくともゲート電極GTおよび両コンタクト層CTS、CTDを跨るようにしてチャンネル層CHNが形成されている。このように本実施の形態1の特徴は、チャンネル層CHNとソース電極STあるいはドレイン電極DTと直接接続するのではなく、チャンネル層CHNとソース電極STの間にコンタクト層CTSを形成し、チャンネル層CHNとドレイン領域DTとの間にコンタクト層CTDを形成している点にある。これにより、チャンネル層CHNを薄く形成しても、チャンネル層とソース電極あるいはドレイン電極との境界に十分な接合界面層を形成することができる。つまり、ソース電極STは十分な厚さのコンタクト層CTSを介してチャンネル層CHNと接続されるので、チャンネル層CHNが充分に薄くなっても、コンタクト層CTSとソース電極STとの境界で十分な厚さの接合界面層を形成することができるのである。同様に、ドレイン電極DTは十分な厚さのコンタクト層CTDを介してチャンネル層CHNと接続されるので、チャンネル層CHNが充分に薄くなっても、コンタクト層CTDとドレイン電極DTとの境界で十分な厚さの接合界面層を形成することができる。したがって、ソース電極STとチャンネル層CHNとの間のコンタクト抵抗や、ドレイン電極DTとチャンネル層CHNとの間のコンタクト抵抗を小さくすることができる。このため、TFTのオン抵抗を低減することができ、オン電流の向上を図ることができる。

【0026】

このとき、コンタクト層CTS、CTDが厚すぎると厚さ方向に寄生抵抗が生じるため、その厚さはチャンネル層CHNの厚さとの合計が100nm以下となるように形成するのが望ましい。また、コンタクト層CTS、CTDが薄すぎると十分な厚さの接合界面層を形成できず、コンタクト抵抗低減の効果が十分に得られないため、その厚さはチャンネル層CHNの厚さとの合計が10nm以上となるように形成するのが望ましい。

【0027】

また、ソース電極ST・ドレイン電極DT-コンタクト層CTS・CTD-チャンネル層CHNの順に接続が形成されるよう、両コンタクト層CTS、CTDは、ソース電極STとドレイン電極DTとの間隔の内側にも形成されている。すなわち、ソース電極STの離間領域側の端部を覆いながらソース電極ST上にコンタクト層CTSが形成され、かつ、ドレイン電極DTの離間領域側の端部を覆いながらドレイン電極DT上にコンタクト層CTDが形成されている。これにより、ソース電極STの離間領域側の端部やドレイン電極DTの離間領域側の端部においても、ソース電極ST・ドレイン電極DT-コンタクト層CTS・CTD-チャンネル層CHNの順に接続を形成することができ、コンタクト層CTS、CTDによる十分な接合界面層を形成することができる。

【0028】

また、チャンネル層CHNを成膜する際の被覆性を良好にするため、ソース電極ST、ドレイン電極DT、および両コンタクト層CTS、CTDはテーパ状に形成されている。つまり、ソース電極STの離間領域側の端部およびドレイン電極DTの離間領域側の端部は、先端部に行くにつれて高さが低くなるテーパ形状をしている。同様に、コンタクト層CTSの離間領域側の端部およびコンタクト層CTDの離間領域側の端部は、先端部に行くにつれて高さが低くなるテーパ形状をしている。このように構成することにより、コンタ

10

20

30

40

50

クト層CTS、CTD上に形成されるチャンネル層CHNの被覆性を向上することができる。

【0029】

続いて、チャンネル層CHNの上には絶縁膜からなる保護膜PROが形成されており、保護膜PRO上に配線WIRが形成されている。この配線WIRとソース電極ST、ドレイン電極DTとの間の接続は、保護膜PROを貫通するプラグ（第1プラグ、第2プラグ）で行なわれている。このプラグは、チャンネル層CHNおよびはコンタクト層CTS、CTDが形成されていない領域のソース電極STあるいはドレイン電極DTに接続されている。これは、保護膜PROにコンタクトホールを形成する際にサイドエッチングによりチャンネル層CHNあるいはコンタクト層CTS、CTDが削られないようにするためである。つまり、チャンネル層およびコンタクト層CTS、CTDは、エッチングされやすい金属酸化物から形成されているので、プラグをチャンネル層CHNおよびはコンタクト層CTS、CTDが形成されている領域のソース電極STあるいはドレイン電極DTに接続すると、コンタクトホールを形成するエッチングの際、コンタクトホールの側壁からのサイドエッチングにより、チャンネル層CHNおよびコンタクト層CTS、CTDが除去されてしまうのである。このことから、配線WIRとソース電極STあるいはドレイン電極DTとを接続するプラグは、チャンネル層やコンタクト層CTS、CTDが形成されていない領域で行なっている。

10

【0030】

基板SUBは、例えば、ガラス、石英、プラスチックフィルム、金属フィルムなどからなり、必要に応じてゲート電極GTが形成される側の表面に絶縁膜のコーティングがなされている。ゲート電極GT、ソース電極ST、ドレイン電極DT、配線WIRは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITOなどの金属酸化物導電膜、窒化チタン(TiN)などの金属窒化物導電膜、その他の導電性金属化合物膜、高濃度にドーピングされた半導体、あるいはこれらの積層膜によって形成されている。ゲート電極GT、ソース電極ST、ドレイン電極DT、配線WIRは、同一の材料から形成されても良いし、異なる材料から形成されても良い。絶縁膜GIは、たとえば、SiO₂、SiN、Al₂O₃、あるいはその他の絶縁膜によって形成されている。チャンネル層CHNやコンタクト層CTS、CTDは、たとえば、ZnO、InGaZnO、InZnO、GaZnO、InGaO、ZnSnO、ITOあるいは導電性を示すその他の金属酸化物によって形成されている。チャンネル層CHNとコンタクト層CTS、CTDは、同一の材料から形成してもよいし、異なる材料から形成してもよい。

20

30

【0031】

チャンネル層CHNのキャリア濃度N_cおよび厚さdはTFTのオフ状態において完全空乏化状態を実現できるように形成されている。すなわち、チャンネル層中の全キャリア量はゲート電極で制御できるキャリア量よりも小さく、かつ、チャンネル層の厚さは最大空乏層幅よりも小さく形成されている。上述の2つの条件は、素電荷量をq、前記チャンネル層中のキャリア濃度をN_c、前記チャンネル層の厚さをd、ゲート絶縁膜を介してゲート電極により制御可能な最大電荷量をQ_g、チャンネル層中の最大空乏層幅をW_{max}、真空の誘電率をε₀、チャンネル層を構成する材料の比誘電率をε_r、フェルミポテンシャルと真性ポテンシャルの差をφ_bとしたとき、次の2つの条件式(3)、(4)で表される。

40

【0032】

$$q \times N_c \times d < Q_g \quad \dots \dots \dots (3)$$

$$N_c < Q_g / (q d)$$

$$d < W_{max} = \{ (4 \epsilon_0 \epsilon_r \phi_b) / (q N_c) \}^{1/2} \dots \dots \dots (4)$$

$$N_c < (4 \epsilon_0 \epsilon_r \phi_b) / (q d^2)$$

図2は、条件式(3)を説明するための図である。図2には、ゲート電極とこのゲート電極上に形成されたゲート絶縁膜とゲート絶縁膜上に形成されたチャンネル層(半導体層)が図示されている。TFTのオフ時にはチャンネル層は全領域において空乏層領域となって

50

おり、オフ状態から徐々にゲート電極に印加する電圧を大きくしていくと、空乏層領域が減少して導電領域が現れてくる。チャンネル層を形成する半導体膜のキャリア（電子）濃度を N_c 、チャンネル層の幅を d 、素電荷を q とすると、チャンネル層中に存在する全キャリア量（全電荷）は、 $q \times N_c \times d$ となる。このチャンネル層に存在する全キャリア量がゲート電極で制御できるキャリア量 Q_g よりも小さくなるという条件が条件式（3）である。すなわち、条件式（3）は、ゲート電極によって、チャンネル層に存在する全キャリアを制御できることを条件としているものである。このとき、ゲート電極で制御できるキャリア量 Q_g は、ゲート絶縁膜容量を C_{gi} 、ゲート電極に印加されるゲート電圧の最大値を V_{gmax} とすると、 $Q_g = C_{gi} \times V_{gmax}$ で表される。これは、ゲート絶縁膜容量に蓄積できる電荷量を示しており、この電荷量よりもチャンネル層に存在する全キャリア量が少なければ、ゲート電極で制御することができることを意味している。

10

【0033】

続いて、図3は、条件式（4）を説明するための図である。図3には、ゲート絶縁膜と接触するチャンネル層を形成する半導体層内のバンド構造を示している。図3に示すように、半導体層の表面から一定領域までバンドが曲がっていることがわかる。このバンドが曲がっている領域が空乏層を示しており、図3に示す半導体層の表面から W までの幅が空乏層幅となっている。バンドの曲がりにはゲート電極を構成する材料の仕事関数やゲート電極に印加される電圧の影響を受ける。条件式（4）は、この空乏層幅の最大値 W_{max} よりも半導体層に形成されるチャンネル層の厚さが薄いことを条件としたものである。

20

【0034】

図4は条件式（3）および条件式（4）をグラフとして図示したものである。図4において、縦軸はキャリア濃度 N_c を示しており、横軸はチャンネル層の厚さ d を示している。図4に示すように、条件式（3）を示す曲線と条件式（4）を示す曲線の両方の下部領域が両方の条件を満たす範囲である。この範囲を図4では斜線領域で示している。すなわち、図4に示す斜線領域に含まれる条件に設定すれば、条件式（3）と条件式（4）を満たすこととなり、TFTのオフ状態において、完全空乏化状態を実現することができる。このようにTFTのオフ状態において、完全空乏化状態を実現することにより、TFTのオフ時のリーク電流を低減することができるのである。

【0035】

次に、図5は酸化物TFTのチャンネル層 CHN が周囲の構造物との間に形成する静電容量を示す図である。本実施の形態1における酸化物TFTは、ゲート電極 GT とチャンネル層 CHN との間のゲート絶縁膜容量を C_{gi} 、ゲート電極 GT 以外の構造物とチャンネル層 CHN との間の寄生容量の総和を C_p ($C_1 + C_2 + C_3 + C_4 + C_5 + \dots = C_n = (\epsilon_n / t_n)$) としたとき、 C_{gi} に対する C_p の割合を示す C_p / C_{gi} が 0.7 よりも小さくなるように形成されている。ここで、 ϵ_n は誘電率を示しており、 t_n は容量の厚さを示している。

30

【0036】

本実施の形態1では、 C_{gi} に対する C_p の割合を示す C_p / C_{gi} が 0.7 よりも小さくなるように形成されているが、その理由を以下に説明する。FETのサブスレッショルド係数 S は次の（5）式で表される。

40

【0037】

$$S = \ln 10 \times (1 + C_s / C_{gi}) \times kT / q \quad \dots \dots (5)$$

ここで、 k はボルツマン定数、 T は絶対温度である。 C_s は完全空乏化状態においてはチャンネル層 CHN 中の空乏層容量 C_{ch} と C_p の直列和であり、（6）式で表される。

【0038】

$$C_s = C_{ch} \times C_p / (C_{ch} + C_p) \quad \dots \dots (6)$$

チャンネル層 CHN が薄く、保護膜 PRO が誘電率の小さい絶縁膜で比較的厚く形成されている本実施の形態1における酸化物TFTの構造の場合、 $C_p \ll C_{ch}$ であるため、（7）式の関係が成立する。

【0039】

50

$$C_s \quad C_p \quad \dots \quad (7)$$

そのため、本実施の形態 1 における構造において、(5)式は、(8)式のように書き換えることができる。

【0040】

$$S = \ln 10 \times (1 + C_p / C_{g_i}) \times kT / q \quad \dots \quad (8)$$

図 6 は、(8)式にしたがって計算した C_p / C_{g_i} とサブスレシヨルド係数 S の関係を示す図である。 C_p / C_{g_i} が 0.7 より小さくなるとサブスレシヨルド係数 S が 100 mV / decade よりも小さくなり、一般的な単結晶シリコン FET に匹敵するようになる。そのため、本発明の酸化物 T F T は、 C_p / C_{g_i} が 0.7 よりも小さくなるように形成されている。

10

【0041】

具体的に、 C_{g_i} に対する C_p の割合を示す C_p / C_{g_i} が 0.7 よりも小さくなるように形成するには、寄生容量の総和である C_p をできるだけ小さくすればよいことがわかる。 C_{g_i} に対する C_p の割合を示す C_p / C_{g_i} は $(t_n / t_{g_i}) / (t_n / t_{g_i})$ と表すことができる。このことから、寄生容量の総和を小さくするためには、主に保護膜 P R O などの誘電率から構成される t_n を小さくすればよく、保護膜 P R O などの絶縁材料をできるだけ低誘電率の膜から形成することで実現できる。さらに、寄生容量の厚さである t_n を厚くすることによっても C_p を小さくすることができるので、保護膜 P R O などの絶縁材料の厚さを厚くすることで、 C_p を小さくすることができる。その上、保護膜 P R O 上に形成される配線 W I R がチャネル層 C H N の上方に存在すると寄生容量が増大するので、チャネル層 C H N と平面的に重なる上方に配線 W I R を配置しないように配線レイアウトを工夫することにより、寄生容量の総和 C_p を小さくすることができる。

20

【0042】

以上述べた手段により、本実施の形態 1 における酸化物 T F T において、 C_{g_i} に対する C_p の割合を示す C_p / C_{g_i} が 0.7 よりも小さくなるように形成することができる。この結果、本実施の形態 1 における酸化物 T F T では、サブスレシヨルド係数が 100 mV / decade よりも小さくなり、低電圧で駆動する酸化物 T F T を実現することができる。

【0043】

本実施の形態 1 における酸化物 T F T は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

30

【0044】

まず、図 7 に示すように、通常の半導体プロセスで用いられるスパッタリング法や C V D (Chemical Vapor Deposition) 法などの成膜技術、フォトリソグラフィとエッチングによるパターンニング技術を用いて、基板 S U B 上にゲート電極 G T、ゲート絶縁膜 G I、ソース電極 S T、ドレイン電極 D T を形成する。ソース側・ドレイン側の両コンタクト層 C T S、C T D を成膜する際の被覆性を良好にするため、ソース電極 S T、ドレイン電極 D T はテーパ状で形成する。

【0045】

次に、図 8 に示すように、スパッタリング法、C V D 法、塗布法などによりチャネル層と同一の材料からなる酸化物半導体層を成膜し、フォトリソグラフィとエッチングによりソース電極 S T、ドレイン電極 D T 上にソース側・ドレイン側の両コンタクト層 C T S、C T D をパターンニングする。このとき、コンタクト層 C T S はソース電極 S T の一部領域上に形成され、コンタクト層 C T D はドレイン電極 D T の一部領域上に形成される。

40

【0046】

ソース電極 S T・ドレイン電極 D T - コンタクト層 C T S、C T D - チャネル層の順に接続が形成されるように両コンタクト層 C T S、C T D は、ソース電極 S T とドレイン電極 D T との間隔の内側(離間領域)にも形成されるようパターンニングする。また、チャネル層を成膜する際の被覆性を良好にするため、両コンタクト層 C T S、C T D はテーパ状に形成する。

50

【0047】

続いて、図9に示すように、スパッタリング法、CVD法、塗布法などにより、数nm～十数nm厚の酸化物半導体層を成膜し、フォトリソグラフィとエッチングによるパターンニングでチャンネル層CHNを形成する。

【0048】

その後、図10に示すように、スパッタリング法、CVD法、塗布法などにより、チャンネル層CHNの上に絶縁膜からなる保護膜PROを成膜する。その後、フォトリソグラフィとエッチングによりソース電極ST、ドレイン電極DTへのコンタクトホールを形成する。サイドエッチングによりチャンネル層CHNあるいはコンタクト層CTS、CTDが削られないようにするため、コンタクトホールはチャンネル層CHNおよび両コンタクト層CTS、CTDが形成されていない領域に形成する。

10

【0049】

次に、図11に示すように、スパッタリング法、CVD法、塗布法などにより導電体膜を成膜し、フォトリソグラフィとエッチングによるパターンニングでプラグおよび配線WIRを形成する。

【0050】

以上の工程により、本実施の形態1における半導体装置を製造することが可能であるが、本発明の趣旨を逸脱しない範囲において、必要に応じて工程の追加や削除、変更を行なうこともありうる。たとえば、図12に示すようにチャンネル層CHNと保護膜PROの間に第2の保護膜PRO2を形成しても良い。この場合、上述の工程(図9参照)において、数nm～十数nm厚の酸化物半導体層を成膜した後、スパッタリング法、CVD法、塗布法などにより、チャンネル層CHNの上に絶縁膜からなる保護膜PRO2を成膜する。その後、フォトリソグラフィとエッチングによるパターンニングで保護膜PRO2とチャンネル層CHNを一括で加工する。このとき、チャンネル層CHNは保護膜PRO2で覆われているので、エッチング後のレジスト除去工程におけるチャンネル層CHNのダメージを低減することができる。

20

【0051】

図13は、キャリア濃度 $N_c = 10^{19} \text{ cm}^{-3}$ 、厚さ $d = 5 \text{ nm}$ で構成するInGaZnOを用いて作製した酸化物TFETにおいて、20nm厚のコンタクト層CTS、CTDがない場合とある場合でのオン抵抗を比較した図である。図13に示すように、コンタクト層CTS、CTDを形成することでオン抵抗を1/3近くまで低減することができる。これにより酸化物TFETを使用した回路の高速化を図ることができる。

30

【0052】

図14は、ゲート絶縁膜GIに15nm厚の二酸化珪素SiO₂を用い、チャンネル層CHNにキャリア濃度 $N_c = 10^{19} \text{ cm}^{-3}$ 、厚さ $d = 5 \text{ nm}$ のInGaZnOを用いて作製したTFETの $I_d - V_g$ 特性を示す。このとき、図14において、縦軸はドレイン電流 I_d を示しており、横軸はゲート電圧 V_g を示している。図14からわかるように、酸化物TFETを完全空乏化状態とすることによりオフ電流は検出下限以下であり、サブスレッショルド係数 S は通常の単結晶シリコンFETをよりも小さい63mV/decadeである。これにより、回路の低消費電力化および低電圧化を図ることができる。

40

【0053】

なお、本実施の形態1ではボトムゲート/ボトムコンタクト型の酸化物TFETを例に挙げて説明したが、図15に示すようなトップゲート/ボトムコンタクト型の酸化物TFETとしても同様の効果を得ることができる。ここでいうトップゲートとは、チャンネル層CHNよりも上層にゲート電極GTが形成されている構造を意味し、ボトムコンタクトとは、チャンネル層CHNよりも下層にコンタクト層CTS、CTDが形成されている構造を意味している。

【0054】

以上、本実施の形態1における酸化物TFETに関して説明をしたが、その内容は本発明の趣旨を逸脱しない範囲において、他の実施の形態においても有効である。

50

【 0 0 5 5 】

(実施の形態 2)

図 1 6 は、本実施の形態 2 における半導体装置の構成を示す図である。本実施の形態 2 では、半導体装置としていわゆるボトムゲート/トップコンタクト型の酸化物 T F T を挙げている。ここでいうボトムゲートとは、チャンネル層 C H N の下層にゲート電極 G T が形成された構造を意味し、トップコンタクトとは、チャンネル層 C H N の上層にコンタクト層 C T S、C T D が形成されている構造を意味している。

【 0 0 5 6 】

図 1 6 に示すように、基板 S U B 上にゲート電極 G T が形成されている。そして、この基板 S U B の上面にゲート電極 G T を覆うようにゲート絶縁膜 G I が形成されている。さらに、ゲート絶縁膜 G I 上に少なくともゲート電極 G T を跨るようにして金属酸化物によってチャンネル層 C H N が形成されている。また、チャンネル層 C H N 上に少なくともゲート電極 G T を跨るようにしてソース側のコンタクト層 C T S、ドレイン側のコンタクト層 C T D が金属酸化物によって形成されている。ソース側のコンタクト層 C T S の上にはソース電極 S T、ドレイン側のコンタクト層 C T D の上にはドレイン電極 D T が形成されている。これらの構造上には絶縁膜からなる保護膜 P R O が形成されており、保護膜 P R O に開けられたコンタクトホールを通じて、プラグとその上の配線 W I R が形成されている。プラグによって配線 W I R とソース電極 S T、配線 W I R とドレイン電極 D T との間が電氣的に接続されている。

【 0 0 5 7 】

チャンネル層 C H N のキャリア濃度 N_c および厚さ d は、前記実施の形態 1 と同様に酸化物 T F T のオフ状態において完全空乏化状態を実現できるように形成されている。すなわち、チャンネル層中の全キャリア量はゲートで制御できるキャリア量よりも小さく、かつ、チャンネル層の厚さは最大空乏層幅よりも小さく形成されている。

【 0 0 5 8 】

両コンタクト層 C T S、C T D が厚すぎると厚さ方向に寄生抵抗が生じるため、前記実施の形態 1 と同様に、その厚さはチャンネル層 C H N の厚さとの合計が 1 0 0 n m 以下となるように形成するのが望ましい。一方、両コンタクト層 C T S、C T D が薄すぎると十分な厚さの接合界面層を形成できず、コンタクト抵抗の低減効果が十分に得られないため、その厚さはチャンネル層 C H N の厚さとの合計が 1 0 n m 以上となるように形成するのが望ましい。

【 0 0 5 9 】

本実施の形態 2 における酸化物 T F T においても、ゲート電極 G T とチャンネル層 C H N との間のゲート絶縁膜容量を C_{gi} 、ゲート電極 G T 以外の構造物とチャンネル層 C H N との間の寄生容量の総和を C_p としたとき、 C_{gi} に対する C_p の割合 C_p / C_{gi} が 0 . 7 よりも小さくなるように形成されている。

【 0 0 6 0 】

本実施の形態 2 における酸化物 T F T は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

【 0 0 6 1 】

まず、図 1 7 に示すように、通常の半導体プロセスで用いられるスパッタリング法や C V D 法などの成膜技術、フォトリソグラフィとエッチングによるパターンニング技術を用いて、基板 S U B 上にゲート電極 G T、ゲート絶縁膜 G I、チャンネル層 C H N を形成する。

【 0 0 6 2 】

次に、図 1 8 に示すように、フォトレジスト P R を塗布し、少なくともゲート電極 G T 上にソース電極、ドレイン電極を分離する領域を残してフォトレジスト P R を開口する。その後、スパッタリング法、C V D 法、塗布法などにより、フォトレジスト P R を開口した領域にチャンネル層 C H N と同一の材料からなる酸化物半導体層(コンタクト層 C T S、C T D となる層)を形成する。そして、さらにその上に導電体膜(ソース電極 S T やドレイン電極 D T となる膜)を成膜する。

【 0 0 6 3 】

続いて、図 1 9 に示すように、フォトレジスト P R を除去して、ソース側のコンタクト層 C T S、ドレイン側のコンタクト層 C T D、ソース電極 S T、ドレイン電極 D T をパターンニングする（リフトオフ法）。

【 0 0 6 4 】

その後、図 2 0 に示すように、スパッタリング法、C V D 法、塗布法などにより、チャンネル層 C H N 上に絶縁膜からなる保護膜 P R O を成膜する。そして、フォトリソグラフィとエッチングによりソース電極 S T、ドレイン電極 D T へ到達するコンタクトホールを形成する。

【 0 0 6 5 】

次に、図 2 1 に示すように、スパッタリング法、C V D 法、塗布法などにより導電体膜を成膜し、フォトリソグラフィとエッチングによるパターンニングで、プラグおよび配線 W I R を形成する。

【 0 0 6 6 】

以上の工程により、本実施の形態 2 における半導体装置を製造することが可能であるが、本発明の趣旨を逸脱しない範囲において、必要に応じて工程の追加や削除、変更を行なうこともありうる。

【 0 0 6 7 】

本実施の形態 2 の構成はトップコンタクト型であるため、前記実施の形態 1 のボトムコンタクト型の構造には適していない材料をソース電極 S T、ドレイン電極 D T に用いることができる。すなわち、酸化されやすい金属材料でボトムコンタクト型の構造を形成すると、ソース電極 S T、ドレイン電極 D T を形成してから両コンタクト層 C T S、C T D を形成するまでの間（図 7 と図 8 の間）にソース電極 S T とドレイン電極 D T の表面に自然酸化膜が形成され、コンタクト抵抗が増大してしまう。これに対し、本実施の形態 2 のように、トップコンタクト型の構造では同じ金属材料を用いてもコンタクト抵抗が増大してしまう心配がない。つまり、図 1 8 に示すように、コンタクト層 C T S、C T D を形成した後に、ソース電極 S T およびドレイン電極 D T を形成するので、ソース電極 S T とソース側のコンタクト層 C T S の界面およびドレイン電極 D T とドレイン側のコンタクト層 C T D の界面が酸化されることを抑制できる。

【 0 0 6 8 】

本実施の形態 2 における酸化物 T F T の構成でも、前記実施の形態 1 と同様に、T F T のオフ電流およびサブスレッシュヨルド係数 S の低減を図ることができるとともに、酸化物 T F T のオン電流の向上を図ることができる。これにより、本実施の形態 2 における酸化物 T F T を使用する回路の低消費電力化、低電圧化および高速化を図ることができる。

【 0 0 6 9 】

なお、図 1 6 ではボトムゲート/トップコンタクト型の酸化物 T F T を例に挙げて説明したが、図 2 2 に示すようなトップゲート/トップコンタクト型の酸化物 T F T としても同様の効果を得ることができる。ここでいうトップゲートとは、チャンネル層 C H N の上層にゲート電極 G T が形成されている構造を意味し、トップコンタクトとは、チャンネル層 C H N の上層にコンタクト層 C T S、C T D が形成されている構造を意味する。

【 0 0 7 0 】

（実施の形態 3）

図 2 3 は、本実施の形態 3 における半導体装置の構成を示す図である。半導体装置としていわゆるボトムゲート/ボトムコンタクト型の酸化物 T F T を挙げている。前記実施の形態 1 の構造と異なる点は、配線 W I R とソース電極 S T や配線 W I R とドレイン電極 D T との間の電氣的な接続のために形成されるプラグがコンタクト層 C T S、C T D を貫通している点である。ただし、本実施の形態 3 では、サイドエッチングによりゲート電極 G T 上のチャンネル層 C H N が削られないようにするため、プラグ（コンタクトホール）を貫通させる位置はゲート電極 G T から十分に離している。

【 0 0 7 1 】

チャンネル層CHNのキャリア濃度 N_c および厚さ d は、前記実施の形態1と同様に、酸化物TFEのオフ状態において完全空乏化状態を実現できるように形成されている。すなわち、チャンネル層中の全キャリア量はゲートで制御できるキャリア量よりも小さく、かつ、チャンネル層の厚さは最大空乏層幅よりも小さく形成されている。

【0072】

さらに、両コンタクト層CTS、CTDが厚すぎると厚さ方向に寄生抵抗が生じるため、前記実施の形態1と同様に、その厚さはチャンネル層CHNの厚さとの合計が100nm以下となるように形成するのが望ましい。一方、両コンタクト層CTS、CTDが薄すぎると十分な厚さの接合界面層を形成できず、コンタクト抵抗の低減効果が十分に得られないため、その厚さはチャンネル層CHNの厚さとの合計が10nm以上となるように形成するの望ましい。

10

【0073】

本実施の形態3における酸化物TFEでも、ゲート電極GTとチャンネル層CHNとの間のゲート絶縁膜容量を C_{gi} 、ゲート電極GT以外の構造物とチャンネル層CHNとの間の寄生容量の総和を C_p としたとき、 C_{gi} に対する C_p の割合 C_p/C_{gi} が0.7よりも小さくなるように形成されている。

【0074】

本実施の形態3における酸化物TFEは上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

【0075】

まず、図24に示すように、通常の半導体プロセスで用いられるスパッタリング法やCVD法などの成膜技術、フォトリソグラフィとエッチングによるパターニング技術を用いて、基板SUB上にゲート電極GT、ゲート絶縁膜GI、ソース電極ST、ドレイン電極DT、ソース側・ドレイン側の両コンタクト層CTS、CTDを形成する。ここで、ソース電極STとドレイン電極DTを形成する膜と両コンタクト層CTS、CTDを形成する膜は連続して成膜し、その上にフォトレジストをパターニングした後、2層の膜を一括でエッチングする。これにより、製造工程を簡略化することができる。チャンネル層CHNを成膜する際の被覆性を良好にするため、ソース電極ST、ドレイン電極DT、ソース側・ドレイン側の両コンタクト層CTS、CTDはテーパ状に形成する。

20

【0076】

次に、図25に示すように、スパッタリング法、CVD法、塗布法などにより、数nm~十数nm厚の酸化物半導体層を成膜し、フォトリソグラフィとエッチングによるパターニングでチャンネル層CHNを形成する。

30

【0077】

続いて、図26に示すように、スパッタリング法、CVD法、塗布法などにより、チャンネル層CHNの上に絶縁膜からなる保護膜PROを成膜する。その後、フォトリソグラフィとエッチングにより保護膜PROおよびコンタクト層CTS、CTDを貫通してソース電極ST、ドレイン電極DTへ到達するコンタクトホールを形成する。酸化物半導体層のサイドエッチングによりゲート電極GT上のチャンネル層CHNが削られないようにするため、コンタクトホールを貫通させる位置はゲート電極GTから十分に離している。

40

【0078】

その後、図27に示すように、スパッタリング法、CVD法、塗布法などにより導電体膜を成膜し、フォトリソグラフィとエッチングによるパターニングによりプラグと配線WIRを形成する。

【0079】

本実施の形態3における半導体装置の製造方法では、ソース電極STとドレイン電極DTを構成する層と、コンタクト層CTS、CTDを構成する層の2層を一括でパターニングするため、前記実施の形態1に比べて製造工程の簡易化を図ることができる。

【0080】

本実施の形態3における酸化物TFEの構成でも、前記実施の形態1と同様に、TFE

50

のオフ電流およびサブスレッシュヨルド係数 S の低減を図ることができるとともに、酸化物 TFT のオン電流を向上することができる。これにより、本実施の形態3における酸化物 TFT を使用した回路の低消費電力化、低電圧化および高速化を図ることができる。

【0081】

なお、図23ではボトムゲート/ボトムコンタクト型の酸化物 TFT を例に挙げて説明したが、図28に示すようなトップゲート/ボトムコンタクト型の酸化物 TFT としても同様の効果を得ることができる。

【0082】

(実施の形態4)

図29は、本実施の形態4における半導体装置の構成を示す図である。本実施の形態4では、半導体装置として、いわゆるボトムゲート/ボトムコンタクト型の酸化物 TFT を例に挙げている。

【0083】

本実施の形態4に示す構造では、配線 WIR の上に絶縁膜からなる保護膜 $PRO3$ を形成し、その保護膜 $PRO3$ 上に酸化物 TFT (半導体装置)を積層した構造になっている。このとき、酸化物 TFT (半導体装置)の積層数は2層でもよいが必要に応じて3層以上としてもよい。図29では、同様の構造を直上に積層しているが、必ずしもその必要はなく、パターンの位置をずらして積層してもよいし、異なる構造の半導体装置を積層してもよい。

【0084】

チャンネル層 CHN のキャリア濃度 Nc および厚さ d は、前記実施の形態1と同様に、酸化物 TFT のオフ状態において完全空乏化状態を実現できるように形成されている。すなわち、チャンネル層中の全キャリア量はゲートで制御できるキャリア量よりも小さく、かつ、チャンネル層の厚さは最大空乏層幅よりも小さく形成されている。

【0085】

また、両コンタクト層 CTS 、 CTD が厚すぎると厚さ方向に寄生抵抗が生じるため、前記実施の形態1と同様に、その厚さはチャンネル層 CHN の厚さとの合計が 100nm 以下となるように形成するのが望ましい。また、両コンタクト層 CTS 、 CTD が薄すぎると十分な厚さの接合界面層を形成できず、コンタクト抵抗の低減効果が十分に得られないため、その厚さはチャンネル層 CHN の厚さとの合計が 10nm 以上となるように形成するのが望ましい。

【0086】

本実施の形態4における酸化物 TFT でも、ゲート電極 GT とチャンネル層 CHN との間のゲート絶縁膜容量を Cgi 、ゲート電極 GT 以外の構造物とチャンネル層 CHN との間の寄生容量の総和を Cp としたとき、 Cgi に対する Cp の割合 Cp/Cgi が 0.7 よりも小さくなるように形成されている。

【0087】

本実施の形態4における半導体装置では、酸化物 TFT を積層するため、単位面積あたりの素子数を増やすことができ、素子の集積度を向上しながら半導体装置全体の面積の低減を図ることができる。特に、大容量の記憶回路を作製する際に有効である。

【0088】

本実施の形態4の構成でも、前記実施の形態1と同様に、酸化物 TFT のオフ電流およびサブスレッシュヨルド係数 S の低減を図ることができるとともに、酸化物 TFT のオン電流を向上することができる。これにより、本実施の形態4における酸化物 TFT を使用した回路の低消費電力化、低電圧化および高速化を図ることができる。

【0089】

なお、図29ではボトムゲート/ボトムコンタクト型の酸化物 TFT を積層する例について説明しているが、これに限らず、例えば、トップゲート/ボトムコンタクト型、ボトムゲート/トップコンタクト型、トップゲート/トップコンタクト型の酸化物 TFT を積層しても同様の効果を得ることができる。また、必要に応じて層毎に酸化物 TFT の構造

10

20

30

40

50

を変えてもよい。

【0090】

(実施の形態5)

図30は本実施の形態5における半導体装置の構成を示す図である。実施の形態1~4に示す構造の酸化物TFTを用いてアンテナ共振回路AR、整流器RCT、変調器MOD、デジタル回路DGCなどを構成し、無線タグを形成している。無線タグはリーダRDまたはライターWRと無線で通信を行うことができるようになっている。無線タグでは、リーダRDやライターWRとの無線通信を行なうが、低消費電力化や低電圧化が要求される。このとき、前記実施の形態1~4に示す酸化物TFTでは、オフ電流およびサブスレッシュヨールド係数Sの低減を図ることができるとともに、酸化物TFTのオン電流を向上することができ、これにより、前記実施の形態1~4における酸化物TFTを使用した回路の低消費電力化、低電圧化および高速化を図ることができる。このことから、前記実施の形態1~4に示す酸化物TFTは、低消費電力および低電圧化が必要とされる無線タグの使用に適しているといえる。

10

【0091】

なお、前記実施の形態1~4に示す酸化物TFTが低温で形成できることを活用して、基板SUBをプラスチックフィルムなどのいわゆるフレキシブル基板とすることもできる。

【0092】

(実施の形態6)

図31は本実施の形態6における半導体装置の構成を示す図である。本実施の形態6では、前記実施の形態1~4の構造を有する酸化物TFTを構成要素とする素子が基板SUB上にアレイ状に配置されている。前記実施の形態1~4に示す酸化物TFTを、アレイ内の各素子のスイッチングや駆動用のトランジスタに用いることはもちろん、この酸化物TFTのゲート電極GTと接続されるゲート線GLに信号を送るゲート線駆動回路GDCや、この酸化物TFTのソース電極STあるいはドレイン電極DTと接続されるデータ線DLに信号を送るデータ線駆動回路DDCを構成するトランジスタに用いてもよい。この場合、各素子の酸化物TFTとゲート線駆動回路GDCあるいはデータ線駆動回路DDC内の酸化物TFTを並行して形成することができる。

20

【0093】

また、前記実施の形態1~4に示す酸化物TFTが低温で形成できることを活用して、基板SUBをプラスチックフィルムなどのいわゆるフレキシブル基板とすることもできる。

30

【0094】

アクティブマトリクス型液晶表示装置に上述したアレイを適用する場合、各素子は、例えば、図32に示すような構成になる。図中x方向に延在するゲート線GLに走査信号が供給されると、酸化物TFTA1がオンし、このオンされた酸化物TFTA1を通して、図中y方向に延在するデータ線DLからの映像信号が画素電極PTに供給される。なお、ゲート線GLは図中y方向に並設され、データ線DLは図中x方向に並設され、隣接する一対のゲート線GLと隣接する一対のドレイン線DLで囲まれる領域(画素領域)に画素電極PTが配置されている。この場合、例えば、データ線DLがソース電極STと電氣的に接続され、画素電極PTがドレイン電極DTと電氣的に接続される。あるいは、データ線DLがソース電極STを兼ね、画素電極PTがドレイン電極DTを兼ねてもよい。また、液晶表示装置に限らずOLED表示装置などに上述したアレイを適用してもよい。この場合、画素回路を構成するトランジスタに酸化物TFTを適用する。さらには、上述したアレイを記憶素子に適用し、選択トランジスタに酸化物TFTを適用してもよい。

40

【0095】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

50

【産業上の利用可能性】

【0096】

本発明における半導体装置は、無線タグ、記憶素子アレイなどを構成するトランジスタや周辺回路などに適用できる。また、透過型、反射型、半透過型の各液晶表示装置、並びにOLED表示装置などの各画素を駆動するトランジスタや周辺回路などにも適用できる。

【図面の簡単な説明】

【0097】

- 【図1】本発明の実施の形態1における半導体装置の構成を示す断面図である。
- 【図2】酸化物TFTが完全空乏化状態を実現するための一条件式を説明する図である。 10
- 【図3】酸化物TFTが完全空乏化状態を実現するための一条件式を説明する図である。
- 【図4】酸化物TFTが完全空乏化状態を実現する条件を図示するグラフである。
- 【図5】酸化物TFTのチャネル層が周囲の構造物との間に形成する静電容量を示す図である。
- 【図6】 C_p / C_{gi} とサブスレッショルド係数の関係を示す図である。
- 【図7】実施の形態1における半導体装置の製造工程を示す断面図である。
- 【図8】図7に続く半導体装置の製造工程を示す断面図である。
- 【図9】図8に続く半導体装置の製造工程を示す断面図である。
- 【図10】図9に続く半導体装置の製造工程を示す断面図である。
- 【図11】図10に続く半導体装置の製造工程を示す断面図である。 20
- 【図12】実施の形態1の変形例を示す断面図である。
- 【図13】コンタクト層の有無によってオン抵抗が相違することを示すグラフである。
- 【図14】酸化物TFTの I_d （ドレイン電流）- V_g （ゲート電圧）特性を示すグラフである。
- 【図15】実施の形態1の変形例を示す断面図である。
- 【図16】実施の形態2における半導体装置の構成を示す断面図である。
- 【図17】実施の形態2における半導体装置の製造工程を示す断面図である。
- 【図18】図17に続く半導体装置の製造工程を示す断面図である。
- 【図19】図18に続く半導体装置の製造工程を示す断面図である。
- 【図20】図19に続く半導体装置の製造工程を示す断面図である。 30
- 【図21】図20に続く半導体装置の製造工程を示す断面図である。
- 【図22】実施の形態2の変形例を示す断面図である。
- 【図23】実施の形態3における半導体装置の構成を示す断面図である。
- 【図24】実施の形態3における半導体装置の製造工程を示す断面図である。
- 【図25】図24に続く半導体装置の製造工程を示す断面図である。
- 【図26】図25に続く半導体装置の製造工程を示す断面図である。
- 【図27】図26に続く半導体装置の製造工程を示す断面図である。
- 【図28】実施の形態3の変形例を示す断面図である。
- 【図29】実施の形態4における半導体装置を示す断面図である。
- 【図30】実施の形態5における半導体装置（無線タグ）の構成を示すブロック図である。 40

【図31】実施の形態6における半導体装置の構成を示す模式図である。

【図32】実施の形態6における半導体装置をアクティブマトリクス型液晶表示装置に適用する構成を示す模式図である。

【符号の説明】

【0098】

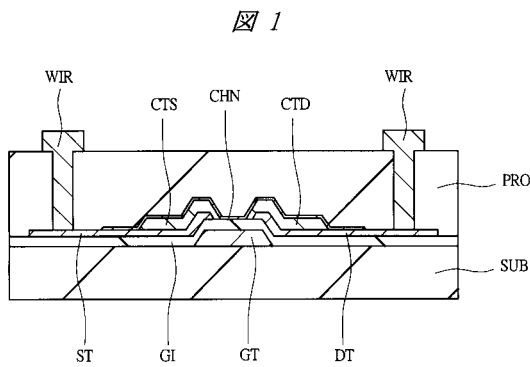
- A1 TFT
AR アンテナ共振回路
CHN チャネル層
CTD コンタクト層

- C T S コントラクト層
- D D C データ線駆動回路
- D G C デジタル回路
- D L データ線
- D T ドレイン電極
- G D C ゲート線駆動回路
- G I ゲート絶縁膜
- G L ゲート線
- G T ゲート電極
- M O D 変調器
- P R フォトレジスト
- P R O 保護膜
- P R O 2 保護膜
- P R O 3 保護膜
- P T 画素電極
- R C T 整流器
- R D リーダ
- S T ソース電極
- S U B 基板
- W I R 配線
- W R ライタ

10

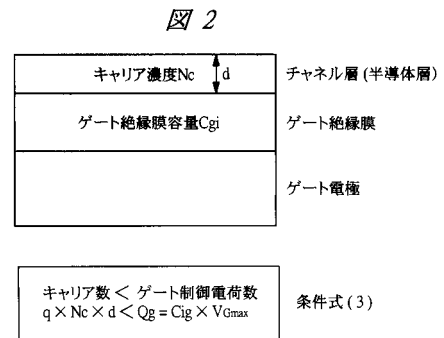
20

【 図 1 】

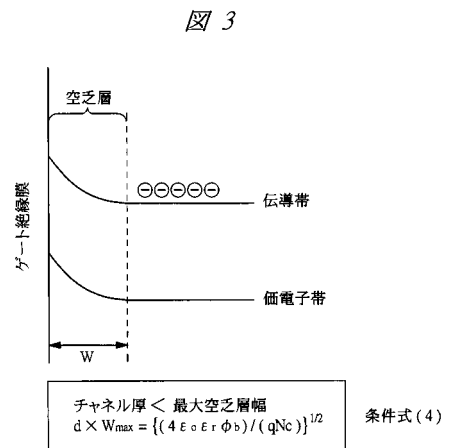


- SUB: 基板
- GT: ゲート電極
- GI: ゲート絶縁膜
- DT: ドレイン電極
- ST: ソース電極
- CTD: コントラクト層
- CTS: コントラクト層
- CHN: チャンネル層

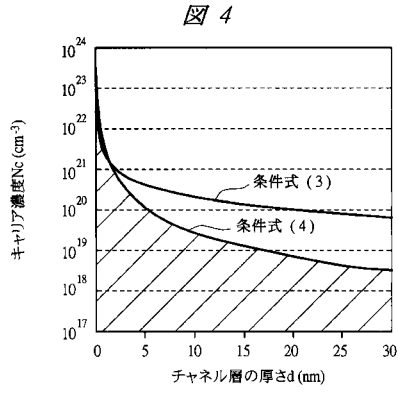
【 図 2 】



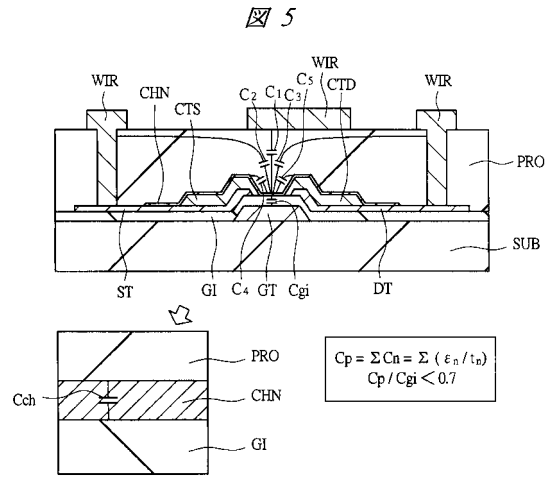
【 図 3 】



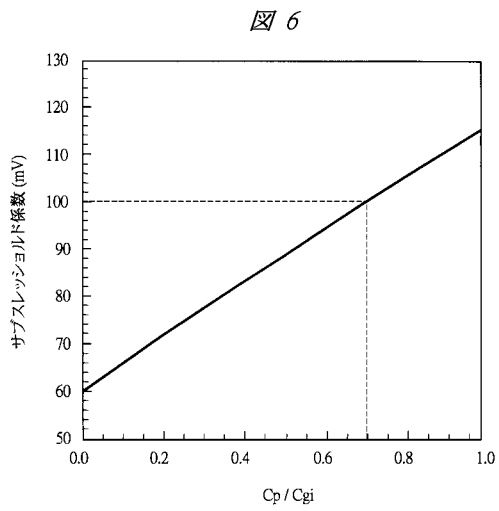
【 図 4 】



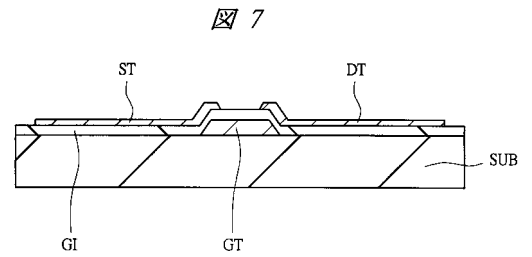
【 図 5 】



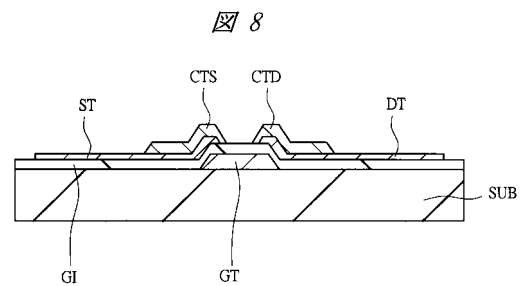
【 図 6 】



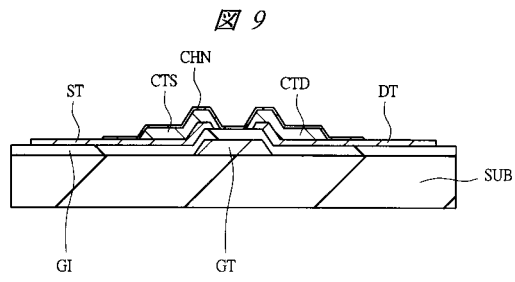
【 図 7 】



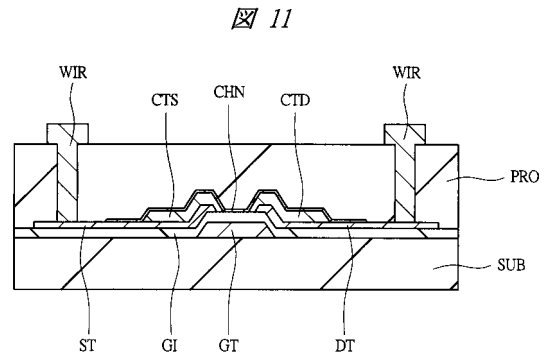
【 図 8 】



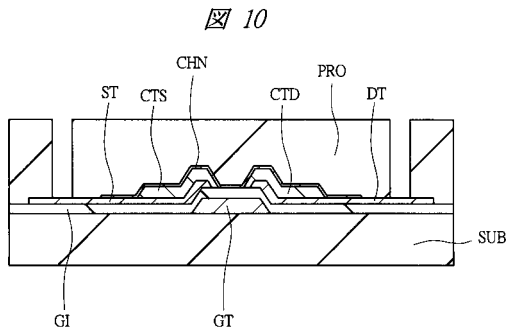
【図 9】



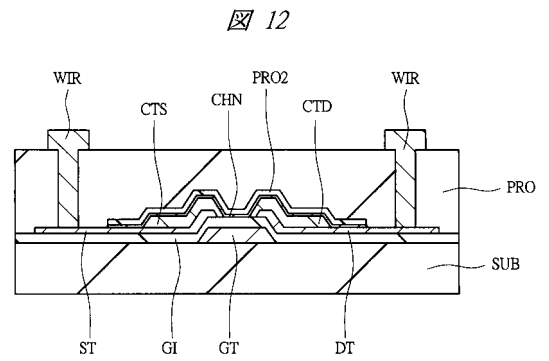
【図 11】



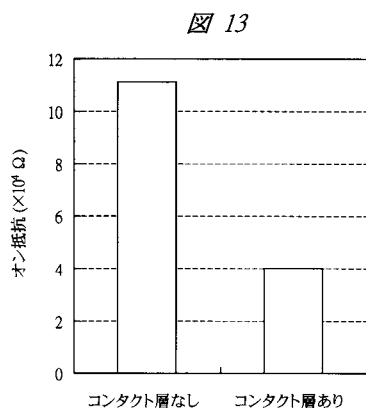
【図 10】



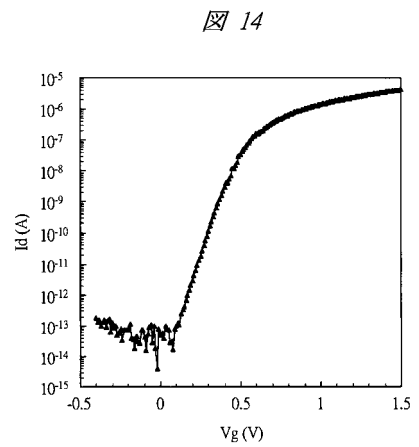
【図 12】



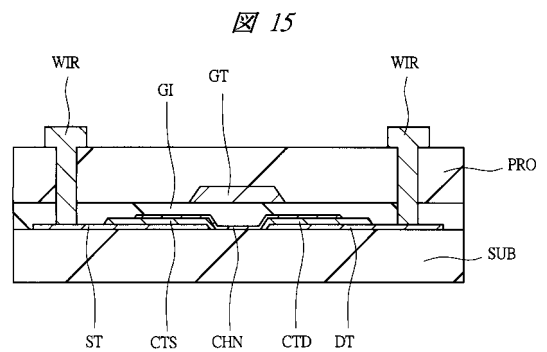
【図 13】



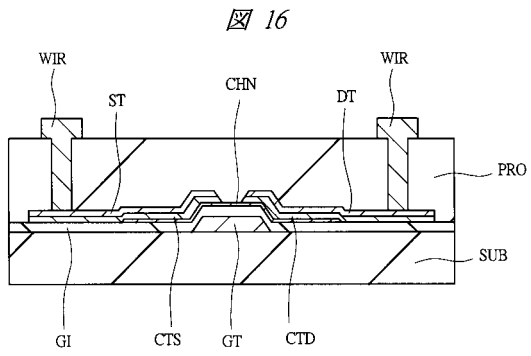
【図 14】



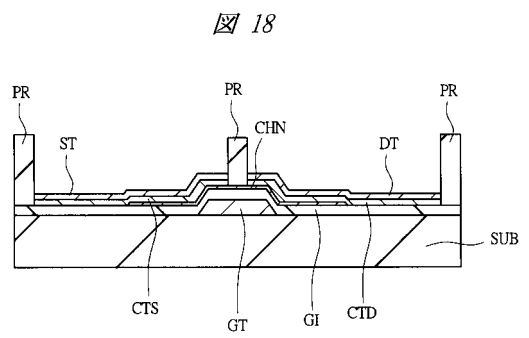
【図 15】



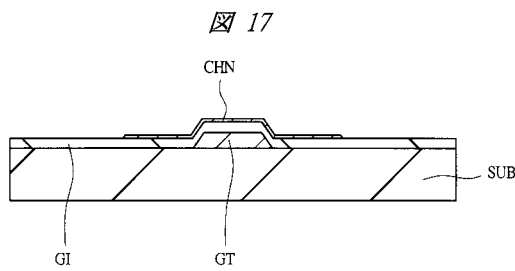
【 図 1 6 】



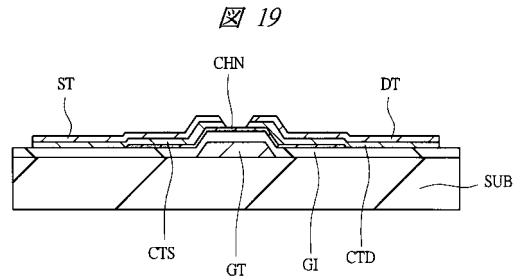
【 図 1 8 】



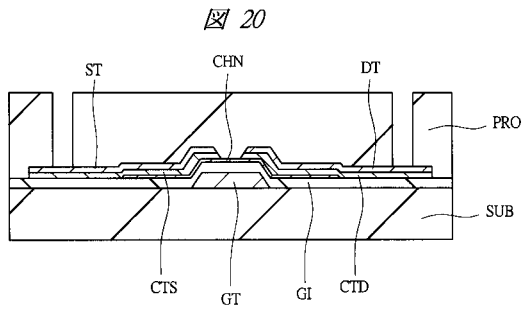
【 図 1 7 】



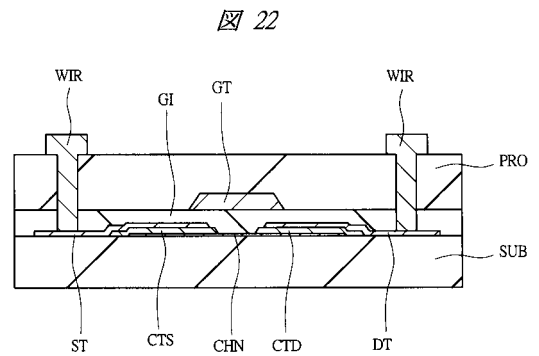
【 図 1 9 】



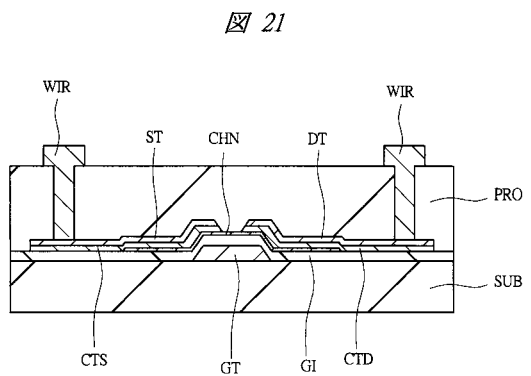
【 図 2 0 】



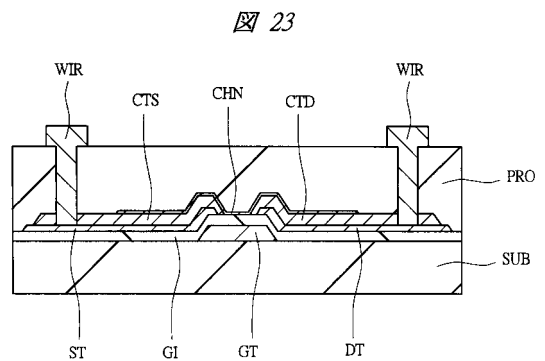
【 図 2 2 】



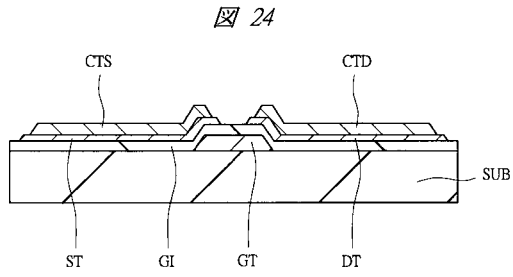
【 図 2 1 】



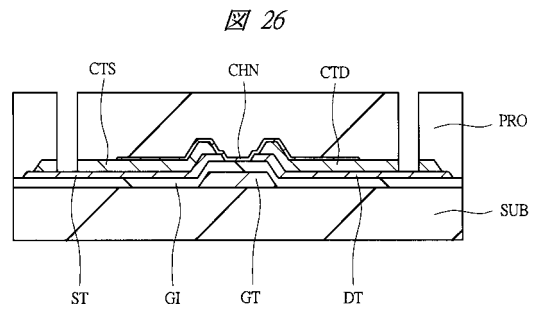
【 図 2 3 】



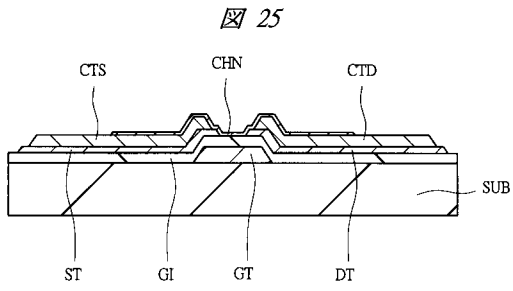
【 図 2 4 】



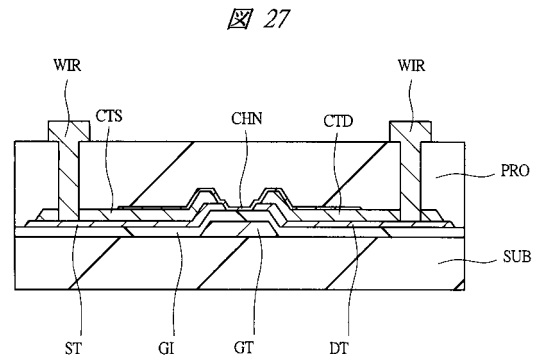
【 図 2 6 】



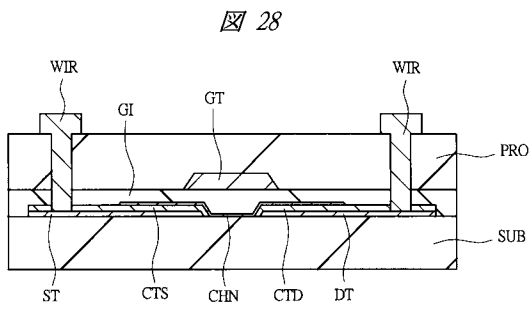
【 図 2 5 】



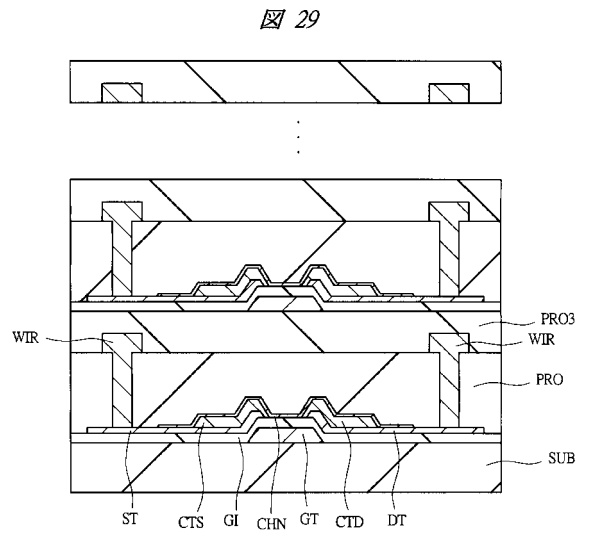
【 図 2 7 】



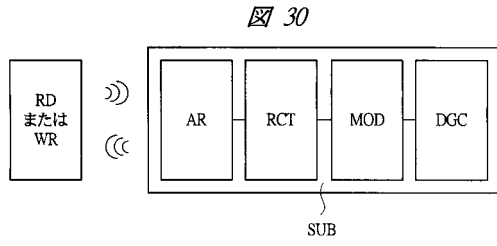
【 図 2 8 】



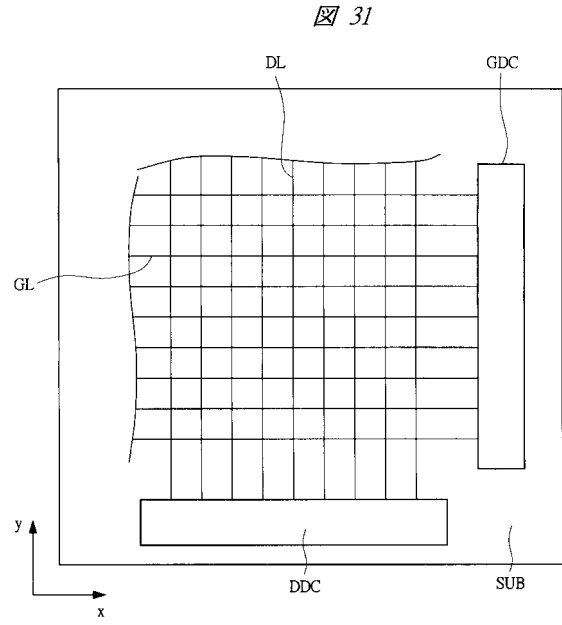
【 図 2 9 】



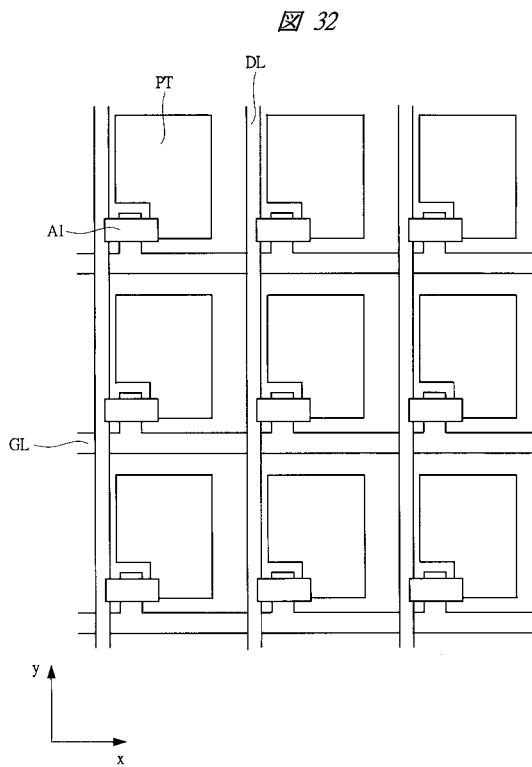
【 図 3 0 】



【 図 3 1 】



【 図 3 2 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/50	M
	H 0 1 L 27/00	3 0 1 A

(72)発明者 若菜 裕紀

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 波多野 睦子

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 4M104 AA03 AA09 BB36 CC01 FF13 GG09 GG10 GG14
 5F110 AA03 AA07 AA09 BB02 BB05 BB11 BB20 CC01 CC03 CC05
 CC07 DD01 DD02 DD03 DD11 EE01 EE02 EE03 EE04 EE06
 EE07 EE08 EE14 EE44 EE45 FF01 FF02 FF03 FF28 FF29
 GG01 GG25 GG34 GG42 GG43 GG44 HK02 HK03 HK04 HK06
 HK07 HK08 HK21 HK22 HK32 HK33 HK34 HL01 HL02 HL03
 HL04 HL06 HL07 HL08 HL11 HL14 HL22 HL23 HL24 HM03
 NN03 NN33 NN34 NN35 QQ14