

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-202161
(P2007-202161A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 I O 1 E	5 J O 3 9
H03K 5/007 (2006.01)	H03K 5/00 C	5 J O 5 6

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2007-15747 (P2007-15747)
 (22) 出願日 平成19年1月26日 (2007.1.26)
 (31) 優先権主張番号 11/342175
 (32) 優先日 平成18年1月27日 (2006.1.27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500587067
 アギア システムズ インコーポレーテッド
 アメリカ合衆国, 18109 ペンシルヴァニア, アレンタウン, アメリカン パークウェイ エヌイー 1110
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

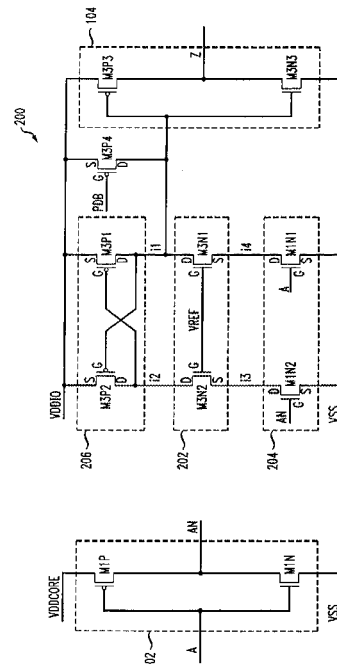
(54) 【発明の名称】 広い電源電圧範囲を持つ電圧レベル・トランスレータ回路

(57) 【要約】 (修正有)

【課題】 複数の電圧レベル間をインタフェースするための改良された電圧レベル・トランスレータ回路を提供する。

【解決手段】 第1の電圧源を基準とした入力信号を、第2の電圧源を基準とした出力信号に変換するための電圧レベル・トランスレータ回路が、入力信号を受け取るための入力段は、1つのトランジスタ・デバイスと一緒に関連付けられた第1のしきい値電圧を持つトランジスタ・デバイスを含む。さらに、入力信号の論理状態を表す信号を保存するように作用するラッチ回路を含み、1つのトランジスタ・デバイスと一緒に関連付けられた第2のしきい値電圧を持つトランジスタ・デバイスを含み、第2のしきい値電圧は、第1のしきい値電圧より大きい。電圧クランプ回路が、入力段とラッチ回路の間に接続され、入力段の両端間の電圧を制限するように作用し、入力段の両端間の電圧の振幅は、第1および第2の電圧源間の電圧差に応じて制御される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の電圧源を基準とする入力信号を、第 2 の電圧源を基準とする出力信号に変換するための電圧レベル・トランスレータ回路であって、

前記入力信号を受け取るための、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた第 1 のしきい値電圧を持つトランジスタ・デバイスを含む入力段と、

前記入力段に結合され、前記入力信号の論理状態をあらゆる信号を保存するように作用し、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた、前記第 1 のしきい値電圧より大きい第 2 のしきい値電圧を持つトランジスタ・デバイスを含むラッチ回路と、

10

前記入力段と前記ラッチ回路の間に接続された、前記入力段の両端間の電圧を制限するように作用する電圧クランプ回路であって、前記入力段の両端間の電圧の振幅が、前記第 1 および第 2 の電圧源間の電圧差に応じて制御される電圧クランプ回路とを含む、電圧レベル・トランスレータ回路。

【請求項 2】

前記電圧クランプ回路が、少なくとも、第 1 および第 2 の基準信号と一緒に関連付けられた第 1 および第 2 の振幅をそれぞれ持つ基準信号を受け取るように、また少なくとも、部分的に、前記第 1 および第 2 の電圧源間の電圧差に基づいて、前記少なくとも第 1 および第 2 の基準信号の中の 1 つを、前記基準選択回路の出力信号として選択するように作用する基準選択回路を含み、前記入力段の両端間の電圧が、前記基準選択回路の前記出力信号の関数である、請求項 1 に記載の電圧レベル・トランスレータ回路。

20

【請求項 3】

前記電圧クランプ回路が、少なくとも前記第 1 および第 2 の電圧源を受け取るように、しかも前記第 1 および第 2 の電圧源間の電圧差を表す少なくとも第 1 の制御信号を生成するように作用する検知回路を含み、前記入力段の両端間の電圧が前記第 1 の制御信号に応じて制御される、請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 4】

前記第 1 の制御信号が、(i) 前記第 1 および第 2 の電圧源間の電圧差が、指定された量未満またはそれにほぼ等しいかどうか、また (i i) 前記第 1 および第 2 の電圧源間の電圧差が、前記指定された量より大きいどうかの少なくとも一方を表す、請求項 3 に記載の電圧レベル・トランスレータ回路。

30

【請求項 5】

前記電圧クランプ回路が、少なくとも第 1 および第 2 の信号を受け取るように作用する検知回路を含み、各前記第 1 および第 2 の信号が、それぞれ、前記第 1 および第 2 の電圧源の振幅を表し、前記検知回路が、さらに、前記第 1 および第 2 の電圧源間の電圧差を表す少なくとも第 1 の制御信号を生成するように作用し、前記入力段の両端間の電圧が、前記第 1 の制御信号に応じて制御される請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 6】

前記電圧クランプ回路が、

40

少なくとも前記第 1 および第 2 の電圧源を受け取り、また前記第 1 および第 2 の電圧源間の電圧差を表す少なくとも第 1 の制御信号を生成するように作用する検知回路と、

少なくとも第 1 および第 2 の基準信号を受け取り、また出力基準信号を生成するように作用するスイッチング回路とを含み、前記スイッチング回路が、前記少なくとも第 1 の制御信号に応じて、前記少なくとも第 1 および第 2 の基準信号の中の 1 つを、前記出力基準信号として選択するように作用し、前記入力段の両端間の電圧が、前記スイッチング回路の前記出力基準信号の関数である、請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 7】

前記電圧レベル・トランスレータ回路の少なくとも一部が、前記電圧レベル・トランスレータ回路に供給される少なくとも第 1 の制御信号に応じて、選択的にオフにされるよう

50

に構成できる、請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 8】

前記電圧クランプ回路が、前記第 1 の電圧源に接続できるようになされたソースと、第 1 のノードで、一緒に接続され、前記第 2 の電圧源に、直列抵抗素子を介して接続できるようになされている前記 N M O S デバイスのゲートおよびドレインとを含む N M O S デバイスを含む基準選択回路を含み、前記基準選択回路が、前記第 1 のノードで、少なくとも部分的に、前記第 1 および第 2 電圧源間の電圧差に基づいた出力信号を生成するように作用し、前記入力段の両端間の電圧が、前記基準選択回路の前記出力信号の関数である、請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 9】

前記電圧クランプ回路が、
前記第 1 の電圧源に接続できるようになされたソースと、第 1 のノードと一緒に接続されている前記 N M O S デバイスのゲートおよびドレインとを含む第 1 の N M O S デバイスと、

第 3 の電圧源に接続できるようになされたソースと、前記第 1 のノードに接続されたドレインと、第 1 の制御信号を受け取るようになされたゲートとを含む第 2 の N M O S デバイスと、

前記第 2 の電圧源に接続できるようになされたソースと、前記第 1 のノードに接続されたドレインと、前記第 1 の制御信号を受け取るようになされたゲートとを含む P M O S デバイスとを含む、基準選択回路であって、前記第 1 の制御信号に応じて選択的に使用不能になる基準選択回路を含み、

前記基準選択回路が、前記第 1 のノードで、少なくとも部分的に、前記第 1 および第 2 の電圧源間の電圧差に基づく出力信号を生成するように作用し、前記入力段の両端間の電圧が、前記基準選択回路の前記出力信号の関数である、請求項 1 に記載の電圧レベル・トランスレータ回路。

【請求項 10】

第 1 の電圧源を基準とする入力信号を、第 2 の電圧源を基準とする出力信号に変換するための少なくとも 1 つの電圧レベル・トランスレータ回路を含む集積回路であって、前記少なくとも 1 つの電圧レベル・トランスレータ回路が、

前記入力信号を受け取るための、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた第 1 のしきい値電圧を持つトランジスタ・デバイスを含む入力段と、

前記入力段に結合され、前記入力信号の論理状態を表す信号を保存するように作用し、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた、前記第 1 のしきい値電圧より大きい第 2 のしきい値電圧を持つトランジスタ・デバイスを含むラッチ回路と、

前記入力段と前記ラッチ回路の間に接続され、前記入力段の両端間の電圧を制限するように作用する電圧クランプ回路とを含み、前記入力段の両端間の電圧の振幅が、前記第 1 および第 2 の電圧源間の電圧差に応じて制御される、集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、電子回路に関し、より詳細には、電圧レベル・トランスレータ回路に関する。

【背景技術】

【0002】

無線受話器、ノートブック・コンピュータ、および携帯情報端末 (P D A) を含むいくつかの携帯デバイスは、2 つ以上の異なる電圧レベルで動作する回路を用いることが多い。たとえば、かかる携帯デバイスで利用されている回路は、回路の一部、たとえば、入出力 (I O) バッファなどが、I O 電圧源から供給することができるように、より大きい電圧レベル (たとえば、約 3 . 3 ボルト) で動作し、一方、回路の他の部分、たとえば、コア・ロジックなどは、コア電圧源から供給することができるように、実質的に、より小さ

10

20

30

40

50

い電圧レベル（たとえば、約 1.0 ボルト）で動作するように、構成することができる。電圧レベルの差は、複数の電圧レベル間をインタフェースするための電圧レベル・トランスレータ回路を使用することを必要とすることが多い。

【0003】

広範囲の I/O 電圧源レベルにわたって、回路（たとえば、I/O バッファ）を、動作させることを必要とする場合がある多くの応用例がある。I/O 電圧源のレベルは、個々の応用例によって設定することができる。性能上の観点（たとえば、速度、電力消費量、信頼性など）から、一般に、複数の回路を製作することが好ましく、各回路は、特定の期待される I/O 電圧源レベルの動作に、個々に最適化される。しかし、この手法は、回路の設計と製作の両方のコストを著しく上昇させ、したがって望ましくない。I/O 電圧源が、たとえば、電力を保存するためなどに、コア電圧源レベルに相当するレベルにまで低下させられたとき、標準的な電圧レベル・トランスレータ回路は、動作不能となることが多く、または、不十分な性能で動作する（たとえば、速度がより遅くなること、スキューが増大することなど）ということがよく知られている。したがって、広範囲の I/O 電圧源レベルを処理するように設計されている標準的な電圧レベル・トランスレータ回路は、通常、回路の性能について妥協することによって、設計される。

10

【特許文献 1】米国特許出願第 11 / 065785 号

【発明の開示】

【発明が解決しようとする課題】

【0004】

したがって、従来の電圧レベル・トランスレータ回路によって示される 1 つまたは複数の問題に苦しめない複数の電圧レベル間をインタフェースするための改良された電圧レベル・トランスレータ回路が必要である。

20

【課題を解決するための手段】

【0005】

本発明は、例示的实施形態において、複数の電圧レベル間を、たとえば、この回路のより小さいコア電圧源を基準とする入力信号と、この回路のより大きい電圧源を基準とする出力信号との間などをインタフェースできる電圧トランスレータ回路を提供することによって、先に言及された必要性を満たす。少なくとも、部分的に、より大きい電圧源と、より小さいコア電圧源との間の差に基づいて、電圧トランスレータ回路は、有利には、少なくとも 2 つの異なる基準電圧レベルの中の 1 つを選択し、それによって、電圧レベル・トランスレータ回路が、標準的な電圧レベル・トランスレータ回路に比べてより広い電源電圧の範囲にわたって動作することを可能にするように構成される。さらに、本発明の電圧レベル・トランスレータ回路は、1 つの信号経路を用い、したがって、この回路は、より大きい電圧源のレベルに関係なく、実質的に一定の伝搬遅延を示す。

30

【0006】

本発明の一実施形態によれば、第 1 の電圧源を基準とする入力信号を、第 2 の電圧源を基準とする出力信号に変換するための電圧レベル・トランスレータ回路が提供される。この電圧レベル・トランスレータ回路は、入力信号を受け取るための入力段を含み、この入力段は、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた第 1 のしきい値電圧を持つトランジスタ・デバイスを含む。この電圧レベル・トランスレータ回路は、さらに、入力信号の論理状態を表す信号を保存するように作用するラッチ回路を含み、このラッチ回路は、少なくとも 1 つのトランジスタ・デバイスと一緒に関連付けられた第 2 のしきい値電圧を持つトランジスタ・デバイスを含み、第 2 のしきい値電圧は、第 1 のしきい値電圧より大きい。電圧クランプ回路は、入力段とラッチ回路の間に接続される。この電圧クランプ回路は、入力段の両端間の電圧を制限するように作用し、入力段の両端間の電圧の振幅が、第 1 および第 2 の電圧源間の電圧差に応じて、制御される。

40

【0007】

この電圧クランプ回路は、好ましくは、少なくとも第 1 および第 2 の基準信号と一緒に関連付けられた第 1 および第 2 の振幅をそれぞれ持つ基準信号を受け取るように、また少

50

なくとも、部分的に、第1および第2の電圧源間の電圧差に基づいて、少なくとも第1および第2の基準信号の中の1つを、基準選択回路の出力信号として選択するように作用する基準選択回路を含む。入力段の両端間の電圧は、基準選択回路の出力信号の関数である。

【0008】

本発明の他の実施形態によれば、集積回路が、前述の方法で形成された少なくとも1つの電圧レベル・トランスレータ回路を含む。

本発明のこれらのおよび他の特徴および利点は、添付図面と共に解釈されるべきである、その例示的实施形態に関する以下の詳しい説明から明らかになるであろう。

【発明を実施するための最良の形態】

10

【0009】

本発明を、本明細書では、例示的電圧レベル・トランスレータ回路を例にとって説明する。しかし、本発明が、これらまたは他の特定の回路配置には限定されないということを理解されたい。むしろ、本発明は、より一般に、広範囲の電源電圧レベルにわたって、詳細には、回路の出力信号を基準とするより大きい電圧源が、回路への入力信号を基準とするより小さいコア電源に値が実質的に近いとき、回路性能の著しい劣化を全く受けずに、回路内の複数の電圧レベル間をインタフェースするための技術に適用できる。本発明の実装形態を、本明細書では、相補型金属酸化膜半導体(CMOS)製作プロセスを使用して形成することができるような、P型金属酸化物半導体(PMOS)およびN型金属酸化物半導体(NMOS)トランジスタ・デバイスを特に参照して説明するが、本発明は、かかるトランジスタ・デバイスおよび/またはかかる製作プロセスには限定されないこと、また他の適当なデバイス、たとえば、バイポーラ接合トランジスタ(BJT)等など、および/または製作プロセス(たとえば、バイポーラ、バイポーラCMOS等)を、当業者に明らかであるように、同様に用いることができることを理解されたい。

20

【0010】

図1は、より小さいコア電源電圧、たとえば、VDDCOREなどを基準とする入力信号(たとえば信号AおよびAN)を、より大きい電源電圧、たとえば、VDDIOなどを基準とする出力信号Zに変換するために用いることができる電圧レベル・トランスレータ回路100を説明している。多くの応用例では、より小さいコア電源電圧VDDCOREは、通常約1.0ボルトであり、より大きい電源電圧VDDIOは、通常約3.3ボルトである。しかし、本発明は、これら、またはVDDCOREおよびVDDIO用の他の特定の電圧レベルには限定されないということを知りたい。さらに、本発明の技術を、同様に、当業者によって理解されるように、より大きい電源電圧VDDIOを基準とする入力信号を、より小さいコア電源電圧VDDCOREを基準とする出力信号に変換するためにも用いることができる。

30

【0011】

従来の混合信号集積回路プロセスは、通常、「高電圧」と「低電圧」トランジスタ・デバイスの両方を提供する。高電圧デバイスは、一般に、約0.75ボルトのわずかなしきい値電圧を持ち、より大きい電源電圧VDDIO(たとえば、約3.3ボルト)で動作するものである。低電圧デバイスは、たとえば、約0.35ボルトなど、実質的に高電圧デバイスより小さいわずかなしきい値電圧を有し、より小さいコア電源電圧VDDCORE(たとえば、約1.0ボルト)で動作するものである。

40

【0012】

入力信号ANは、入力信号Aの論理反転であり、したがって、信号Aが、論理ハイ・レベルであるとき、信号ANは、論理ロー・レベルであり、逆の場合も同様である。信号AおよびANは、たとえば、通常の方法で接続された低電圧PMOSトランジスタM1Pおよび低電圧NMOSトランジスタ・デバイスM1Nを含むインバータ102によって、生成することができる。インバータ102は、より小さいコア電源VDDCOREによって電力供給され、その負電源として、VSSを受け取る。電圧レベル・トランスレータ回路100は、より大きい電源電圧VDDIOによって、電力供給され、その負電圧源として

50

、VSSを受け取る。本明細書で使用されるような「負電圧源」という用語は、VDDIOまたはVDDCOREに対する相対的な電圧源の値を指すものであり、0ボルト未満の電圧を使用することが本発明によって意図されているが、必ずしも0ボルト未満の電圧を指すものではない。

【0013】

電圧レベル・トランスレータ回路100は、1対の高電圧PMOSトランジスタ・デバイスM3P1およびM3P2を含み、各デバイスは、ソース(S)がVDDIOに接続され、一方のトランジスタのゲート(G)が、他方のトランジスタのドレイン(D)に、たすきがけの構成で接続されている。具体的には、M3P1のゲートは、M3P2のドレインに、ノードi2で接続され、M3P2のゲートは、M3P1のドレインに、ノードi1で接続されている。トランジスタM3P1およびM3P2は、電圧レベル・トランスレータ回路100の論理的状態をラッチするように作用する。

10

【0014】

金属酸化物半導体(MOS)デバイスは、実際的に、対称的であり、それによって双方向となるため、MOSデバイス内のソースおよびドレイン指定の割当ては、本質的に、任意であるということを理解されたい。したがって、ソースおよびドレインを、本明細書では、一般に、第1および第2のソース/ドレインとそれぞれ呼ぶことができ、この場合、この文脈における「ソース/ドレイン」はソースまたはドレインを示す。

【0015】

電圧レベル・トランスレータ回路100は、1対の高電圧NMOSトランジスタ・デバイスM3N1およびM3N2をさらに含み、各トランジスタ・デバイスは、入力信号AおよびANをそれぞれ受け取るためのゲートを持つ。デバイスM3N1およびM3N2は、電圧レベル・トランスレータ回路100の入力段を形成する。M3N1およびM3N2のソースは、好ましくは、VSSに接続され、M3N1およびM3N2のドレインは、トランジスタM3P1およびM3P2のドレインにそれぞれ接続されている。標準インバータとして一緒に接続された高電圧PMOSトランジスタM3P3および高電圧NMOSトランジスタM3N3を含む出力段104が、好ましくは、ノードi1に接続され、電圧レベル・トランスレータ回路100の出力信号Zを生成する。

20

【0016】

電圧レベル・トランスレータ回路100の基本的な動作は次の通りである。入力信号Aが論理ハイ(「1」)レベルであるとき、デバイスM3N1はオンにされ、ノードi1をVSSに引きつける。信号Aの論理的補数である入力信号ANは、論理ロー(「0」)レベルであり、したがって、デバイスM3N2はオフにされる。論理ロー・レベル状態であるノードi1はデバイスM3P2をオンにし、それによって、ノードi2がVDDIOに引きつけられる。論理ハイ・レベル状態であるノードi2は、デバイスM3P1をオフにし、したがって、デバイスM3P1およびM3P2を含むハーフ・ラッチ構造は、安定状態で動作する。ローであるノードi1により、電圧レベル・トランスレータ回路100の出力Zは、論理ハイ・レベルとなる。同様に、入力信号Aが論理ロー・レベルであるとき、デバイスM3N1はオフにされる。信号Aの論理的補数である入力信号ANは、論理ハイ・レベルであり、したがって、デバイスM3N2はオンにされ、それによって、ノードi2がVSSに引きつけられる。論理ロー・レベル状態であるノードi2は、デバイスM3P1をオンにし、それによって、ノードi1がVDDIOに引きつけられる。論理ハイ・レベル状態であるノードi1は、デバイスM3P2をオフにする。ハイであるノードi1により、電圧レベル・トランスレータ回路100の出力Zは、論理ロー・レベルとなる。

30

40

【0017】

電流集積回路(IC)プロセス技術を使用すると、高電圧デバイスM3N1およびM3N2が、コア電圧源VDDCOREを基準とする入力信号AおよびANによってゲート制御されるとき、非常にゆっくりとオンになり、または全くオンになることができない。VDDCOREが、約1.0ボルトであるとき、たとえば、コア入力信号は、わずか約0.

50

9ボルトになる場合があり、または、チップ内の電流×抵抗(I R)の低下を考慮すると、より小さくなる場合がある。したがって、約0.75ボルトのしきい値電圧では、高電圧デバイスM3N1およびM3N2は、約100ミリボルト(mV)未満の過励振を起こす。わずかに高速な印加(たとえば、約100メガヘルツ(MHz)ほど)でさえ、デバイスM3N1およびM3N2は、オンになるのが非常に遅いので、回路100が、ほとんど十分に機能しない可能性がある。

【0018】

図2は、先に図1に即して説明した回路の過励振の問題に解決策を提供する例示的電圧レベル・トランスレータ回路200を示す概略図である。電圧レベル・トランスレータ回路200内では、入力信号AおよびANは、低電圧デバイスM1N1およびMIN2をそれぞれドライブする。デバイスMIN1およびMIN2は、電圧レベル・トランスレータ回路200の入力段204を形成する。図1に示した電圧レベル・トランスレータ回路100内の高電圧デバイスM3N1およびM3N2を、低電圧デバイスM1N1およびMIN2にそれぞれ置き換える1つの利点は、通常約0.75ボルトのしきい値電圧を持つ高電圧デバイスに比べて、低電圧デバイスが、通常約0.35ボルトのそれと一緒に関連付けられた実質的により小さいしきい値電圧を持つことである。したがって、低電圧デバイスM1N1およびM1N2は、本質的に同じ寸法の高電圧デバイスに比べて、約400mVの付加的な過励振を提供することができる。

【0019】

低電圧デバイスM1N1およびM1N2を、より大きい電源電圧VDDIOを受け取ることから保護するために、電圧レベル・トランスレータ回路200は、好ましくは、デバイスM1N1およびM1N2のドレインとデバイスM3P1およびM3P2のドレインとの間にそれぞれ接続された電圧クランプ回路202を含んでいる。電圧クランプ回路202は、好ましくは1対の高電圧NMOSトランジスタM3N1およびM3N2を含んでいる。具体的には、デバイスM1N1およびM1N2のドレインは、デバイスM3N1およびM3N2のソースに、ノードi4およびi3で、それぞれ接続されている。デバイスM3N1およびM3N2のドレインは、高電圧PMOSデバイスM3P1およびM3P2のドレインに、ノードi1およびi2で、それぞれ接続され、M3N1およびM3N2のゲートは、ノードi3およびi4におけるドレイン電圧を所望の電圧レベルに固定するために、バイアス電圧、VREFを提供する基準電源に接続されている。デバイスM1N1およびM1N2は、低電圧デバイスであるため、一般に、より大きい電源電圧VDDIOに耐えることはできず、したがって、電圧クランプ回路202は、M1N1およびM1N2を過電圧ストレスによる損傷から保護する電圧レベルをノードi3およびi4に提供することによって、入力段204の両端間の電圧を制限する。入力段204の両端間の電圧は、この句が本明細書で使用されるときは、低電圧NMOSデバイスM1N1およびM1N2のバイアス端子(たとえば、ドレインおよびソース)の両端間の電圧を指すものとする。好ましくは、ノードi3およびi4における電圧レベルは、それぞれ、低電圧デバイスM1N2およびM1N1上の最大許容電圧より決して大きくならない。

【0020】

デバイスM3P1およびM3P2は、少なくとも、電圧レベル・トランスレータ回路200の出力部(たとえば、ノードi1)で信号を保存するように作用するラッチ回路206の一部を形成し、この信号は、電圧レベル・トランスレータ回路に与えられた入力信号(たとえば、AまたはAN)の論理状態を表す。

【0021】

電圧レベル・トランスレータ回路200の基本的な動作は、先に説明したように、電圧レベル・トランスレータ回路200の入力段が、より速いスイッチング速度をもたらすために、低電圧デバイス(MN1、MN2)を用い、また主に信頼性を得るために、低電圧デバイスM1N1およびM1N2を、過電圧ストレスから保護する電圧クランプ回路202を用いること以外は、先に図1に即して説明した電圧レベル・トランスレータ回路100に関するものと本質的に同じままである。ノードi1は、好ましくは、図1に示す電圧

10

20

30

40

50

レベル・トランスレータ回路100と同様の方法で、出力部信号Zを生成するための標準インバータ出力段104をドライブする。

【0022】

図3は、図2に示した電圧レベル・トランスレータ回路200と共に使用するのに適した例示的基準回路300を説明している。基準回路300は、電圧レベル・トランスレータ回路200のノードi3およびi4で出現する電圧を固定するために使用されるバイアス電圧VREFを生成するように作用する。図3から明らかなように、例示的基準回路300は、3個のダイオード接続された高電圧NMOSトランジスタ・デバイス、すなわち、積み重ね構成で配置されたM3ND1、M3ND2、およびM3ND3を含む簡単な分圧回路として実装することができる。具体的には、M3ND1のゲートおよびドレインは、M3ND2のソースに、ノードN1で接続され、M3ND1のソースは、VSSに接続され、M3ND2のゲートおよびドレインは、M3ND3のソースに、ノードN2で接続され、M3ND3のゲートおよびドレインは、ともにノードN3で接続されている。ノードN3は、ノードN3に接続されたドレイン、およびVDDIOに接続されたソースを持つ高電圧PMOSトランジスタ・デバイスM3PSWとして実装された抵抗を介して、VDDIOに接続されている。基準回路300は、バイアス電圧VREF内のノードN2で発生する可能性があるノイズを、少なくとも、部分的に低減させる働きをするノードN2とVSSの間に結合されたキャパシタCRを含んでもよい。あるいは、任意の実質的に一定の電圧源が、交流(ac)接地として作用するため、キャパシタCRを、ノードN2と他の実質的に一定の電圧源(たとえば、VDDIO)との間に接続してもよい。キャパシタCRの値は、好ましくは、当業者によって理解されるように、減衰されるべき所望の周波数成分に応じて選択される。

10

20

【0023】

基準回路300内で電力を保存するために、デバイスM3PSWのゲートは、好ましくは、電源遮断動作モード時などに、選択的に基準回路を使用不能にするために使用することができる制御信号、PDを受け取るようになされている。トランジスタM3PSWは、好ましくは、基準回路300内の電流(たとえば、約4マイクロアンペア)を制限するための長いチャネル・デバイスである。基準電圧VREFは、ノードN2で生成される。さらに、高電圧のNMOSデバイス、M3NSWを基準回路300内に含むことができ、M3NSWのソースはVSSに接続され、M3NSWのドレインはノードN2に接続され、およびM3NSWのゲートは制御信号PDを受け取るようになされている。デバイスM3NSWは、好ましくは、電源遮断動作モード時に、基準電圧VREFを、VSS(たとえば、接地)に引きつける。

30

【0024】

制御信号PDが、論理ハイ・レベルであるとき、デバイスM3PSWはオフになり、デバイスM3NSWはオンになり、それによって、基準電圧VREFが、VSS(たとえば、ロー)に引きつけられる。再び図2を参照すると、ローであるVREFは、電圧クランプ・デバイスM3N1およびM3N2をオフにし、それによって、ノードi1が浮動する。電圧レベル・トランスレータ回路200内の出力段104が、誤った出力信号Zを生成すること、および/または、かなりの電流を消費することを(たとえば、ノードi1における電圧が、VSSとVDDIOの間で、およそ中間であるとき、)防止するために、VDDIOに接続されたソースと、ノードi1に接続されたドレインと、制御信号PDの論理的補数となることができる第2の制御信号、PDBを受け取るようになされたゲートとを持つ高電圧のPMOSデバイス、M3P4が、好ましくは、含まれる。制御信号PDがハイであるとき、制御信号PDBは、論理ロー・レベルとなり、それによって、デバイスM3P4がオンなり、またノードi1がハイに作動する。明確には示されていないが、デバイスM3P4は、VSSに接続されたソースと、ノードi1に接続されたドレインと、制御信号PDを受け取るようになされたゲートとを持つ高電圧のNMOSデバイスと交換することができる。ことが当業者には明らかとなる。図3の基準回路300が使用不能にされたとき、ノードi1が浮動することを防止するためのさまざまな他の機構が、同様に

40

50

、考えられる。

【0025】

ある種の半導体プロセス技術（たとえば、130ナノメートル・プロセス）では、コア電圧源VDDCOREは、わずか0.9ボルトである場合がある。しかし、電圧レベル・トランスレータ回路（たとえば、100、200）への入力部で受け取る実際のコア電圧レベルは、主にチップ内のIRドロップにより、さらに小さくなる場合がある（たとえば、約0.85ボルト）。図3に示した基準回路300と共に図2に示した電圧レベル・トランスレータ回路200は、0.85ボルトのコア電源までは十分に動作する。しかし、VDDIOが、たとえば、VDDCOREの近くなどで、著しく低下させられた場合、基準回路300は、必要とされる基準信号VREFを、ほとんどもたらさないものと思われ、また電圧レベル・トランスレータ回路200があまりに遅く動作し、または全くというわけではないが動作せず、その両方はどちらも望ましいものではない。図1に示した電圧レベル・トランスレータ回路100は、VDDIOが実質的に低下させられたとき（たとえば、およそVDDCOREまでに）、十分に動作することができるが、コア電圧源VDDCOREが約1ボルト未満に低下したときは適正に動作しない。

10

【0026】

先に言及された問題を解決するための1つの技術は、より大きい電圧源VDDIOが、コア電圧源VDDCOREのある所定の範囲内であるときを検出することであり、またVDDIOとVDDCOREの間の差に応じて、電圧レベル・トランスレータ回路内で信号経路を変更することである。具体的には、VDDIOとVDDCOREの間の差が、指定されたレベルより大きいとき、この回路は、より小さいコア電圧VDDCOREを基準とする入力信号を、より大きい電圧VDDIOを基準とする出力信号に変換するように作用する。あるいは、VDDIOとVDDCOREの間の差が、指定されたレベル未満、またはそれに等しいとき、電圧レベル・トランスレータ回路は、有利には、入力信号を変換することなく、回路の入力部から、その出力部への直行信号経路を提供し、それによって、本質的に、電圧レベル・トランスレータ回路を迂回させるように作用する。「Self-Bypassing Voltage Level Translator Circuit」という名称の本願の権利者が所有する米国特許出願第11/065785号内に記載されたこの方法を使用すると（この開示は、参考として、本明細書に組み込まれている。）、入力信号は、異なる信号経路を通して伝わり、したがって、コア電源VDDCOREに対する相対的な電圧源VDDIOのレベルに応じて、異なる遅延が生じる。

20

30

【0027】

本発明のある態様によれば、より大きいIO電圧源VDDIOとより小さいコア電圧源VDDCOREと間の差に応じて、少なくとも2つのモードのうち的一方で選択的に動作可能である電圧レベル・トランスレータ回路が、実現される。VDDIOとVDDCOREの間の差が、指定されたレベルより大きい第1のモードでは、電圧レベル・トランスレータ回路は、好ましくは、第1の基準信号、VREF1を選択するように作用し、この信号は、電圧レベル・トランスレータ回路内の電圧クランプ回路をバイアスするために、実質的にVDDCOREより大きくすることができる（たとえば、VSS上の約2つのしきい値電圧）。VDDIOとVDDCOREの間の差が、指定されたレベル未満、またはそれに等しい第2のモードでは、電圧レベル・トランスレータ回路は、有利には、第2の基準信号、VREF2を選択するように作用し、この信号は、電圧クランプ回路をバイアスするために、実質的にコア電源VDDCOREと同等とすることができ、第2の基準信号VREF2は、第1の基準信号VREF1より大きい。電圧レベル・トランスレータ回路内の電圧クランプ回路のバイアス電圧を上昇させるための機構を提供することによって、VDDIOがVDDCOREに匹敵しているとき、信号スキューは有益に減少させられ、速度は電圧レベル・トランスレータ回路内で上昇させられる。

40

【0028】

図4は、本発明の一実施形態に従って形成された例示的基準選択回路400を示す構成図である。例示的基準選択回路400は、検知回路402、および動作可能なように検知

50

回路に結合されたマルチプレクサ404を含む。検知回路402は、好ましくは、VDDIOとVDDCOREの間の電圧差を検出し、VDDIOが、VDDCOREの所定のしきい値電圧内であるか否かを表す少なくとも1つの制御信号を生成する。具体的には、検知回路402は、VDDIOをVDDCOREと比較し、VDDIOとVDDCOREの間の差に応じて、制御信号、VIOLおよびVIOLBを生成するように作用する。たとえば、VDDIOが、VDDCORE上のしきい値電圧より大きいとき、制御信号VIOLは、論理ロー・レベルであり、VIOLの論理的補数である制御信号VIOLBは、論理ハイ・レベルである。VDDIOが、VDDCOREのしきい値電圧未満、またはそれと同等にまで低下したとき、制御信号VIOLはハイになり、制御信号VIOLBはローになる。

10

【0029】

検知回路402によって生成された制御信号VIOLおよびVIOLBは、基準選択回路400に供給された2つの基準信号、VREF1およびVREF2の中の一方を選択するために、マルチプレクサ404によって使用される。本発明は、さらに、基準信号VREF1およびVREF2を、たとえば、バンドギャップ基準（明示的に示されていない）、または基準選択回路内に含まれる他の基準発生器などによって、基準選択回路400内で生成することができるということも意図している。マルチプレクサ404によって生成された出力信号、VREFは、制御信号VIOLおよびVIOLBの論理的状態に応じて、実質的に、VREF1またはVREF2に等しくなる。出力信号VREFは、好ましくは、図2の電圧レベル・トランスレータ回路200内の電圧クランプ202をバイアスするために使用される。マルチプレクサ404は、2つのみの基準信号VREF1およびVREF2を、その入力として受け取るようになされるものとして示されているが、本発明は、任意の特定の数の基準信号には限定されない。むしろ、マルチプレクサ404は、出力信号VREFを、マルチプレクサに供給された任意の数の基準信号に関係づけるように作用するものとしてすることができる。このことを実施するために、検知回路402は、したがって、VDDIOとVDDCOREの間の差が複数の所定の電圧範囲内であるときを検出し、また複数の制御信号を生成するようになすことができ、各制御信号は、VDDIOとVDDCOREの間の差が、対応する電圧のレベルおよび/または範囲未満であること、またはそれに等しいことを示している。

20

【0030】

本発明の一実施形態では、基準信号VREF1を、図3内に示した基準回路300の出力として生成された基準電圧VREFに等しくすることができる。この場合、IO電圧源VDDIOが、基準回路300（図3）内のNMOSデバイスM3ND1、M3ND2、およびM3ND3を適切にバイアスするほど大きいとき、しかも基準回路がオンに作動させられている（たとえば、制御信号PDがローである）ものと仮定すれば、基準信号VREF1は、実質的に、VSS上の約2つのNMOSしきい値電圧（たとえば、約1.5ボルト）に等しくなる。VDDIOが、VSS上の約3つのしきい値電圧未満（たとえば、約2.25ボルト未満）に低下したとき、NMOSデバイスM3ND1、M3ND2、M3ND3は、オフになり始め、したがって、基準回路300は、VREFをVSS上の約2つのしきい値電圧で保持することはもはやできない。基準信号VREF2は、コア電源電圧VDDCOREに等しくすることができる。したがって、VDDIOが、VDDCORE上の1つのしきい値電圧より大きいとき、基準信号VREF1が、好ましくは、基準選択回路400によって生成された出力信号VREFとして選択され、そうでない場合は、基準信号VREF2が選択される。より大きい電圧源VDDIOが、実質的に、より小さいコア電圧源VDDCOREに等しいとき、VDDCOREが、電圧クランプをバイアスするための出力信号VREFとして選択されるので、電圧レベル・トランスレータ回路200（図2を参照されたい）は、低IO電源電圧の場合でさえ、適正に動作し続ける。

30

40

【0031】

図5は、本発明のある態様に従って、図4内に示した検知回路402を実装するように用いることができる例示的検知回路500を示す概略図である。本発明は、示された特定

50

の検知回路の配置に限定されないということを理解されたい。検知回路500は、好ましくは、第1のインバータとして構成されたPMOSデバイス502およびNMOSデバイス504を含む。具体的には、デバイス502のソースは、IO供給源VDDIOに接続できるようになされ、デバイス502のドレインは、デバイス504のドレインに、ノードN1で接続され、デバイス502および504のゲートは、ノードN2で一緒に接続され、デバイス504のソースは、VSSに接続できるようになされている。第1のインバータは、コア電圧源VDDCOREによって、ノードN2でドライブされる。検知回路500は、制御信号VIOLおよびVIOLBをそれぞれ生成するための第2のインバータ506、および第3のインバータ508をさらに含む。インバータ506の入力部は、好ましくは、第1のインバータの出力部に、ノードN1で接続され、インバータ506の出力部は、インバータ508の入力部に接続される。制御信号VIOLは、第2のインバータ506の出力部で生成され、信号VIOLの論理的補数である制御信号VIOLBは、第3のインバータ508の出力部で生成される。インバータ506および508は、少なくとも部分的に、第1のインバータによって生成された出力信号、VCOMPを緩衝する働きをする。

10

【0032】

デバイス502および504は、好ましくは、たとえば、1つのまたは両方のデバイスのチャンネル幅対長さ(W/L)の比率を適切に選択することなどによって、寸法決めされ、それによって、標準インバータのものと比べて、高い切り替え点(たとえば、VDDIO/2よりVDDIOにより近い)を持つ比較的弱いインバータを形成する。IO電圧源VDDIOが、コア電圧源VDDCOREより大きい少なくとも1つのしきい値電圧であるとき、PMOSデバイス502は、オンのままである。この場合、ノードN1における第1のインバータの出力部VCOMPは、ハイになり、それによって、制御信号VIOLはローになり、制御信号VIOLBがハイになる。VDDIOが、VDDCORE上の約1つのしきい値電圧未満となると、PMOSデバイス502はオフになり始め、NMOSデバイス504が、ノードN1を、VSS(たとえば、ロー)に引きつける。この場合、VCOMPはローになり、制御信号VIOLはハイになり、制御信号VIOLBはローになる。

20

【0033】

図6は、本発明のある態様に従って、図4に示したマルチプレクサ404を実装するように用いることができる例示的マルチプレクサ600を示す概略図である。本発明は、示された特定のマルチプレクサ配置には限定されないということを理解されたい。マルチプレクサ600は、好ましくは、第1および第2の伝達ゲート(パス・ゲートとも呼ばれる)、602および604をそれぞれ含み、または他のスイッチング回路を有する。各伝達ゲート602、604は、図示のように並列配置で一緒に接続されたNMOSデバイスおよびPMOSデバイスを含む。伝達ゲートは、制御信号VIOLおよびVIOLBによって制御される双方向スイッチとして作用する。第1の伝達ゲート602の入力部は、好ましくは、第1の基準信号VREF1を受け取るようになされ、第2の伝達ゲート604の入力部は、第2の基準信号VREF2を受け取るようになされている。伝達ゲート602の出力部は、マルチプレクサ600の出力信号VREFを生成できるように、伝達ゲート604の出力部に、ノードN1で接続されている。

30

40

【0034】

制御信号VIOLが、伝達ゲート602内のPMOSデバイスのゲートに、また伝達ゲート604内のNMOSデバイスのゲートに印加され、制御信号VIOLBは、信号VIOLの論理的補数であり、伝達ゲート602内のNMOSデバイスのゲートに、また伝達ゲート604内のPMOSデバイスのゲートに印加される。このように構成されるマルチプレクサでは、制御信号VIOLがローであるとき、基準信号VREF1が、マルチプレクサ600の出力信号VREFとして選択され、そうでない場合は、基準信号VREF2が選択される。

【0035】

50

図7は、本発明の一実施形態に従って形成された例示的基準選択回路700を示す概略図である。基準選択回路700を、基準選択回路400(図4を参照されたい)の例示的実装形態内で使用すると、図2の電圧レベル・トランスレータ回路200内の電圧クランプ回路202をバイアスすることができる。本発明が、示された特定の基準選択回路の配置には限定されないことを認識されたい。

【0036】

基準選択回路700は、好ましくは、ダイオード構成で接続された第1の高電圧のNMOSデバイスM3ND1、および本質的にゲート・スイッチとして作用する高電圧のPMOSデバイスM3PSWを含む。具体的には、デバイスM3ND1のソースが、コア電圧源VDDCOREに接続できるようになされており、M3ND1のゲートおよびドレインが、デバイスM3PSWのドレインに、ノードN1で接続されている。デバイスM3PSWのソースは、IO電圧源VDDIOに接続できるようになされており、M3PSWのゲートは、制御信号、PDを受け取るようになされており、この信号は、基準選択回路700を選択的に不能にするための電源遮断信号とすることができる。基準選択回路を選択的に使用不能にすることが必要とされないとき、デバイスM3PSWを、適切な値の抵抗体または他の負荷要素と交換することができる。図2の電圧レベル・トランスレータ回路200内の電圧クランプ回路202をバイアスするための出力信号、VREFが、ノードN1で生成される。

10

【0037】

PMOSデバイスM3PSWは、好ましくは、長いチャネル・デバイスであり、それによって、制御信号PDが非活性状態(たとえば、論理ロー)であるとき、基準選択回路700内の電流、I1が制限される。VDDIOが、実質的に、VDDCOREより大きい(たとえば、1つのしきい値電圧より大きい)とき、ノードN1で生成される出力信号VREFは、VDDCORE上の約1つのしきい値電圧(たとえば、約1.75ボルト)となる。この電圧は、本質的に、電圧レベル・トランスレータ回路の入力段204内の低電圧NMOSデバイス(M1N1およびMIN2)に過度に負荷をかけずに、電圧レベル・トランスレータ回路200(図2を参照されたい)における電圧クランプ回路202内のNMOSデバイス(M3N1およびM3N2)のゲートに印加することができる最大許容電圧レベルに実質的に等しい。これは、ノードi3およびi4が、VDDCOREに実質的に等しいVREF未満の約1つのしきい値電圧の最大値を基準としている場合があるためである。

20

30

【0038】

VDDIOが、VDDCORE上の約1つのしきい値電圧以下の範囲内に低下したとき、ダイオード接続されたNMOSデバイスM3ND1はオフになるが、デバイスM3PSWは、制御信号PDによってゲート制御され、オンのままであり、それによって、ノードN1が引きつけられ、したがって、出力信号VREFが実質的にVDDIOまで引きつけられる。この場合、VREFは、VDDCORE上の約1つのしきい値電圧以下となることができる。デバイスM3PSWは、好ましくは、たとえば、基準選択回路700内の電流I1を制限するために、実質的に1未満の長いチャネルW/L比率を選択などすることによって、弱くなるように、また出力信号VREFが、VDDCORE上の約1つのしきい値電圧より決して大きくならないことを保証するように寸法決めされる。

40

【0039】

電源遮断動作モード時、制御信号PDは、好ましくは、論理ハイ・レベルであり、それによって、PMOSデバイスM3PSWがオフになる。この動作が行われているとき、ノードN1で生成された電圧VREFは不確定であり、また浮動しており望ましくない場合がある。VREFが未定になることを防止するために、第2の高電圧NMOSデバイスM3NSWが、好ましくは、基準選択回路内に含まれ、ノードN1とVSSの間に接続され、制御信号PDによってゲート制御される。したがって、電源遮断モード時など、信号PDがハイであるとき、デバイスM3NSWはオンにされ、それによって、ノードN1がVSSに引きつけられる。あるいは、デバイスM3NSWを、ノードN1と他の電圧源、た

50

例えば、VDDCOREなどとの間に接続することができる。基準選択回路700は、さらに、ノードN1とVSSの間に接続されたキャパシタ、CRを含むことができる。キャパシタCRは、少なくとも部分的に、電圧VREF内のノードN1で発生する可能性があるノイズを低減させる働きをする。あるいは、任意の実質的に一定の電圧源が、交流接地として作用するので、キャパシタCRを、ノードN1と他の実質的に一定の電圧源（たとえば、VDDCORE）との間に接続することができる。キャパシタCRの値は、好ましくは、当業者によって理解されるように、減衰させるべき所望の周波数成分に応じて選択される。

【0040】

図8は、時間に応じた（秒単位で）、図3に示した基準回路300と共に使用されたときの図2の例示的電圧レベル・トランスレータ回路200内のいくつかの信号の例示的なシミュレーションの結果に関するグラフである。このシミュレーション結果は、約10メガヘルツ（MHz）の速度で、また最悪のプロセス、電圧、および温度（PVT）状態（たとえば、遅い集積回路プロセス、および低温）下で動作する例示的電圧レベル・トランスレータ回路用に提供されたものである。より大きいIO電圧源VDDIOが、グラフ802によって表され、より小さいコア電圧源VDDCOREが、グラフ804によって表され、電圧クランプ回路（図2内の202）をバイアスするための基準回路300（図3）によって生成された電圧VREFが、グラフ806によって表され、電圧レベル・トランスレータ回路（図2内の200）に供給された入力信号Aが、グラフ808によって表され、電圧レベル・トランスレータ回路によって生成された出力信号Zが、グラフ810 20
によって表されている。VDDIOは、0.9ボルトから約3.6ボルトにまで変動させられ、一方、VDDCOREは、0.85ボルトで保持されている。この図から明らかであるように、VDDIOが約1.9ボルト未満であるとき、電圧レベル・トランスレータ回路によって生成された出力信号Zは0であり、この回路が、所期の電源電圧範囲を超えては、適正に作用しないことを示している。

【0041】

図9は、一方、時間に応じた（秒単位で）、図7に示した基準回路700と共に使用されたときの図2の例示的電圧レベル・トランスレータ回路200内のいくつかの信号の例示的なシミュレーションの結果に関するグラフである。このシミュレーション結果は、図8と同じ状態下で、すなわち、約10MHzの速度で、また最悪PVT状態（たとえば、遅い集積回路プロセス、および低温）下で動作する例示的電圧レベル・トランスレータ回路用に提供されたものである。IO電圧源VDDIOが、グラフ902によって表され、より小さいコア電圧源VDDCOREが、グラフ904によって表され、電圧クランプ回路（図2内の202）をバイアスするための基準選択回路700（図7）によって生成された電圧VREFが、グラフ906によって表され、電圧レベル・トランスレータ回路（図2内の200）に供給された入力信号Aが、グラフ908によって表され、電圧レベル・トランスレータ回路によって生成された出力信号Zが、グラフ910によって表されている。 30

【0042】

図8内に示したシミュレーションにおいて見られるように、VDDCOREは、0.85ボルトで保持され、VDDIOは、0.9ボルトから3.6ボルトにまで変動させられる。VDDIOが非常に小さいとき、VREFの値は、実質的にVDDIOに等しくなる。VDDIOが上昇するにつれて、VREFは、実質的に、連続的に上昇して、VDDCORE上の約1つのしきい値の定常値に達する。この図から明らかであるように、この電圧レベル・トランスレータ回路は、VDDIOの変動量全体（たとえば、約0.9ボルトから約3.6ボルトまで）にわたって、許容出力信号Zを生成し、この回路が、図3の基準回路300と共に使用されたときの電圧レベル・トランスレータ回路に比べて、実質的により広い電源電圧の範囲にわたって適正に作用していることを示している。 40

【0043】

本明細書において説明した本発明の電圧レベル変換技術を、当業者には明らかなように 50

、他の電圧レベル間で変換できるように、他の回路構成で使用することができることを認識されたい。たとえば、図2に示した電圧レベル・トランスレータ回路200内のトランジスタ・デバイスの極性と逆の極性を持つトランジスタ・デバイスを含むトランスレータ回路(図示せず)を、当業者によって理解されるように、用いることができる。

【0044】

本発明の電圧レベル・トランスレータ回路の少なくとも一部を、集積回路内に実装することができる。集積回路を形成する際に、複数の同一のダイが、通常、半導体ウェハの表面上の繰り返されたパターン内に製作される。各ダイは、本明細書において説明したデバイスを含み、また他の構造体および/または回路を含むことができる。個々のダイは、ウェハから、切断され、またはさいの目に切られ、次いで、集積回路として実装される。当業者は、ウェハをさいの目に切り、ダイを実装して、集積回路を作成する方法を知っている。このように製作された集積回路は、本発明の一部とみなされる。

10

【0045】

本発明の例示的实施形態を、本明細書において、添付図面を参照して、説明してきたが、本発明は、それらの精密な実施形態には限定されないということ、しかもさまざまな他の変更および修正を、添付の特許請求の範囲から逸脱することなく、当業者によって、その中に加えることができるということを理解されたい。

【図面の簡単な説明】

【0046】

【図1】本発明の技術を組み込むように修正することができる例示的電圧レベル・トランスレータ回路を示す概略図である。

20

【図2】本発明の技術が実装された例示的電圧レベル・トランスレータ回路を示す概略図である。

【図3】図2に示した電圧レベル・トランスレータ回路で使用するのに適した例示的基準回路を示す概略図である。

【図4】本発明の一実施形態に従って形成された例示的基準選択回路を示す構成図である。

【図5】本発明の一実施形態に従って、図4に示した基準選択回路と共に使用するのに適した例示的検知回路を示す概略図である。

【図6】本発明の一実施形態に従って、図4に示した基準選択回路と共に使用するのに適した例示的マルチプレクサ回路を示す概略図である。

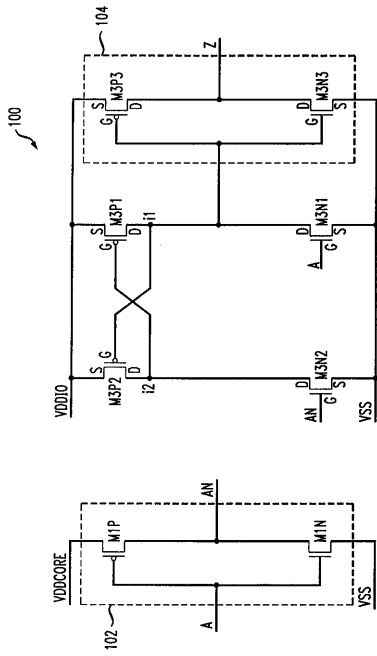
30

【図7】本発明の例示的实施形態に従って形成された、図2に示した電圧レベル・トランスレータ回路で使用するのに適した例示的基準回路を示す概略図である。

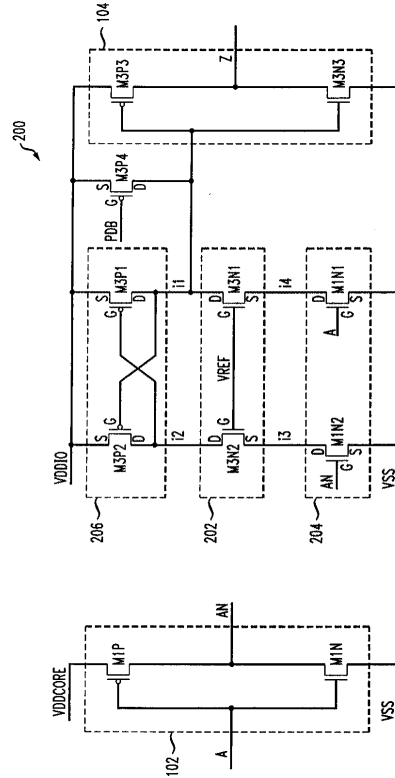
【図8】図3の例示的基準回路を使用する、図2に示した電圧レベル・トランスレータ回路用の例示的シミュレーション波形を示す図である。

【図9】図7の例示的基準回路を使用する、図2に示した電圧レベル・トランスレータ回路用の例示的シミュレーション波形を示す図である。

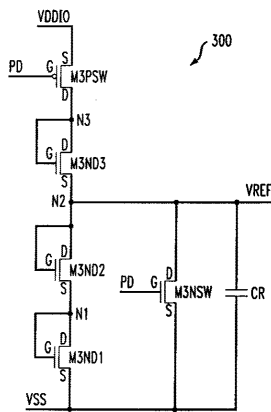
【 図 1 】



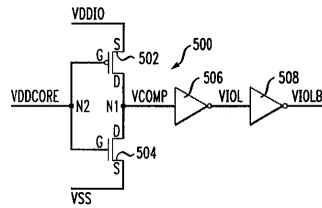
【 図 2 】



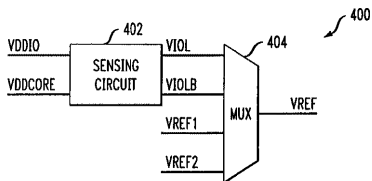
【 図 3 】



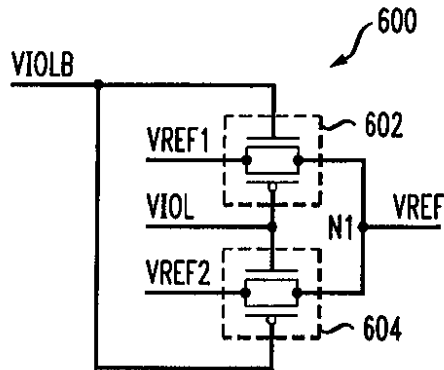
【 図 5 】



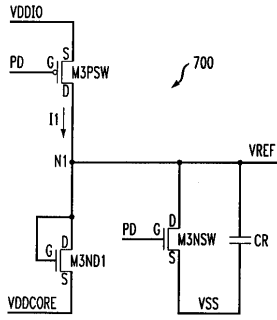
【 図 4 】



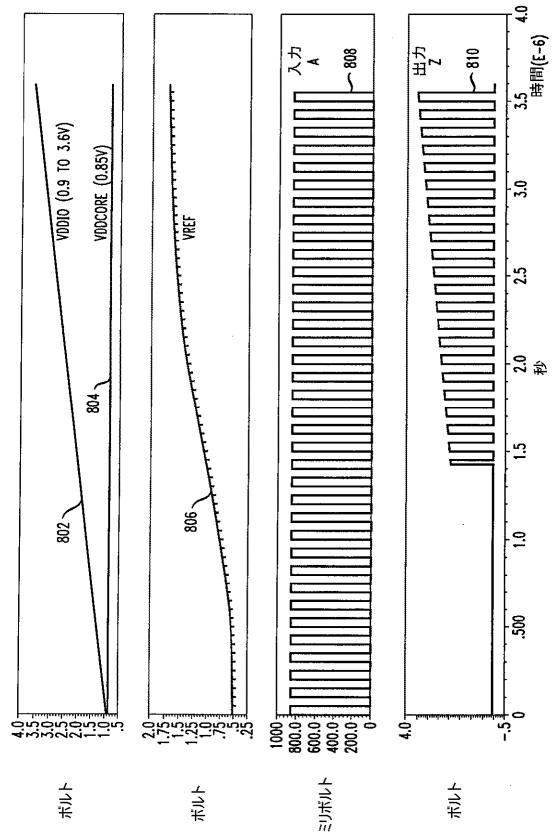
【 図 6 】



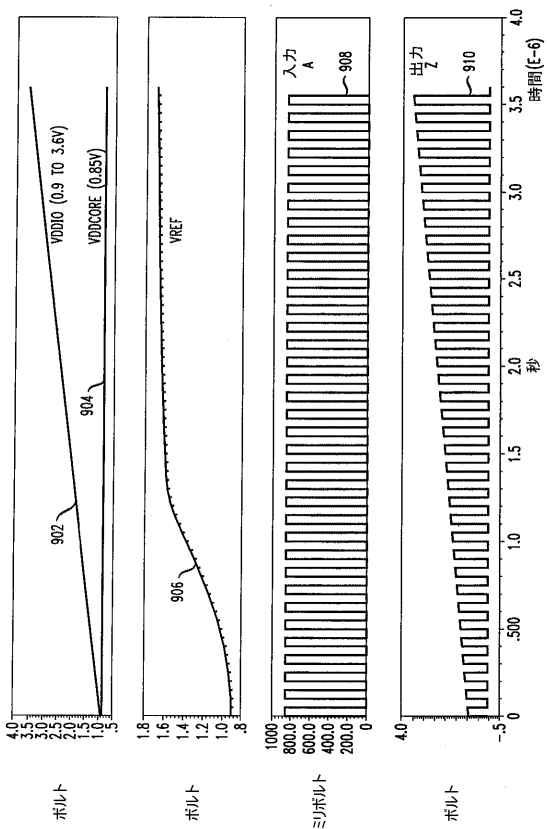
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100128657
弁理士 三山 勝巳
- (72)発明者 ディパンカー バッタチャリヤ
アメリカ合衆国 1 8 0 6 2 ペンシルヴァニア, マカンギー, プリンストン ロード 5 3 9 8
- (72)発明者 メイクシュワー コサンダラマン
アメリカ合衆国 1 8 0 5 2 ペンシルヴァニア, ホワイトホール, ミックリー ロード 9 0 0
, アpartment ナンバー ワイ 2 - 2
- (72)発明者 ジョン シー . クリズ
アメリカ合衆国 1 8 0 7 1 ペンシルヴァニア, パルマートン, アイロンウッド ロード 2 0
0
- (72)発明者 バーナード エル . モリス
アメリカ合衆国 1 8 0 4 9 ペンシルヴァニア, エマウス, グレンウッド ドライブ 4 3 2 4
- (72)発明者 ジョセフ イー . シムコ
アメリカ合衆国 1 8 0 5 2 ペンシルヴァニア, ホワイトホール, サマーセット ロード 2 5
4 1
- F ターム(参考) 5J039 AA01 KK34 KK37
5J056 AA00 AA11 CC04 CC12 CC21 DD13 DD28 EE11 FF06 FF08
GG09