(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4050087号
(P4050087)

(45)発行日　平成20年2月20日(2008.2.20)　(24)登録日　平成19年12月7日(2007.12.7)

(51)Int.Cl.		F I		
H04L 1/00	(2006.01)	H04L	1/00	B
H03M 13/41	(2006.01)	H03M	13/41	
H04L 27/00	(2006.01)	H04L	27/00	B
H04L 27/18	(2006.01)	H04L	27/18	B
H04N 7/26	(2006.01)	H04N	7/13	A

請求項の数 6　(全 119 頁)

(21)出願番号　特願2002-130399(P2002-130399)
(22)出願日　平成14年5月2日(2002.5.2)
(62)分割の表示　特願平11-15111の分割
原出願日　平成11年1月25日(1999.1.25)
(65)公開番号　特開2003-32228(P2003-32228A)
(43)公開日　平成15年1月31日(2003.1.31)
審査請求日　平成17年11月14日(2005.11.14)
(31)優先権主張番号　特願平10-29144
(32)優先日　平成10年1月26日(1998.1.26)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100084364
弁理士　岡本　宜喜
(72)発明者　大内　幹博
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　神野　一平
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　森　良輔
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】誤り訂正回路及び誤り訂正方法

(57)【特許請求の範囲】

【請求項１】

固定シンボル系列を含んでたたみ込み符号化されて伝送されるデータ系列をビタビ復号する誤り訂正回路であって、

前記固定シンボル系列の区間について、各シンボルを前記たたみ込み符号化によって得られる符号点に変更するか否かを判断して、変更する区間を示すシンボル座標変換信号を生成するビタビ復号器制御回路と、

前記固定シンボル系列の区間については、前記シンボル座標変換信号が生成された区間の入力シンボル系列を前記符号点に変更して出力し、前記シンボル座標変換信号が生成されない区間の入力シンボル系列を変更せずに出力し、前記固定シンボル系列の区間以外については、入力シンボル系列を変更せずに出力する入力シンボル変換回路と、

前記入力シンボル変換回路より出力された各シンボルに対してビタビ復号を行うビタビ復号器と、を具備する誤り訂正回路。

【請求項２】

前記データ系列は、複数の変調方式と複数の符号化率のシンボルによって構成され、前記変調方式及び前記符号化率が切り替わる前記シンボル間に固定シンボル系列を含む場合を有し、異なる前記変調方式及び前記符号化率の各前記シンボルが連続的にたたみ込み符号化されて伝送され、

前記ビタビ復号器は、前記入力シンボル変換回路より出力された各シンボルに対して、伝送に用いられた変調方式及び符号化率に基づくメトリックを用いて各前記シンボルのビ

タビ復号を行う請求項１記載の誤り訂正回路。
【請求項３】
前記データ系列は、更に各シンボルの変調方式及び符号化率に関する伝送制御情報を含んでおり、
前記ビタビ復号器は、前記伝送制御情報に含まれる各前記シンボルの前記変調方式及び前記符号化率に基づき、当該シンボルのビタビ復号を行う請求項２記載の誤り訂正回路。
【請求項４】
固定シンボル系列を含んでたたみ込み符号化されて伝送されるデータ系列をビタビ復号する誤り訂正方法であって、
前記固定シンボル系列の区間について、各シンボルを前記たたみ込み符号化によって得られる符号点に変更するか否かを判断して、変更する区間を示すシンボル座標変換信号を生成するビタビ復号制御処理と、
前記固定シンボル系列の区間については、前記シンボル座標変換信号が生成された区間の入力シンボル系列を前記符号点に変更して出力し、前記シンボル座標変換信号が生成されない区間の入力シンボル系列を変更せずに出力し、前記固定シンボル系列の区間以外については、入力シンボル系列を変更せずに出力する入力シンボル変換処理と、
前記ビタビ復号制御処理より出力された各シンボルに対してビタビ復号を行うビタビ復号処理と、を有する誤り訂正方法。
【請求項５】
前記データ系列は、複数の変調方式と複数の符号化率のシンボルによって構成され、前記変調方式及び前記符号化率が切り替わる前記シンボル間に固定シンボル系列を含む場合を有し、異なる前記変調方式及び前記符号化率の各前記シンボルが連続的にたたみ込み符号化されて伝送され、
前記ビタビ復号処理は、前記入力シンボル変換処理より出力された各シンボルに対して、伝送に用いられた変調方式及び符号化率に基づくメトリックを用いて各前記シンボルのビタビ復号を行う請求項４記載の誤り訂正方法。
【請求項６】
前記データ系列は、更に各シンボルの変調方式及び符号化率に関する伝送制御情報を含んでおり、
前記ビタビ復号処理は、前記伝送制御情報に含まれる各前記シンボルの前記変調方式及び前記符号化率に基づき、当該シンボルのビタビ復号を行う請求項５記載の誤り訂正方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、誤り訂正符号化を行ってデジタル伝送されたデータを復号する誤り訂正回路及びその方法に関するものである。
【０００２】
【従来の技術】
近年、日本や欧米において、ＴＶ放送のデジタル化がケーブル、衛星、地上波の各メディアともに急速に進行している。日本においては、デジタルＣＡＴＶの標準方式が１９９６年末に官報にて公示され、地上波放送は２０００年頃の放送開始を目指して標準方式の検討が行われている。一方、衛星放送については、ＣＳ（Communication Satellite ）デジタル放送が１９９６年より開始し、ＢＳ（Broadcasting Satellite）デジタル放送は２０００年の放送開始を目指して電気通信技術審議会や電波産業会などにおいて標準方式の検討が行われている。
【０００３】
ところで、ＢＳデジタル放送においては、ＣＳデジタル放送に比べてトランスポンダの電力を２倍取れるため、変調方式としてＴＣ－８ＰＳＫ（Trellis Coded-8-ary Phase Shift Keying：トレリス符号化８相ＰＳＫ）を採用することが検討されている。これにより、

ＱＰＳＫ（Quarternary PSK ：４相ＰＳＫ）を採用しているＣＳデジタル放送より伝送容量を多く取ることができ、１トランスポンダで、ＨＤＴＶ（High Definition TV）を２ｃｈ送信可能となる。あるいは、ＨＤＴＶの１ｃｈ分の代わりに、ＳＤＴＶ（Standard Definition TV）を３ｃｈ分送信可能となる。しかしながら、変調多値数（位相数）が大きく、符号間距離が小さくなるため、降雨減衰によるサービス時間率の低下、即ち視聴不可能時間の増加をある程度招くことになる。

【０００４】

この対策として、階層化伝送の採用が検討されている（加藤他：「衛星ＩＳＤＢ方式の検討」、映像情報メディア学会技術報告、BCS97-12(Mar. 1997)）。これは、高解像度の映像（高階層）はＴＣ－８ＰＳＫで伝送を行い、これと同じ内容の画像で低ビットレートに落とした画像（低階層）をＱＰＳＫまたはＢＰＳＫ（Binary PSK：２相ＰＳＫ）で、高階層と同じ伝送フレームで時分割多重で伝送を行うものである。受信機側では、伝送フレーム内の全ての変調データ（ＴＣ－８ＰＳＫ、ＱＰＳＫ、ＢＰＳＫ）をＰＳＫ復調し、通常時にはＴＣ－８ＰＳＫの高階層の画像をＭＰＥＧ復号して画像をモニタに出力する。一方、強雨によりＣ／Ｎ比（Carrier to Noise ratio）が低下した場合には、ＱＰＳＫやＢＰＳＫの低階層の画像をＭＰＥＧ復号して画像をモニタに出力する。

【０００５】

このような階層化伝送を行うことにより、強雨時には低解像度の画像になるものの、サービス時間率が低減するのを防止することができる。現在審議中のＢＳデジタル放送の標準方式について、図面を参照しながら以下に説明する。

【０００６】

図７６は送信側の誤り訂正符号化装置１０００１の構成例を示すブロック図である。本図に示す誤り訂正符号化装置１０００１は、ＴＳ多重回路１０００２と、ＲＳ（Reed-Solomon）符号化回路１０００３と、ランダマイズ回路１０００４と、インターリーブ回路１０００５と、バイト／シンボル変換回路１０００６と、たたみ込み符号化器１０００７と、マッピング回路１０００８と、伝送制御情報生成回路１０００９とを有している。

【０００７】

このような構成の誤り訂正符号化装置１０００１の動作について説明する。複数種類のＭＰＥＧトランスポート・ストリーム(ＴＳ：Transport Stream) が誤り訂正符号化装置１０００１に入力されると、ＴＳ多重回路１０００２は複数種類のＴＳを多重し、図７７（ａ）のように多重化ＴＳを生成する（この図の場合は、２種類のＴＳを想定している）。

【０００８】

このような複数ＴＳ多重方式は各放送事業者の物理的独立性を持たせるために、各事業者毎にＴＳを割り当て、フレーム内で多重する方式である。つまり、ＣＳデジタル放送では１トランスポンダで１ＴＳであったが、ＢＳデジタル放送では１トランスポンダで複数のＴＳ（最大で８）を含ませることができる特徴がある。

【０００９】

図７６のＲＳ符号化回路１０００３は、図７７（ａ）に示すデータ系列に対して、ＲＳ（２０４、１８８）の符号化を行い、ＭＰＥＧのＴＳ１８８バイトに対して、１６バイトのパリティを付加して、図７７（ｂ）のようなデータ系列で出力する。４８ＭＰＥＧパケットを１フレームとし、８フレームを１スーパーフレームとする。ランダマイズ回路１０００４は、図７７（ｂ）のデータ系列に対して、１スーパーフレーム（４８ＭＰＥＧパケット×８フレーム）の周期でランダマイズを行い、インターリーブ回路１０００５に出力する。図７７（ｃ）に示すように、ランダマイズ回路１０００４内のＰＮ発生器は、各スーパーフレームの第１フレームの２バイト目でリセットされ、生成多項式を用いて入力データの乗算を行う。但し、各ＭＰＥＧパケット２０４バイトの先頭バイト（ＭＰＥＧ同期バイト：４７ｈ）の期間はＰＮ発生器はフリーランとして、データへの乗算は行わない。

【００１０】

なお、ランダマイズの際のＰＮ（Pseudo-random Noise ）系列は、
生成多項式を$1 + x^{14} + x^{15}$ とし、初期値を（100101010000000 ）とする。

【００１１】
図７７（ｄ）は伝送フレームの構造図である。ランダマイズ後の２０４バイトが１スロットであり、１フレームは４８スロット、１スーパーフレームは８フレームで構成される。各スロットの先頭バイトは、インターリーブ後にスーパーフレームの各種情報を含む伝送制御情報に置き換えられる。

【００１２】
ランダマイズされたデータ系列は、インターリーブ回路１０００５においてインターリーブされ、バイト／シンボル変換回路１０００６に出力される。インターリーブは、各スロットの先頭バイトを除いた２０３バイトについて、スロット単位で深さ８のブロック・インターリーブが４８スロット分行われる。即ち図７８に示すように、８×２０３バイトのインターリーブとする。そしてスロット毎にスーパーフレーム方向で深さ８のブロックインターリーブを行う。次に第１～８フレームのｉ番目のスロットをまとめてインターリーブを行い、１／８毎にｉ番目のスロットに戻す（１≦ｉ≦４８）。

【００１３】
以上のようなインターリーブが行われるが、ここで、第ｉスロットについての実際の読み出しアドレス値を示すと（数字は、フレーム－バイトを示す）、次のようになる。

	開始	2Byte目		203Byte目
第1フレーム：	1－1	2－1	・・・	3－26
第2フレーム：	4－26	5－26	・・・	6－51
第3フレーム：	7－51	8－51	・・・	1－77
第4フレーム：	2－77	3－77	・・・	4－102
第5フレーム：	5－102	6－102	・・・	7－127
第6フレーム：	8－127	1－128	・・・	2－153
第7フレーム：	3－153	4－153	・・・	5－178
第8フレーム：	6－178	7－178	・・・	8－203

例えば第１フレームについてアクセス順序を詳しく述べると、次のようになる。

1－1，2－1，3－1，・・・8－1
1－2，2－2，3－2，・・・8－2
・・・・
・・・・
1－24，2－24，3－24，・・・8－24
1－25，2－25，3－25，・・・8－25
1－26，2－26，3－26

【００１４】
以上のように、インターリーブ回路１０００５では、スロット単位で深さ８のブロック・インターリーブが４８スロット分行われる。符号化率をｒとすると、上述したようにスーパーフレーム内には階層化伝送のために、ＴＣ－８ＰＳＫ（ｒ＝２／３）、ＱＰＳＫ（ｒ＝３／４、１／２）、ＢＰＳＫ（ｒ＝１／２）のデータが存在する。１フレームは４８スロットで構成され、１スーパーフレームは４８×８スロットで構成されるが、全スロットをＴＣ－８ＰＳＫ（ｒ＝２／３）で伝送した場合には４８スロット分のデータを丸々送信可能である。一方、ＱＰＳＫ（ｒ＝３／４）、ＱＰＳＫ（ｒ＝１／２）、ＢＰＳＫ（ｒ＝

１／２）は、ＴＣ－８ＰＳＫ（ｒ＝２／３）と比べて、伝送効率がそれぞれ３／４、１／２、１／４に減少する。

【００１５】

１スーパーフレームの伝送時間は一定なので、図７９（ａ）に示すように、ＱＰＳＫ（ｒ＝１／２）のスロットを伝送する場合、２スロット当たり１スロットがダミー・スロットとしてインターリーブ回路１００００５に入力されることになるが、出力時には２スロット当たり１スロットの有効スロットのみが入力時の１／２の速度で読み出される。同様にして、図７９（ｂ），（ｃ）に示すように、ＱＰＳＫ（ｒ＝３／４）は４スロット当たり１スロット、ＢＰＳＫ（ｒ＝１／２）は４スロット当たり３スロットがそれぞれダミー・スロットとなる。

【００１６】

前述のように、各スロットの先頭バイト（ＭＰＥＧ同期バイト：４７ｈ）はインターリーブ後に、スーパーフレームの各種情報を含む伝送制御情報（ＴＭＣＣ：Transmission Multiplexing Configuration Control ）に置き換えられる。図８０は伝送制御情報生成回路１００００９の構成例である。本図に示すように、伝送制御情報生成回路１００００９は、制御情報発生部１００１０と、ＲＳ符号化回路１００１１と、ＴＡＢ信号挿入部１００１２と、ランダマイズ回路１００１３とを有している。

【００１７】

ＴＭＣＣは、４８スロット×８フレーム＝３８４スロット内の各スロットの先頭バイトを１スーパーフレーム分集めた３８４バイトを置き換えて、スーパーフレーム単位で生成される。ＴＭＣＣは重要な情報であるため、各フレームの先頭で主信号に先立ち、ＢＰＳＫ（ｒ＝１／２）で伝送が行われる。従って、伝送効率がＴＣ－８ＰＳＫ（ｒ＝２／３）の１／４であるため、実際に伝送されるデータは９６バイト（＝３８４バイト／４）である。

【００１８】

伝送制御情報生成回路１００００９の動作を以下に説明する。図８０において、制御情報発生部１００１０は、２つ後のスーパーフレームの伝送制御情報としてＴＭＣＣ４８バイトを発生し、ＲＳ符号化回路１００１１に出力する。また制御情報発生部１００１０は変調パラメータを図７６のバイト／シンボル変換回路１００００６、たたみ込み符号化器１００００７、及びマッピング回路１００００８に出力する。

【００１９】

図８１にＴＭＣＣ４８バイト（３８４ビット）の内容の一例を示す。ＢＳデジタル放送では、１変調波内に複数ＴＳの採用及び放送事業者による複数変調方式の運用切替を可能とするため、４８スロットからなる伝送フレーム構成、即ち１スーパーフレーム＝８フレームとなっている。これらはＭＰＥＧ２Ｓｙｓｔｅｍの制御情報に対して、放送用として新たに付加された制御情報である。各スロットの伝送モードやＴＳとの関係を明確化するための情報として、このような伝送制御情報（ＴＭＣＣ）を伝送する必要がある。さらに、ＴＭＣＣは変復調に関係する情報を伝送するための信号でもあるため、送受信制御に関する情報をここに含ませる。図８１において、バージョン情報はＴＭＣＣの内容変更を指示するもので、例えば内容を変更するたびに１ずつインクリメントされる。受信機では、この情報を監視することにより、ＴＭＣＣの内容変更のタイミングを認識することができる。

【００２０】

図８２に伝送モード／スロット情報の構成の一例を示す。伝送モードは、使用する変調方式と内符号（たたみ込み符号）との組み合わせを示す項目である。図中で割り当てスロット数は、直前の伝送モードに割り当てられる１フレームあたりのスロット数を示す（前述のダミー・スロット分を含む）。なお、使用されない伝送モードは、直後の割り当てスロット数が０であることで識別される。主信号内においては、図８２に示すように、位相数の多い変調方式、符号化率の高い内符号方式の伝送モード順にスロットへ配置される。

【００２１】

図８３に相対ＴＳ／スロット情報の構成の一例を示す。１変調波内で複数ＴＳを伝送するため、各ＴＳが伝送フレーム内のどのスロットに配置されているかを明示する必要がある。ＭＰＥＧ２Ｓｙｓｔｅｍで使用されているＴＳ＿ＩＤは１６ビットであるため、そのまま使用するのは伝送効率上好ましくない。その代わりに、３ビットの相対ＴＳ／スロット情報により、各スロットで伝送されるＴＳを相対ＴＳ番号を使用して、スロット１から順に各スロット毎に示すものとする。相対ＴＳ番号を３ビットとすることにより、１変調波内で最大８ＴＳの伝送が可能である。

【００２２】

図８４に相対ＴＳ／ＴＳ対応表の構成の一例を示す。各相対ＴＳ番号に対するＴＳ＿ＩＤ（１６ビット）の対応表を持つことにより、相対ＴＳ番号の使用は変復調部のみで完結する。

【００２３】

図８５、図８６にそれぞれ、送受信制御情報、拡張情報の構成の一例を示す。送受信制御情報では、緊急警報放送における受信機起動制御のための信号や、アップリンク局切替のための制御信号を伝送する。また、拡張情報は将来のＴＭＣＣ拡張のために使用するフィールドである。

【００２４】

以上に示すＴＭＣＣ４８バイトが図８０の制御情報発生部１００１０から出力されると、ＲＳ符号化回路１００１１はＲＳ（６４、４８）の符号化を行い、ＴＭＣＣ４８バイトに対して１６バイトのパリティを付加して出力する。ＴＡＢ信号挿入部１００１２は、図８７に示すように、ＲＳ符号化された６４バイトのデータ系列をそれぞれ８フレーム分に分割し、分割した８バイトの前と後に２バイトずつのＴＡＢ信号を挿入して、１スーパーフレームあたり９６バイト（１フレームあたり１２バイト）のＴＭＣＣをランダマイズ回路１００１３に出力する。ここで、ＴＡＢ信号の内、Ｗ１（＝ 1B95h）はフレーム同期用、Ｗ２（＝ A340h）はスーパーフレーム識別用である。ＴＡＢ信号について以降の説明では、たたみ込み符号化前の信号を大文字Ｗで表記し、たたみ込み符号化後の信号を小文字ｗで表記する。

【００２５】

図８０のランダマイズ回路１００１３は、ＴＡＢ信号挿入部１００１２から出力されたデータ系列に対して、ＴＭＣＣ１スーパーフレーム分（９６バイト）の周期でランダマイズを行い、図７６のバイト／シンボル変換回路１００００６に出力する。ランダマイズ回路１０００４のＰＮ発生器は、図８８に示すように各スーパーフレームの第１フレームの３バイト目でリセットされ、入力データと乗算が行われる。但し、各ＴＡＢ信号（Ｗ１、Ｗ２、Ｗ３）の期間フリーランとして、データへの乗算は行われない。

【００２６】

以上のように、伝送制御情報生成回路１００００９は、１スーパーフレームあたり９６バイトのＴＭＣＣをバイト／シンボル変換回路１００００６に出力するとともに、スーパーフレーム内のデータ系列の変調パラメータ（位相数、符号化率）を図７６のバイト／シンボル変換回路１００００６、たたみ込み符号化器１００００７、及びマッピング回路１００００８に出力する。

【００２７】

伝送制御情報生成回路１００００９から出力される１フレームあたり１２バイトのＴＭＣＣと、インターリーブ回路１００００５から出力される１フレームあたりＴＣ－８ＰＳＫ換算で２０３×４８バイトの主信号は、図８７に示すスーパーフレーム構造でバイト／シンボル変換回路１００００６に入力される。即ち、各フレームの先頭１２バイトがＴＭＣＣであり、続く２０３×４８バイトが主信号であり、８フレーム集まって１スーパーフレームの構造を取る。なお、図８９に示すように、主信号は各フレームにおいて、変調多値数（位相数）の大きいものから順に並んでいる。但し、ＱＰＳＫについては符号化率ｒ＝３／４→ｒ＝１／２のように符号化率の高い方から並んでいる。

【００２８】

バイト／シンボル変換回路１００００６は、伝送制御情報生成回路１００００９から出力される変調パラメータに従って、入力されるスーパーフレーム構造のバイトデータ系列を、図９０に示すように、各位相数・符号化率に対応するシンボルデータ系列に変換する。なお、図９０に示すシンボル出力はＴＣ－８ＰＳＫ（ｒ＝２／３）が並列２ビット、ＱＰＳＫ（ｒ＝３／４、１／２）、ＢＰＳＫ（ｒ＝１／２）が１ビットである。

【００２９】

バイト／シンボル変換回路１００００６から出力されるスーパーフレーム構造のシンボルデータ系列は、たたみ込み符号化器１００００７に入力される。図９１はたたみ込み符号化器１００００７の構成例を示すブロック図である。このたたみ込み符号化器１００００７は、点線部で示すたたみ込み回路１００１４と、パンクチャド・Ｐ／Ｓ（Parallel to Serial）回路１００１５とからなる。

【００３０】

たたみ込み回路１００１４にシンボルデータ系列Ｄ[2:1] が入力されると、たたみ込み回路１００１４がＬＳＢのＤ[1] ＝Ｄ１を拘束長７、符号化率１／２でたたみ込み符号化を行って、２ビットのシンボルＣ１，Ｃ０をパンクチャド・Ｐ／Ｓ回路１００１５に出力する。また、シンボルデータ系列のＭＳＢのＤ[2] ＝Ｄ２についてはたたみ込み符号化せずに、符号化シンボル（Ｃ２、Ｃ１、Ｃ０）のＭＳＢであるＣ２をパンクチャド・Ｐ／Ｓ回路１００１５に出力する。

【００３１】

パンクチャド・Ｐ／Ｓ回路１００１５は、伝送制御情報生成回路１００００９から出力される変調パラメータに従って、図９２～図９５に示すようにパンクチャド処理とＰ／Ｓ変換とを行い、各位相数・符号化率に対応する符号化シンボルデータをマッピング回路１０００８に出力する。但し、ＴＣ－８ＰＳＫ（ｒ＝２／３）とＱＰＳＫ（ｒ＝１／２）では何も処理しない。このように異なる変調方式（位相数）及び符号化率を越えて、１つのたたみ込み回路１００１４で連続的にシンボルデータ系列のたたみ込み符号化が行われる。

【００３２】

図９２はＴＣ－８ＰＳＫ（ｒ＝２／３）の場合の動作例を示す。この場合、たたみ込み符号化器１００００７に入力されたシンボルデータＤ[2:1] は、ＬＳＢのＤ[1] がたたみ込み回路１００１４でたたみ込み符号化が行われて２ビットの符号化シンボルＣ１，Ｃ０となる。またＭＳＢのＤ[2] はたたみ込み符号化されずに符号化シンボルのＭＳＢのＣ２となる。これらのシンボルＣ０～Ｃ２はパンクチャド・Ｐ／Ｓ回路１００１５に出力される。パンクチャド・Ｐ／Ｓ回路１００１５は、何の処理もせずに１シンボル＝３ビットの８ＰＳＫシンボルデータＣ２、Ｃ１、Ｃ０をマッピング回路１０００８に出力する。この場合、たたみ込み符号化器１００００７に入力された１シンボル（２ビット）が符号化され、１シンボル（３ビット）が出力される。従って、たたみ込み符号化器１００００７全体として、符号化率はｒ＝２／３となる。

【００３３】

図９３はＱＰＳＫ（ｒ＝３／４）の場合の動作例を示す。たたみ込み符号化器１００００７に入力されたシンボルデータＤ[2:1] （但し、ＭＳＢのＤ[2] は無効）は、ＬＳＢのＤ[1] がたたみ込み回路１００１４でたたみ込み符号化が行われてＣ１，Ｃ０の２ビットになり、パンクチャド・Ｐ／Ｓ回路１００１５に出力される。パンクチャド・Ｐ／Ｓ回路１００１５では図９３に示すように、３シンボル＝６ビットのデータより規則的に２ビットを廃棄処理、即ちパンクチャド処理し、残りの４ビットのデータより１シンボル＝２ビットのＱＰＳＫシンボルデータＣ１，Ｃ０を生成し、マッピング回路１０００８に出力する。なおＭＳＢのシンボルＣ２は無効する。この場合、たたみ込み符号化器１００００７に入力された３シンボル（３ビット）が符号化され、２シンボル（４ビット）が出力される。従って、たたみ込み符号化器１００００７全体として、符号化率はｒ＝３／４となる。

【００３４】

図９４はＱＰＳＫ（ｒ＝１／２）の場合の動作例を示す。たたみ込み符号化器１００００７に入力されたシンボルデータＤ[2:1] （但し、ＭＳＢのＤ[2] は無効）は、ＬＳＢのＤ[1

] がたたみ込み回路１００１４でたたみ込み符号化が行われてＣ１，Ｃ０の２ビットになり、パンクチャド・Ｐ／Ｓ回路１００１５に出力される。パンクチャド・Ｐ／Ｓ回路１００１５は何の処理もせずに、１シンボル＝２ビットのＱＰＳＫシンボルデータＣ１，Ｃ０をマッピング回路１００００８に出力する。但しＭＳＢのシンボルＣ２を無効とする。この場合、たたみ込み符号化器１００００７に入力された１シンボル（１ビット）が符号化され、１シンボル（２ビット）が出力される。従って、たたみ込み符号化器１００００７全体として、符号化率はｒ＝１／２となる。

【００３５】

図９５はＢＰＳＫ（ｒ＝１／２）の場合の動作例を示す。たたみ込み符号化器１００００７に入力されたシンボルデータＤ[2:1]（但し、ＭＳＢのＤ[2] は無効）は、ＬＳＢのＤ[1] がたたみ込み符号化が行われてＣ１，Ｃ０の２ビットになり、パンクチャド・Ｐ／Ｓ回路１００１５に出力される。パンクチャド・Ｐ／Ｓ回路１００１５は図９５に示すように、各シンボルＣ１，Ｃ０の２ビットのＰ／Ｓ変換を行い、Ｃ０→Ｃ１の順に１シンボル＝１ビットのＢＰＳＫシンボルデータ（Ｃ０／Ｃ１）をマッピング回路１００００８に出力する。但しＭＳＢより２ビットは無効とする。この場合、たたみ込み符号化器１００００７に入力された１シンボル（１ビット）が符号化され、２シンボル（２ビット）が出力される。従って、たたみ込み符号化器１００００７全体として、符号化率はｒ＝１／２となる。

【００３６】

図９２～図９５に示すように、たたみ込み符号化器１００００７から出力されるシンボルデータは、一定のシンボル速度で図７６のマッピング回路１００００８に出力される。マッピング回路１００００８は、伝送制御情報生成回路１００００９から出力される変調パラメータに従って、図９６に示すようにＢＰＳＫ、ＱＰＳＫ、ＴＣ－８ＰＳＫのマッピングを夫々行い、マッピングされたＩ（In-Phase）軸、Ｑ（Quadrature Phase）軸のデータを、図示しない直交変調器に出力する。

【００３７】

以上に説明した誤り訂正符号化装置１００００１の入力から出力までの信号の流れを１フレームあたりでまとめると、図９７のようになる。ここではＴＳ１とＴＳ２の２種類のＴＳを１つの変調波で伝送するものとし、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：　２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：　４スロット
（内、ダミー３スロット）

を伝送するものとする。

【００３８】

図９７（ａ）に示すようなＴＳ１とＴＳ２が図７６の誤り訂正符号化装置１００００１に入力されると、ＴＳ多重回路１００００２は２つのＴＳを多重化する。そしてＲＳ符号化回路１００００３がＲＳ（２０４，１８８）符号化を行う。そしてランダマイズ回路１００００４がランダマイズを行い、図９７（ｂ）に示すように１フレームあたり４８スロット（１スロット＝２０４バイト）のデータ系列を出力する。但し、４８スロットの内、斜線の４スロットはダミー・スロットである。ここで、データ系列は変調多値数（位相数）の大きいものから順に並べ、ＱＰＳＫについては符号化率ｒ＝３／４→ｒ＝１／２のように符号化率の高い方から並べる。

【００３９】

インターリーブ回路１００００５は、各スロットの内の先頭バイト（ＭＰＥＧ同期バイト：

４７ｈ）を除いた２０３バイトについて、前述のようにスロット毎にスーパーフレーム方向に、深さ８のブロック・インターリーブを行う。また、伝送制御情報生成回路１０００９はＴＭＣＣを生成し、各スロットの先頭バイトであるＭＰＥＧ同期バイト：４７ｈと置き換える。その結果、図９７（ｃ）に示すように、バイト／シンボル変換回路１００００６には、各フレームについてＴＡＢ信号を含むＴＭＣＣ１２バイトに続き、２０３バイト×４４スロットの主信号で構成されたバイトデータ系列が入力される。

【００４０】

バイト／シンボル変換回路１００００６は、入力されたバイトデータ系列を、各スロットの伝送モード（位相数・符号化率）に対応したシンボルデータ系列に変換する。たたみ込み符号化器１００００７は、各スロットの伝送モードに対応したたたみ込み符号化を行う。またマッピング回路１００００８は各スロットの位相数に応じたマッピングを行い、図９７（ｄ）に示すデータ系列を図示しない直交変調器に出力する。なお、図９７（ｄ）に示すように、ＴＭＣＣ１２バイト、即ち１フレームあたり９６ビットは、ＢＰＳＫ（ｒ＝１／２）の符号化が行われるため、１９２シンボル（１シンボル＝１ビット）となる。

【００４１】

また主信号において、ＴＣ－８ＰＳＫの１スロット（２０３バイト）、即ち１６２４ビットは、符号化の結果８１２シンボル（１シンボル＝３ビット）となる。ＱＰＳＫ（ｒ＝１／２）の１スロット（２０３バイト：ダミーを含めると２スロット分）、即ち１６２４ビットは、符号化の結果１６２４シンボル（１シンボル＝２ビット）となる。ＢＰＳＫ（ｒ＝１／２）の１スロット（２０３バイト：ダミーを含めると４スロット分）、即ち１６２４ビットは符号化の結果３２４８シンボル（１シンボル＝１ビット）となる。以上より、１フレームはＴＭＣＣ１９２シンボルと、主信号３８９７６シンボル（８１２×４８）とより構成される。

【００４２】

次に、以上に示した誤り訂正符号化装置１００００１で誤り訂正符号化されたデータ系列を誤り訂正復号する回路を、これまでに検討されてきた誤り訂正回路（以下、従来例の誤り訂正回路という）、として図面を参照しながら以下に説明する。

【００４３】

図９８は従来例の誤り訂正回路２００００１の構成例を示すブロック図である。この誤り訂正回路２００００１は、ビタビ復号器２００００２と、高／低階層選択信号生成回路２００００３と、シンボル／バイト変換回路２００００４と、デ・インターリーブ回路２００００５と、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２００００６と、デ・ランダマイズ回路２００００７と、ＲＳ復号回路２００００８と、速度変換回路２００００９と、伝送制御情報復号回路２００１０と、選局回路２００１１とを有している。

【００４４】

このような構成の誤り訂正回路２００００１の動作について以下に説明する。図７６の誤り訂正符号化装置１００００１で誤り訂正符号化されたデータ系列が、図示しない直交変調器によって直交変調され、トランポンダを含む衛星伝送路を通して送信される。この信号は図示しない受信側のＰＳＫ復調器でＰＳＫ復調される。図９１で説明したたみ込み回路１００１４の拘束長は７であり、ＴＡＢ信号区間はＢＰＳＫで伝送される。このためビタビ復号前のＴＡＢ信号（ｗ１、ｗ２、ｗ３）は、図８７に示すようにそれぞれ３２シンボル（１６×２＝３２ビット）の内、先頭１２シンボル（６ビット×２）は不確定である。しかし、残りの３２－１２＝２０シンボルはｗ１（＝xxxECD28h ）、ｗ２（＝xxx0B677h ）、ｗ３（＝xxxF4988h ）のうちいずれかと確定する。ＰＳＫ復調器は、選局情報により選局が切り替えられると、まず遅延検波により復調を行い、ｗ１、ｗ２、ｗ３を検出することにより、スーパーフレーム同期と絶対位相とを検出する。検出後は同期検波を行ってＰＳＫ復調データ及びスーパーフレーム同期信号を誤り訂正回路２００００１に出力する。

【００４５】

誤り訂正回路２００００１内の伝送制御情報復号回路２００１０は、ＰＳＫ復調器より出力されたスーパーフレーム同期信号により、各フレームのＴＭＣＣ１９２シンボル区間につ

いて制御信号（伝送モード）を生成し、ビタビ復号器２０００２に出力する。ビタビ復号器２０００２は、図９７（ｄ）に示す各フレームのＴＭＣＣ１９２シンボル区間について、制御信号に従いＢＰＳＫ（ｒ＝１／２）のビタビ復号を行う。そして１９２シンボル×１／２＝９６シンボル（９６ビット）のビタビ復号データを伝送制御情報復号回路２００１０に出力する。なお、ビタビ復号器２０００２の詳細については後述する。

【００４６】

伝送制御情報復号回路２００１０の構成例を図９９に示す。この伝送制御情報復号回路２００１０は、デ・ランダマイズ回路２００１２と、シンボル／バイト変換回路２００１３と、ＲＳ復号回路２００１４と、ＴＭＣＣ解読回路２００１５とを有している。

【００４７】

伝送制御情報復号回路２００１０では、デ・ランダマイズ回路２００１２がビタビ復号器２０００２より出力される１フレームあたり９６シンボル（９６ビット）、即ち１スーパーフレームあたり７６８ビット（９６バイト）のＴＭＣＣを、図８８に示すようにＴＭＣＣ１スーパーフレーム分（９６バイト）の周期でデ・ランダマイズを行い、シンボル／バイト変換回路２００１３に出力する。図８８に示すように、デ・ランダマイズ回路２００１２内のＰＮ発生器は、図７６のランダマイズ回路１０００４と同様に、各スーパーフレーム分の第１フレームの３バイト目でリセットされ、入力データと乗算が行われる。但し、各ＴＡＢ信号（Ｗ１、Ｗ２、Ｗ３）の期間はＰＮ発生器はフリーランとして、データへの乗算は行われない。

【００４８】

図９９のシンボル／バイト変換回路２００１３は、入力された１スーパーフレームあたり７６８シンボル（７６８ビット）のデータ系列を９６バイトのバイトデータ系列に変換してＲＳ復号回路２００１４に出力する。図８７に示すように、各フレームの１２バイト中、ＴＡＢ信号（Ｗ１とＷ２又はＷ３）が前後に２バイトずつ含まれるので、正味のＴＭＣＣ信号は１フレームあたり８バイト（１スーパーフレームあたり６４バイト）である。図９９のＲＳ復号回路２００１４は、正味のＴＭＣＣ信号６４バイトに対して、ＲＳ（６４、４８）の復号を行い、４８バイトの訂正済みＴＭＣＣをＴＭＣＣ解読回路２００１５に出力する。

【００４９】

ＴＭＣＣ解読回路２００１５は、４８バイトの訂正済みＴＭＣＣの内容を図８１～図８６に示す信号配置図と照合して解読し、伝送モード、ダミー・スロット情報などの各種伝送制御情報を出力し、ＭＰＥＧのＴＳ＿ＩＤと相対ＴＳ番号との参照などを行う。前述のように、伝送制御情報復号回路２００１０において解読を行ったＴＭＣＣは、２つ後のスーパーフレームに適用される各種伝送制御情報である。図８７に示すように、ＴＭＣＣはスーパーフレーム内の１～８フレーム目の先頭に配置されている。伝送制御情報復号回路２００１０に８フレーム目のＴＭＣＣ（パリティ２）が入力されるまでは、ＴＭＣＣの解読は完了されない。しかしながら、８フレーム目の主信号は図８７に示すようにＴＣ－８ＰＳＫ換算で２０３×４８バイト、シンボルで換算すると図９７（ｄ）に示すように８１２×４８シンボルあり、更に１スーパーフレーム分の時間余裕があるので、この期間でＴＭＣＣの解読は十分に完了可能である。

【００５０】

さて、ＰＳＫ復調器より出力されたスーパーフレーム構造のシンボルデータ系列（Ｉ／Ｑ軸）がビタビ復号器２０００２に入力されると、ビタビ復号器２０００２はビタビ復号を行い、復号データを高／低階層選択信号生成回路２０００３と、シンボル／バイト変換回路２０００４に出力する。

【００５１】

図１００はビタビ復号器２０００２と高／低階層選択信号生成回路２０００３の構成例を示すブロック図である。下側破線部で示すビタビ復号器２０００２は、デ・パンクチャド・Ｓ／Ｐ（Serial to Parallel）回路２００１６と、点線部で示すビタビ復号化回路２００１７とを有している。ビタビ復号化回路２００１７はブランチメトリック計算回路２０

０１８と、ＡＣＳ（Add 、 Compare、 Select ）回路２００１９と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。また上側破線部で示す高／低階層選択信号生成回路２０００３は、８ＰＳＫ硬判定回路２００２２と、M段遅延回路２００２３と、ＢＥＲ（Bit Error Rate）測定回路２００２４と、たたみ込み回路２００２５とを有している。

【００５２】

ビタビ復号器２００００２にＰＳＫ復調シンボルデータ系列（Ｉ／Ｑ軸）が入力されると、デ・パンクチャド・Ｓ／Ｐ回路２００１６は、伝送制御情報復号回路２００１０から出力される伝送モードに従って、図１０１～図１０４に示すように、各スロットの伝送モードに対応したデ・パンクチャド処理、及びＳ／Ｐ変換を行い、ビタビ復号化回路２００１７に出力する。デ・パンクチャド処理及びＳ／Ｐ変換されたデータは、図９８の伝送制御情報復号回路２００１０から出力される伝送モードに従って、ビタビ復号化回路２００１７において各スロットの伝送モードに対応したビタビ復号が行われる。そしてビタビ復号シンボルはシンボル／バイト変換回路２０００４に出力される。誤り訂正符号化装置１０００１におけるたたみ込み符号化は、図９１に示すように１つのたたみ込み回路１００１４で連続的に行われるので、図９８の誤り訂正回路２０００１におけるビタビ復号は、１つのビタビ復号器２００００２で連続的に復号可能である。

【００５３】

図１０１はＴＣ－８ＰＳＫ（ｒ＝２／３）の場合の復号動作例を示す説明図である。ビタビ復号器２００００２に入力された８ＰＳＫ復調シンボルデータ（Ｉ／Ｑ軸）は、デ・パンクチャド・Ｓ／Ｐ回路２００１６では何の処理もされず、ビタビ復号化回路２００１７にそのまま出力される。ビタビ復号化回路２００１７では、ブランチメトリック計算回路２００１８が、図９６に示す８ＰＳＫの８つの符号点とのブランチメトリック、例えばユークリッド距離を計算する。ここで計算されたブランチメトリックを基に、ＡＣＳ回路２００１９、パスメトリックメモリ２００２０、及びパスメモリ２００２１によってビタビ復号が行われる。そして１シンボル＝２ビットのビタビ復号シンボル（図９２のD[2:1] に対応）が、図９８のシンボル／バイト変換回路２０００４に出力される。

【００５４】

図１０２はＱＰＳＫ（ｒ＝３／４）の場合の復号動作例を示す説明図である。ビタビ復号器２００００２に入力されたＱＰＳＫ復調シンボルデータ（Ｉ／Ｑ軸）が、デ・パンクチャド・Ｓ／Ｐ回路２００１６に入力されると、図９１のパンクチャド・Ｐ／Ｓ回路１００１５でパンクチャド処理されて廃棄されたシンボルについて、デ・パンクチャド・Ｓ／Ｐ回路２００１６がヌル・シンボルを挿入し、２シンボルを３シンボルに変換する。なお、ヌル・シンボルとは、Ｑ軸上で得られた２種類の符号点の中間値、又はＩ軸上で得られた２種類の符号点の中間値とする。これらのシンボルは図１００のビタビ復号化回路２００１７に出力される。ビタビ復号化回路２００１７では、ブランチメトリック計算回路２００１８が、図９６に示すＱＰＳＫの４つの符号点とのブランチメトリックを計算する。そして計算されたブランチメトリックを基に、ＡＣＳ回路２００１９、パスメトリックメモリ２００２０、及びパスメモリ２００２１によってビタビ復号が行われる。こうして１シンボル＝１ビットのビタビ復号シンボル（図９３のD[1] に対応：ＭＳＢのD[2] は無効）が図９８のシンボル／バイト変換回路２０００４に出力される。

【００５５】

図１０３はＱＰＳＫ（ｒ＝１／２）の場合の復号動作例を示す説明図である。ビタビ復号器２００００２に入力されたＱＰＳＫ復調シンボルデータ（Ｉ／Ｑ軸）は、デ・パンクチャド・Ｓ／Ｐ回路２００１６では何の処理もされずにビタビ復号化回路２００１７にそのまま出力される。ビタビ復号化回路２００１７では、ブランチメトリック計算回路２００１８が、図９６に示すＱＰＳＫの４つの符号点とのブランチメトリックを計算する。そして計算されたブランチメトリックを基に、ＡＣＳ回路２００１９、パスメトリックメモリ２００２０、及びパスメモリ２００２１によってビタビ復号が行われる。こうして１シンボル＝１ビットのビタビ復号シンボル（図９４のD[1] に対応し、ＭＳＢのD[2] は無効と

する）が、図９８のシンボル／バイト変換回路２０００４に出力される。
【００５６】
図１０４はＢＰＳＫ（ｒ＝１／２）の場合を復号動作例を示す説明図である。ビタビ復号器２０００２に入力されたＢＰＳＫ復調シンボルデータのＩ軸（Ｑ軸データは無効）は、デ・パンクチャド・Ｓ／Ｐ回路２００１６において、入力２シンボル毎に（Ｉ、Ｑ）の１シンボルにＳ／Ｐ変換が行われてビタビ復号化回路２００１７に出力される。ビタビ復号化回路２００１７では、ブランチメトリック計算回路２００１８が、図９６に示すＱＰＳＫの４つの符号点とのブランチメトリックを計算する。そして計算されたブランチメトリックを基に、ＡＣＳ回路２００１９、パスメトリックメモリ２００２０、及びパスメモリ２００２１によってビタビ復号が行われる。こうして１シンボル＝１ビットのビタビ復号シンボル（図９５のD[1] に対応し、ＭＳＢのD[2] は無効とする）が、シンボル／バイト変換回路２０００４に出力される。
【００５７】
図１０５はＴＣ－８ＰＳＫ（ｒ＝２／３）の場合のビタビ復号化回路２００１７の動作を示すトレリス線図である。図９１に示すように、誤り訂正符号化装置１００００１のたたみ符号化器１０００７においては、ＭＳＢのD[2] （＝Ｄ２）は符号化されていない。従ってD[2:1] ＝（Ｄ２，Ｄ１）として（０，０）及び（１，０）、D[2:1] として（０，１）及び（１，１）は、図１０５のトレリス線図において同じ状態と見なされる。従って、時刻ｔにおいてある１状態から出力され、時刻（ｔ＋１）において同じ状態に入力するブランチは２つ存在する。従って図１０５に示すように、時刻（ｔ＋１）において、状態Ｓに入力されるブランチは４つあり、ビタビ復号化回路２００１７はその中から最小のパスメトリックを有するブランチを図１０５の太線のように生き残りパスとする。各ブランチに対応する復号シンボルは２ビットであり、パスメモリ２００２１より最尤パスのブランチに対応する２ビットの復号シンボルが図９８のシンボル／バイト変換回路２０００４に出力される。
【００５８】
一方、図１０６はＱＰＳＫ（ｒ＝３／４、１／２）及びＢＰＳＫ（ｒ＝１／２）の場合のビタビ復号化回路２００１７の動作を示すトレリス線図である。図９１に示すように、誤り訂正符号化装置１００００１のたたみ符号化器１０００７においては、ＭＳＢのD[2] は無効である。従って、時刻ｔにおいてある１状態から出力され、時刻（ｔ＋１）において同じ状態に入力するブランチは１つである。図１０６に示すように、時刻（ｔ＋１）において、状態Ｓに入力されるブランチは２つあり、ビタビ復号化回路２００１７はその中から最小のパスメトリックを有するブランチを例えば図１０６の太線のように生き残りパスとする。各ブランチに対応する復号シンボルは１ビットであり、パスメモリ２００２１より最尤パスのブランチに対応する１ビットの復号シンボルがシンボル／バイト変換回路２０００４に出力される。
【００５９】
なお図９１に示すように、たたみ込み回路１００１４には６つのレジスタが設けられている。従って図１０５及び図１０６のトレリス線図における状態数はどちらも６４である。即ち状態“000000”～状態“111111”のいずれかである。
【００６０】
一方、ＰＳＫ復調シンボルデータ系列が高／低階層選択信号生成回路２０００３に入力されると、図１００に示すように、８ＰＳＫ硬判定回路２００２２は伝送制御情報復号回路２００１０から出力される伝送モードに従って、ＴＣ－８ＰＳＫ（ｒ＝２／３）のスロットのみを、図９６に示すＴＣ－８ＰＳＫの符号点に硬判定し、１シンボル＝３ビットの硬判定結果を出力する。M段遅延回路２００２３はビタビ復号器２０００２の処理遅延分（M段）遅延させてタイミングを合わせてＢＥＲ測定回路２００２４に出力する。また、ビタビ復号器２０００２から出力されたＴＣ－８ＰＳＫのスロットのビタビ復号データの各シンボル（１シンボル＝２ビット）がたたみ込み回路２００２５に入力される。このたたみ込み回路２００２５は図９１のたたみ込み回路１００１４と同じ構成である。ここで再

たたみ込み符号化された各シンボル（１シンボル＝３ビット）のデータは、ＢＥＲ測定回路２００２４に出力される。

【００６１】

ＢＥＲ測定回路２００２４はＴＣ－８ＰＳＫのスロットの各シンボル（１シンボル＝３ビット）を比較してＢＥＲを測定し、その結果により高／低階層選択信号（‘Ｈ’＝高階層、‘Ｌ’＝低階層）を生成して、誤り訂正回路２０００１に続くＭＰＥＧ復号器（図示せず）に出力する。ＢＥＲが低い場合には、‘Ｈ’信号を出力し、ＢＥＲが高い場合には‘Ｌ’信号を出力する。ＭＰＥＧ復号器は‘Ｈ’信号が入力されると高階層信号をＭＰＥＧ復号して画像をモニタに出力し、‘Ｌ’信号が入力されると低階層信号をＭＰＥＧ復号して画像をモニタに出力する。

【００６２】

図９８のシンボル／バイト変換回路２０００４は、伝送制御情報復号回路２００１０から出力される伝送モードに従って、入力されるビタビ復号シンボルデータ系列を、各スロットの伝送モードに対応してバイトデータ系列に変換する。この状態を図１０７に示す。ＴＣ－８ＰＳＫ（ｒ＝２／３）では、４シンボル（１シンボル＝２ビット）を集めてバイトデータに変換する。ＱＰＳＫ（ｒ＝３／４、１／２）及びＢＰＳＫ（ｒ＝１／２）では、８シンボル（１シンボル＝１ビット）を集めてバイトデータに変換する。そしてこれらの変換データをデ・インターリーブ回路２０００５に出力する。

【００６３】

ここで、誤り訂正符号化装置１０００１から出力される１フレームあたりのデータ系列を、図９７で示したように、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
（内、ダミー３スロット）

とする。図１０８（ａ）に示すように、誤り訂正回路２０００１に入力された１フレーム（＝３９１６８シンボル）のシンボルデータ系列は、ビタビ復号器２０００２でビタビ復号される。そして図１０８（ｂ）に示すように、シンボル／バイト変換回路２０００４でバイトデータ系列に変換されて出力される。

【００６４】

デ・インターリーブ回路２０００５ではデ・インターリーブが施され、ここでデ・インターリーブされたデータは、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６に出力される。このデ・インターリーブ処理では、ＴＭＣＣ部分（ＴＣ－８ＰＳＫ換算で４８バイト分）を除いた各スロット２０３バイトについて、スロット単位で深さ８のブロック・デ・インターリーブが４８スロット分行われる。但し、ダミー・スロット分については行われない。図１０９に示すように、８×２０３のデ・インターリーブとすると、スロット毎にスーパーフレーム方向で深さ８のブロック・デ・インターリーブを行う。こうして第１～８フレームのｉ番目のスロットをまとめてデ・インターリーブを行い、１／８毎にｉ番目のスロットに戻す（１≦ｉ≦４８）。以上のようなデ・インターリーブ処理は、送信側のインターリーブ回路１０００５と書き込み／読み出し方向が逆である。

【００６５】

図１１０はデ・インターリーブ回路２０００５の構成例である。このデ・インターリーブ回路２０００５は、書き込みアドレス生成回路２００２６と、読み出しアドレス生成回路２００２７と、メモリ回路２００２８とを有している。なお、デ・インターリーブを行うために、メモリ回路２００２８は１スーパーフレーム（４８×８スロット）の２バンク分

のメモリ領域を使用する。ここで第ｉスロットについての実際の書き込みアドレス値を示すと、以下のようになる。なお、数字はフレーム－バイトを示す。

	開始	2Byte目		203Byte目
第1フレーム：	1－1	2－1	・・・	3－26
第2フレーム：	4－26	5－26	・・・	6－51
第3フレーム：	7－51	8－51	・・・	1－77
第4フレーム：	2－77	3－77	・・・	4－102
第5フレーム：	5－102	6－102	・・・	7－127
第6フレーム：	8－127	1－128	・・・	2－153
第7フレーム：	3－153	4－153	・・・	5－178
第8フレーム：	6－178	7－178	・・・	8－203

【００６６】

以上のように、デ・インターリーブ回路２０００５では、スロット単位で深さ８のブロック・デ・インターリーブが４８スロット分行われる。ただし、図１０８（ｃ）に示すように、各フレームのＴＭＣＣ区間がＭＰＥＧ同期４８バイト（４８スロット分）期間に利用される。従ってデ・インターリーブ回路２０００５は、各スロットの先頭にＭＰＥＧ同期１バイト分の隙間を空けて各スロットを出力する。さらにデ・インターリーブ回路２０００５は、ダミー・スロット分の隙間も空けて図１０８（ｃ）に示すように１フレームあたり４８スロット（ダミー・スロットを含む）を一定の速度で出力する。

【００６７】

図１１０に示すデ・インターリーブ回路２０００５の動作は以下の通りである。図１０９に示すように、各スロットについて書き込みアドレス生成回路２００２６、読み出しアドレス生成回路２００２７が、それぞれ書き込みアドレス、読み出しアドレスを生成し、メモリ回路２００２８に出力する。図１０８（ｂ）に示すように、シンボル／バイト変換回路２０００４から出力されたバイトデータ系列は、書き込みアドレス及び読み出しアドレスに従って、メモリ回路２００２８に読み書きされて、図１０８（ｃ）のようにデ・インターリーブされたバイトデータ系列が、図９８のＭＰＥＧ同期バイト／ダミー・スロット挿入回路２００００６に出力される。ただし、伝送制御情報復号回路２００１０から出力されたダミー・スロット情報に従って、書き込みアドレス生成回路２００２６及び読み出しアドレス生成回路２００２７は、ダミー・スロット分のアドレスを飛ばして、有効スロット分のアドレスを順に生成する。

【００６８】

ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２００００６は、各スロットの先頭にＭＰＥＧ同期バイトを挿入する。かつ、伝送制御情報復号回路２００１０から出力されたダミー・スロット情報に従って、ダミー・スロット区間にＭＰＥＧヌル・パケットを挿入して、図１０８（ｄ）に示すようなバイトデータ系列をデ・ランダマイズ回路２０００７に出力する。

【００６９】

図１１１にデ・ランダマイズ回路２０００７の構成例を示す。デ・ランダマイズ回路２０００７は、破線部で示すＰＮ発生回路２００２９と、Ｐ／Ｓ変換回路２００３０と、Ｓ／Ｐ変換回路２００３１と、ゲート信号生成回路２００３２と、ｅｘ－ｏｒ（exclusive-or）回路２００３３とを有している。デ・ランダマイズ回路２０００７は、送信側のランダマイズ回路１０００４と同様に、図１０８（ｄ）のデータ系列に対して１スーパーフレームの周期でデ・ランダマイズを行う。図１１１に示すように、ＰＮ発生回路２００２９は生成多項式（$1 + x^{14} + x^{15}$）を用いて信号処理を行うもので、各スーパーフレームの第

１フレームの２バイト目でリセットされ、初期値“100101010000000 ”が代入される。そしてＰ／Ｓ変換回路２００３０でビット系列に変換された入力データとの乗算がｅｘ－ｏｒ回路２００３３で行われる。乗算結果はＳ／Ｐ変換回路２００３１でバイトデータ系列に変換されて、図９８のＲＳ復号回路２０００８に出力される。但し図１１２に示すように、ゲート信号生成回路２００３２が生成するゲート信号により、各スロット２０４バイトの先頭バイト、及びダミー・スロットの期間はＰＮ発生回路２００２９はフリーランとしてデータへの乗算は行われない。

【００７０】

ＲＳ復号回路２０００８は、デ・ランダマイズ回路２０００７より出力された２０４バイトのスロット毎にＲＳ（２０４、１８８）の復号を行って、速度変換回路２０００９に出力する。ただし、ＲＳ復号回路２０００８は伝送制御情報復号回路２００１０より出力されるダミー・スロット情報により、ダミー・スロットに対しては復号を行わない。

【００７１】

速度変換回路２０００９は、ＲＳ復号回路２０００８より出力される１フレームあたり４８スロットのデータ系列より、選局された１つのＴＳを選択し、図１０８（ｅ）に示すように速度変換を行って、誤り訂正データ系列（ＴＳ）を図示しないＭＰＥＧ復号器に出力する。

【００７２】

図１１３に速度変換回路２０００９の構成例を示す。点線部で示す速度変換回路２０００９は、書き込みアドレス生成回路２００３４と、読み出しアドレス生成回路２００３５と、メモリ回路２００３６とを有している。なお、ＴＳの選択と速度変換を行うために、メモリ回路２００３６は１フレーム分（４８スロット）のメモリ領域を使用する。また、図１１３には伝送制御情報復号回路２００１０と、選局回路２００１１も図示されている。

【００７３】

図示しないＭＰＥＧ復号器より選局情報（１６ビットのＴＳ＿ＩＤ）が選局回路２００１１に入力されると、選局回路２００１１は伝送制御情報復号回路２００１０に対してＴＳ＿ＩＤを出力する。伝送制御情報復号回路２００１０は、図８４に示す相対ＴＳ／ＴＳ対応表を参照し、該当するＴＳ＿ＩＤの相対ＴＳ番号を選択する。次いで図８３に示す相対ＴＳ／スロット情報を参照し、選択された相対ＴＳ番号のスロット番号情報を選局回路２００１１に出力する。選局回路２００１１はスロット番号情報より、速度変換回路２０００９に対してＴＳの選択を行うためのスロット選択信号を出力する。

【００７４】

速度変換回路２０００９においては、書き込みアドレス生成回路２００３４から出力される書き込みアドレスにより、メモリ回路２００３６に１フレーム分（４８スロット）のデータ系列を順次書き込む。読み出しアドレス生成回路２００３５は、選局回路２００１１より出力されたスロット選択信号より、ダミー・スロットを含み、選択されたＮスロットのみの読み出しアドレスを生成してメモリ回路２００３６に出力する。

【００７５】

メモリ回路２００３６より選択されたＮスロットのみが速度変換されて、入力のＮ／４８の速度で図示しないＭＰＥＧ復号器に出力される。図１０８（ｅ）の場合は、Ｎ＝２４である。読み出しアドレス生成回路２００３５は、メモリ回路２００３６より出力される各スロット（２０４バイト）毎に、ＭＰＥＧパケット有効期間（１８８バイト）が‘Ｈ’信号で、ＲＳ符号のパリティ区間（１６バイト）が‘Ｌ’信号であるイネーブル信号を図１０８（ｅ）のように生成し、図示しないＭＰＥＧ復号器に出力する。このイネーブル信号によりＭＰＥＧ復号器はＭＰＥＧパケット有効期間（１８８バイト）のみを復号できる。

【００７６】

メモリ回路２００３６より出力される図１０８（ｅ）の出力系列について、メモリ回路２００３６への書き込み／読み出しの様子を図１１４～図１１７に示す。メモリ回路２００３６には、一定の速度で１フレームあたりダミー・スロットを含む４８スロットのデータ系列が入力される。図１０８（ｅ）は、２種類のＴＳの内ＴＳ１（１フレームあたり２４

スロット）が選択されて、入力の１／２（＝２４／４８）の速度で出力される状態を示している。

【００７７】

図１１４は、フレーム先頭の２スロットＴＳ１（１）～（２）がメモリ回路２００３６に入力されて書き込まれた時点を示している。その間に１スロットＴＳ１（１）がメモリ回路２００３６から読み出されて出力される。

【００７８】

図１１５は、図１１４に続く２０スロットＴＳ１（３）～（２２）がメモリ回路２００３６に入力されて書き込まれた時点を示している。その間に１０スロットＴＳ１（２）～ＴＳ１（１１）がメモリ回路２００３６から読み出されて出力される。

【００７９】

図１１６は、図１１５に続く２２スロットＴＳ２（１）～（２０）及びＴＳ１（２３）と、ダミー１スロットとがメモリ回路２００３６に入力され、書き込まれた時点を示している。その間に１１スロットＴＳ１（１２）～ＴＳ１（２２）がメモリ回路２００３６から読み出されて出力される。

【００８０】

図１１７は、図１１６に続く４スロット、即ちＴＳ２（２１）、ダミー３スロットがメモリ回路２００３６に入力され、書き込まれた時点を示している。その間に２スロット即ちＴＳ１（２３）及びダミー１スロットがメモリ回路２００３６から読み出されて出力される。

【００８１】

以上の図１１４～図１１７に示したように、速度変換回路２０００９は１フレーム（４８スロット：ダミー・スロットを含む）のデータ系列が入力されると、選局されたＴＳのＮスロット、図１１４～図１１７の場合はＴＳ１：Ｎ＝２４を選択して、入力のＮ／４８の速度で図示しないＭＰＥＧ復号器に出力する。

【００８２】

【発明が解決しようとする課題】

従来検討されていた誤り訂正回路２０００１は、以上のような構成で動作し、誤り訂正データ系列（ＴＳ）をＭＰＥＧ復号器に出力していた。ところで誤り訂正回路２０００１のビタビ復号器２０００２においては、スロット間で伝送モード（位相数・符号化率）が変化しても、伝送モードの切替時における制御は考えられていなかった。

【００８３】

図１１８は、伝送モード切替時におけるビタビ復号器２０００２中のパスメモリ２００２１（パスメモリ長＝Ｊ）の様子を示すトレリス線図である。図１１８（ａ）は、伝送モードＡの最終シンボルまでが図１００のパスメモリ２００２１に入力された時点を示す。図１１８（ｂ）は、次の伝送モードＢの第１シンボルがパスメモリ２００２１に入力された時点を示す。図１１８（ｃ）は、伝送モードＢの次の（Ｊ－２）シンボルまでがパスメモリ２００２１に入力された時点を示す。

【００８４】

従来の誤り訂正回路２０００１では、パスメモリ２００２１に入力された最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態から、その状態に入力している生き残りパスを（Ｊ－１）シンボル分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力していた。

【００８５】

しかしながら、図１１８（ｂ）及び（ｃ）に示すトレリス線図では、モード切替後の伝送モードＢの入力シンボルにおける全状態において、最小のパスメトリックを判定し、モード切替前の伝送モードＡのビタビ復号データ、即ちモード切替時にパスメモリ２００２１に残留している（Ｊ－１）シンボルについてビタビ復号シンボルデータを出力していることになる。

【００８６】
例えば図１０８（ａ）に示すように、ＢＰＳＫ（ｒ＝１／２）で伝送されるＴＭＣＣ１９２シンボルの後に、ＴＣ－８ＰＳＫ（ｒ＝２／３）が伝送される場合を考える。この場合、図１１８において伝送モードＡがＢＰＳＫ（ｒ＝１／２）であり、伝送モードＢがＴＣ－８ＰＳＫ（ｒ＝２／３）である。従来のビタビ復号方法では、モード切替時にパスメモリ２００２１に残留している（Ｊ－１）シンボルのＴＭＣＣシンボルは、符号間距離の小さいＴＣ－８ＰＳＫ（ｒ＝２／３）のシンボル系列における最小パスメトリック判定結果によって復号されることになる。従って、この（Ｊ－１）シンボルについてはＢＰＳＫ（ｒ＝１／２）本来の誤り率より悪化してしまうという問題点を有していた。

【００８７】
また、従来のビタビ復号方法では、図８７に示すようにＴＭＣＣ１９２シンボルの前後３２シンボルずつの固定系列であるＴＡＢ信号（ｗ１、ｗ２、ｗ３）において、後ろ２０シンボルが既知であるにも関わらず、ＰＳＫ復調データ系列をそのままビタビ復号器２０００２に入力していた。従って、ＴＡＢ信号の固定系列という特徴を利用していないという問題点も有していた。

【００８８】
また、従来の誤り訂正回路２００００１は、図１１０に示すようにデ・インターリーブ回路２０００５において、メモリ回路２００２８の２スーパーフレーム分、即ち４８スロット×８フレーム×２バンクのバイトデータ領域を使用してデ・インターリーブを行っていた。ところがデジタルＢＳ放送においては、１トランスポンダで複数ＴＳを多重して送受信を行い、誤り訂正回路２００００１は最終的は１つのＴＳのデータ系列しか出力しない。図１０８（ｂ）に示すように、デ・インターリーブ回路２０００５に入力されるデータ系列は１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：１スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：１スロット
（内、ダミー３スロット）

の２種類のＴＳが入力される。この場合、ＴＳ１又はＴＳ２のどちらが選局されても、１つのＴＳの全スロットがＴＣ－８ＰＳＫで伝送された場合、１フレームあたり最大２４スロットをデ・インターリーブして出力すればよい。よって従来のデ・インターリーブ回路２０００５は、不必要なメモリ領域を使用してデ・インターリーブを行っているという問題点を有していた。

【００８９】
さらに、従来の誤り訂正回路２００００１は、図１１３に示す速度変換回路２０００９において、メモリ回路２００３６の１フレーム分のメモリ領域を使用して、ＴＳの選択と速度変換を行っていた。しかしながら、１ＴＳの１フレーム分、即ち上記の例では最大２４スロットのメモリ領域のみでＴＳの選択と速度変換は可能である。よって、従来の速度変換回路２０００９は、不必要なメモリ領域を使用して、ＴＳの選択と速度変換を行っているという問題点を有していた。

【００９０】
また、デ・インターリーブ回路２０００５はメモリを元来有しており、上述のように、デ・インターリーブ回路でＴＳの選択を行うと同時に速度変換を行うと、速度変換回路２０００９は不要である。よって、このような観点から見ると、従来の誤り訂正回路２０００１は、不必要な速度変換回路２０００９を具備しているということがいえる。

【００９１】

ところで、この場合にはデ・ランダマイズ回路２０００７に入力されるデータ系列は連続したスロットではなく、飛び飛びのスロットのデータ系列が入力されることになる。従って、従来のデ・ランダマイズ回路２０００７を用いた場合には、デ・ランダマイズを行うことができないので、デ・インターリーブ回路２０００５でＴＳの選択と速度変換を行うという構成は取れない。従って、従来のデ・ランダマイズ回路２０００７の構成では、速度変換回路２０００９を不要にすることができないという問題点を有していた。

【００９２】

本発明はこのような従来の問題点に鑑みてなされたものであって、本願の発明では、パスメモリに残留している伝送モード切替前のシンボルについては、切替前の伝送モードの最終シンボルまで累積したパスメトリックにより、最小パスメトリックを判定してビタビ復号データとして出力し、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【００９３】

また本願の発明は、伝送モード切替前の最終シンボルにおける全状態の内、最小のパスメトリックを有する１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【００９４】

また本願の発明は、伝送モード切替前の最終シンボルにおける全状態の内、最小のパスメトリックを有する１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【００９５】

また本願の発明は、伝送モード切替後の変調多値数（位相数）が切替前より大きい場合、または変調多値数が同じで符号化率が大きい場合のみ、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行う誤り訂正回路を提供することを目的とする。

【００９６】

また本願の発明は、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、請求項１～４に示すビタビ復号における切替制御を行わない誤り訂正回路を提供することを目的とする。

【００９７】

また本願の発明は、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、確定された１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【００９８】

また本願の発明は、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでの区間で少なくとも１シンボルについては、確定された１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【００９９】

また本願の発明は、切替前の最終シンボルに続いて終結のための固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【０１００】
また本願の発明は、切替前の最終シンボルに続いて終結のための固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでの区間で、少なくとも１シンボルについては、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０１】
また本願の発明は、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、固定シンボル系列については、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０２】
また本願の発明は、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として１シンボル入力される毎に状態を削減し、１状態に確定後は１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０３】
また本願の発明は、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットし、１状態に確定後は、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０４】
また本願の発明は、固定シンボル系列については、固定シンボル系列の符号点に変更してビタビ復号器に入力することにより、ビタビ復号は通常の方法を用いて、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０５】
本願の発明は、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。
【０１０６】
また本願の発明は、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として、１シンボル入力される毎に状態を削減してビタビ復号データを出力し、固定シンボル系列を利用して

、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【０１０７】

また本願の発明は、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効とし、かつビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として、１シンボル入力される毎に状態を削減してビタビ復号データを出力し、固定シンボル系列の性質を最大限に利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【０１０８】

また本願の発明は、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットし、１状態に確定後は、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【０１０９】

また本願の発明は、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効とするための前記固定ブランチ信号と、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットし、１状態に確定後は、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットすることにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号が可能な誤り訂正回路を提供することを目的とする。

【０１１０】

また本願の発明は、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブしてデータを出力する誤り訂正回路を提供することを目的とする。

【０１１１】

また本願の発明は、選択される１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大（Ｌmax ×Ｎ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、デ・インターリーブを行う誤り訂正回路を提供することを目的とする。

【０１１２】

また本願の発明は、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、伝送フォーマットのＬ／Ｍの速度で連続的に出力する誤り訂正回路を提供することを目的とする。

【０１１３】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブしてデータを出力する誤り訂正回路を提供することを目的とする。

【０１１４】

また本願の発明は、１種類のトランスポート・ストリームが占有する１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大（Ｌmax ×Ｎ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリームのみをデ・インターリーブしてデータを出力する誤り訂正回路を提供することを目的とする。

【０１１５】

また本願の発明は、１種類のトランスポート・ストリームが占有する１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、メモリ回路の最大（Ｌmax ×Ｎ×Ｋ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームのみをデ・インターリーブしてデータを出力する誤り訂正回路を提供することを目的とする。

【０１１６】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、伝送フォーマットのＬ／Ｍの速度で連続的に出力する誤り訂正回路を提供することを目的とする。

【０１１７】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、各フレームのＭスロットの内、１フレームあたり計（Ｌ１＋Ｌ２＋……＋Ｌj ）スロットのデータのデ・インターリーブを行い、伝送フォーマットの（Ｌ１＋Ｌ２＋……＋Ｌj ）／Ｍの速度で連続的に出力する誤り訂正回路を提供することを目的とする。

【０１１８】

また本願の発明は、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム単位で、連続でランダマイズが行われて送信されるデータ系列を、１スーパーフレーム中の（Ｎ×Ｍ）スロットの各先頭データに対するデ・ランダマイズの（Ｎ×Ｍ）種類の初期値を有し、既に選択された各フレームのＭスロット中Ｌスロットのデータが入力されると、入力された各スロットに対応する初期値より、入力された各スロット毎のデ・ランダマイズを行う誤り訂正回路を提供することを目的とする。

【０１１９】

また本願の発明は、各フレームのＭスロットの内、選択されたＬスロットのデータのみをメモリ回路へ読み書きすることにより、選択された１フレームあたりＬスロットのデータを、伝送フォーマットのＬ／Ｍの速度で連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２０】

また本願の発明は、選択される１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選択されたデータを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２１】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、各フレームのＭスロットの内、選択されたＬスロットのデータのみをメモリ回路へ読み書きすることにより、選択された１フレームあたりＬスロットのデータを、伝送フォーマットのＬ／Ｍの速度で連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２２】

また本願の発明は、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリ

ームを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２３】

また本願の発明は、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、メモリ回路の最大（Ｌmax ×Ｋ）スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２４】

また本願の発明は、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、Ｊ種類のトランスポート・ストリームを、それぞれ伝送フォーマットのＬ１／Ｍ、Ｌ２／Ｍ、……、Ｌj ／Ｍの速度で並列に連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２５】

また本願の発明は、デ・インターリーブを行い、既に選択された１フレームあたりＬスロットのデータ系列を入力とし、伝送フォーマットのＬ／Ｍの速度で連続的にデータ系列を出力する誤り訂正回路を提供することを目的とする。

【０１２６】

また本願の発明は、デ・インターリーブを行い、選択される１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選択されたデータを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２７】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、デ・インターリーブを行い、既に選択された１フレームあたりＬスロットのデータ系列を入力とし、伝送フォーマットのＬ／Ｍの速度で連続的にデータ系列を出力する誤り訂正回路を提供することを目的とする。

【０１２８】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、１種類のトランスポート・ストリームが占有する１フレームあたりの最大スロット数をＬmax とすると、デ・インターリーブを行い、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリームを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１２９】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、１種類のトランスポート・ストリームが占有する１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、デ・インターリーブを行い、メモリ回路の最大（Ｌmax ×Ｋ）スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームを、速度変換を行って連続的に出力する誤り訂正回路を提供することを目的とする。

【０１３０】

また本願の発明は、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、デ・インターリーブを行い、Ｊ種類のトランスポート・ストリームを、それぞれ伝送フォーマットのＬ１／Ｍ、Ｌ２／Ｍ、……、Ｌj ／Ｍの速度で並列に連続的に出力する誤り訂正回路を提供することを目的とする。

【０１３１】

また請求項４～６記載の発明は、夫々請求項１～９記載の誤り訂正回路の機能を実現するための信号処理方法を実現することを目的とする。

【０１３２】
【課題を解決するための手段】
本願の発明は、固定シンボル系列を含んでたたみ込み符号化されて伝送されるデータ系列をビタビ復号する誤り訂正回路であって、前記固定シンボル系列の区間について、各シンボルを前記たたみ込み符号化によって得られる符号点に変更するか否かを判断して、変更する区間を示すシンボル座標変換信号を生成するビタビ復号器制御回路と、前記固定シンボル系列の区間については、前記シンボル座標変換信号が生成された区間の入力シンボル系列を前記符号点に変更して出力し、前記シンボル座標変換信号が生成されない区間の入力シンボル系列を変更せずに出力し、前記固定シンボル系列の区間以外については、入力シンボル系列を変更せずに出力する入力シンボル変換回路と、前記入力シンボル変換回路より出力された各シンボルに対してビタビ復号を行うビタビ復号器と、を具備するものである。
【０１３３】
ここで前記データ系列は、複数の変調方式と複数の符号化率のシンボルによって構成され、前記変調方式及び前記符号化率が切り替わる前記シンボル間に固定シンボル系列を含む場合を有し、異なる前記変調方式及び前記符号化率の各前記シンボルが連続的にたたみ込み符号化されて伝送され、前記ビタビ復号器は、前記入力シンボル変換回路より出力された各シンボルに対して、伝送に用いられた変調方式及び符号化率に基づくメトリックを用いて各前記シンボルのビタビ復号を行うようにしてもよい。
【０１３４】
ここで前記データ系列は、更に各シンボルの変調方式及び符号化率に関する伝送制御情報を含んでおり、前記ビタビ復号器は、前記伝送制御情報に含まれる各前記シンボルの前記変調方式及び前記符号化率に基づき、当該シンボルのビタビ復号を行うようにしてもよい。
【０１３５】
本願の発明は、固定シンボル系列を含んでたたみ込み符号化されて伝送されるデータ系列をビタビ復号する誤り訂正方法であって、前記固定シンボル系列の区間について、各シンボルを前記たたみ込み符号化によって得られる符号点に変更するか否かを判断して、変更する区間を示すシンボル座標変換信号を生成するビタビ復号制御処理と、前記固定シンボル系列の区間については、前記シンボル座標変換信号が生成された区間の入力シンボル系列を前記符号点に変更して出力し、前記シンボル座標変換信号が生成されない区間の入力シンボル系列を変更せずに出力し、前記固定シンボル系列の区間以外については、入力シンボル系列を変更せずに出力する入力シンボル変換処理と、前記ビタビ復号制御処理より出力された各シンボルに対してビタビ復号を行うビタビ復号処理と、を有するものである。
【０１３６】
ここで前記データ系列は、複数の変調方式と複数の符号化率のシンボルによって構成され、前記変調方式及び前記符号化率が切り替わる前記シンボル間に固定シンボル系列を含む場合を有し、異なる前記変調方式及び前記符号化率の各前記シンボルが連続的にたたみ込み符号化されて伝送され、前記ビタビ復号処理は、前記入力シンボル変換処理より出力された各シンボルに対して、伝送に用いられた変調方式及び符号化率に基づくメトリックを用いて各前記シンボルのビタビ復号を行うようにしてもよい。
【０１３７】
ここで前記データ系列は、更に各シンボルの変調方式及び符号化率に関する伝送制御情報を含んでおり、前記ビタビ復号処理は、前記伝送制御情報に含まれる各前記シンボルの前記変調方式及び前記符号化率に基づき、当該シンボルのビタビ復号を行うようにしてもよい。
【０１５０】
【発明の実施の形態】
（実施の形態１）

本発明の実施の形態１における誤り訂正回路について、図面を参照しながら説明する。図１は本実施の形態における誤り訂正回路１０１の構成を示すブロック図である。図１に示す誤り訂正回路１０１では、太い実線で図示されたブロックが従来例と異なり、図９８に示す誤り訂正回路２０００１のビタビ復号器２００００２に変えて、切替制御信号で制御されるビタビ復号器１０２が設けられ、切替制御信号を生成するビタビ復号器制御回路１０３が加わったことが特徴である。切替制御信号とは、変調方式及び符号化率の切替時にビタビ復号データを出力する際、最小のパスメトリックを判定するためのシンボルをパスメモリ中で切り替えるための信号である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは図９８に示すものと同一である。

【０１５１】

以上のように構成された誤り訂正回路１０１の各ブロックとその動作について以下に説明する。ただし、ビタビ復号器１０２の出力以降の動作については従来例と同一であるので、それらの説明は省略する。

【０１５２】

図２は本実施の形態のビタビ復号器１０２の構成を示すブロック図であり、ビタビ復号器制御回路１０３も併せて図示している。従来例と異なるブロックを太い実線で示すが、このような図示方法は以下に述べる全てのブロック図で採用するものとする。図２のビタビ復号器１０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路１０４とを有している。ビタビ復号化回路１０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路１０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器１０２は、図１００に示す従来例のビタビ復号器２０００２と比較して、ＡＣＳ回路１０５の内部構成のみが異なる。

【０１５３】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について説明する。図３は伝送モード切替時におけるビタビ復号器１０２中のパスメモリ２００２１（パスメモリ長＝Ｊ）の様子を示すトレリス線図である。図３（ａ）は、伝送モードＡの最終シンボルまでがパスメモリ２００２１に入力された時点のトレリス線図である。図３（ｂ）は、次の伝送モードＢの第１シンボルがパスメモリ２００２１に入力された時点のトレリス線図である。図３（ｃ）は、伝送モードＢの次の（Ｊ－２）シンボルまでがパスメモリ２００２１に入力された時点のトレリス線図である。

【０１５４】

図１に示すように、本実施の形態の誤り訂正回路１０１においては、伝送制御情報復号回路２００１０において復号された図８２の伝送モード／スロット情報がビタビ復号器制御回路１０３に出力される。ビタビ復号器制御回路１０３は、入力された伝送モード／スロット情報によって、伝送モードの切替シンボルを認識する。ビタビ復号器制御回路１０３は、図３（ａ）の伝送モードＡの最終シンボルまでがパスメモリ２００２１に入力される時点より、図３（ｃ）の伝送モードＢの（Ｊ－１）シンボルがパスメモリ２００２１に入力される時点まで切替制御信号を生成してＡＣＳ回路１０５に出力する。

【０１５５】

ＡＣＳ回路１０５は、ビタビ復号器制御回路１０３より出力される切替制御信号により、以下のようにパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。即ち図３（ａ）のように、伝送モードＡの最終シンボルまでがパスメモリ２００２１に入力される時点においては、通常のビタビ復号と同じく、パスメモリ２００２１に入力される最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。その状態に入力している生き残りパスを（Ｊ－１）シンボル分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。

【０１５６】

次に図３（ｂ）のように、伝送モードＢの第１シンボルがパスメモリ２００２１に入力される時点においては、通常のＡＣＳ動作を行って最新のトレリス線図を生成するべくブランチを１シンボル分伸ばす。ただし、図３（ａ）の時点で最小のパスメトリックと判定された状態、即ちパスメモリ２００２１中の第（Ｊ－１）番目のシンボルに入力している生き残りパスを（Ｊ－２）シンボル分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。

【０１５７】

以下、パスメモリ２００２１に伝送モードＡの未出力データが残留している期間は、伝送モードＡの最終シンボルにおける最小のパスメトリックと判定された状態に入力している生き残りパスより前へ戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。

【０１５８】

図３（ｃ）は図３（ｂ）よりさらに伝送モードＢの（Ｊ－２）シンボルがパスメモリ２００２１に入力される時点のトレリス線図を示す。この時点では、伝送モードＡの最終シンボルがパスメモリ２００２１中の第１番目のシンボルに該当し、最小のパスメトリックと判定された状態に対応するビタビ復号データをパスメモリ２００２１より出力する。

【０１５９】

図３（ｃ）よりさらに伝送モードＢの次の１シンボルが、パスメモリ２００２１に入力されると、パスメモリ２００２１中のデータは全て伝送モードＢのシンボルなので、通常のビタビ復号出力の方法を再開する。パスメモリ２００２１に入力される最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。その状態に入力している生き残りパスを（Ｊ－１）シンボル分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。また、ビタビ復号器１０２は、以上に示した伝送モード切替時の制御以外は、従来例に示したビタビ復号器２０００２と同様の動作を行ってビタビ復号データを出力する。

【０１６０】

以上に示した構成により、本実施の形態の誤り訂正回路１０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の伝送モードＡのビタビ復号データを出力することができる。

【０１６１】

また、本実施の形態において、ビタビ復号器制御回路１０３は切替制御信号を以下に示すように生成し、ＡＣＳ回路１０５がビタビ復号器制御回路１０３より出力される切替制御信号により、図４に示すようにパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行ってもよい。この場合、図１のビタビ復号器制御回路１０３は、伝送制御情報復号回路２００１０から出力された伝送モード／スロット情報によって、伝送モードの切替シンボルを認識する。図４（ａ）に示すように、伝送モードＡの最終シンボルまでがパスメモリ２００２１に入力される時点においてのみ、切替制御信号を生成してＡＣＳ回路１０５に出力する。

【０１６２】

図４（ａ）のように、伝送モードＡの最終シンボルまでがパスメモリ２００２１に入力される時点においては、ＡＣＳ回路１０５は通常のビタビ復号と同じく、パスメモリ２００２１に入力される最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。そして、その状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。

【０１６３】

その他は、従来例に示したビタビ復号と同様の復号を行う。入力された最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。その状態に入力している生き残りパスを（Ｊ－１）シンボル

分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。

【０１６４】

以上に示した構成により、伝送モード切替前の伝送モードＡの最終シンボルについては、図４（ａ）～（ｃ）に示すトレリス線図において、最小パスメトリックを有する１状態のみを有効とする。従って、本実施の形態の誤り訂正回路１０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の伝送モードＡのビタビ復号データを出力することができる。

【０１６５】

なお、図３（ａ）～（ｃ）まで、又は図４（ａ）の時点において、ビタビ復号器制御回路１０３が切替制御信号を生成するものとした。しかしながら、伝送モード切替後の変調多値数が伝送モード切替前より大きい場合、又は変調多値数が同じで符号化率が大きい場合のみ切替制御信号を生成する構成にしてもよい。例えば、図８９に示す伝送フレームにおいては、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→次の伝送モード（ＴＣ－８ＰＳＫ：ｒ＝２／３、又はＱＰＳＫ：ｒ＝３／４、又はＱＰＳＫ：ｒ＝１／２）の伝送モード切替時のみにおいて、ビタビ復号器制御回路１０３が切替制御信号を生成するものとしてもよい。ただし、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→ＢＰＳＫ（ｒ＝１／２）の場合を除く。

【０１６６】

ビタビ復号器制御回路１０３で生成される切替制御信号により、伝送モード切替前の伝送モードＡは、図３のように最終シンボルにおいて終結して復号されていることになる。しかしながら、例えば主信号のＴＣ－８ＰＳＫ（ｒ＝２／３）→ＱＰＳＫ（ｒ＝３／４）の伝送モード切替時においては、ＴＣ－８ＰＳＫ（ｒ＝２／３）の最終シンボルに続くＱＰＳＫ（ｒ＝３／４）のシンボルは、図９６のように、ＴＣ－８ＰＳＫ（ｒ＝２／３）の符号点間距離より大きい符号点間距離を有している。従って、ＱＰＳＫ（ｒ＝３／４）の第１シンボルより続けて終結を行わずに通常のビタビ復号を行うと、ＱＰＳＫ（ｒ＝３／４）が有するより確からしいブランチメトリックが生成され、終結を行った場合よりもパスメモリ２００２１に残留したＴＣ－８ＰＳＫ（ｒ＝２／３）の（Ｊ－１）シンボル分のＢＥＲが低減されることが期待できる。

【０１６７】

また図８７に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の前後には、２バイトずつ、ビタビ復号器１０２の入力では２０シンボルずつの固定シンボル系列がＴＡＢ信号（ｗ１、ｗ２、ｗ３）として存在する。よって、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２））の前後の伝送モード切替時においては、ビタビ復号器制御回路１０３は切替制御信号を生成しない構成にしてもよい。この場合には、固定シンボル系列の性質を利用したビタビ復号制御方法が考えられる。これについては実施の形態２、３において説明する。

【０１６８】

（実施の形態２）

本発明の実施の形態２における誤り訂正回路について、図面を参照しながら説明する。図５は本実施の形態における誤り訂正回路２０１の構成を示すブロック図である。図５に示す誤り訂正回路２０１では、太い実線で図示されたブロックが従来例と異なり、図９８に示す誤り訂正回路２０００１のビタビ復号器２００００２に代えて、確定状態信号で制御されるビタビ復号器２０２が設けられ、確定状態信号を生成するビタビ復号器制御回路２０３が加わったことが特徴である。確定状態信号とは、固定シンボル系列について、たたみ込み符号化器の状態が確定する期間を示す信号である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは図９８に示すものと同一である。

【０１６９】

以上のように構成された誤り訂正回路２０１の各ブロックとその動作について説明する。ただし、ビタビ復号器２０２の出力以降の動作については、従来例で示した通りなので、説明を省略する。

【０１７０】
図６は本実施の形態のビタビ復号器２０２の構成を示すブロック図であり、ビタビ復号器制御回路２０３も併せて図示している。ビタビ復号器２０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路２０４とを有している。ビタビ復号化回路２０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路２０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器２０２は、図１００に示す従来例のビタビ復号器２０００２と比較して、ＡＣＳ回路２０５の内部構成のみが異なる。
【０１７１】
図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について、以下に説明する。図７は伝送モード切替時、例えばＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢにおけるビタビ復号器２０２中のパスメモリ２００２１（パスメモリ長＝Ｊ）の様子を示すトレリス線図である。
【０１７２】
特に図７（ａ）は、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボル、例えば図８７、図１０８に示すｗ２＝ xxx0B677h、又はｗ３＝ xxxF4988hの内、たたみ込み回路１００１４の状態が確定する２０シンボル中の第１シンボルまでがパスメモリ２００２１に入力された時点のトレリス線図である。なお、上記のＴＡＢ信号の内、たたみ込み回路１００１４の状態が確定する２０シンボルは、デ・パンクチャド・Ｓ／Ｐ回路２００１６でＳ／Ｐ変換後では１０シンボルに相当する。
【０１７３】
また図７（ｂ）は、後ろＴＡＢ信号の次のシンボル（Ｓ／Ｐ変換後）がパスメモリ２００２１に入力された時点のトレリス線図である。さらに図７（ｃ）は、後ろＴＡＢ信号の残りのシンボル（Ｓ／Ｐ変換後の８シンボル）に続き、伝送モードＢの最初の（Ｊ－１０）シンボルがパスメモリ２００２１に入力された時点のトレリス線図である。
【０１７４】
本実施の形態の誤り訂正回路２０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路２０３に出力される。
【０１７５】
ビタビ復号器制御回路２０３は、伝送制御情報復号回路２００１０から出力された伝送モード／スロット情報によって、固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図７（ａ）のように、Ｓ／Ｐ変換後の各ＴＡＢ信号１０シンボルの第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボルがパスメモリ２００２１に入力される時点まで、確定状態信号を生成してＡＣＳ回路２０５に出力する。
【０１７６】
図６のＡＣＳ回路２０５は、ビタビ復号器制御回路２０３より出力される確定状態信号により、以下のようにパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。即ち図７（ａ）の１シンボル前、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボルであるｗ２＝ xxx0B677h又はｗ３＝ xxxF4988hの内、たたみ込み回路１００１４の状態が確定する２０シンボルの１シンボル前までがパスメモリ２００２１に入力される時点までは、ＡＣＳ回路２０５が通常のビタビ復号と同じく、パスメモリ２００２１に入力される最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。そしてこの状態に入力している生き残りパスを（Ｊ－１）シンボル分前に戻り、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。
【０１７７】
次に、たたみ込み回路１００１４の状態が確定する後ろＴＡＢ信号（ｗ２又はｗ３）中の

２０シンボルの第１シンボルが、パスメモリ２００２１に入力される時点では、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。

【０１７８】

図７（ｂ）のように、後ろＴＡＢ信号（ｗ２又はｗ３）の次のシンボルがパスメモリ２００２１に入力される時点でも同様にして、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。同様の制御を、後ろＴＡＢ信号の残りのシンボルが入力される時点まで行う。

【０１７９】

次に、伝送モードＢの第１シンボルが入力されると、従来例に示したビタビ復号と同様な復号を行う。入力された最新のシンボル、即ちパスメモリ２００２１中の第Ｊ番目のシンボルの全状態の中で、最小のパスメトリックを有する状態を判定する。その状態に入力している生き残りパスを（Ｊ－１）シンボル分前に戻し、該当するパスメモリ２００２１中の第１番目のシンボルをビタビ復号シンボルデータとして出力する。なお、図７（ｃ）は、伝送モードＢの最初の（Ｊ－１０）シンボルまでが、パスメモリ２００２１に入力された時点を示している。

【０１８０】

以上は、後ろＴＡＢ信号（ｗ２又はｗ３）における固定シンボル系列の性質を利用したビタビ復号制御方法であるが、前ＴＡＢ信号（ｗ１）についても同様の制御を行うことができる。

【０１８１】

また、ビタビ復号器２０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例に示したビタビ復号器２０００２と同様の動作を行ってビタビ復号データを出力するものとする。

【０１８２】

以上に示した構成により、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号（ｗ２又はｗ３）における固定シンボル系列の性質を利用したビタビ復号制御を行うようにしている。従って、本実施の形態の誤り訂正回路２０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。

【０１８３】

後ろＴＡＢ信号（ｗ２又はｗ３）の固定シンボル系列２０シンボル（Ｓ／Ｐ変換後は１０シンボル）については、上記の制御方法によって常に正しいビタビ復号データが選択される。その結果、図７（ａ）に示すように後ろＴＡＢ信号（ｗ２又はｗ３）の第１シンボルがパスメモリ２００２１に入力された時点において、パスメモリに残留しているＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）（Ｊ－１）シンボルの誤り率を低減することが可能である。

【０１８４】

また、前ＴＡＢ信号（ｗ１）の固定シンボル系列２０シンボルについても、同様のビタビ復号制御を行うことにより、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードＴＣ－８ＰＳＫ（ｒ＝２／３）又はＱＰＳＫ（ｒ＝３／４、１／２）又はＢＰＳＫ（ｒ＝１／２）の影響を遮断することができる。

【０１８５】

以上に示したように、本実施の形態の誤り訂正回路２０１は、前ＴＡＢ信号（ｗ１）と後ろＴＡＢ信号（ｗ２又はｗ３）の固定シンボル系列それぞれ２０シンボル（Ｓ／Ｐ変換後は１０シンボル）を利用したビタビ復号制御方法を行うことにより、図１０８（ａ）に示すＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータ１２８シンボル（Ｓ／Ｐ変換後は６４シンボル）については、前後の伝送モードのシンボルの影響を完全に遮断し、ＢＰＳＫ（ｒ＝１／２）の本来有しているたたみ込み符号化の誤り訂正能力を引き出すことができる。

【０１８６】
なお、本実施の形態においては、ビタビ復号器制御回路２０３は、図７（ａ）のように各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路２０５に出力する構成とした。その代わりに、ビタビ復号器制御回路２０３は、例えば各ＴＡＢ信号２０シンボル（Ｓ／Ｐ変換後は１０シンボル）の第１シンボルがパスメモリ２００２１に入力される時点のみ確定状態信号を生成して、ＡＣＳ回路２０５に出力する構成としてもよい。この構成を取ることにより、ビタビ復号器制御回路２０３とＡＣＳ回路２０５の制御を簡単化することができる。各ＴＡＢ信号の第１シンボル（Ｓ／Ｐ変換後の最終シンボル）については、図７に示すトレリス線図において、確定された１状態のみが有効とされ、他の全状態は無効とされるので、少なくともＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の前後の伝送モードのシンボルの影響を遮断することは可能である。

【０１８７】
なお上記では、ビタビ復号器制御回路２０３は、例えば各ＴＡＢ信号２０シンボルの第１シンボルがパスメモリ２００２１に入力される時点のみ確定状態信号を生成して、ＡＣＳ回路２０５に出力するようにした。しかし、図７（ａ）～（ｃ）に示すようにＳ／Ｐ変換後では、確定状態信号を生成するシンボル期間は、１シンボル以上、最大１０シンボルまでの間で任意に選択可能であり、どのシンボルを選択するかも任意である。

【０１８８】
（実施の形態３）
本発明の実施の形態３における誤り訂正回路について、図面を参照しながら説明する。図８は本実施の形態における誤り訂正回路３０１の構成を示すブロック図である。図８に示す誤り訂正回路３０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、固定ブランチ信号で制御されるビタビ復号器３０２が設けられ、固定ブランチ信号を生成するビタビ復号器制御回路３０３が加わったことが特徴である。固定ブランチ信号とは、固定シンボル系列についてトレリス線図の状態遷移におけるブランチを特定する信号である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは図９８に示すものと同一である。

【０１８９】
以上のように構成された誤り訂正回路３０１の各ブロックとその動作について説明する。ただし、ビタビ復号器３０２の出力以降の動作については、従来例で示した通りなので、説明を省略する。

【０１９０】
図９は本実施の形態のビタビ復号器３０２の構成を示すブロック図であり、ビタビ復号器制御回路３０３も併せて図示している。ビタビ復号器３０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路３０４とを有している。ビタビ復号化回路３０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路３０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器３０２は、図１００の従来例のビタビ復号器２０００２と比較して、ＡＣＳ回路３０５の内部構成のみが変わっている。

【０１９１】
図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について以下に説明する。

【０１９２】
図１０はビタビ復号におけるブランチの出力方法を示すトレリス線図である。ここでは、ビタビ復号シンボルが１シンボル＝１ビットのＱＰＳＫ（ｒ＝３／４、１／　２）、又は

ＢＰＳＫ（ｒ＝１／２）である場合を示している。図１０（ａ）は従来のビタビ復号におけるブランチの出力方法を示すトレリス線図である。時刻ｔにおいて、各状態より復号推定シンボル“１”と“０”に対応する２つのブランチを出力する。図１０（ａ）のように、時刻（ｔ＋１）においては状態Ｓに入力されるブランチは２つあり、従来例で示したビタビ復号器２０００２はその中から最小のパスメトリックを有するブランチ（太線で示す）を生き残りパスとしていた。

【０１９３】

一方、図１０（ｂ）はＴＡＢ信号に対して本実施の形態のビタビ復号におけるブランチの出力方法を示すトレリス線図である。例えば、後ろＴＡＢ信号（ｗ２＝xxx0B677h 、復号データＷ２＝A340h ）が図９のビタビ復号器３０２に入力される場合については、復号推定シンボルの計１６シンボルについて、それぞれの復号推定シンボルは“１”か“０”かが既知である。例えば、第１シンボル＝“１”とする。従って、図１０（ｂ）に示すように、例えば後ろＴＡＢ信号（ｗ２）の第１シンボルについては、時刻ｔにおいて、各状態より復号推定シンボル“１”に対応する１つのブランチのみを出力する。時刻（ｔ＋１）においては、状態Ｓに入力されるブランチは１つのみであり、図１０（ｂ）の太線のように自動的に生き残りパスが決定される。

【０１９４】

図１０（ａ）と図１０（ｂ）を比較すると、図１０（ｂ）ではＴＡＢ信号区間については、各状態より１つのブランチ、例えば復号推定シンボル＝“１”に対応するブランチのみを出力するため、時刻（ｔ＋１）において各状態に入力するブランチは、復号推定シンボル＝“１”に対応するブランチであり、それが自動的に生き残りパスを決定する。従って、ＴＡＢ信号区間について誤った系列を生き残りパスとすることがなく、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）に続く伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているＴＭＣＣのビタビ復号データを出力することができる。一方、図１０（ａ）では、ＴＡＢ信号が有する固定シンボル系列の性質を利用せず、時刻（ｔ＋１）においては各状態に入力されるブランチは２つあり、誤った復号推定シンボルに対応するブランチが、生き残りパスとして選択される可能性がある。

【０１９５】

ここで、図１０（ｂ）に示したＴＡＢ信号区間（固定系列区間）におけるビタビ復号制御方法を次に説明する。図８の誤り訂正回路３０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された図８２の伝送モード／スロット情報がビタビ復号器制御回路３０３に出力される。ビタビ復号器制御回路３０３はこの伝送モード／スロット情報によって固定系列シンボル（ＴＡＢ信号：ｗ１、ｗ２、ｗ３）を認識する。各ＴＡＢ信号１６シンボルの第１シンボルがパスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１６シンボルがパスメモリ２００２１に入力される時点まで固定ブランチ信号を生成してＡＣＳ回路３０５に出力する。

【０１９６】

ＡＣＳ回路３０５は、ビタビ復号器制御回路３０３より出力される固定ブランチ信号により、トレリス線図の各状態より、固定系列＝“１”あるいは“０”に対応した１つのブランチのみを出力するようにパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。

【０１９７】

また、ビタビ復号器３０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例に示したビタビ復号器２０００２と同様の動作を行ってビタビ復号データを出力する。

【０１９８】

以上に示した構成により、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号（ｗ２、ｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路３０１は、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣ

Ｃ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。

【０１９９】

その結果、パスメモリ長＝Ｊとすると、後ろＴＡＢ信号（ｗ２、ｗ３）の第１シンボルがパスメモリ２００２１に入力された時点において、パスメモリに残留しているＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）（Ｊ－１）シンボルの誤り率を低減することが可能である。また、前ＴＡＢ信号（ｗ１）の固定シンボル系列１６シンボルについても、同様のビタビ復号制御を行うことにより、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モード、即ちＴＣ－８ＰＳＫ（ｒ＝２／３）又はＱＰＳＫ（ｒ＝３／４、１／２）、又はＢＰＳＫ（ｒ＝１／２）の影響を遮断することができる。

【０２００】

以上に示したように、本実施の形態の誤り訂正回路３０１は、前ＴＡＢ信号（ｗ１）と後ろＴＡＢ信号（ｗ２、ｗ３）の固定シンボル系列をそれぞれ１６シンボル利用したビタビ復号制御方法を行うことにより、図１０８（ａ）に示すようなＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータ１２８シンボルについては（Ｓ／Ｐ変換後は、６４シンボル）、前後の伝送モードのシンボルの影響を遮断し、ＢＰＳＫ（ｒ＝１／２）の本来有しているたたみ込み符号化の誤り訂正能力を引き出すことができる。

【０２０１】

（実施の形態４）

本発明の実施の形態４における誤り訂正回路について、図面を参照しながら説明する。図１１は本実施の形態における誤り訂正回路４０１の構成を示すブロック図である。図１１に示す誤り訂正回路４０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号で制御されるビタビ復号器４０２が設けられ、状態削減信号を生成するビタビ復号器制御回路４０３が加わったことが特徴である。状態削減信号とは、固定シンボル系列についてトレリス線図の状態数を削減する信号である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは図９８に示すものと同一である。

【０２０２】

以上のように構成された誤り訂正回路４０１の各ブロックとその動作について説明する。ただし、ビタビ復号器４０２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２０３】

図１２は本実施の形態のビタビ復号器４０２の構成を示すブロック図であり、ビタビ復号器制御回路４０３も併せて図示されている。ビタビ復号器４０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路４０４とを有している。ビタビ復号化回路４０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路４０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器４０２は、従来例におけるビタビ復号器２０００２と比較して、ＡＣＳ回路４０５の内部構成のみが変わっている。

【０２０４】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。図１３は本実施の形態におけるトレリス線図の状態削減方法を示す説明図である。図中の□は図９１に示すたたみ込み回路１００１４の各レジスタを示し、例として後ろＴＡＢ信号（ｗ２＝xxx0B677h 、Ｗ２＝A340h ）が各レジスタに入力される場合を示している。

【０２０５】

図１３において、後ろＴＡＢ信号ｗ２の１６シンボルがビタビ復号化回路４０４に入力する直前までは、たたみ込み回路１００１４の全６レジスタの中身が不定であるため、トレリス線図の状態数は図１３（ａ）に示すように６４である。ｗ２の第１シンボルがビタビ

復号化回路４０４に入力されると、最初のレジスタの中身が“１”と決まるので、状態数は図１３（ｂ）のように３２に削減される。次に、ｗ２の第２シンボルがビタビ復号化回路４０４に入力されると、最初の２つのレジスタの中身が“０１”と決まるので、状態数は図１３（ｃ）のように１６に削減される。

【０２０６】

以下、１シンボルずつビタビ復号化回路４０４に入力される毎に状態数が半減し、ｗ２の第６シンボルまでがビタビ復号化回路４０４に入力されると、全６つのレジスタの中身が“０００１０１”と決まるので、図１３（ｇ）のように１状態に確定する。以降、ｗ２の第１６シンボルが入力されるまで、確定した１状態のみが有効となり、ビタビ復号化回路４０４がビタビ復号を行う。

【０２０７】

ところで、実施の形態２では、図７のように例えばｗ２の後ろ１０シンボルについてのみ、確定した１状態のみを有効としてビタビ復号を行っていた。それと比較して本実施の形態では、例えばｗ２の後ろ１０シンボルを確定した１状態のみを有効とし、更に先頭６シンボルについて、１シンボルずつビタビ復号化回路４０４に入力される毎に状態数を半減させている。従って、ＴＡＢ信号１６シンボル（Ｓ／Ｐ変換後）全てについて、固定系列の性質を利用して伝送モード切替時のビタビ復号制御を行っていることになる。

【０２０８】

ここで、図１３に示したＴＡＢ信号区間（固定系列区間）におけるビタビ復号制御の実現方法について説明する。本実施の形態の誤り訂正回路４０１においては、実施の形態１と同様に伝送制御情報復号回路２００１０において復号された、伝送モード／スロット情報がビタビ復号器制御回路４０３に出力される。ビタビ復号器制御回路４０３はこの伝送モード／スロット情報によって固定系列シンボル（ＴＡＢ信号：ｗ１、ｗ２、ｗ３）を認識する。各ＴＡＢ信号１６シンボルの第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１６シンボルがパスメモリ２００２１に入力される時点まで状態削減信号を生成してＡＣＳ回路４０５に出力する。

【０２０９】

ＡＣＳ回路４０５は、ビタビ復号器制御回路４０３より出力される状態削減信号により、上述のように各ＴＡＢ信号の先頭６シンボルについて、１シンボルずつ状態数を半減させ、その後の１０シンボルについては確定した１状態のみを有効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器４０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。

【０２１０】

以上に示した構成により、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号（ｗ２、ｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路４０１は、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。

【０２１１】

その結果、後ろＴＡＢ信号（ｗ２、ｗ３）の第１シンボルがパスメモリ２００２１に入力された時点において、パスメモリに残留しているＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）（Ｊ－１）シンボルの誤り率を低減することが可能である。また、前ＴＡＢ信号（ｗ１）の固定シンボル系列１６シンボルについても、同様のビタビ復号制御を行うことにより、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モード、即ちＴＣ－８ＰＳＫ（ｒ＝２／３）又はＱＰＳＫ（ｒ＝３／４、１／２）又はＢＰＳＫ（ｒ＝１／２）の影響を遮断することができる。

【０２１２】

以上に示したように、本実施の形態の誤り訂正回路４０１は、前ＴＡＢ信号（ｗ１）と後

ろＴＡＢ信号（ｗ２、ｗ３）の固定シンボル系列それぞれ１６シンボル（Ｓ／Ｐ変換後）を利用したビタビ復号制御方法を行うことにより、図１０８（ａ）に示すＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータ１２８シンボルについては（Ｓ／Ｐ変換後は、６４シンボル）、前後の伝送モードのシンボルの影響を遮断し、ＢＰＳＫ（ｒ＝１／２）の本来有しているたたみ込み符号化の誤り訂正能力を引き出すことができる。

【０２１３】

更に図１３に示すように、先頭６シンボルについて、１シンボルずつパスメモリ２００２１に入力される毎に、状態数を半減させている。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態２と３に比べて、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２１４】

（実施の形態５）

本発明の実施の形態５における誤り訂正回路について、図面を参照しながら説明する。図１４は本実施の形態における誤り訂正回路５０１の構成を示すブロック図である。この誤り訂正回路５０１では、太い実線で図示されたブロックが従来例と異なり、図９８に示す誤り訂正回路２０００１に対して、シンボル座標変換信号を生成するビタビ復号器制御回路５０３と、シンボル座標変換信号で制御される入力シンボル変換回路５０６とが加わったことが特徴である。シンボル座標変換信号とは、固定シンボルに対応した復調Ｉ／Ｑデータに変換する信号である。その他の各ブロック、即ちビタビ復号器２００００２、高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは図９８に示すものと同一である。

【０２１５】

以上のように構成された誤り訂正回路５０１の各ブロックとその動作について説明する。ただし、ビタビ復号器２００００２の出力以降の動作については、従来例で示した通りなので、説明を省略する。

【０２１６】

図１５はビタビ復号器２００００２の構成と、ビタビ復号器２００００２及びビタビ復号器制御回路３０３と入力シンボル変換回路５０６との接続関係を示すブロック図である。本実施の形態のビタビ復号器２００００２は、図１００の従来例のビタビ復号器の構成と同じである。

【０２１７】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法ついて、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路５０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０で復号された伝送モード／スロット情報がビタビ復号器制御回路５０３に出力される。ビタビ復号器制御回路５０３は、この伝送モード／スロット情報によって固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図８７又は図１０８に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボル（ｗ２＝ xxx0B677h、又はｗ３＝ xxxF4988h）の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルが入力シンボル変換回路５０６に入力される区間については、シンボル座標変換信号を生成して入力シンボル変換回路５０６に出力する。

【０２１８】

入力シンボル変換回路５０６は、ビタビ復号器制御回路５０３より出力されるシンボル座標変換信号に従って、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルをその符号点のＩ／Ｑデータに変換し、それ以外の入力シンボルについてはそのままのＩ／Ｑデータでビタビ復号器２００００２に出力する。

【０２１９】

図８７又は図１０８に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の前ＴＡＢ信号３

２シンボル（ｗ１＝ xxxECD28h）の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルについても、入力シンボル変換回路５０６は同様なＩ／Ｑ座標変換を行う。

【０２２０】

入力シンボル変換回路５０６におけるＩ／Ｑデータの変換の様子を図１６に示す。入力シンボル変換回路５０６は、図示しないＰＳＫ復調器からの出力された入力シンボルのＩ／Ｑ座標を、ＴＡＢ信号の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルについて、そのシンボルが“０”、あるいは“１”の固定シンボルであるかによって、図１６のように“０”、あるいは“１”の符号点のＩ／Ｑ座標データに変換する。そしてビタビ復号器２０００２は従来例と同じようにビタビ復号を行い、ビタビ復号データをシンボル／バイト変換回路２０００４に出力する。

【０２２１】

上記に示した通り、ＴＡＢ信号の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルについては、符号点と距離が０のＩ／Ｑ座標がビタビ復号器２０００２に入力されることになる。即ち、ビタビ復号のトレリス線図において、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルについては、変換された符号点の正しい１状態に入力するブランチメトリックは０で、他の全状態は非常に大きなブランチメトリックが生成される。このような復号方法では、図７（ａ）～（ｃ）に示す実施の形態２のビタビ復号制御方法と等価的な制御が行われていると見なすことができる。即ち、確定された１状態（変換された符号点の状態）に入力するブランチメトリックと比較して、他の全状態に入力するブランチメトリックはその値が非常に大きいため、確定された１状態が最小のパスメトリックと自動的に判定されることになる。

【０２２２】

以上に示したように、本実施の形態の誤り訂正回路５０１は、前ＴＡＢ信号（ｗ１）と後ろＴＡＢ信号（ｗ２又はｗ３）の固定シンボル系列それぞれ２０シンボルを利用したビタビ復号制御方法を行うことにより、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータ、即ち図１０８（ａ）に示す１２８シンボルについては、前後の伝送モードのシンボルの影響を完全に遮断し、ＢＰＳＫ（ｒ＝１／２）の本来有しているたたみ込み符号化の誤り訂正能力を引き出すことができる。

【０２２３】

本実施の形態では、ビタビ復号器２０００２の前段に入力シンボル変換回路５０６を設ける構成にしているので、図１４のビタビ復号器２０００２は従来例のビタビ復号器をそのまま用いることができる。

【０２２４】

シミュレーションにより、本実施の形態の誤り訂正回路５０１の機能（効果）を調べた。図１７はシミュレーションに用いた伝送フレームの構成図である。図１７（ａ）は入力シンボル変換回路５０６への入力形式を示し、ＴＭＣＣはＳ／Ｐ変換前の信号である。図１７（ｂ）はパスメモリ２００２１への入力形式を示し、ＴＭＣＣはＳ／Ｐ変換後の信号である。パスメモリ長は６４とし、ＴＭＣＣの後の主信号はＴＣ－８ＰＳＫ（ｒ＝２／３）６４シンボルのみとした。この６４シンボルの主信号により、ＴＭＣＣの第１シンボルが入力される直前では、パスメモリ２００２１はＴＣ－８ＰＳＫ（ｒ＝２／３）６４シンボルで満たされている状態になる。

【０２２５】

図１８は上記の条件でシミュレーションした復号結果のＢＥＲである。Ｃ／Ｎ＝－１ｄＢとし、パスメモリ２００２１に後ろＴＡＢ信号（ｗ２又はｗ３）の最終シンボルが入力された時点において、パスメモリ２００２１に残留している６４シンボルについて、１シンボル毎のＢＥＲを算出した。横軸はパスメモリ２００２１に残留している６４シンボルを示し、縦軸はＢＥＲを示す。この図より明らかなように、本実施の形態の「終結処理あり」は、従来例の「終結処理なし」と比較して、パスメモリ２００２１に残留している各シンボルの誤り率が改善されていることが判る。

【０２２６】

（実施の形態６）
本発明の実施の形態６における誤り訂正回路について、図面を参照しながら説明する。図１９は本実施の形態における誤り訂正回路６０１の構成を示すブロック図である。図１９に示す誤り訂正回路６０１では、太い実線で図示されたブロックが従来例と異なっている。即ち、図９８の誤り訂正回路２０００１のビタビ復号器２００００２に代えて、固定ブランチ信号及び確定状態信号で制御されるビタビ復号器１０２が設けられ、固定ブランチ信号及び確定状態信号を生成するビタビ復号器制御回路６０３が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２２７】
以上のように構成された誤り訂正回路６０１の動作について説明する。ただし、ビタビ復号器６０２の出力以降の動作については従来例で示した通りなので、説明を省略する。

【０２２８】
図２０はビタビ復号器６０２の構成を示すブロック図であり、ビタビ復号器制御回路６０３も併せて図示している。ビタビ復号器６０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路６０４とを有している。ビタビ復号化回路６０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路６０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器６０２は、図６に示す実施の形態２におけるビタビ復号器２０２と比較して、ＡＣＳ回路６０５の内部構成のみが変わっている。

【０２２９】
図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路６０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路６０３に出力される。ビタビ復号器制御回路６０３は、実施の形態２と同様にして、伝送モード／スロット情報によって、固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図７（ａ）に示すように、各ＴＡＢ信号の後ろ１０シンボルの第１シンボルがパスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボルがパスメモリ２００２１に入力される時点まで、確定状態信号を生成してＡＣＳ回路６０５に出力する。

【０２３０】
ＡＣＳ回路６０５は図７（ａ）～（ｃ）に示すように、ビタビ復号器制御回路６０３より出力される確定状態信号により、実施の形態２と同様にしてパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器制御回路６０３は、各ＴＡＢ信号の先頭６シンボル、即ちたたみ込み回路１００１４が１状態に確定するまでの信号がパスメモリ２００２１に入力される区間について、固定ブランチ信号を生成してＡＣＳ回路６０５に出力する。

【０２３１】
ＡＣＳ回路６０５は図１０（ｂ）に示すように、ビタビ復号器制御回路６０３より出力される固定ブランチ信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態３と同様にしてパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器６０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例に示したビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。

【０２３２】
以上に示した構成により、実施の形態２と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路６０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に

残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も完全に遮断することができる。

【０２３３】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、固定ブランチ信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して、伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態２と比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２３４】

（実施の形態７）

本発明の実施の形態７における誤り訂正回路について、図面を参照しながら説明する。図２１は本実施の形態における誤り訂正回路７０１の構成を示すブロック図である。図２１に示す誤り訂正回路７０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００００２に代えて、固定ブランチ信号で制御されるビタビ復号器７０２が設けられ、固定ブランチ信号及びシンボル座標変換信号を生成するビタビ復号器制御回路７０３と、シンボル座標変換信号で制御される入力シンボル変換回路５０６が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２３５】

以上のように構成された誤り訂正回路７０１の各ブロックとその動作について説明する。ただし、ビタビ復号器７０２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２３６】

図２２はビタビ復号器７０２の構成を示すブロック図であり、ビタビ復号器制御回路７０３と入力シンボル変換回路５０６とを併せて図示している。ビタビ復号器７０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路７０４とを有している。ビタビ復号化回路７０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路７０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器７０２は、図１５に示す実施の形態５のビタビ復号器２０００２と比較して、ＡＣＳ回路７０５の内部構成のみが変わっている。

【０２３７】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路７０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路７０３に出力される。ビタビ復号器制御回路７０３は、伝送モード／スロット情報によって固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図８７又は図１０８に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボル（ｗ２＝ xxx0B677h、又はｗ３＝ xxxF4988h）の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルが、入力シンボル変換回路５０６に入力される区間については、シンボル座標変換信号を生成して、入力シンボル変換回路５０６に出力する。

【０２３８】

入力シンボル変換回路５０６は、実施の形態５と同様の動作を行って、Ｉ／Ｑデータをビタビ復号器７０２に出力する。また、ビタビ復号器制御回路７０３は、各ＴＡＢ信号の先頭６シンボル、即ちたたみ込み回路１００１４の１状態に確定するまでがパスメモリ２００２１に入力される区間について、固定ブランチ信号を生成してＡＣＳ回路７０５に出力する。そしてＡＣＳ回路７０５は、ビタビ復号器制御回路７０３より出力される固定ブラ

ンチ信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態３と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器７０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例に示したビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。

【０２３９】

以上に示した構成により、実施の形態５と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路７０１は、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も遮断することができる。

【０２４０】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、固定ブランチ信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態５と比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２４１】

（実施の形態８）

本発明の実施の形態８における誤り訂正回路について、図面を参照しながら説明する。図２３は本実施の形態における誤り訂正回路８０１の構成を示すブロック図である。図２３に示す誤り訂正回路８０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号及び確定状態信号で制御されるビタビ復号器８０２が設けられ、状態削減信号及び確定状態信号を生成するビタビ復号器制御回路８０３が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２４２】

以上のように構成された誤り訂正回路８０１の各ブロックとその動作について説明する。ただし、ビタビ復号器８０２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２４３】

図２４はビタビ復号器８０２の構成を示すブロック図であり、ビタビ復号器制御回路８０３も併せて図示されている。ビタビ復号器８０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路８０４とを有している。ビタビ復号化回路８０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路８０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器８０２は、図６に示す実施の形態２におけるビタビ復号器２０２と比較して、ＡＣＳ回路８０５の内部構成のみが変わっている。

【０２４４】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路８０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路８０３に出力される。

【０２４５】

ビタビ復号器制御回路８０３は、実施の形態２と同様にして、伝送制御情報復号回路２００１０から出力された伝送モード／スロット情報によって、固定系列シンボルであるＴＡ

Ｂ信号（ｗ１、ｗ２、ｗ３）を認識する。図７（ａ）に示すように、各ＴＡＢ信号の後ろ１０シンボルの第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボルがパスメモリ２００２１に入力される時点まで確定状態信号を生成してＡＣＳ回路８０５に出力する。

【０２４６】

ＡＣＳ回路８０５は、図７（ａ）～（ｃ）に示すように、ビタビ復号器制御回路８０３より出力される確定状態信号により、実施の形態２と同様にしてパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器制御回路８０３は、各ＴＡＢ信号の先頭６シンボル、即ちたたみ込み回路１００１４が１状態に確定するまで、がパスメモリ２００２１に入力される区間について、状態削減信号を生成してＡＣＳ回路８０５に出力する。

【０２４７】

ＡＣＳ回路８０５は、ビタビ復号器制御回路８０３より出力される状態削減信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態４と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行い、図１３に示すように、たたみ込み回路１００１４が１状態に確定するまで状態数を半分ずつに削減する。また、ビタビ復号器８０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。

【０２４８】

以上に示した構成により、実施の形態２と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路８０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も完全に遮断する。

【０２４９】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、状態削減信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して、伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態２と比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２５０】

（実施の形態９）

本発明の実施の形態９における誤り訂正回路について、図面を参照しながら説明する。図２５は本実施の形態における誤り訂正回路９０１の構成を示すブロック図である。図２５に示す誤り訂正回路９０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号及び固定ブランチ信号で制御されるビタビ復号器９０２が設けられ、状態削減信号及び固定ブランチ信号を生成するビタビ復号器制御回路９０３が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２５１】

以上のように構成された誤り訂正回路９０１の各ブロックとその動作について説明する。ただし、ビタビ復号器９０２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２５２】

図２６はビタビ復号器９０２の構成を示すブロック図であり、ビタビ復号器制御回路９０３も併せて図示されている。ビタビ復号器９０２は、デ・パンクチャド・Ｓ／Ｐ回路２０

０１６と、点線部で示すビタビ復号化回路９０４とを有している。ビタビ復号化回路９０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路９０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器９０２は、図９に示す実施の形態３におけるビタビ復号器３０２と比較して、ＡＣＳ回路９０５の内部構成のみが変わっている。

【０２５３】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路９０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路９０３に出力される。ビタビ復号器制御回路９０３は、実施の形態３と同様にして、伝送モード／スロット情報によって、固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。各ＴＡＢ信号１６シンボルの第１シンボルがパスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１６シンボルがパスメモリ２００２１に入力される時点まで、固定ブランチ信号を生成してＡＣＳ回路９０５に出力する。

【０２５４】

ＡＣＳ回路９０５は、図１０に示すように、ビタビ復号器制御回路９０３より出力される固定ブランチ信号により、実施の形態３と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器制御回路９０３は、各ＴＡＢ信号の先頭６シンボル、即ちたたみ込み回路１００１４が１状態に確定するまでがパスメモリ２００２１に入力される区間について、状態削減信号を生成してＡＣＳ回路９０５に出力する。

【０２５５】

ＡＣＳ回路９０５は、図１３に示すように、ビタビ復号器制御回路９０３より出力される状態削減信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態４と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行い、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する。また、ビタビ復号器９０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。

【０２５６】

以上に示した構成により、実施の形態３と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列全てを利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路９０１は、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も完全に遮断する。

【０２５７】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、状態削減信号によるビタビ復号制御を行っている。従って、ＴＡＢ信号１６シンボル全てについて、固定ブランチや状態削減のように、固定系列の性質を二重に利用して伝送モード切替時のビタビ復号制御を行うことができる。このため実施の形態３と比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２５８】

（実施の形態１０）

本発明の実施の形態１０における誤り訂正回路について、図面を参照しながら説明する。図２７は本実施の形態における誤り訂正回路１００１の構成を示すブロック図である。図２７に示す誤り訂正回路１００１では、太い実線で図示されたブロックが従来例と異なり

、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号で制御されるビタビ復号器１００２が設けられ、状態削減信号及びシンボル座標変換信号を生成するビタビ復号器制御回路１００３と、シンボル座標変換信号で制御される入力シンボル変換回路５０６が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２５９】

以上のように構成された誤り訂正回路１００１の各ブロックとその動作について説明する。ただし、ビタビ復号器１００２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２６０】

図２８はビタビ復号器１００２の構成を示すブロック図であり、ビタビ復号器制御回路１００３と入力シンボル変換回路５０６も併せて図示されている。ビタビ復号器１００２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路１００４とを有している。ビタビ復号化回路１００４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路１００５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。本実施の形態のビタビ復号器１００２は、実施の形態５におけるビタビ復号器２０００２と比較して、ＡＣＳ回路１００５の内部構成のみが変わっている。

【０２６１】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。本実施の形態の誤り訂正回路１００１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された伝送モード／スロット情報がビタビ復号器制御回路１００３に出力される。

【０２６２】

ビタビ復号器制御回路１００３は、実施の形態５と同様にして、伝送制御情報復号回路２００１０から出力された伝送モード／スロット情報によって、固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図８７又は図１０８に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボル（ｗ２＝ xxx0B677h、又はｗ３＝ xxxF4988h）の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルが入力シンボル変換回路５０６に入力される区間については、シンボル座標変換信号を生成して、入力シンボル変換回路５０６に出力する。入力シンボル変換回路５０６は、実施の形態５と同様の動作を行って、Ｉ／Ｑデータをビタビ復号器１００２に出力する。

【０２６３】

また、ビタビ復号器制御回路１００３は、各ＴＡＢ信号の先頭６シンボル、即ちたたみ込み回路１００１４が１状態に確定するまでがパスメモリ２００２１に入力される区間について、状態削減信号を生成してＡＣＳ回路１００５に出力する。ＡＣＳ回路１００５は、ビタビ復号器制御回路１００３より出力される状態削減信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態４と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行い、図１３に示すようにたたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する。また、ビタビ復号器１００２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行ってビタビ復号データを出力する。

【０２６４】

以上に示した構成により、実施の形態５と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路１００１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力す

ることができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も完全に遮断する。

【０２６５】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、状態削減信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して伝送モード切替時のビタビ復号制御を行っていることになる。従って実施の形態５と比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率をより低減することができる。

【０２６６】

（実施の形態１１）

本発明の実施の形態１１における誤り訂正回路について、図面を参照しながら説明する。図２９は本実施の形態における誤り訂正回路１１０１の構成を示すブロック図である。図２９に示す誤り訂正回路１１０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号、固定ブランチ信号、及び確定状態信号で制御されるビタビ復号器１１０２が設けられ、状態削減信号、固定ブランチ信号、及び確定状態信号を生成するビタビ復号器制御回路１１０３が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。

【０２６７】

以上のように構成された誤り訂正回路１１０１の各ブロックとその動作について説明する。ただし、ビタビ復号器１１０２の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２６８】

図３０はビタビ復号器１１０２の構成を示すブロック図であり、ビタビ復号器制御回路１１０３も併せて図示している。図３０に示すように、ビタビ復号器１１０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路１１０４とを有している。ビタビ復号化回路１１０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路１１０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。即ち、本実施の形態のビタビ復号器１１０２は、実施の形態２のビタビ復号器２０２と比較して、ＡＣＳ回路１１０５の内部構成のみが変わっている。

【０２６９】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。

【０２７０】

本実施の形態の誤り訂正回路１１０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０において復号された図８２の伝送モード／スロット情報がビタビ復号器制御回路１１０３に出力される。ビタビ復号器制御回路１１０３は実施の形態２と同様にして、伝送モード／スロット情報によって固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図７（ａ）に示すように、各ＴＡＢ信号の後ろ１０シンボルの第１シンボルがパスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して図３０のＡＣＳ回路１１０５に出力する。

【０２７１】

ＡＣＳ回路１１０５は、図７（ａ）～（ｃ）に示すように、ビタビ復号器制御回路１１０３より出力される確定状態信号により、実施の形態２と同様にしてパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。また、ビタビ復号器制御回路１１０３は、各ＴＡＢ信号の先頭６シンボル、即ち、たたみ込み回路１００１４が１状態に確定するまでがパスメモリ２００２１に入力される区間について、固定ブランチ信号と状態削減

信号とを生成してＡＣＳ回路１１０５に出力する。
【０２７２】
ＡＣＳ回路１１０５は、図１０（ｂ）に示すようにビタビ復号器制御回路１１０３より出力される固定ブランチ信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態３と同様にしてパスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。更に、ＡＣＳ回路１１０５は、ビタビ復号器制御回路１１０３より出力される状態削減信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態４と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行い、図１３に示すようにたたみ込み回路１００１４が１状態に確定するまで状態数を半分ずつに削減する。また、ビタビ復号器１１０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行って、ビタビ復号データを出力する。
【０２７３】
以上に示した構成により、実施の形態２と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路１１０１は、モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も完全に遮断することができる。
【０２７４】
更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、固定ブランチ信号と状態削減信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態２や６などと比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率を更に低減することができる。
【０２７５】
（実施の形態１２）
本発明の実施の形態１２における誤り訂正回路について、図面を参照しながら説明する。図３１は本実施の形態における誤り訂正回路１２０１の構成を示すブロック図である。図３１に示す誤り訂正回路１２０１では、太い実線で図示されたブロックが従来例と異なり、図９８の誤り訂正回路２０００１のビタビ復号器２０００２に代えて、状態削減信号及び固定ブランチ信号で制御されるビタビ復号器１２０２が設けられ、状態削減信号、固定ブランチ信号、及びシンボル座標変換信号を生成するビタビ復号器制御回路１２０３と、シンボル座標変換信号で制御される入力シンボル変換回路５０６が新たに加わったことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路２０００３～選局回路２００１１が設けられていることは、図９８に示すものと同一である。
【０２７６】
以上のように構成された誤り訂正回路１２０１の各ブロックとその動作について説明する。ただし、ビタビ復号器１２０２の出力以降の動作については従来例で示した通りなので説明を省略する。
【０２７７】
図３２はビタビ復号器１２０２の構成を示すブロック図であり、ビタビ復号器制御回路１２０３と入力シンボル変換回路５０６も併せて図示している。ビタビ復号器１２０２は、デ・パンクチャド・Ｓ／Ｐ回路２００１６と、点線部で示すビタビ復号化回路１２０４とを有している。ビタビ復号化回路１２０４は、ブランチメトリック計算回路２００１８と、ＡＣＳ回路１２０５と、パスメトリックメモリ２００２０と、パスメモリ２００２１とを有している。即ち、本実施の形態のビタビ復号器１２０２は、実施の形態５のビタビ復号器２０００２と比較して、ＡＣＳ回路１２０５の内部構成のみが変わっている。
【０２７８】

図１１８を用いて説明した発明の解決課題に対して、伝送モードの切替時における本実施の形態のビタビ復号制御方法について、特にＴＡＢ信号の固定シンボル系列の性質を利用した制御方法について説明する。

【０２７９】

本実施の形態の誤り訂正回路１２０１においては、実施の形態１と同様に、伝送制御情報復号回路２００１０により復号された図８２の伝送モード／スロット情報が、ビタビ復号器制御回路１２０３に出力される。ビタビ復号器制御回路１２０３は、実施の形態５と同様にして、伝送モード／スロット情報によって固定系列シンボルであるＴＡＢ信号（ｗ１、ｗ２、ｗ３）を認識する。図８７又は図１０８に示すように、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の後ろＴＡＢ信号３２シンボル（ｗ２＝ xxx0B677h、又はｗ３＝ xxxF4988h）の内、たたみ込み回路１００１４の状態が確定する後ろ２０シンボルが入力シンボル変換回路５０６に入力される区間については、シンボル座標変換信号を生成して入力シンボル変換回路５０６に出力する。

【０２８０】

入力シンボル変換回路５０６は、図１６に示すように実施の形態５と同様の動作を行って、Ｉ／Ｑデータをビタビ復号器１２０２に出力する。また、ビタビ復号器制御回路１２０３は、各ＴＡＢ信号の先頭６シンボル、即ち、たたみ込み回路１００１４の１状態に確定するまでがパスメモリ２００２１に入力される区間について、固定ブランチ信号と状態削減信号を生成してＡＣＳ回路１２０５に出力する。ＡＣＳ回路１２０５は、図１０（ｂ）に示すように、ビタビ復号器制御回路１２０３より出力される固定ブランチ信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態３と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う。更に、ＡＣＳ回路１２０５は、図１３に示すように、ビタビ復号器制御回路１２０３より出力される状態削減信号により、各ＴＡＢ信号の先頭６シンボルについては、実施の形態４と同様にして、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行い、たたみ込み回路１００１４が１状態に確定するまで状態数を半分ずつに削減する。

【０２８１】

また、ビタビ復号器１２０２は、以上に示した伝送モード切替時、即ちＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）→伝送モードＢの制御以外は、従来例のビタビ復号器２０００２と同様の動作を行ってビタビ復号データを出力する。

【０２８２】

以上に示した構成により、実施の形態５と同様に、伝送モード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のＴＡＢ信号（ｗ１、ｗ２又はｗ３）の固定シンボル系列の性質を利用したビタビ復号制御を行う。従って、本実施の形態の誤り訂正回路１２０１は、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。かつ、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のモード切替前の伝送モードの影響も遮断することができる。

【０２８３】

更に、本実施の形態においては、各ＴＡＢ信号の先頭６シンボルについて、固定ブランチ信号と状態削減信号によるビタビ復号制御を行う。従って、ＴＡＢ信号１６シンボル全てについて、固定系列の性質を利用して、伝送モード切替時のビタビ復号制御を行っていることになり、実施の形態５や７などと比較して、ＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）の実シンボルデータの誤り率を更に低減することができる。

【０２８４】

（実施の形態１３）

本発明の実施の形態１３における誤り訂正回路について、図面を参照しながら説明する。図３３は本実施の形態における誤り訂正回路１３０１の構成を示すブロック図である。図３３に示す誤り訂正回路１３０１では、太い実線で図示されたブロックが従来例と異なり、内部構成が異なるデ・インターリーブ回路１３０２と選局回路１３０３が設けられ、デ

・インターリーブ回路１３０２が選局回路１３０３の出力するスロット選択信号で制御されるように構成したことが特徴である。その他の各ブロック、即ちビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６～伝送制御情報復号回路２００１０の各機能は、図９８に示すものと同一である。

【０２８５】

以上のように構成された誤り訂正回路１３０１の各ブロックとその動作について説明する。ただし、デ・インターリーブ回路１３０２の入力以前と、出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２８６】

図３４はデ・インターリーブ回路１３０２の構成例を示すブロック図である。デ・インターリーブ回路１３０２は、書き込みアドレス生成回路１３０４と、読み出しアドレス生成回路１３０５と、メモリ回路１３０６とを有している。なお、デ・インターリーブを行うために、本実施の形態のメモリ回路１３０６は２４×８スロットの２バンク分のメモリ領域を使用するものとしている。

【０２８７】

発明が解決しようとする課題で説明したように、従来のデ・インターリーブ回路２０００５は不必要なメモリ領域を使用して、デ・インターリーブを行っている。本実施の形態のデ・インターリーブ回路は、この問題点を解決するように構成されている。以下、本実施の形態の動作について説明する。

【０２８８】

従来例で示したと同様に、デ・インターリーブ回路１３０２に入力されるデータ系列は、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
（内、ダミー３スロット）

の２種類のＴＳが図１０８（ｂ）のように入力されるものとする。

【０２８９】

従来例においては、図１０９に示すように、入力された１フレームあたり４８スロットの入力データ系列全てを、図１１０のメモリ回路２００２８に書き込み、読み出しを行っていた。従ってデ・インターリーブ回路２０００５からの出力データ系列は、図３５（ａ）のようであった。

【０２９０】

一方、本実施の形態のデ・インターリーブ回路１３０２おいては、選局回路１３０３より出力されるスロット選択信号により選局された１ＴＳ、この例の場合、２４スロット／フレームのみのデータ系列を、メモリ回路１３０６に書き込み、読み出しを行うように制御する。このため図３４の書き込みアドレス生成回路１３０４と読み出しアドレス生成回路１３０５が、それぞれ選択された１ＴＳのスロットに対応したアドレスのみを生成し、メモリ回路１３０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスはフリーランとする。従って、デ・インターリーブ回路１３０２からの出力データ系列は図３５（ｂ）のようになる。

【０２９１】

以上の構成により、本実施の形態のインターリーブ回路１３０２は、選局される１ＴＳのみの入力データ系列をメモリ回路１３０６に書き込み、読み出しを行うことにより、使用

するメモリ領域を半分に削減することができる。

【０２９２】

なお、本実施の形態では、ＴＳ１、ＴＳ２ともそれぞれ１フレームあたり２４スロットずつを占有するものとしたが、例えば、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８スロットの２バンク分のメモリ領域を用意しておけばよく、メモリ回路１３０６が使用するメモリ領域は、本実施の形態のように２４×８スロットの２バンク分に限らない。

【０２９３】

また、上記実施の形態では、デ・インターリーブ回路１３０２に入力されるデータ系列は、１フレーム（４８スロット）あたり２種類のＴＳで、１種類のＴＳが選局されるものとした。ここで例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダに３ＴＳを割り当てる。１種類のＴＳが選局される場合には、上述のように、選局された１ＴＳのみをメモリ回路１３０６に書き込み、読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１３０６に書き込み、読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８×２スロットの２バンク分のメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０２９４】

（実施の形態１４）

本発明の実施の形態１４における誤り訂正回路について、図面を参照しながら説明する。図３６は本実施の形態における誤り訂正回路１４０１の構成を示すブロック図である。図３６に示す誤り訂正回路１４０１では、太い実線で図示されたブロックが従来例と異なり、内部構成が異なるデ・インターリーブ回路１４０２とデ・ランダマイズ回路１４０７と選局回路１４０３が設けられ、デ・インターリーブ回路１４０２とデ・ランダマイズ回路１４０７が選局回路１４０３の出力するスロット選択信号で制御されるように構成したことと、速度変換回路２０００９が削除されたことが特徴である。その他の各ブロック、即ちビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、ＲＳ復号回路２０００８、伝送制御情報復号回路２００１０の各機能は、図９８に示すものと同一である。

【０２９５】

以上のように構成された誤り訂正回路１４０１の各ブロックとその動作について説明する。ただし、デ・インターリーブ回路１４０２の入力以前と、デ・ランダマイズ回路１４０７の出力以降の動作については、従来例で示した通りなので説明を省略する。

【０２９６】
図３７はデ・インターリーブ回路１４０２の構成例を示すブロック図である。デ・インターリーブ回路１４０２は、書き込みアドレス生成回路１４０４と、読み出しアドレス生成回路１４０５と、メモリ回路１４０６とを有している。なお、デ・インターリーブを行うために、本実施の形態のメモリ回路１４０６は２４×８スロットの２バンク分のメモリ領域を使用するものとする。
【０２９７】
発明が解決しようとする課題で説明したように、従来の誤り訂正回路２０００１は不必要な速度変換回路を有している。本実施の形態のデ・インターリーブ回路及びデ・ランダマイズ回路１４０７は、この問題点を解決するように構成されている。
【０２９８】
従来例で示したと同様に、デ・インターリーブ回路１４０２に入力されるデ　ータ系列は、図１０８（ｂ）に示すように、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の２種類のＴＳが入力されるものとする。
【０２９９】
従来例においては、デ・インターリーブ回路２０００５からの出力データ系列は図３８（ａ）のようであった。また、前述した実施の形態１３においては、デ・インターリーブ回路１３０２からの出力データ系列は、図３５（ｂ）のように選局されたＴＳに対応するスロットがバースト的に出力される。
【０３００】
本実施の形態においては、実施の形態１３と同様に、選局回路１４０３より出力されるスロット選択信号により選局された１ＴＳ、この例の場合は２４スロット／フレームのみのデータ系列を、メモリ回路１４０６に書き込みを行うように制御する。このため、書き込みアドレス生成回路１４０４は、選択された１ＴＳのスロットに対応したアドレスのみを生成し、メモリ回路１４０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスはフリーランとする。
【０３０１】
また、選局回路１４０３より出力されるスロット選択信号により選局された１ＴＳのみのデータ系列を、メモリ回路１４０６からバースト的にではなく、連続的に読み出しを行うように制御する。このため、読み出しアドレス生成回路１４０５は、選択された１ＴＳのスロットに対応したアドレスのみを書き込み速度の半分（＝２４／４８）の速度で生成し、メモリ回路１４０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスは生成されず、飛ばされる。この場合のデ・インターリーブ回路１４０２からの出力データ系列は、図３８（ｂ）のようになる。
【０３０２】
以上の構成により、本実施の形態のインターリーブ回路１４０２は、選局される１ＴＳのみの入力データ系列をメモリ回路１４０６に書き込み、読み出しを行うことにより、使用するメモリ領域を半分に削減することができる。また、インターリーブ回路１４０２は速度変換を行って、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６にデ・インターリーブされたデータ系列を出力する。
【０３０３】

なお、上記実施の形態では、ＴＳ１、ＴＳ２ともそれぞれ１フレームあたり２４スロットずつを占有するものとしたが、例えばＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８スロットの２バンク分のメモリ領域を用意しておけばよく、メモリ回路１４０６が使用するメモリ領域は、上記実施の形態のように２４×８スロットの２バンク分に限らない。

【０３０４】

また、上記実施の形態では、デ・インターリーブ回路１４０２に入力されるデータ系列は、１フレーム（４８スロット）あたり、２種類のＴＳで構成され、１種類のＴＳが選局されるものとした。ここで例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダは３ＴＳで構成される。１種類のＴＳが選局される場合には、上述のように、選局された１ＴＳのみをメモリ回路１４０６に書き込み、速度変換を行って、１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、１ＴＳはモニタ表示とし、１ＴＳはビデオ録画とする場合のように、選局された２ＴＳのみをメモリ回路１４０６に書き込み、３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８×２スロットの２バンク分のメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０３０５】

発明が解決しようとする課題で説明したように、上述のデ・インターリーブ回路１４０２を用いた場合に、従来のデ・ランダマイズ回路２０００７に入力されるデータ系列は連続したスロットではなく、飛び飛びのスロットのデータ系列が入力されることになる。従って、従来のデ・ランダマイズ回路２０００７を用いた場合には、デ・ランダマイズを行うことができない。本実施の形態のデ・ランダマイズ回路はこの問題点を解決するように構成されている。この点についての動作説明を以下にする。

【０３０６】

図３９は本実施の形態におけるデ・ランダマイズ回路１４０７の構成を示すブロック図である。デ・ランダマイズ回路１４０７は、破線部で示すＰＮ発生回路１４０８と、Ｐ／Ｓ変換回路２００３０と、Ｓ／Ｐ変換回路２００３１と、ゲート信号生成回路２００３２と、ｅｘ－ｏｒ回路２００３３とを有している。ＰＮ発生回路１４０８はスロット選択信号で制御される初期値発生回路１４０９を含んで構成される。本実施の形態におけるデ・ランダマイズ回路１４０７は、図１１１に示す従来例のデ・ランダマイズ回路２０００７に対して、初期値発生回路１４０９が加わったことを特徴とする。

【０３０７】

図３８（ｂ）に示すように、デ・インターリーブ回路１４０２から出力されたデータ系列

は、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６において、各スロットの先頭にＭＰＥＧ同期バイトが挿入される。かつ、伝送制御情報復号回路２００１０から出力されたダミー・スロット情報に従って、ダミー・スロット区間にＭＰＥＧヌル・パケットが挿入されて、図４０に示すようなバイトデータ系列をデ・ランダマイズ回路１４０７に出力する。

【０３０８】

デ・ランダマイズ回路１４０７は、図４０のデータ系列に対して、１スーパーフレームの周期でデ・ランダマイズを行う。ＰＮ発生回路１４０８は、その特性が生成多項式（$1+x^{14}+x^{15}$）で表現され、各スーパーフレームの第１フレームの２バイト目でリセットされる。このときの初期値は“100101010000000 ”になる。Ｐ／Ｓ変換回路２００３０でビット系列に変換された入力データとＰＮ発生回路１４０８の出力値とが、ｅｘ－ｏｒ回路２００３３で乗算される。この乗算結果はＳ／Ｐ変換回路２００３１において、バイトデータ系列に変換されて、図３６のＲＳ復号回路２０００８に出力される。

【０３０９】

但し、ゲート信号生成回路２００３２が生成するゲート信号により、各スロット２０４バイトの先頭バイト及びダミー・スロットの期間は、ＰＮ発生回路１４０８がフリーランとしてｅｘ－ｏｒ回路２００３３はデータの乗算を行わない。また、図４０においてＴＳ１（１）～ＴＳ１（２２）までは、ＰＮ発生回路１４０８は連続的に動作を行う。しかしながら、初期値発生回路１４０９はＴＳ１（２３）については、スロット選択信号によりＴＳ１（２３）に対応した初期値を、スロットの２バイト目でロードする。これは、図１０８（ｄ）に示すように、ＴＳ１（２２）とＴＳ１（２３）が連続的にランダマイズされていないからである。よって、図３９の初期値発生回路１４０９は、スロット選択信号により、４８×８スロット分全ての２バイト目の初期値を生成する構成にしておけばよい。

【０３１０】

以上の構成により、本実施の形態のデ・ランダマイズ回路１４０７は、上述のデ・インターリーブ回路１４０２を用いた場合にも対応してデ・ランダマイズを行うことができ、速度変換回路２０００９を不要にすることができる。この場合、図１０８（ｅ）に示すようなイネーブル信号、即ち１８８バイトのＭＰＥＧパケット有効期間が‘Ｈ’となり、１６バイトのＲＳ符号のパリティ区間が‘Ｌ’となる信号を生成するように、図３６の選局回路１４０３を構成すればよい。

【０３１１】

なお、本実施の形態においては、デ・ランダマイズ回路１４０７におけるＰＮ発生をビットシリアルとしたが、８ビットパラレルのＰＮ発生としてもよい。その場合には、図３９のＰ／Ｓ変換回路２００３０とＳ／Ｐ変換回路２００３１とを不要にすることができる。

【０３１２】

（実施の形態１５）

本発明の実施の形態１５における誤り訂正回路について、図面を参照しながら説明する。図４１は本実施の形態における誤り訂正回路１５０１の構成を示すブロック図である。図４１に示す誤り訂正回路１５０１では、太い実線で示すように内部構成が異なる。速度変換回路１５０２と選局回路１５０３が新たに設けられ、速度変換回路１５０２が選局回路１５０３の出力するスロット選択信号で制御されるように構成したことが特徴である。その他の各ブロック、即ちビタビ復号器２０００２～ＲＳ復号回路２００８、伝送制御情報復号回路２００１０の各機能は、図９８に示すものと同一である。

【０３１３】

以上のように構成された誤り訂正回路１５０１の各ブロックとその動作について説明する。ただし、速度変換回路１５０２の入力以前については、従来例で示した通りなので説明を省略する。

【０３１４】

図４２は速度変換回路１５０２の構成例を示すブロック図である。点線部で示す速度変換回路１５０２は、書き込みアドレス生成回路１５０４と、読み出しアドレス生成回路１５

０５と、メモリ回路１５０６とを有している。なお、ＴＳの選択と速度変換を行うために、本実施の形態のメモリ回路１５０６は、２４スロットのメモリ領域を使用する。なお、図４２には伝送制御情報復号回路２００１０と選局回路１５０３も図示されている。

【０３１５】

発明が解決しようとする課題で説明したように、従来の速度変換回路２０００９は、不必要なメモリ領域を使用して、ＴＳの選択と速度変換を行っている。本実施の形態の速度変換回路１５０２はこの問題点を解決するように構成されている。以下、本実施の形態の速度変換回路１５０２の動作について説明する。

【０３１６】

従来例で示したと同様に、速度変換回路１５０２に入力されるデータ系列は、図１０８（ｄ）に示すように、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：２０スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
（内、ダミー３スロット）

の２種類のＴＳが入力されるものとする。

【０３１７】

図示しないＭＰＥＧ復号器より、選局情報が図４２の選局回路１５０３に入力されると、選局回路１５０３は、従来例と同様にして、伝送制御情報復号回路２００１０より出力されるスロット番号情報より、速度変換回路１５０２に対してＴＳの選択を行うためのスロット選択信号を出力する。従来例においては、速度変換回路２０００９は、図１１４～図１１７に示すように、入力された４８スロットの入力データ系列全てを図１１３のメモリ回路２００３６に書き込み、読み出していた。

【０３１８】

一方、本実施の形態においては、選局回路１５０３より出力されるスロット選択信号により、選局された１ＴＳ、この例の場合は２４スロット／フレームのみのデータ系列をメモリ回路１５０６に書き込みを行うように制御する。このため、書き込みアドレス生成回路１５０４は、選択された１ＴＳのスロットに対応したアドレスのみを生成し、メモリ回路１５０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスはフリーランとする。

【０３１９】

また、選局回路１５０３より出力されるスロット選択信号により、選局された１ＴＳのみのデータ系列を、メモリ回路１５０６から連続的に読み出しを行うように制御する。このため、読み出しアドレス生成回路１５０５は、選択された１ＴＳのスロットに対応したアドレスのみを、書き込み速度の半分（＝２４／４８）の速度で生成し、メモリ回路１５０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスは生成されず、飛ばされる。

【０３２０】

以上の動作により、速度変換回路１５０２からの出力データ系列は、図１０８（ｅ）のように従来例と同じになる。また、読み出しアドレス生成回路１５０５は図１０８（ｅ）に示すように、従来例と同様にメモリ回路１５０６より出力される２０４バイトの各スロット毎に、１８８バイトのＭＰＥＧパケット有効期間が‘Ｈ’となり、ＲＳ符号の１６バイトのパリティ区間で‘Ｌ’となるイネーブル信号を生成し、図示しないＭＰＥＧ復号器に出力する。

【０３２１】

以上の構成により、本実施の形態の速度変換回路１５０２は、選局される１ＴＳのみの入力データ系列をメモリ回路１５０６に書き込み、読み出しを行うことにより、使用するメモリ領域を半分に削減することができる。

【０３２２】

なお、上記実施の形態では、ＴＳ１、ＴＳ２とも１フレームあたりそれぞれ２４スロットずつを占有するものとしたが、例えば、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、その最大スロット数のメモリ領域を用意しておけばよく、メモリ回路１５０６が使用するメモリ領域は、上記実施の形態のように２４スロットに限らない。

【０３２３】

また、上記実施の形態では、速度変換回路１５０２に入力されるデータ系列は、１フレーム（４８スロット）あたり２種類のＴＳで構成され、１種類のＴＳが選局されるものとした。ここで例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。

【０３２４】

１種類のＴＳが選局される場合には、上述のように、選局された１ＴＳのみをメモリ回路１５０６に書き込み、速度変換を行って、１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１５０６に書き込み、速度変換を行って３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×２スロットのメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０３２５】

また、速度変換回路として、選局された複数のＴＳを速度変換して、連続的に並列に出力する構成も考えられる。図４３は並列出力の速度変換回路１５０８を有する場合の誤り訂正回路１５０７の構成を示すブロック図である。図４３に示す誤り訂正回路１５０７では、速度変換回路１５０８及び選局回路１５０９の内部構成が、図４１の速度変換回路１５０２及び選局回路１５０３の内部構成と比較して変わっている。その他の各ブロック、即ちビタビ復号器２０００２～ＲＳ復号回路２０００８、伝送制御情報復号回路２００１０の各機能は、図４１に示すものと同一である。

【０３２６】

図４４は速度変換回路１５０８の構成例を示すブロック図である。点線部で示す速度変換回路１５０８は、書き込みアドレス生成回路１５１０と、読み出しアドレス生成回路１５１１と、メモリ回路１５１２とを有している。なお、ＴＳの選択と速度変換を行うために

、本実施の形態のメモリ回路１５１２は３２スロットのメモリ領域を使用する。また、図４４には、伝送制御情報復号回路２００１０と選局回路１５０９も図示されている。

【０３２７】

ここで、速度変換回路１５０８に入力されるデータ系列を、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。

【０３２８】

２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１５１２に書き込み、速度変換を行って、１／３（＝１６／４８）の速度で２ＴＳを並列に読み出せばよい。他に例えば、８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０３２９】

なお、上記実施の形態において、速度変換回路１５０２又は速度変換回路１５０８は、１スロット＝２０４バイトとし、パリティバイト１６バイトもメモリ回路１５０６又はメモリ回路１５１２に読み書きし、イネーブル信号付きで出力する構成とした。この構成に限らずに、パリティバイト１６バイトはメモリ回路１５０６又はメモリ回路１５１２に読み書きしないで速度変換を行う構成も考えられる。この場合には、メモリ回路１５０６又はメモリ回路１５１２の使用領域を更に１８８／２０４＝４７／５１に削減でき、読み出しアドレス生成回路１５０５又は読み出しアドレス生成回路１５１１はイネーブル信号を生成する必要がなくなる。４７／５１の速度変換については、例えばカウント値が５１になると、リップル・キャリー（桁上げ）信号を出力するカウンタ回路を設け、このカウンタ回路に４７ずつ入力すれば実現は容易である。この場合、リップル・キャリー信号が、入力の４７／５１の速度で出力される。

【０３３０】

（実施の形態１６）

本発明の実施の形態１６における誤り訂正回路について、図面を参照しながら説明する。図４５は本実施の形態における誤り訂正回路１６０１の構成を示すブロック図である。図４５に示す誤り訂正回路１６０１では、太い実線で示すようにデ・インターリーブ回路１３０２と速度変換回路１６０２と選局回路１６０３の内部構成が異なり、デ・インターリーブ回路１３０２と速度変換回路１５０２とが選局回路１５０３の出力するスロット選択信号で制御されるように構成したことが特徴である。その他の各ブロック、即ちビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６～ＲＳ復号回路２０００８、伝送制御情報復号回路２００１０は、図９８に示すものと同一である。またデ・インターリーブ回路１３０２は図３３に示すものと同一である。

【０３３１】

以上のように構成された誤り訂正回路１６０１の各ブロックとその動作について説明する。ただし、デ・インターリーブ回路１３０２の入力以前については、従来例で示した通りなので説明を省略する。

【０３３２】

実施の形態１３で説明したように、図３５（ｂ）に示すデ・インターリーブされたデータが、デ・インターリーブ回路１３０２より出力される。１ＴＳの１フレームあたりの有効スロット数は２４である。

【０３３３】

デ・インターリーブ回路１３０２より出力され、図３５（ｂ）に示すバイトデータ系列は、従来例と同様にして、図４５のＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、デ・ランダマイズ回路２０００７、ＲＳ復号回路２０００８で処理されて、速度変換回路１６０２に出力される。但し、図１０８（ｃ）と図３５（ｂ）とを比較すれば分かるように、本実施の形態の場合、１フレームあたりの有効スロット数は２４である。従って、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、デ・ランダマイズ回路２０００７、及びＲＳ復号回路２０００８で従来例と同様に処理されても、有効スロットについては図１０８と同じデータ系列が出力されることになる。

【０３３４】

図４６は速度変換回路１６０２の構成例を示すブロック図である。点線部で示す速度変換回路１６０２は、書き込みアドレス生成回路１６０４と、読み出しアドレス生成回路１６０５と、メモリ回路１６０６とを有している。なお、ＴＳの選択と速度変換を行うために、本実施の形態のメモリ回路１６０６は、２４スロットのメモリ領域を使用する。また、図４６には伝送制御情報復号回路２００１０と選局回路１６０３とが図示されている。

【０３３５】

図示しないＭＰＥＧ復号器より、選局情報が選局回路１６０３に入力されると、選局回路１６０３は従来例と同様にして、伝送制御情報復号回路２００１０より出力されるスロット番号情報より、速度変換回路１６０２に対してＴＳの選択を行うためのスロット選択信号を出力する。選局回路１６０３より出力されるスロット選択信号により選局された１ＴＳ、この例の場合は２４スロット／フレームの有効スロットのみのデータ系列を、実施の形態１５と同様にしてメモリ回路１６０６に書き込みを行うように制御する。このため、書き込みアドレス生成回路１６０４は、選択された１ＴＳのスロットに対応したアドレスのみを生成し、メモリ回路１６０６に出力する。なお、選択されていないＴＳ、即ち２４スロット／フレームの無効スロットに対応するスロットのアドレスは、フリーランとする。

【０３３６】

また、スロット選択信号により選局された１ＴＳのみのデータ系列を、実施の形態１５と同様にしてメモリ回路１６０６から連続的に読み出しを行うように制御する。このため、読み出しアドレス生成回路１６０５は、選択された１ＴＳのスロットに対応したアドレスのみを書き込み速度の２４／４８＝１／２の速度で生成し、メモリ回路１６０６に出力する。なお、選択されていないＴＳに対応するスロットのアドレスは生成されず、飛ばされる。

【０３３７】

以上により、速度変換回路１６０２からの出力データ系列は、図１０８（ｅ）に示すように従来例と同じである。また、読み出しアドレス生成回路１６０５は、従来例と同様に、メモリ回路１６０６より出力される２０４バイトの各スロット毎に、図１０８（ｅ）に示すような１８８バイトのＭＰＥＧパケット有効期間が‘Ｈ’であり、ＲＳ符号の１６バイトのパリティ区間が‘Ｌ’であるイネーブル信号を生成し、図示しないＭＰＥＧ復号器に出力する。

【０３３８】

以上の構成により、本実施の形態の速度変換回路１６０２は、デ・インターリーブ回路１３０２ですでに選択された１ＴＳのみの入力データ系列が入力されると、その１ＴＳのみ

のデータ系列をメモリ回路１６０６に書き込み、読み出しを行うことにより、使用するメモリ領域を半分に削減することができる。

【０３３９】

なお、上記実施の形態では、ＴＳ１、ＴＳ２とも１フレームあたりそれぞれ２４スロットずつを占有するものとしたが、例えば、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、その最大スロット数のメモリ領域を用意しておけばよく、メモリ回路１６０６が使用するメモリ領域は、上記実施の形態のように２４スロットに限らない。

【０３４０】

また、上記実施の形態では、速度変換回路１６０２に入力されるデータ系列は、１フレーム（４８スロット）あたり２種類のＴＳで構成され、１種類のＴＳが選局されるものとした。ここで例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。１種類のＴＳが選局される場合には、上述のように選局された１ＴＳのみをメモリ回路１６０６に書き込み、速度変換を行って１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画の場合には、選局された２ＴＳのみをメモリ回路１６０６に書き込み、速度変換を行って、３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×２スロットのメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０３４１】

また、速度変換回路として、選局された複数のＴＳを速度変換して、連続的に並列に出力する構成も考えられる。図４７は並列出力の速度変換回路１６０８を有する場合の誤り訂正回路１６０７の構成を示すブロック図である。速度変換回路１６０８は、デ・インターリーブ回路１３０２ですでに選択された複数のＴＳを速度変換して、連続的に並列に出力するものである。図４７に示す誤り訂正回路１６０７では、デ・インターリーブ回路１３０２、速度変換回路１６０８、選局回路１６０９の内部構成が、図４１のデ・インターリーブ回路２０００５、速度変換回路１５０２及び選局回路１５０３の内部構成と比較して変わっている。その他の各ブロック、即ちビタビ復号器２０００２、シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、デ・ランダマイズ回路２０００７、ＲＳ復号回路２０００８、伝送制御情報復号回路２００１０は、図４１に示すものと同一である。

【０３４２】

図４８は速度変換回路１６０８の構成例を示すブロック図である。点線部で示す速度変換回路１６０８は、書き込みアドレス生成回路１６１０と、読み出しアドレス生成回路１６

１１と、メモリ回路１６１２とを有している。なお、ＴＳの選択と速度変換を行うために、本実施の形態のメモリ回路１６１２は３２スロットのメモリ領域を使用する。また、図４８には伝送制御情報復号回路２００１０と選局回路１６０９とが図示されている。

【０３４３】

ここで、速度変換回路１６０８に入力されるデータ系列を、１フレーム（４８スロット）あたり、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。

【０３４４】

２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、デ・インターリーブ回路１３０２ですでに選択された２ＴＳのみをメモリ回路１６１２に書き込み、速度変換を行って１６／４８＝１／３の速度で２ＴＳを並列に読み出せばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０３４５】

なお、上記実施の形態において、速度変換回路１６０２又は速度変換回路１６０８は、１スロット＝２０４バイトで、パリティバイト１６バイトもメモリ回路１６０６又はメモリ回路１６１２に読み書きし、イネーブル信号付きで出力する構成とした。この構成に限らずに、パリティバイト１６バイトはメモリ回路１６０６又はメモリ回路１６１２に読み書きしないで、速度変換を行う構成も考えられる。この場合には、メモリ回路１６０６又はメモリ回路１６１２の使用領域を更に１８８／２０４＝４７／５１に削減でき、読み出しアドレス生成回路１６０５又は読み出しアドレス生成回路１６１１は、イネーブル信号を生成する必要がなくなる。４７／５１の速度変換については、例えばカウント値が５１になると、リップル・キャリー（桁上げ）信号を出力するカウンタ回路を設け、このカウンタ回路に４７ずつ入力すれば実現は容易である。この場合、リップル・キャリー信号が、入力の４７／５１の速度で出力される。

【０３４６】

（実施の形態１７）

本発明の実施の形態１７における誤り訂正回路について、図面を参照しながら説明する。なお、以下に示す実施の形態においては、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定である場合を前提としている。本実施の形態における誤り訂正回路は、実施の形態１～１６で説明した誤り訂正回路において、各種制御情報が周期的に生成される以外は、基本的には動作は同一である。従って、同一動作の部分については説明を省略する。

【０３４７】

図４９は送信側の誤り訂正符号化装置１７０１の構成例を示すブロック図である。本図に示す誤り訂正符号化装置１７０１は、ＴＳ多重回路１００００２と、ＲＳ符号化回路１００

０３と、ランダマイズ回路１０００４と、インターリーブ回路１０００５と、バイト／シンボル変換回路１０００６と、たたみ込み符号化器１０００７と、マッピング回路１０００８とを有し、図７６に示す従来例の伝送制御情報生成回路１０００９に代えて、ＴＡＢ／データ情報生成回路１７０２が設けられたことが特徴である。なお、ＴＳ多重回路１０００２～マッピング回路１０００８の各機能は、図７６に示すものと同一である。

【０３４８】

図５０は、誤り訂正符号化装置１７０１におけるランダマイズ回路１０００４までの出力データ系列を示すデータ配置図である。ここでのデータ配置では、図７７に示す「ＴＭＣＣあり」の場合と全く同じ流れである。但し、図５０（ｄ）のスーパーフレーム構成に示すように、各スロットの先頭バイトはインターリーブ後に、ＴＭＣＣの代わりに１フレームあたり１２バイトの信号に置き換えられる。これらの１２バイトの信号は、前ＴＡＢ信号２バイトのＷ１、映像以外のデータ、例えば文字多重データ８バイト、後ろＴＡＢ信号２バイトのＷ２又はＷ３である。

【０３４９】

図５１は、バイト／シンボル変換回路１０００６に入力されるスーパーフレーム構造のバイトデータ系列におけるデータ配置図である。図８７に示すように、「ＴＭＣＣあり」の場合と比較して、ＴＭＣＣ実データ、即ち１フレームあたり８バイトが映像以外のデータ、例えば文字多重データ８バイトに置き換わっていることが特徴である。このこと以外は、図８７と同一のスーパーフレーム構造である。即ち、図４９のＴＡＢ／データ情報生成回路１７０２は、各フレーム毎に１２バイトの同期信号を、前ＴＡＢ信号（Ｗ１）２バイト、映像以外の文字多重データを８バイト、後ろＴＡＢ信号（Ｗ２又はＷ３）２バイトの順に生成する。また、ＴＡＢ／データ情報生成回路１７０２は、周期的に一定の変調パラメータを生成して出力する。

【０３５０】

図５２は、バイト／シンボル変換回路１０００６に入力されるスーパーフレーム構造の１フレームあたりのバイトデータ系列において、各伝送モードのスロット数の一例を示す説明図である。本図に示すように、

ＴＣ－８ＰＳＫ（ｒ＝２／３）：４２スロット
ＱＰＳＫ（ｒ＝３／４）　　：　０スロット
ＱＰＳＫ（ｒ＝１／２）　　：　２スロット（内、ダミー１スロット）
ＢＰＳＫ（ｒ＝１／２）　　：　４スロット（内、ダミー３スロット）

であり、時間的にこのスロット数は変化しないものとする。

【０３５１】

図５３は、誤り訂正符号化装置１７０１の入力から出力までの信号の流れをまとめた１フレームあたりのデータ配置図である。図９７（ｄ）の「ＴＭＣＣあり」２の場合と比較して、図５３（ｄ）はＴＭＣＣの実データ、即ち１２８シンボル／フレームの部分が、文字多重データ８バイトがたたみ込み符号化されたシンボルに変わっているのみで、他の部分は同一である。

【０３５２】

次に、誤り訂正符号化装置１７０１で誤り訂正符号化されたデータ系列を誤り訂正復号する誤り訂正回路について、図面を参照しながら以下に説明する。

【０３５３】

図５４は、実施の形態１で説明したように「ＴＭＣＣあり」の場合に対して、「ＴＭＣＣなし」の場合、即ち実施の形態１７における誤り訂正回路１７０３の構成例を示すブロック図である。この誤り訂正回路１７０３では、太い実線で図示されたブロックが従来例と異なる。本実施の形態の誤り訂正回路１７０３では、切替制御信号で制御されるビタビ復号器１０２と、切替制御信号を生成するビタビ復号器制御回路１０３とが設けられ、実施の形態１～１６における伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことと、実施の形態１～１６と内部構成が異なる選局回路１７０５が設けられたことが特徴である。その他の各ブロック、即ち高／低階層選択信号生成回路

２０００３～速度変換回路２０００９が設けられていることは、図１に示すものと同一である。

【０３５４】

このような構成の誤り訂正回路１７０３の動作について説明する。図４９に示すような送信側の誤り訂正符号化装置１７０１で誤り訂正符号化されたデータ系列は、図示しない直交変調器によって直交変調され、衛星伝送路を通して送信される。トランスポンダから送信された信号は、受信側の図示しないＰＳＫ復調器に入力されてＰＳＫ復調される。図９１に示すたたみ込み回路１００１４の拘束長が７であり、ＴＡＢ信号区間はＢＰＳＫで伝送されるため、ビタビ復号前のＴＡＢ信号（ｗ１、ｗ２、ｗ３）は、それぞれ３２シンボル（３２ビット）の内、先頭１２シンボルは不確定であるが、残りの２０シンボルは図５１に示すようにｗ１（＝xxxECD28h ）、ｗ２（＝xxx0B677h ）、ｗ３（＝xxxF4988h ）と確定する。ＰＳＫ復調器は、選局情報により選局が切り替えられると、まず遅延検波により復調を行い、ｗ１、ｗ２、ｗ３を検出する。こうしてＰＳＫ復調器はスーパーフレーム同期と絶対位相とを検出し、検出後は同期検波を行ってＰＳＫ復調データ及びスーパーフレーム同期信号を、図５４の誤り訂正回路１７０３に出力する。

【０３５５】

誤り訂正回路１７０３では、ＰＳＫ復調器より出力されたスーパーフレーム同期信号により制御信号発生回路１７０４が動作を行い、各種制御情報、即ち伝送モード／スロット情報、伝送モード、ダミー・スロット情報を一定の周期で生成して出力する。また、制御信号発生回路１７０４は、ビタビ復号器１０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３５６】

ビタビ復号器制御回路１０３は、実施の形態１と同様にして、制御信号発生回路１７０４より出力された伝送モード／スロット情報により切替制御信号を生成して、ビタビ復号器１０２に出力する。ビタビ復号器１０２は、図２に示す実施の形態１と同様の動作を行う。

【０３５７】

以上に示した誤り訂正回路１７０３の誤り訂正能力は、実施の形態１の誤り訂正回路と同程度に確保される。なお、実施の形態１と同様に、伝送モード切替後の変調多値数が伝送モード切替前より大きい場合、又は変調多値数が同じで符号化率が大きい場合のみ、切替制御信号を生成する構成にしてもよい。

【０３５８】

また、実施の形態１と同様に、スーパーフレーム同期信号（ＢＰＳＫ：ｒ＝１／２）の前後の伝送モード切替時においては、ビタビ復号器制御回路１０３は切替制御信号を生成しないような構成にしてもよい。この場合には、固定シンボル系列の性質を利用したビタビ復号制御方法が考えられる。これについては実施の形態１８、１９にて説明する。

【０３５９】

（実施の形態１８）

本発明の実施の形態１８における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３６０】

図５５は、実施の形態２で説明した「ＴＭＣＣあり」の場合に対して、「ＴＭＣＣなし」の場合の誤り訂正回路１８０１の構成例を示すブロック図である。この誤り訂正回路１８０１は、図５に示す実施の形態２の誤り訂正回路２０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器２０２～ビタビ復号器制御回路２０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は図５に示すものと同一である。

【０３６１】

本実施の形態の誤り訂正回路１８０１においては、実施の形態２の場合と同様に、ビタビ復号器制御回路２０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により確定状態信号を生成して、図６のビタビ復号器２０２に出力する。ビタビ復号器２０２は図７に示すように実施の形態２と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器２０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３６２】

以上に示した誤り訂正回路１８０１の誤り訂正能力は、実施の形態２の誤り訂正回路と同程度に確保される。なお、実施の形態２と同様に、ビタビ復号器制御回路２０３は、確定状態信号を生成するシンボル期間は１シンボル以上、最大１０シンボルまでの間で任意に選択可能であり、どのシンボルを選択するかも任意である。

【０３６３】

（実施の形態１９）

本発明の実施の形態１９における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３６４】

図５６は、実施の形態３で説明を行った「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路１９０１の構成例を示すブロック図である。この誤り訂正回路１９０１は、図８に示す実施の形態３の誤り訂正回路３０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器３０２～ビタビ復号器制御回路３０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図８に示すものと同一である。

【０３６５】

本実施の形態の誤り訂正回路１９０１においては、実施の形態３の場合と同様にして、ビタビ復号器制御回路３０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により固定ブランチ信号を生成して、図９のビタビ復号器３０２に出力する。ビタビ復号器３０２は、図１０に示すように実施の形態３と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器３０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３６６】

以上に示した誤り訂正回路１９０１の誤り訂正能力は、実施の形態３の誤り訂正回路と同程度に確保される。

【０３６７】

（実施の形態２０）

本発明の実施の形態２０における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３６８】

図５７は、実施の形態４で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２００１の構成例を示すブロック図である。この誤り訂正回路２００１は、図１１に示す実施の形態４の誤り訂正回路４０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器４０２～ビタビ復号器制御回路４０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図１１に示すものと同一である。

【０３６９】

本実施の形態の誤り訂正回路２００１においては、実施の形態４と同様にして、ビタビ復号器制御回路４０３が制御信号発生回路１７０４より出力された伝送モード／スロット情

報により状態削減信号を生成して、図１２のビタビ復号器４０２に出力する。ビタビ復号器４０２は、図１３に示すように実施の形態３と同様の動作を行う。また制御信号発生回路１７０４は、ビタビ復号器４０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３７０】

以上に示した誤り訂正回路２００１の誤り訂正能力は、実施の形態４の誤り訂正回路と同程度に確保される。

【０３７１】

（実施の形態２１）

本発明の実施の形態２１における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３７２】

図５８は、実施の形態５で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２１０１の構成例を示すブロック図である。この誤り訂正回路２００１は、図１４に示す実施の形態５の誤り訂正回路５０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち入力シンボル変換回路５０６、ビタビ復号器制御回路５０３、ビタビ復号器２０００２～速度変換回路２０００９の各機能は、図１４に示すものと同一である。

【０３７３】

本実施の形態の誤り訂正回路２１０１においては、ビタビ復号器制御回路５０３が、制御信号発生回路１７０４より出力された伝送モード／スロット情報によりシンボル座標変換信号を生成して、図１５に示す入力シンボル変換回路５０６に出力することは、実施の形態５と同様である。入力シンボル変換回路５０６は、図１６に示すように、実施の形態５と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器５０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３７４】

以上に示した誤り訂正回路２１０１の誤り訂正能力は、実施の形態５の誤り訂正回路と同程度に確保される。

【０３７５】

（実施の形態２２）

本発明の実施の形態２２における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３７６】

図５９は、実施の形態６で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２２０１の構成例を示すブロック図である。この誤り訂正回路２２０１は、図１９に示す実施の形態６の誤り訂正回路６０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器６０２～ビタビ復号器制御回路６０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図１９に示すものと同一である。

【０３７７】

本実施の形態の誤り訂正回路２２０１においては、実施の形態６と同様にして、ビタビ復号器制御回路６０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により確定状態信号と固定ブランチ信号を生成して、図２０のビタビ復号器６０２に出力する。ビタビ復号器６０２は実施の形態６と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器６０２より出力される各フレーム６４ビット（６４シンボル

）の文字多重データの部分のみを抜き取って出力する。
【０３７８】
以上に示した誤り訂正回路２２０１の誤り訂正能力は、実施の形態６の誤り訂正回路と同程度に確保される。
【０３７９】
（実施の形態２３）
本発明の実施の形態２３における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０３８０】
図６０は、実施の形態７で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２３０１の構成例を示すブロック図である。この誤り訂正回路２３０１は、図２１に示す実施の形態７の誤り訂正回路７０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち入力シンボル変換回路５０６、ビタビ復号器７０２～ビタビ復号器制御回路７０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図２１に示すものと同一である。
【０３８１】
本実施の形態の誤り訂正回路２３０１においては、実施の形態７の場合と同様にして、ビタビ復号器制御回路７０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報によりシンボル座標変換信号を生成して入力シンボル変換回路５０６に出力し、また固定ブランチ信号を生成して図２２のビタビ復号器７０２に出力する。入力シンボル変換回路５０６とビタビ復号器７０２は、実施の形態７と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器７０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。
【０３８２】
以上に示した誤り訂正回路２３０１の誤り訂正能力は、実施の形態７の誤り訂正回路と同程度に確保される。
【０３８３】
（実施の形態２４）
本発明の実施の形態２４における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０３８４】
図６１は、実施の形態８で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２４０１の構成例を示すブロック図である。この誤り訂正回路２４０１は、図２３に示す実施の形態８の誤り訂正回路８０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器８０２～ビタビ復号器制御回路８０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図２３に示すものと同一である。
【０３８５】
本実施の形態の誤り訂正回路２４０１においては、実施の形態８の場合と同様にして、ビタビ復号器制御回路８０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により確定状態信号と状態削減信号を生成して、図２４のビタビ復号器８０２に出力する。ビタビ復号器８０２は、実施の形態８と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器８０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。
【０３８６】

以上に示した誤り訂正回路２４０１の誤り訂正能力は、実施の形態８の誤り訂正回路と同程度に確保される。

【０３８７】

（実施の形態２５）

本発明の実施の形態２５における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０３８８】

図６２は、実施の形態９で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２５０１の構成例を示すブロック図である。この誤り訂正回路２５０１は、図２５に示す実施の形態９の誤り訂正回路９０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器９０２～ビタビ復号器制御回路９０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図２５に示すものと同一である。

【０３８９】

本実施の形態の誤り訂正回路２５０１においては、実施の形態９の場合と同様にして、ビタビ復号器制御回路９０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により固定ブランチ信号と状態削減信号を生成して、図２６のビタビ復号器９０２に出力する。ビタビ復号器９０２は実施の形態９と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器９０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３９０】

以上に示した誤り訂正回路２５０１の誤り訂正能力は、実施の形態９の誤り訂正回路と同程度に確保される。

【０３９１】

（実施の形態２６）

本発明の実施の形態２６における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について、説明を行う。

【０３９２】

図６３は、実施の形態１０で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２６０１の構成例を示すブロック図である。この誤り訂正回路２６０１は、図２７に示す実施の形態１０の誤り訂正回路１００１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち入力シンボル変換回路５０６、ビタビ復号器１００２～ビタビ復号器制御回路１００３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図２７に示すものと同一である。

【０３９３】

本実施の形態の誤り訂正回路２６０１においては、実施の形態１０の場合と同様にして、ビタビ復号器制御回路１００３が制御信号発生回路１７０４より出力された伝送モード／スロット情報によりシンボル座標変換信号を生成して入力シンボル変換回路５０６に出力し、また状態削減信号を生成して図２８のビタビ復号器１００２に出力する。入力シンボル変換回路５０６とビタビ復号器１００２は、実施の形態１０と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器１００２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。

【０３９４】

以上に示した誤り訂正回路２６０１の誤り訂正能力は、実施の形態１０の誤り訂正回路と同程度に確保される。

【０３９５】
（実施の形態２７）
本発明の実施の形態２７における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０３９６】
図６４は、実施の形態１１で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２７０１の構成例を示すブロック図である。この誤り訂正回路２７０１は、図２９に示す実施の形態１１の誤り訂正回路１１０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちビタビ復号器１１０２～ビタビ復号器制御回路１１０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図２９に示すものと同一である。
【０３９７】
本実施の形態の誤り訂正回路２７０１においては、実施の形態１１の場合と同様にして、ビタビ復号器制御回路１１０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報により、確定状態信号、固定ブランチ信号、状態削減信号を生成して、図３０のビタビ復号器１１０２に出力する。ビタビ復号器１１０２は実施の形態１１と同様の動作を行う。また、制御信号発生回路１７０４は、ビタビ復号器１１０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。
【０３９８】
以上に示した誤り訂正回路２７０１の誤り訂正能力は、実施の形態１１の誤り訂正回路と同程度に確保される。
【０３９９】
（実施の形態２８）
本発明の実施の形態２８における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０４００】
図６５は、実施の形態１２で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２８０１の構成例を示すブロック図である。この誤り訂正回路２８０１は、図３１に示す実施の形態１２の誤り訂正回路１２０１において、内部構成が異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち入力シンボル変換回路５０６、ビタビ復号器１２０２～ビタビ復号器制御回路１２０３、高／低階層選択信号生成回路２０００３～速度変換回路２０００９の各機能は、図３１に示すものと同一である。
【０４０１】
本実施の形態の誤り訂正回路２８０１においては、実施の形態１２の場合と同様にして、ビタビ復号器制御回路１２０３が制御信号発生回路１７０４より出力された伝送モード／スロット情報によりシンボル座標変換信号を生成して入力シンボル変換回路５０６に出力し、また固定ブランチ信号と状態削減信号とを生成して図３２のビタビ復号器１２０２に出力する。入力シンボル変換回路５０６とビタビ復号器１２０２とは、実施の形態１２と同様の動作を行う。また制御信号発生回路１７０４は、ビタビ復号器１２０２より出力される各フレーム６４ビット（６４シンボル）の文字多重データの部分のみを抜き取って出力する。
【０４０２】
以上に示した誤り訂正回路２８０１の誤り訂正能力は、実施の形態１２の誤り訂正回路と同程度に確保される。

【０４０３】
（実施の形態２９）
本発明の実施の形態２９における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０４０４】
図６６は、実施の形態１３で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路２９０１の構成例を示すブロック図である。この誤り訂正回路２９０１は、図３３に示す実施の形態１３の誤り訂正回路１３０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちデ・インターリーブ回路１３０２、ビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６～速度変換回路２０００９の各機能は、図３３に示すものと同一である。
【０４０５】
本実施の形態の誤り訂正回路２９０１においては、図８４に示す相対ＴＳ／ＴＳ対応表と図８３に示す相対ＴＳ／スロット情報は既知とし、時間的に一定である。従って、選局回路１７０５は、既知である相対ＴＳ／ＴＳ対応表と相対ＴＳ／スロット情報を有し、それらの情報よりスロット選択信号を生成して、図３４のデ・インターリーブ回路１３０２に出力する。デ・インターリーブ回路１３０２は、図３５に示すように実施の形態１３と同様の動作を行う。
【０４０６】
以上に示した誤り訂正回路２９０１の誤り訂正能力は、実施の形態１３の誤り訂正回路と同程度に確保される。
【０４０７】
なお、実施の形態１３と同様に、例えばＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８スロットの２バンク分のメモリ領域を用意しておけばよく、メモリ回路１３０６が使用するメモリ領域は、実施の形態１３と同様に２４×８スロットの２バンク分に限らない。
【０４０８】
また、実施の形態１３と同様に例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダに３ＴＳを割り当てる。１種類のＴＳが選局される場合には、実施の形態１３と同様に、選局された１ＴＳのみをメモリ回路１３０６に書き込み、読み出しを行えばよい。また、２種類のＴＳが選局される場合、 例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１３０６に書き込み、読み出しを行えばよい。こ

の場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８×２スロットの２バンク分のメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０４０９】

（実施の形態３０）

本発明の実施の形態３０における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０４１０】

図６７は、実施の形態１４で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路３００１の構成例を示すブロック図である。この誤り訂正回路３００１は、図３６に示す実施の形態１４の誤り訂正回路１４０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちデ・インターリーブ回路１４０２、デ・ランダマイズ回路１４０７、ビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、ＲＳ復号回路２０００８～速度変換回路２０００９の各機能は、図３６に示すものと同一である。

【０４１１】

本実施の形態の誤り訂正回路３００１においては、実施の形態２９の場合と同様にして、選局回路１７０５がスロット選択信号を生成して、図３７のデ・インターリーブ回路１４０２と図３９のデ・ランダマイズ回路１４０７とに出力する。デ・インターリーブ回路１４０２とデ・ランダマイズ回路１４０７とは、図３８（ｂ）及び図４０に示すように実施の形態１４と同様の動作を行う。

【０４１２】

以上に示した誤り訂正回路３００１の誤り訂正能力は、実施の形態１４の誤り訂正回路と同程度に確保される。

【０４１３】

なお、実施の形態１４と同様に、例えばＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８スロットの２バンク分のメモリ領域を用意しておけばよく、メモリ回路１４０６が使用するメモリ領域は、実施の形態１４と同様に２４×８スロットの２バンク分に限らない。

【０４１４】

また、実施の形態１４と同様に例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダに３ＴＳを割り当てる

。１種類のＴＳが選局される場合には、実施の形態１４と同様に、選局された１ＴＳのみをメモリ回路１４０６に書き込み、速度変換を行って１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１４０６に書き込み、３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×８×２スロットの２バンク分のメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０４１５】

また、本実施の形態の場合、実施の形態１４と同様にして、図１０８（ｅ）に示すようなイネーブル信号、即ち１８８バイトのＭＰＥＧパケット有効期間が‘Ｈ’となり、１６バイトのＲＳ符号のパリティ区間が‘Ｌ’となる信号は、図６７の選局回路１７０５が生成すればよい。

【０４１６】

なお、本実施の形態においては、デ・ランダマイズ回路１４０７におけるＰＮ発生をビットシリアルとしたが、８ビットパラレルのＰＮ発生としてもよい。その場合には、Ｐ／Ｓ変換回路２００３０とＳ／Ｐ変換回路２００３１を不要にすることができる。

【０４１７】

（実施の形態３１）

本発明の実施の形態３１における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。

【０４１８】

図６８は、実施の形態１５で説明した「ＴＭＣＣあり」に対して、「ＴＭＣＣなし」の場合の誤り訂正回路３１０１の構成例を示すブロック図である。この誤り訂正回路３１０１は、図４１に示す実施の形態１５の誤り訂正回路１５０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち速度変換回路１５０２、ビタビ復号器２０００２～ＲＳ復号回路２０００８の各機能は図４１に示すものと同一である。

【０４１９】

本実施の形態の誤り訂正回路３１０１においては、実施の形態２９の場合と同様にして、選局回路１７０５がスロット選択信号を生成して図６９の速度変換回路１５０２に出力する。速度変換回路１５０２は実施の形態１５と同様の動作を行う。

【０４２０】

以上に示した誤り訂正回路３１０１の誤り訂正能力は、実施の形態１５の誤り訂正回路と同程度に確保される。

【０４２１】

なお、実施の形態１５と同様に、例えばＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、その最大スロット数のメモリ領域を用意しておけばよく、メモリ回路１５０６が使用するメモリ領域は、実施の形態１５と同様に２４スロットに限らない。

【０４２２】

また、実施の形態１５と同様に例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダに３ＴＳを割り当てる。１種類のＴＳが選局される場合には、実施の形態１５と同様に、選局された１ＴＳのみをメモリ回路１５０６に書き込み、速度変換を行って１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１５０６に書き込み、速度変換を行って３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×２スロットのメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０４２３】

また、実施の形態１５で説明を行ったように、速度変換回路１５０８は、選局された複数のＴＳを速度変換して、連続的に並列に出力するような構成も考えられる。

【０４２４】

図７０は、図４３に示した「ＴＭＣＣあり」の場合の誤り訂正回路１５０７に対して、「ＴＭＣＣなし」の場合の並列出力の機能を有する誤り訂正回路３１０２の構成例を示すブロック図である。この誤り訂正回路３１０２は、図４３に示す実施の形態１５の誤り訂正回路１５０７において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ち速度変換回路１５０８、ビタビ復号器２０００２～ＲＳ復号回路２０００８）の各機能は図４３に示すものと同一である。

【０４２５】

速度変換回路１５０８は、選局回路１７０５より出力されたスロット選択信号により、図７１に示すように実施の形態１５と同様の動作を行う。

【０４２６】

以上に示した誤り訂正回路３１０２の誤り訂正能力は、実施の形態１５の誤り訂正回路と同程度に確保される。

【０４２７】

なお、パリティバイトの１６バイトは、メモリ回路１５０６又はメモリ回路１５１２に読み書きしないで、速度変換を行うような構成も考えられる。この場合には、メモリ回路１５０６又はメモリ回路１５１２の使用領域を１８８／２０４＝４７／５１に削減でき、読み出しアドレス生成回路１５０５又は読み出しアドレス生成回路１５１１はイネーブル信号を生成する必要がなくなる。４７／５１の速度変換については、例えばカウント値が５１になると、リップル・キャリー（桁上げ）信号を出力するカウンタ回路を設け、このカウンタ回路に４７ずつ入力すれば実現は容易である。この場合リップル・キャリー信号が入力の４７／５１の速度で出力される。

【０４２８】
（実施の形態３２）
本発明の実施の形態３２における誤り訂正回路について、図面を参照しながら説明する。なお、本実施の形態においても「ＴＭＣＣなし」で、スーパーフレーム構造が時間的に一定の場合について説明する。
【０４２９】
図７２は、「ＴＭＣＣあり」の場合の誤り訂正回路１６０１に対して、「ＴＭＣＣなし」の場合の誤り訂正回路３２０１の構成例を示すブロック図である。この誤り訂正回路３２０１は、図４５に示す実施の形態１６の誤り訂正回路１６０１において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちデ・インターリーブ回路１３０２、速度変換回路１６０２、ビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６～ＲＳ復号回路２０００８の各機能は、図４５に示すものと同一である。
【０４３０】
本実施の形態の誤り訂正回路３２０１においては、実施の形態２９で説明したように、図３５（ｂ）に示すデ・インターリーブされたデータが、デ・インターリーブ回路１３０２より出力される。１ＴＳで１フレームあたりの有効スロット数は２４である。
【０４３１】
図３５（ｂ）に示すように、デ・インターリーブ回路１３０２より出力されたバイトデータ系列は、従来例と同様にしてＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６、デ・ランダマイズ回路２０００７、ＲＳ復号回路２０００８で処理されて、速度変換回路１６０２に出力される。選局回路１７０５は実施の形態２９と同様にして、スロット選択信号を生成して図７３の速度変換回路１６０２に出力する。速度変換回路１６０２は実施の形態１６と同様の動作を行う。
【０４３２】
以上に示した誤り訂正回路３２０１の誤り訂正能力は、実施の形態１６の誤り訂正回路と同程度に確保される。
【０４３３】
なお、実施の形態１６と同様に、例えばＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、その最大スロット数のメモリ領域を用意しておけばよく、メモリ回路１６０６が使用するメモリ領域は、実施の形態１６と同様に２４スロットに限らない。
【０４３４】
また、実施の形態１６と同様に例えば、

ＴＳ１：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１４スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝１／２）：２スロット
　　（内、ダミー１スロット）
ＴＳ２：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＱＰＳＫ（ｒ＝３／４）：４スロット
　　（内、ダミー１スロット）
ＴＳ３：＜高階層の画像＞ＴＣ－８ＰＳＫ　　：１２スロット
　　＜低階層の画像＞ＢＰＳＫ（ｒ＝１／２）：４スロット
　　（内、ダミー３スロット）

の３種類のＴＳが入力される場合を考える。即ち１トランスポンダに３ＴＳを割り当てる

。１種類のＴＳが選局される場合には、実施の形態１６と同様に、選局された１ＴＳのみをメモリ回路１６０６に書き込み、速度変換を行って１６／４８＝１／３の速度で読み出しを行えばよい。また、２種類のＴＳが選局される場合、例えばある１ＴＳはモニタ表示とし、他の１ＴＳはビデオ録画とする場合には、選局された２ＴＳのみをメモリ回路１６０６に書き込み、速度変換を行って３２／４８＝２／３の速度で読み出しを行えばよい。この場合には、ＢＳデジタル放送の規格において、１ＴＳが占有する１フレームあたりの最大スロット数が決められていれば、最大スロット数×２スロットのメモリ領域を用意しておけばよい。他に、例えば８種類のＴＳが入力され、４種類のＴＳが選局された場合についても同様である。

【０４３５】

また、実施の形態１６で説明を行ったように、速度変換回路１６０８は、選局された複数のＴＳを速度変換して、連続的に並列に出力するような構成も考えられる。

【０４３６】

図７４は、「ＴＭＣＣあり」の場合の誤り訂正回路１６０７に対して、「ＴＭＣＣなし」の場合の並列出力の機能を有する誤り訂正回路３２０２の構成例を示すブロック図である。この誤り訂正回路３２０２は、図４７に示す実施の形態１６の誤り訂正回路１６０７において、内部構成の異なる選局回路１７０５が設けられたことと、伝送制御情報復号回路２００１０に代わって、制御信号発生回路１７０４が設けられたことが特徴である。その他の各ブロック、即ちデ・インターリーブ回路１３０２、速度変換回路１６０８、ビタビ復号器２０００２～シンボル／バイト変換回路２０００４、ＭＰＥＧ同期バイト／ダミー・スロット挿入回路２０００６～ＲＳ復号回路２０００８の各機能は、図４３に示すものと同一である。

【０４３７】

速度変換回路１６０８は、図７５に示すように選局回路１７０５より出力されたスロット選択信号により、実施の形態１６と同様の動作を行う。

【０４３８】

以上に示した誤り訂正回路３２０２の誤り訂正能力は、実施の形態１６の誤り訂正回路と同程度に確保される。

【０４３９】

なお、実施の形態１６と同様に、１６バイトのパリティバイトは、メモリ回路１６０６又はメモリ回路１６１２に読み書きしないで速度変換を行うような構成も考えられる。この場合には、メモリ回路１６０６又はメモリ回路１６１２の使用領域を１８８／２０４＝４７／５１に削減でき、読み出しアドレス生成回路１６０５又は読み出しアドレス生成回路１６１１は、イネーブル信号を生成する必要がなくなる。４７／５１の速度変換については、例えばカウント値が５１になると、リップル・キャリー（桁上げ）信号を出力するカウンタ回路を設け、このカウンタ回路に４７ずつ入力すれば実現は容易である。この場合、リップル・キャリー信号が入力の４７／５１の速度で出力される。

【０４４０】

なお、上記実施の形態１において、誤り訂正回路１０１は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１０００１で符号化されたデータ系列をビタビ復号し、伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している伝送モード切替前の伝送モードＡのビタビ復号データを出力する構成としている。

【０４４１】

しかしながら、送信フレームが複数の変調方式と複数の符号化率のシンボルによって構成され、フレーム毎に各シンボルの変調方式・符号化率に関する情報が伝送制御情報として含まれ、各フレームのシンボルは異なる変調方式及び符号化率を越えて、連続的に１つのたたみ込み符号化器でたたみ込み符号化されて伝送されたデータ系列を、上記実施の形態１と同様な構成によりビタビ復号する。そして伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している伝送モード切

替前の伝送モードＡのビタビ復号データを出力できることは明らかである。

【０４４２】

また、上記実施の形態２～１２において、誤り訂正回路２０１、３０１、４　０１、５０１、６０１、７０１、８０１、９０１、１００１、１１０１、及び１２０１は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１００００１において符号化されたデータ系列をビタビ復号する。そして、ＴＭＣＣの前後に付加されているＴＡＢ信号の固定シンボル系列の性質を利用して、ＴＭＣＣの伝送モード切替時の前後の伝送モードの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留しているＴＭＣＣのビタビ復号データを出力する構成としている。

【０４４３】

しかしながら、送信フレームが複数の変調方式と複数の符号化率のシンボルによって構成され、変調方式及び符号化率の切替時において、切替前の最終シンボルに続いて終結のための固定シンボル系列を含む場合を有し、フレーム毎に各シンボルの変調方式・符号化率に関する情報が伝送制御情報として含まれ、各フレームのシンボルは異なる変調方式及び符号化率を越えて、連続的に１つのたたみ込み符号化器でたたみ込み符号化されて伝送されたデータ系列を、上記実施の形態２～１２と同様な構成によりビタビ復号する。そして、固定シンボル系列の性質を利用して、伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している伝送モード切替前の伝送モードＡのビタビ復号データを出力できることは明らかである。

【０４４４】

また、上記実施の形態１３において、誤り訂正回路１３０１は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１００００１において符号化されたデータ系列をデ・インターリーブし、選局されたＴＳのみをメモリ回路１３０６に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４４５】

しかしながら、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、ＭＰＥＧトランスポート・ストリームの各パケット単位のデータ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、各スロットのトランスポート・ストリーム番号情報が、スーパーフレーム内に伝送制御情報として含まれ、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、上記実施の形態１３と同様な構成により、デ・インターリーブし、選局されたＴＳのみをメモリ回路１３０６に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４４６】

また、上記実施の形態１４において、誤り訂正回路１４０１は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１００００１において符号化されたデータ系列をデ・インターリーブするとともに、選局されたＴＳのみを速度変換して出力する構成としている。

【０４４７】

しかしながら、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、ＭＰＥＧトランスポート・ストリームの各パケット単位のデータ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、各スロットのトランスポート・ストリーム番号情報が、スーパーフレーム内に伝送制御情報として含まれ、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、上記実施の形態１４と同様な構成により、デ・インターリーブするとともに、選局されたＴＳのみを速度変換して出力できることは明らかである。

【０４４８】

また、上記実施の形態１４において、誤り訂正回路１４０１は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１００００１において符号化され

たデータ系列が、デ・インターリーブされ、選局されたＴＳのみを速度変換して出力されたデータ系列を、４８×８スロット分（１スーパーフレーム分）全ての２バイト目の初期値を生成可能な初期値発生回路１４０９を設けてデ・ランダマイズを行う構成としている。

【０４４９】

しかしながら、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、ＭＰＥＧトランスポート・ストリームの各パケット単位のデータ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、各スロットのトランスポート・ストリーム番号情報が、スーパーフレーム内に伝送制御情報として含まれ、スーパーフレーム単位で、連続でランダマイズが行われて送信されるデータ系列を、上記実施の形態１４と同様な構成により、デ・ランダマイズを行うことができることは明らかである。

【０４５０】

また、上記実施の形態１５において、誤り訂正回路１５０１及び誤り訂正回路１５０７は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１０００１において符号化されたデータ系列を速度変換し、選局されたＴＳのみをメモリ回路１５０６又はメモリ回路１５１２に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４５１】

しかしながら、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、ＭＰＥＧトランスポート・ストリームの各パケット単位のデータ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、各スロットのトランスポート・ストリーム番号情報を、スーパーフレーム内に伝送制御情報として含んで伝送されるデータ系列を、上記実施の形態１５と同様な構成により速度変換し、選局されたＴＳのみをメモリ回路１５０６又はメモリ回路１５１２に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４５２】

また、上記実施の形態１６において、誤り訂正回路１６０１及び誤り訂正回路１６０７は、現在審議中のＢＳデジタル放送の標準方式に準拠し、図７６の誤り訂正符号化装置１０００１において符号化されたデータ系列をデ・インターリーブし、デ・インターリーブ回路１３０２から選局されたＴＳのみが出力され、速度変換回路１６０２又は速度変換回路１６０８がデータ系列を速度変換し、選局されたＴＳのみをメモリ回路１６０６又はメモリ回路１６１２に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４５３】

しかしながら、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、ＭＰＥＧトランスポート・ストリームの各パケット単位のデータ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、各スロットのトランスポート・ストリーム番号情報が、スーパーフレーム内に伝送制御情報として含まれ、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、上記実施の形態１６と同様な構成により、デ・インターリーブし、デ・インターリーブ回路１３０２から選局されたＴＳのみが出力され、速度変換回路１６０２又は速度変換回路１６０８がデータ系列を速度変換し、選局されたＴＳのみをメモリ回路１６０６又はメモリ回路１６１２に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４５４】

また、上記実施の形態１７において、誤り訂正回路１７０３は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図５３のように符号化されたデータ系列をビタビ復号し、伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝

送モード切替時にパスメモリ２００２１に残留している伝送モード切替前の伝送モードＡのビタビ復号データを出力する構成としている。

【０４５５】

しかしながら、送信側のデータ系列が複数の変調方式と複数の符号化率のシンボルによって構成され、各シンボルは異なる変調方式及び符号化率を越えて、連続的に１つのたたみ込み符号化器でたたみ込み符号化されて伝送されたデータ系列を、上記実施の形態１７と同様な構成によりビタビ復号し、伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している伝送モード切替前の伝送モードＡのビタビ復号データを出力できることは明らかである。

【０４５６】

また、上記実施の形態１８～２８において、誤り訂正回路１８０１，１９０１，２００１，２１０１，２２０１，２３０１，２４０１，２５０１，２６０１，２７０１，２８０１は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図５３のように符号化されたデータ系列をビタビ復号し、文字多重データの前後に付加されているＴＡＢ信号の固定シンボル系列の性質を利用して、文字多重データの伝送モード切替時の前後の伝送モードの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している文字多重データのビタビ復号データを出力する構成としている。

【０４５７】

しかしながら、送信側のデータ系列が複数の変調方式と複数の符号化率のシンボルによって構成され、変調方式及び符号化率の切替時において、切替前の最終シンボルに続いて終結のための固定シンボル系列を含む場合を有し、各シンボルは異なる変調方式及び符号化率を越えて、連続的に１つのたたみ込み符号化器でたたみ込み符号化されて伝送されたデータ系列を、上記実施の形態１８～２８と同様な構成によりビタビ復号し、固定シンボル系列の性質を利用して、伝送モード切替後の伝送モードＢの影響を完全に遮断して、伝送モード切替時にパスメモリ２００２１に残留している伝送モード切替前の伝送モードＡのビタビ復号データを出力できることは明らかである。

【０４５８】

また、上記実施の形態２９において、誤り訂正回路２９０１は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図９７のように符号化されたデータ系列をデ・インターリーブし、選局されたスロットのみをメモリ回路１３０６に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４５９】

しかしながら、伝送フォーマットにおいて、最小単位の固定長データ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、上記実施の形態２９と同様な構成によりデ・インターリーブし、選局されたスロットのみをメモリ回路１３０６に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４６０】

また、上記実施の形態３０において、誤り訂正回路３００１は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図９７のように符号化されたデータ系列をデ・インターリーブするとともに、選局されたスロットのみを速度変換して出力する構成としている。

【０４６１】

しかしながら、伝送フォーマットにおいて、最小単位の固定長データ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信さ

れるデータ系列を、上記実施の形態３０と同様な構成によりデ・インターリーブするとともに、選局されたスロットのみを速度変換して出力できることは明らかである。

【０４６２】

また、上記実施の形態３０において、誤り訂正回路３００１は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図９７のように符号化されたデータ系列が、デ・インターリーブされ、選局されたスロットのみを速度変換して出力されたデータ系列を、４８×８スロット分（１スーパーフレーム分）全ての２バイト目の初期値を生成可能な初期値発生回路１４０９を設けて、デ・ランダマイズを行う構成としている。

【０４６３】

しかしながら、伝送フォーマットにおいて、最小単位の固定長データ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム単位で、連続でランダマイズが行われて送信されるデータ系列を、上記実施の形態３０と同様な構成によりデ・ランダマイズを行うことができることは明らかである。

【０４６４】

また、上記実施の形態３１において、誤り訂正回路３１０１及び誤り訂正回路３１０２は、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図９７のように符号化されたデータ系列を速度変換し、選局されたスロットのみをメモリ回路１５０６又はメモリ回路１５１２に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４６５】

しかしながら、伝送フォーマットにおいて、最小単位の固定長データ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、送信されたデータ系列を、上記実施の形態３１と同様な構成により、速度変換し、選局されたスロットのみをメモリ回路１５０６又はメモリ回路１５１２に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４６６】

また、上記実施の形態３２において、現在審議中のＢＳデジタル放送の標準方式において、「ＴＭＣＣなし」、即ちスーパーフレーム構造が時間的に一定とした図４９の誤り訂正符号化装置１７０１において、図９７のように符号化されたデータ系列をデ・インターリーブし、デ・インターリーブ回路１３０２から選局されたスロットのみが出力され、速度変換回路１６０２又は速度変換回路１６０８がデータ系列を速度変換し、選局されたスロットのみをメモリ回路１６０６又はメモリ回路１６１２に読み書きすることにより、使用するメモリ領域を削減する構成としている。

【０４６７】

しかしながら、伝送フォーマットにおいて、最小単位の固定長データ系列をスロットとし、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、上記実施の形態３２と同様な構成によりデ・インターリーブし、デ・インターリーブ回路１３０２から選局されたスロットのみが出力され、速度変換回路１６０２又は速度変換回路１６０８がデータ系列を速度変換し、選局されたスロットのみをメモリ回路１６０６又はメモリ回路１６１２に読み書きすることにより、使用するメモリ領域を削減できることは明らかである。

【０４６８】

また、上記実施の形態１において、伝送モード切替前の伝送モードＡの最終シンボルについて、トレリス線図において最小パスメトリックを有する１状態のみを有効としていた。

【０４６９】

その代わりに、図２のＡＣＳ回路１０５が、ビタビ復号器制御回路１０３から出力される

切替制御信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１１９のトレリス線図に示すように、伝送モード切替前の伝送モードＡの最終シンボルについて、トレリス線図において最小パスメトリックを有する１状態のパスメトリック（Path Metric ：ＰＭ）のみを、取り得る最小の値、例えば”０”にする。そして他の状態を、取り得る最大の値にリセットする。この構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の伝送モードＡのビタビ復号データを出力することができる。この構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４７０】

また、上記実施の形態２において、図６のＡＣＳ回路２０５が、ビタビ復号器制御回路２０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う構成としていた。

【０４７１】

その代わりに、図６のＡＣＳ回路２０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０のトレリス線図に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にする。そして他の状態を、取り得る最大の値にリセットする。この構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。この構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４７２】

また、上記の構成においても、図１２０（ａ）に示すように、図６のビタビ復号器制御回路２０３は、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路２０５に出力する構成に限定する必要はない。図１２０（ａ）～（ｃ）に示すように、確定状態信号を生成する期間は、１シンボル以上、最大１０シンボルまでの間で任意に選択可能であり、どのシンボルを選択するかも任意である。

【０４７３】

シミュレーションにより、上記の構成によるＢＥＲの改善効果を調べた。図１２１は、シミュレーションに用いた伝送フレームの構成図である。図１２１（ａ）は、ビタビ復号器２０２への入力時の信号配置図であり（ＴＭＣＣはＳ／Ｐ変換前）、図１２１（ｂ）は、パスメモリ２００２１への入力時の信号配置図である（ＴＭＣＣはＳ／Ｐ変換後）。パスメモリ長は６４とし、ＴＭＣＣの後の主信号は、ＴＣ－８ＰＳＫ（ｒ＝２／３）６４シンボルのみとした。この６４シンボルの主信号により、ＴＭＣＣの第１シンボルが入力される直前では、パスメモリ２００２１はＴＣ－８ＰＳＫ（ｒ＝２／３）６４シンボルで満たされている状態になる。

【０４７４】

図１２２はＣ／Ｎ＝－２ｄＢという条件下での上記のシミュレーション結果である。パスメモリ２００２１に後ろＴＡＢ信号（ｗ２又はｗ３）の最終シンボルが入力された時点において、パスメモリ２００２１に残留している６４シンボルについて、１シンボル毎のＢＥＲを算出した。横軸はパスメモリ２００２１に残留している６４シンボルを示し、縦軸はＢＥＲの値を示す。図１２２では、後ろＴＡＢ信号（ｗ２又はｗ３）の第１シンボル、あるいは最終シンボルでパスメトリックメモリ２００２０の値をリセットする場合について示している。

【０４７５】

図１２２より明らかなように、本実施の形態の「終結処理あり」は、従来例の「終結処理なし」と比較して、パスメモリ２００２１に残留している各シンボルの誤り率が改善されていることが判る。また、後ろＴＡＢ信号の第１シンボルでパスメトリックメモリ２００２０の値をリセットする方が、最終シンボルでリセットするよりも、図１２２の０～４７シンボル目で示される正味のＴＭＣＣデータのＢＥＲが低減されており、より効果的であるといえる。

【０４７６】

また、上記実施の形態４において、図１２のＡＣＳ回路４０５は、ビタビ復号器制御回路４０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）状態数を半減させている。その後の１０シンボル（Ｓ／Ｐ変換後）については、確定した１状態のみを有効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う構成としていた。

【０４７７】

その代わりに、図１２のＡＣＳ回路４０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４７８】

また、上記実施の形態６において、図７（ａ）～（ｃ）で示す実施の形態２と同様に、図２０のＡＣＳ回路６０５はビタビ復号器制御回路６０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。

【０４７９】

その代わりに、図２０のＡＣＳ回路６０５が確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このように構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４８０】

また、上記実施の形態８において、図７（ａ）～（ｃ）で示す実施の形態２と同様に、図２４のＡＣＳ回路８０５は、ビタビ復号器制御回路８０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。また図１３で示す実施の形態４と同様に、ＡＣＳ回路８０５は、ビタビ復号器制御回路８０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そしてたたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減するような構成としていた。

【０４８１】

その代わりに、図２４のＡＣＳ回路８０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリ

セットする。また、ＡＣＳ回路８０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４８２】

また、上記実施の形態８において、図２４のビタビ復号器制御回路８０３は、図７（ａ）に示すように、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は、１０シンボル）の第１シンボルがパスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路８０５に出力する構成とした。

【０４８３】

その代わりに、図２４のＡＣＳ回路８０５が、ビタビ復号器制御回路８０３から出力される確定状態信号を用いて、パスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４８４】

また、上記実施の形態９において、図２６のＡＣＳ回路９０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路９０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０４８５】

その代わりに、図２６のＡＣＳ回路９０５が状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４８６】

また、上記実施の形態１０において、図２８のＡＣＳ回路１００５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路１００３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０４８７】

その代わりに、図２８のＡＣＳ回路１００５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シン

ボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４８８】

また、上記実施の形態１１において、図３０のＡＣＳ回路１１０５は、図７（ａ）～（ｃ）に示す実施の形態２と同様にして、ビタビ復号器制御回路１１０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。またＡＣＳ回路１１０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路１１０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０４８９】

その代わりに、図３０のＡＣＳ回路１１０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。また、ＡＣＳ回路１１０５が状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４９０】

また、上記実施の形態１１において、図３０のビタビ復号器制御回路１１０３は、図７（ａ）に示すように、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は、１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路２０５に出力する構成とした。

【０４９１】

その代わりに、図３０のＡＣＳ回路１１０５が、ビタビ復号器制御回路１１０３から出力される確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４９２】

また、上記実施の形態１２において、図３２のＡＣＳ回路１２０５は、図１３で示す実施の形態４と同様にして、ビタビ復号器制御回路１２０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモ

リ２００２０とパスメモリ２００２１の制御を行っていた。そして、たみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０４９３】

その代わりに、図３２のＡＣＳ回路１２０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４９４】

また、上記実施の形態１７において、伝送モード切替前の伝送モードＡの最終シンボルについて、トレリス線図において最小パスメトリックを有する１状態のみを有効としていた。

【０４９５】

その代わりに、図２のＡＣＳ回路１０５が、ビタビ復号器制御回路１０３から出力される切替制御信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１１９に示すように、伝送モード切替前の伝送モードＡの最終シンボルについて、トレリス線図において最小パスメトリックを有する１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の伝送モードＡのビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４９６】

また、上記実施の形態１８において、図６のＡＣＳ回路２０５が、ビタビ復号器制御回路２０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う構成としていた。

【０４９７】

その代わりに、ＡＣＳ回路２０５が、ビタビ復号器制御回路２０３から出力される確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０４９８】

また、上述の構成においても、図６のビタビ復号器制御回路２０３は、図１２０（ａ）に示すように、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は、１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路２０５に出力するように構成することもできる。また図１２０（ａ）～（ｃ）に示すように、確定状態信号を生成する期間は、１シンボル以上、最大１０シンボルまでの間で任意に選択可能であり、どのシンボルを選択するかも任意である。

【０４９９】
また、上記実施の形態２０において、図１２のＡＣＳ回路４０５は、ビタビ復号器制御回路４０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）状態数を半減させ、その後の１０シンボル（Ｓ／Ｐ変換後）については、確定した１状態のみを有効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行う構成としていた。
【０５００】
その代わりに、ＡＣＳ回路４０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。
【０５０１】
また、上記実施の形態２２においては、図２０のＡＣＳ回路６０５は、図７（ａ）～（ｃ）で示す実施の形態２と同様にして、ビタビ復号器制御回路６０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。
【０５０２】
その代わりに、ＡＣＳ回路６０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。
【０５０３】
また、上記実施の形態２４において、図２４のＡＣＳ回路８０５は、図７（ａ）～（ｃ）で示す実施の形態２と同様にして、ビタビ復号器制御回路８０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。またＡＣＳ回路８０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路８０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。
【０５０４】
その代わりに、ＡＣＳ回路８０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。また、ＡＣＳ回路８０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前

の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０５０５】

また、上記実施の形態２４において、図２４のビタビ復号器制御回路８０３は、図７（ａ）に示すように、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は、１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路２０５に出力する構成とした。

【０５０６】

その代わりに、ＡＣＳ回路８０５が、ビタビ復号器制御回路８０３から出力される確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０５０７】

また、上記実施の形態２５において、図２６のＡＣＳ回路９０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路９０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０５０８】

その代わりに、ＡＣＳ回路９０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０５０９】

また、上記実施の形態２６において、図２８のＡＣＳ回路１００５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路１００３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。

【０５１０】

その代わりに、ＡＣＳ回路１００５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０５１１】
また、上記実施の形態２７において、図３０のＡＣＳ回路１１０５は、図７（ａ）～（ｃ）で示す実施の形態２と同様にして、ビタビ復号器制御回路１１０３から出力される確定状態信号を用いて、確定した１状態のみを有効とし、他の状態を全て無効とするように、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。またＡＣＳ回路１１０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路１１０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。
【０５１２】
その代わりに、ＡＣＳ回路１１０５が、確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。またＡＣＳ回路１１０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。
【０５１３】
また、上記実施の形態２７において、図３０のビタビ復号器制御回路１１０３は、図７（ａ）に示すように、各ＴＡＢ信号（ｗ１、ｗ２、ｗ３）２０シンボル（Ｓ／Ｐ変換後は、１０シンボル）の第１シンボルが、パスメモリ２００２１に入力される時点より、各ＴＡＢ信号の第１０シンボル（Ｓ／Ｐ変換後の最終シンボル）がパスメモリ２００２１に入力される時点まで確定状態信号を生成して、ＡＣＳ回路１１０５に出力する構成とした。
【０５１４】
その代わりに、ＡＣＳ回路１１０５が、ビタビ復号器制御回路１１０３から出力される確定状態信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち図１２０に示すように、確定した１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モードＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前のＴＭＣＣ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。
【０５１５】
また、上記実施の形態２８において、図３２のＡＣＳ回路１２０５は、図１３に示す実施の形態４と同様にして、ビタビ復号器制御回路１２０３から出力される状態削減信号を用いて、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）については、パスメトリックメモリ２００２０とパスメモリ２００２１の制御を行っていた。そして、たたみ込み回路１００１４が１状態に確定するまで、状態数を半分ずつに削減する構成としていた。
【０５１６】
その代わりに、ＡＣＳ回路１２０５が、状態削減信号を用いてパスメトリックメモリ２００２０の値をリセットする構成としてもよい。即ち、各ＴＡＢ信号の先頭６シンボル（Ｓ／Ｐ変換後）について、１シンボル毎に（Ｓ／Ｐ変換後）、確定した３２、１６、８、４、２、１状態のパスメトリックのみを、取り得る最小の値、例えば”０”にし、他の状態を、取り得る最大の値にリセットする。このような構成により、モード切替後の伝送モー

ドＢの影響を遮断して、伝送モード切替時にパスメモリ２００２１に残留しているモード切替前の文字多重データ（ＢＰＳＫ：ｒ＝１／２）のビタビ復号データを出力することができる。このような構成によれば、パスメトリックメモリ２００２０の値を単にリセットするだけであるので、制御が簡易になるという利点がある。

【０５１７】

【発明の効果】

以上のように、本願の発明によれば、パスメモリに残留している伝送モード切替前のシンボルについては、切替前の伝送モードの最終シンボルまで累積したパスメトリックにより、最小パスメトリックを判定してビタビ復号データとして出力し、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５１８】

また本願の発明によれば、伝送制御情報が送信される場合について、パスメモリに残留している伝送モード切替前のシンボルについては、切替前の伝送モードの最終シンボルまで累積したパスメトリックにより、最小パスメトリックを判定してビタビ復号データとして出力し、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５１９】

また本願の発明によれば、伝送モード切替前の最終シンボルにおける全状態の内、最小のパスメトリックを有する１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５２０】

また本願の発明によれば、伝送モード切替前の最終シンボルにおける全状態の内、最小のパスメトリックを有する１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力することにより、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。

【０５２１】

また本願の発明によれば、伝送モード切替後の変調多値数（位相数）が切替前より大きい場合、または変調多値数が同じで符号化率が大きい場合のみ、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことにより、伝送モード切替後の変調多値数（位相数）が切替前より小さい場合、または変調多値数が同じで符号化率が小さい場合に通常のビタビ復号を連続的に行って、誤り率を改善することができる。

【０５２２】

また本願の発明によれば、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、ビタビ復号における切替制御を行わないことにより、固定シンボル系列を利用したビタビ復号制御を可能な状態にすることができる。

【０５２３】

また本願の発明によれば、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、確定された１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５２４】

また本願の発明によれば、伝送制御情報が送信される場合について、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、確定された１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５２５】
また本願の発明によれば、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終のシンボルまでの区間で、少なくとも１シンボルについては、確定された１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。
【０５２６】
また本願の発明によれば、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力することにより、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。
【０５２７】
また本願の発明によれば、入力された固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでの区間で、少なくとも１シンボルについては、確定された１状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。
【０５２８】
また本願の発明によれば、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、固定シンボル系列については、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。
【０５２９】
また本願の発明によれば、伝送制御情報が送信される場合について、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、固定シンボル系列の中で、たたみ込み符号化器の状態が確定するシンボルから最終の固定シンボルまでについては、固定シンボル系列については、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。
【０５３０】
また本願の発明によれば、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として１シンボル入力される毎に状態を削減し、１状態に確定後は、１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。
【０５３１】
また本願の発明によれば、伝送制御情報が送信される場合について、伝送モード切替前の最終シンボルに続いて固定シンボル系列が含まれる場合には、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として１シンボル入力される毎に状態を削減し、１状態

に確定後は、１状態のみを有効とし、他の状態を無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５３２】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。

【０５３３】

また本願の発明によれば、固定シンボル系列については、固定シンボル系列の符号点に変更してビタビ復号器に入力することにより、ビタビ復号は通常の方法を用いて、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５３４】

また本願の発明によれば、伝送制御情報が送信される場合について、固定シンボル系列については、固定シンボル系列の符号点に変更してビタビ復号器に入力することにより、ビタビ復号は通常の方法を用いて、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行うことができる。

【０５３５】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルから符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効としてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けない、より効果的なビタビ復号を行うことができる。

【０５３６】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として、１シンボル入力される毎に状態を削減してビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けない、より効果的なビタビ復号を行うことができる。

【０５３７】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効とし、かつビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のみを有効とし、他の状態を無効として、１シンボル入力される毎に状態を削減してビタビ復号データを出力し、固定シンボル系列の性質を最大限に利用して、切替後の伝送モードのシンボルの影響を受けない、最も効果的なビタビ復号を行うことができる。

【０５３８】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力し、固定シンボル系列を利用して、切替後の伝送モードのシンボルの影響を受けないビタビ復号を行い、かつ制御を簡易にすることができる。

【０５３９】

また本願の発明によれば、入力された固定シンボル系列の中で、最初のシンボルからたたみ込み符号化器の状態が確定するシンボルまでについては、ビタビ復号における各状態から出力されるブランチの内、固定シンボル系列に対応した１つのブランチのみを有効とし、他のブランチを無効とし、かつビタビ復号における全状態の内、そのシンボルまでが入力したことに対応する状態のパスメトリックのみを取り得る最小の値に、他の状態を取り得る最大の値にリセットしてビタビ復号データを出力し、固定シンボル系列の性質を最大限に利用して、切替後の伝送モードのシンボルの影響を受けない、最も効果的なビタビ復号を行い、かつ制御を簡易にすることができる。

【０５４０】

また本願の発明によれば、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブしてデータを出力することができる。

【０５４１】

また本願の発明によれば、選択される１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大（Ｌmax ×Ｎ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、デ・インターリーブを行うことができる。

【０５４２】

また本願の発明によれば、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、伝送フォーマットのＬ／Ｍの速度で連続的に出力することができる。

【０５４３】

また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、スーパーフレーム内において、スロット単位で深さＮのインターリーブがＭスロット分行われて送信されるデータ系列を、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブしてデータを出力することができる。

【０５４４】

また本願の発明によれば、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大（Ｌmax ×Ｎ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリームのみをデ・インターリーブしてデータを出力することができる。

【０５４５】

また本願の発明によれば、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、メモリ回路の最大（Ｌmax ×Ｎ×Ｋ）スロット分のみの領域２バンクを使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームのみをデ・インターリーブしてデータを出力することができる。

【０５４６】

また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、伝送フォーマットのＬ／Ｍの速度で連続的に出力することができる。

【０５４７】

また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、各フレームのＭスロットの内、１フレームあたり計（Ｌ１＋Ｌ２＋……＋Ｌj ）スロットのデータのデ・インターリーブを行い、伝送フォーマットの（Ｌ１＋Ｌ２＋……＋

Ｌｊ）／Ｍの速度で連続的に出力することができる。

【０５４８】

また本願の発明によれば、１フレーム =Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム単位で、連続でランダマイズが行われて送信されるデータ系列を、１スーパーフレーム中の（Ｎ×Ｍ）スロットの各先頭データに対するデ・ランダマイズの（Ｎ×Ｍ）種類の初期値を有し、既に選択された、各フレームのＭスロット中Ｌスロットのデータが入力されると、入力された各スロットに対応する初期値より、入力された各スロット毎のデ・ランダマイズを行うことができる。

【０５４９】

また本願の発明によれば、伝送制御情報が送信される場合について、１フレーム＝Ｍスロット、１スーパーフレーム＝Ｎフレームとするとき、スーパーフレーム単位で、連続でランダマイズが行われて送信されるデータ系列を、１スーパーフレーム中の（Ｎ×Ｍ）スロットの各先頭データに対するデ・ランダマイズの（Ｎ×Ｍ）種類の初期値を有し、既に選択された、各フレームのＭスロット中Ｌスロットのデータが入力されると、入力された各スロットに対応する初期値より、入力された各スロット毎のデ・ランダマイズを行うことができる。

【０５５０】

また本願の発明によれば、各フレームのＭスロットの内、選択されたＬスロットのデータのみをメモリ回路へ読み書きすることにより、選択された１フレームあたりＬスロットのデータを、伝送フォーマットのＬ／Ｍの速度で連続的に出力することができる。

【０５５１】

また本願の発明によれば、選択される１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選択されたデータを、速度変換を行って連続的に出力することができる。

【０５５２】

また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、各フレームのＭスロットの内、選択されたＬスロットのデータのみをメモリ回路へ読み書きすることにより、選択された１フレームあたりＬスロットのデータを、伝送フォーマットのＬ／Ｍの速度で連続的に出力することができる。

【０５５３】

また本願の発明によれば、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax とすると、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリームを、速度変換を行って連続的に出力することができる。

【０５５４】

また本願の発明によれば、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、メモリ回路の最大（Ｌmax ×Ｋ）スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームを、速度変換を行って連続的に出力することができる。

【０５５５】

また本願の発明によれば、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、Ｊ種類のトランスポート・ストリームを、それぞれ伝送フォーマットのＬ１／Ｍ、Ｌ２／Ｍ、……、Ｌj ／Ｍの速度で、並列に連続的に出力することができる。

【０５５６】

また本願の発明によれば、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、既に選択された１フレームあたりＬスロットのデータ系列を、速度変換回路が伝送フォーマットのＬ／Ｍの速度で連続的にデータ系列を出力するこ

とができる。
【０５５７】
また本願の発明によれば、選択される１フレームあたりの最大スロット数をＬmax とすると、選択されたスロットのデータのみをデ・インターリーブし、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選択されたデータを、速度変換を行って連続的に出力することができる。
【０５５８】
また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、各フレームのＭスロットの内、選択されたＬスロットのデータのみをデ・インターリーブし、既に選択された、１フレームあたりＬスロットのデータ系列を、速度変換回路が伝送フォーマットのＬ／Ｍの速度で連続的にデータ系列を出力することができる。
【０５５９】
また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax とすると、選択されたスロットのデータのみをデ・インターリーブし、メモリ回路の最大Ｌmax スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局された１種類のトランスポート・ストリームを、速度変換を行って連続的に出力することができる。
【０５６０】
また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、１種類のトランスポート・ストリームが占有する、１フレームあたりの最大スロット数をＬmax 、Ｋを２以上の整数とすると、選択されたスロットのデータのみをデ・インターリーブし、メモリ回路の最大（Ｌmax ×Ｋ）スロット分のみの領域を使用し、必要最小限のメモリ領域のみにより、選局されたＫ種類以下のトランスポート・ストリームを、速度変換を行って連続的に出力することができる。
【０５６１】
また本願の発明によれば、複数のＭＰＥＧトランスポート・ストリームを多重した伝送フォーマットで伝送を行う伝送方式において、選局されたＪ種類のトランスポート・ストリームが、それぞれ１フレームあたりＬ１、Ｌ２、……、Ｌj スロットを占有しているとすると、選択されたスロットのデータのみをデ・インターリーブし、Ｊ種類のトランスポート・ストリームを、それぞれ伝送フォーマットのＬ１／Ｍ、Ｌ２／Ｍ、……、Ｌj ／Ｍの速度で、並列に連続的に出力することができる。
【図面の簡単な説明】
【図１】本発明の実施の形態１における誤り訂正回路の全体構成を示すブロック図である。
【図２】実施の形態１におけるビタビ復号器の構成を示すブロック図である。
【図３】実施の形態１において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す説明図である。
【図４】実施の形態１において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す他の一例の説明図である。
【図５】本発明の実施の形態２における誤り訂正回路の全体構成を示すブロック図である。
【図６】実施の形態２におけるビタビ復号器の構成を示すブロック図である。
【図７】実施の形態２において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す説明図である。
【図８】本発明の実施の形態３における誤り訂正回路の全体構成を示すブロック図である。
【図９】実施の形態３におけるビタビ復号器の構成を示すブロック図である。
【図１０】実施の形態３において、伝送モード切替時のブランチの出力方法を示す説明図

である。
【図１１】本発明の実施の形態４における誤り訂正回路の全体構成を示すブロック図である。
【図１２】実施の形態４におけるビタビ復号器の構成を示すブロック図である。
【図１３】実施の形態４において、伝送モード切替時のトレリス線図の状態削減方法を示す説明図である。
【図１４】本発明の実施の形態５における誤り訂正回路の全体構成を示すブロック図である。
【図１５】実施の形態５におけるビタビ復号器の構成を示すブロック図である。
【図１６】実施の形態５において、固定系列のＩ／Ｑ座標の変換方法を示す説明図である。
【図１７】実施の形態５において、シミュレーションに用いる伝送フレーム構成を示す説明図である。
【図１８】実施の形態５において、シミュレーション結果を示す説明図である。
【図１９】本発明の実施の形態６における誤り訂正回路の全体構成を示すブロック図である。
【図２０】実施の形態６におけるビタビ復号器の構成を示すブロック図である。
【図２１】本発明の実施の形態７における誤り訂正回路の全体構成を示すブロック図である。
【図２２】実施の形態７におけるビタビ復号器の構成を示すブロック図である。
【図２３】本発明の実施の形態８における誤り訂正回路の全体構成を示すブロック図である。
【図２４】実施の形態８におけるビタビ復号器の構成を示すブロック図である。
【図２５】本発明の実施の形態９における誤り訂正回路の全体構成を示すブロック図である。
【図２６】実施の形態９におけるビタビ復号器の構成を示すブロック図である。
【図２７】本発明の実施の形態１０における誤り訂正回路の全体構成を示すブロック図である。
【図２８】実施の形態１０におけるビタビ復号器の構成を示すブロック図である。
【図２９】本発明の実施の形態１１における誤り訂正回路の全体構成を示すブロック図である。
【図３０】実施の形態１１におけるビタビ復号器の構成を示すブロック図である。
【図３１】本発明の実施の形態１２における誤り訂正回路の全体構成を示すブロック図である。
【図３２】実施の形態１２におけるビタビ復号器の構成を示すブロック図である。
【図３３】本発明の実施の形態１３における誤り訂正回路の全体構成を示すブロック図である。
【図３４】実施の形態１３におけるデ・インターリーブ回路の構成を示すブロック図である。
【図３５】実施の形態１３において、デ・インターリーブ回路からの出力データ系列を示す説明図である。
【図３６】本発明の実施の形態１４における誤り訂正回路の全体構成を示すブロック図である。
【図３７】実施の形態１４におけるデ・インターリーブ回路の構成を示すブロック図である。
【図３８】実施の形態１４において、デ・インターリーブ回路からの出力データ系列を示す説明図である。
【図３９】実施の形態１４におけるデ・ランダマイズ回路の構成を示すブロック図である。
【図４０】実施の形態１４のデ・ランダマイズ回路において、ゲート信号と初期値生成の

様子を示す説明図である。
【図４１】本発明の実施の形態１５における誤り訂正回路の全体構成を示すブロック図である。
【図４２】実施の形態１５における速度変換回路の構成を示すブロック図である。
【図４３】本発明の実施の形態１５における誤り訂正回路の他の一例の全体構成を示すブロック図である。
【図４４】実施の形態１５における速度変換回路の他の一例の構成を示すブロック図である。
【図４５】本発明の実施の形態１６における誤り訂正回路の全体構成を示すブロック図である。
【図４６】実施の形態１６における速度変換回路の構成を示すブロック図である。
【図４７】本発明の実施の形態１６における誤り訂正回路の他の一例の全体構成を示すブロック図である。
【図４８】実施の形態１６における速度変換回路の他の一例の構成を示すブロック図である。
【図４９】本発明の実施の形態１７～３２における誤り訂正符号化装置の全体構成を示すブロック図である。
【図５０】実施の形態１７～３２における誤り訂正符号化装置において、ランダマイズ回路までの出力データ系列を示す説明図である。
【図５１】実施の形態１７～３２の誤り訂正符号化装置において、バイト／シンボル回路に入力されるスーパーフレーム構造のバイトデータ系列を示す説明図である。
【図５２】本発明の実施の形態１７～３２において、スーパーフレーム構造の各伝送モードのスロット数の一例を示す説明図である。
【図５３】実施の形態１７～３２の誤り訂正符号化装置において、入力から出力までの出力データ系列を示す説明図である。
【図５４】本発明の実施の形態１７における誤り訂正回路の全体構成を示すブロック図である。
【図５５】本発明の実施の形態１８における誤り訂正回路の全体構成を示すブロック図である。
【図５６】本発明の実施の形態１９における誤り訂正回路の全体構成を示すブロック図である。
【図５７】本発明の実施の形態２０における誤り訂正回路の全体構成を示すブロック図である。
【図５８】本発明の実施の形態２１における誤り訂正回路の全体構成を示すブロック図である。
【図５９】本発明の実施の形態２２における誤り訂正回路の全体構成を示すブロック図である。
【図６０】本発明の実施の形態２３における誤り訂正回路の全体構成を示すブロック図である。
【図６１】本発明の実施の形態２４における誤り訂正回路の全体構成を示すブロック図である。
【図６２】本発明の実施の形態２５における誤り訂正回路の全体構成を示すブロック図である。
【図６３】本発明の実施の形態２６における誤り訂正回路の全体構成を示すブロック図である。
【図６４】本発明の実施の形態２７における誤り訂正回路の全体構成を示すブロック図である。
【図６５】本発明の実施の形態２８における誤り訂正回路の全体構成を示すブロック図である。
【図６６】本発明の実施の形態２９における誤り訂正回路の全体構成を示すブロック図で

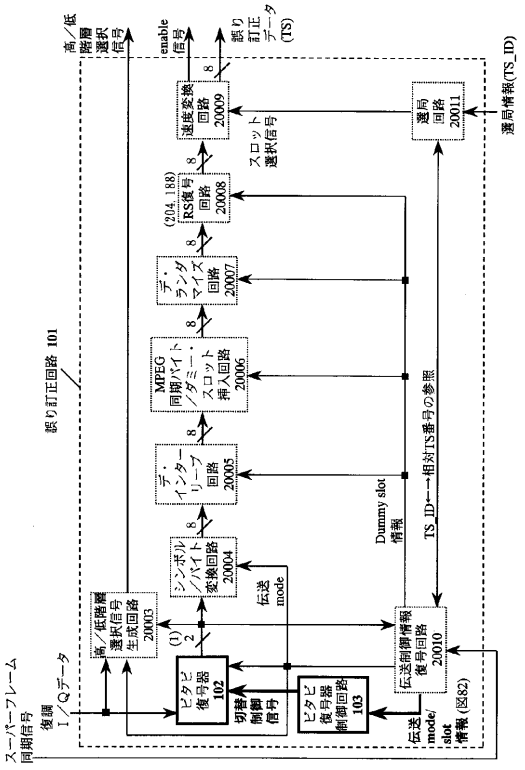
ある。
【図６７】本発明の実施の形態３０における誤り訂正回路の全体構成を示すブロック図である。
【図６８】本発明の実施の形態３１における誤り訂正回路の全体構成を示すブロック図である。
【図６９】実施の形態３１における速度変換回路の構成を示すブロック図である。
【図７０】本発明の実施の形態３１における誤り訂正回路の他の一例の全体構成を示すブロック図である。
【図７１】実施の形態３１における速度変換回路の他の一例の構成を示すブロック図である。
【図７２】本発明の実施の形態３２における誤り訂正回路の全体構成を示すブロック図である。
【図７３】実施の形態３２における速度変換回路の構成を示すブロック図である。
【図７４】本発明の実施の形態３２における誤り訂正回路の他の一例の全体構成を示すブロック図である。
【図７５】実施の形態３２における速度変換回路の他の一例の構成を示すブロック図である。
【図７６】従来例における誤り訂正符号化装置の全体構成を示すブロック図
【図７７】従来例における誤り訂正符号化装置において、ランダマイズ回路までの出力データ系列を示す説明図である。
【図７８】従来例の誤り訂正符号化装置において、インターリーブの様子を示す説明図である。
【図７９】従来例の誤り訂正符号化装置において、ダミー・スロットを示す説明図である。
【図８０】従来例における伝送制御情報生成回路の構成を示すブロック図である。
【図８１】従来例におけるＴＭＣＣ全体の内容の一例を示す説明図である。
【図８２】従来例のＴＭＣＣにおいて、伝送モード／スロット情報の内容の一例を示す説明図である。
【図８３】従来例のＴＭＣＣにおいて、相対ＴＳ／スロット情報の内容の一例を示す説明図である。
【図８４】従来例のＴＭＣＣに於いて、相対ＴＳ／ＴＳ番号対応表の内容の一例を示す説明図である。
【図８５】従来例のＴＭＣＣにおいて、送受信制御情報の内容の一例を示す説明図である。
【図８６】従来例のＴＭＣＣにおいて、拡張情報の内容の一例を示す説明図である。
【図８７】従来例における誤り訂正符号化装置において、バイト／シンボル回路に入力されるスーパーフレーム構造のバイトデータ系列を示す説明図である。
【図８８】従来例の誤り訂正符号化装置のランダマイズ回路において、ゲート信号生成の様子を示す説明図である。
【図８９】従来例において、スーパーフレーム構造の一例を示す説明図である。
【図９０】従来例の誤り訂正符号化装置において、バイト／シンボル回路でのバイト／シンボルの様子を示す説明図である。
【図９１】従来例におけるたたみ込み符号化器の構成を示すブロック図である。
【図９２】従来例の誤り訂正符号化装置のたたみ込み符号化器において、ＴＣ－８ＰＳＫ（ｒ＝２／３）たたみ込み符号化、パンクチャド処理、及びＰ／Ｓ変換の様子を示す説明図である。
【図９３】従来例の誤り訂正符号化装置のたたみ込み符号化器において、ＱＰＳＫ（ｒ＝３／４）の場合のたたみ込み符号化、パンクチャド処理、及びＰ／Ｓ変換の様子を示す説明図である。
【図９４】従来例の誤り訂正符号化装置のたたみ込み符号化器において、ＱＰＳＫ（ｒ＝

１／２）の場合のたたみ込み符号化、パンクチャド処理、及びＰ／Ｓ変換の様子を示す説明図である。
【図９５】従来例の誤り訂正符号化装置のたたみ込み符号化器において、ＢＰＳＫ（ｒ＝１／２）の場合のたたみ込み符号化、パンクチャド処理、及びＰ／Ｓ変換の様子を示す説明図である。
【図９６】従来例の誤り訂正符号化装置のマッピング回路において、マッピングの様子を示す説明図である。
【図９７】従来例における誤り訂正符号化装置において、入力から出力までの出力データ系列を示す説明図である。
【図９８】従来例における誤り訂正回路の全体構成を示すブロック図である。
【図９９】従来例における伝送制御情報復号回路の構成を示すブロック図である。
【図１００】従来例におけるビタビ復号器と高／低階層選択信号生成回路との構成を示すブロック図である。
【図１０１】従来例のビタビ復号器において、ＴＣ－８ＰＳＫ（ｒ＝２／３）の場合のビタビ復号、デ・パンクチャド処理、及びＳ／Ｐ変換の様子を示す説明図である。
【図１０２】従来例のビタビ復号器において、ＱＰＳＫ（ｒ＝３／４）の場合のビタビ復号、デ・パンクチャド処理、及びＳ／Ｐ変換の様子を示す説明図である。
【図１０３】従来例のビタビ復号器において、ＱＰＳＫ（ｒ＝１／２）の場合のビタビ復号、デ・パンクチャド処理、及びＳ／Ｐ変換の様子を示す説明図である。
【図１０４】従来例のビタビ復号器において、ＢＰＳＫ（ｒ＝１／２）の場合のビタビ復号、デ・パンクチャド処理、及びＳ／Ｐ変換の様子を示す説明図である。
【図１０５】従来例のビタビ復号器において、ＴＣ－８ＰＳＫの場合のトレリス線図の様子を示す説明図である。
【図１０６】従来例のビタビ復号器において、ＱＰＳＫとＢＰＳＫの場合のトレリス線図の様子を示す説明図である。
【図１０７】従来例の誤り訂正回路において、シンボル／バイト回路によるシンボル／バイト変換の様子を示す説明図である。
【図１０８】従来例における誤り訂正回路において、入力から出力までの出力データ系列を示す説明図である。
【図１０９】従来例の誤り訂正回路のデ・インターリーブ回路において、デ・インターリーブの様子を示す説明図である。
【図１１０】従来例におけるデ・インターリーブ回路の構成を示すブロック図である。
【図１１１】従来例におけるデ・ランダマイズ回路の構成を示すブロック図である。
【図１１２】従来例におけるデ・ランダマイズ回路において、ゲート信号生成の様子を示す説明図である。
【図１１３】従来例における速度変換回路の構成を示すブロック図である。
【図１１４】従来例の誤り訂正回路の速度変換回路において、速度変換の様子を示す説明図である。
【図１１５】従来例の誤り訂正回路の速度変換回路において、速度変換の様子を示す説明図である。
【図１１６】従来例の誤り訂正回路の速度変換回路において、速度変換の様子を示す説明図である。
【図１１７】従来例の誤り訂正回路の速度変換回路において、速度変換の様子を示す説明図である。
【図１１８】従来例において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す説明図である。
【図１１９】実施の形態１において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す一例の説明図である。
【図１２０】実施の形態２において、伝送モード切替時のパスメモリの様子（トレリス線図）を示す一例の説明図である。

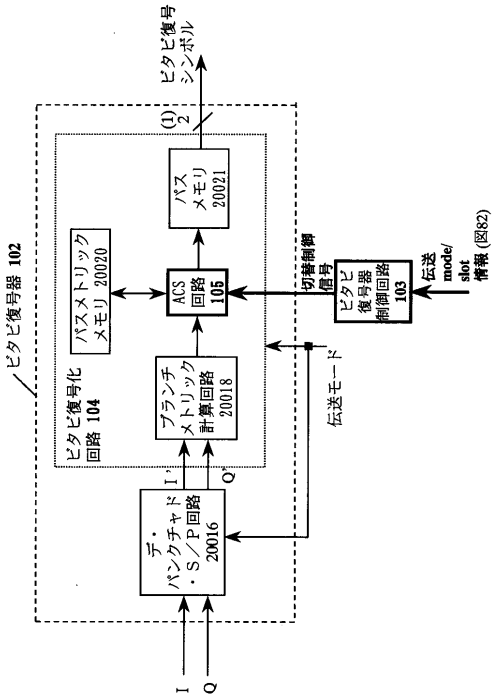
【図１２１】実施の形態２において、シミュレーションに用いる伝送フレーム構成を示す説明図である。
【図１２２】実施の形態２において、シミュレーション結果を示す説明図である。
【符号の説明】
１０１，２０１，３０１，４０１，５０１，６０１，７０１，８０１，９０１，１００１，１１０１，１２０１，１３０１，１４０１，１５０１，１５０７，１６０１，１６０７，１７０３，１８０１，１９０１，２００１，２１０１，２２０１，２３０１，２４０１，２５０１，２６０１，２７０１，２８０１，２９０１，３００１，３１０１，３１０２，３２０１，３２０２，２０００１　誤り訂正回路
１０２，２０２，３０２，４０２，６０２，７０２，８０２，９０２，１００２，１１０２，１２０２，２０００２　ビタビ復号器
１０３，２０３，３０３，４０３，５０３，６０３，７０３，８０３，９０３，１００３，１１０３，１２０３　ビタビ復号器制御回路
１０４，２０４，３０４，４０４，６０４，７０４，８０４，９０４，１００４，１１０４，１２０４，２００１７　ビタビ復号化回路
１０５，２０５，３０５，４０５，６０５，７０５，８０５，９０５，１００５，１１０５，１２０５，２００１９　ＡＣＳ回路
５０６　入力シンボル変換回路
１３０２，１４０２，２０００５　デ・インターリーブ回路
１３０３，１４０３，１５０３，１５０９，１６０３，１６０９，１７０５，２００１１　選局回路
１３０４，１４０４，１５０４，１５１０，１６０４，１６１０，２００２６，２００３４　書き込みアドレス生成回路
１３０５，１４０５，１５０５，１５１１，１６０５，１６１１，２００２７，２００３５　読み出しアドレス生成回路
１３０６，１４０６，１５０６，１５１２，１６０６，１６１２，２００２８，２００３６　メモリ回路
１４０７，２０００７，２００１２　デ・ランダマイズ回路
１４０８，２００２９　ＰＮ発生回路
１４０９　初期値発生回路
１５０２，１５０８，１６０２，１６０８，２００００９　速度変換回路
１７０１，１００００１　誤り訂正符号化装置
１７０２　ＴＡＢ／データ情報生成回路
１７０４　制御信号発生回路
１００００２　ＴＳ多重回路
１００００３，１００１１　ＲＳ符号化回路
１００００４　ランダマイズ回路
１００００５　インターリーブ回路
１００００６　バイト／シンボル変換回路
１００００７　たたみ込み符号化器
１００００８　マッピング回路
１００００９　伝送制御情報生成回路
１００１０　制御情報発生部
１００１２　ＴＡＢ信号挿入部
１００１３　ランダマイズ回路
１００１４，２００２５　たたみ込み回路
１００１５　パンクチャド・Ｐ／Ｓ回路
２００００３　高／低階層選択信号生成回路
２００００４，２００１３　シンボル／バイト変換回路
２００００６　ＭＰＥＧ同期バイト／ダミー・スロット挿入回路

２０００８，２００１４　ＲＳ復号回路
２００１０　伝送制御情報復号回路
２００１５　ＴＭＣＣ解読回路
２００１６　デ・パンクチャド・Ｓ／Ｐ回路
２００１８　ブランチメトリック計算回路
２００２０　パスメトリックメモリ
２００２１　パスメモリ
２００２２　８ＰＳＫ硬判定回路
２００２３　Ｍ段遅延回路
２００２４　ＢＥＲ測定回路
２００３０　Ｐ／Ｓ変換回路
２００３１　Ｓ／Ｐ変換回路
２００３２　ゲート信号生成回路
２００３３　ｅｘ－ｏｒ回路

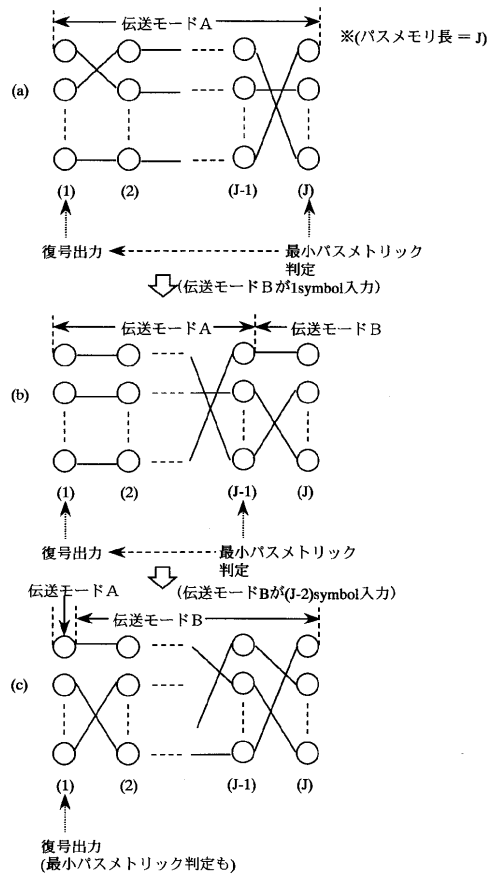
【図１】



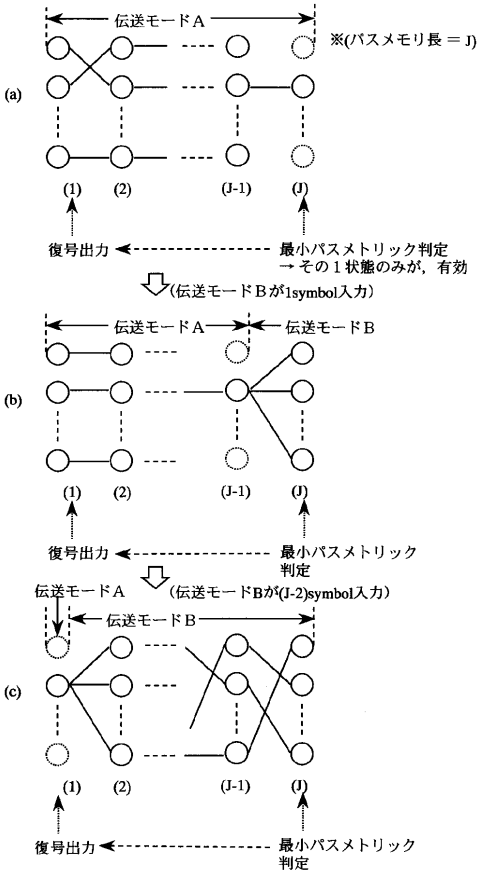
【図２】



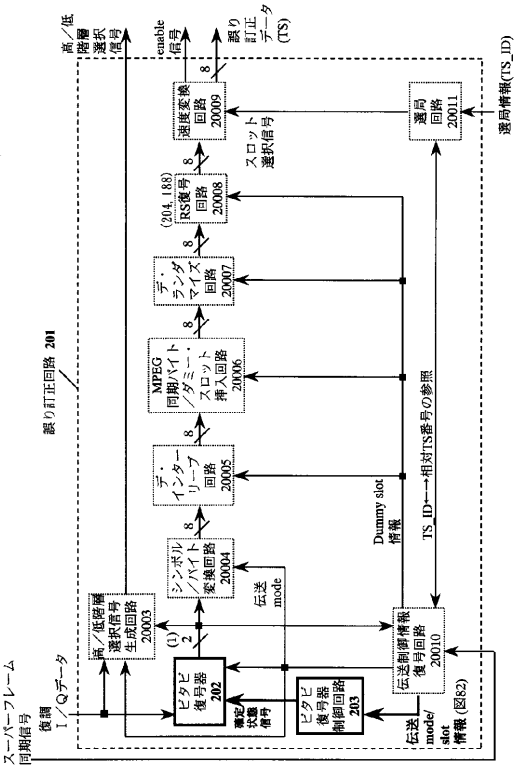
【図３】


伝送モードA
※(パスメモリ長＝J)
(a)
(1)
(2)
(J-1)
(J)
復号出力
最小パスメトリック判定
(伝送モードBが1symbol入力)
伝送モードA
伝送モードB
(b)
(c)
(伝送モードBが(J-2)symbol入力)
復号出力
(最小パスメトリック判定も)

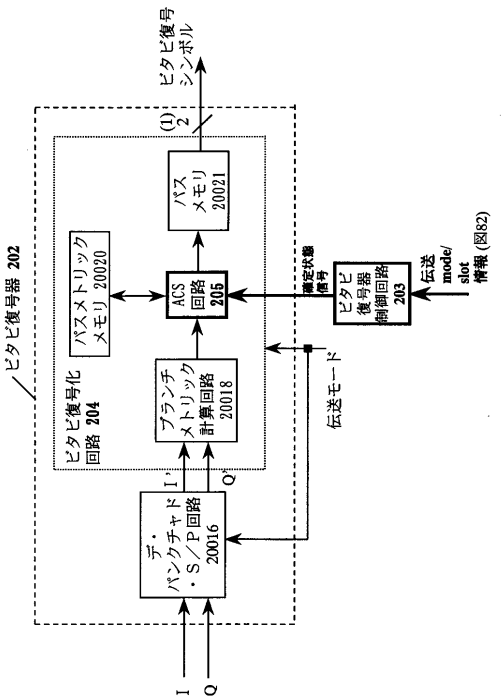
【図４】


伝送モードA
※(パスメモリ長＝J)
(a)
(1)
(2)
(J-1)
(J)
復号出力
最小パスメトリック判定
→その１状態のみが，有効
(伝送モードBが1symbol入力)
伝送モードB
(b)
(c)
(伝送モードBが(J-2)symbol入力)

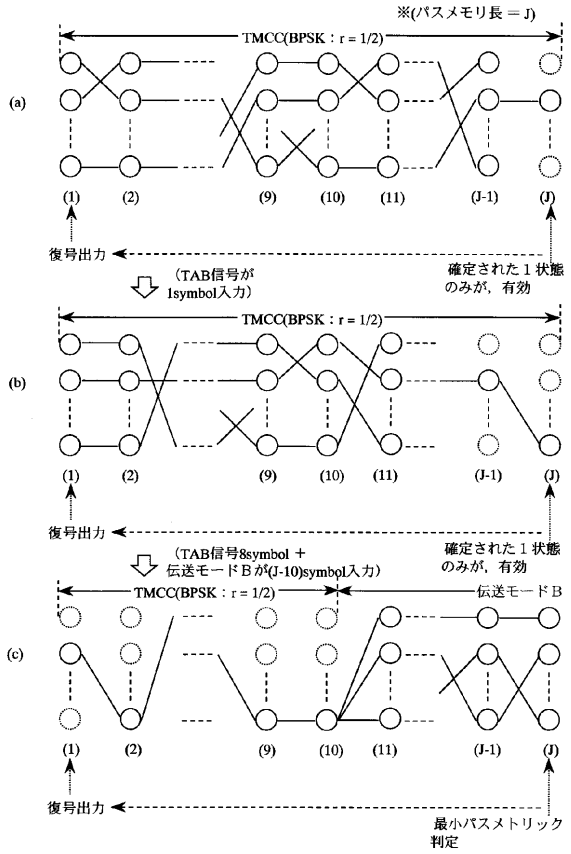
【図５】


誤り訂正回路 201
ビタビ復号器 202
ビタビ復号器制御回路 203
ビタビ復号化回路 204
スーパーフレーム同期信号
復調I／Qデータ
高／低階層選択信号
enable信号
誤り訂正データ(TS)
選局情報(TS_ID)
スロット選択信号
伝送mode
Dummy slot情報
TS_ID→相対TS番号の参照
伝送mode/slot情報(図82)
確定状態信号
デ・インターリーブ回路 20005
デ・ランダマイズ回路 20007
RS復号回路 20008
速度変換回路 20009
伝送制御情報復号回路 20010
選局回路 20011
シンボル／バイト変換回路 20004
高／低階層選択信号生成回路 20003
MPEG同期バイト／ダミー・スロット挿入回路 20006

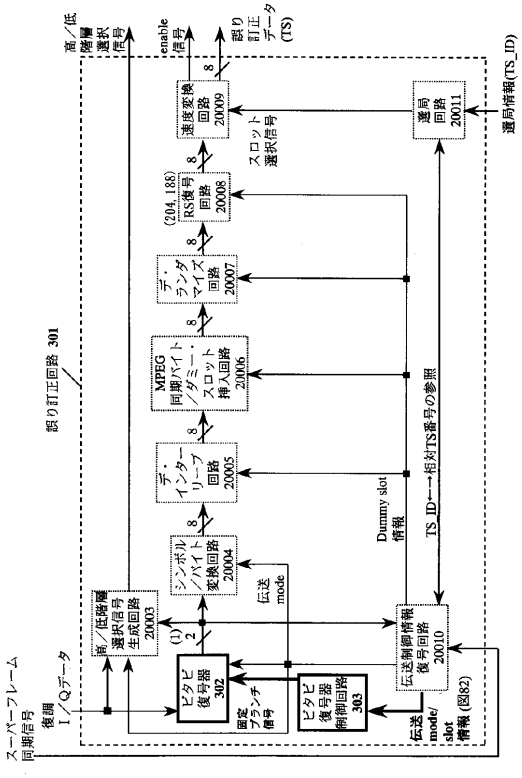
【図６】


ビタビ復号器 202
ビタビ復号化回路 204
ビタビ復号シンボル
パスメモリ 20021
ACS回路 206
パスメトリックメモリ 20020
ブランチメトリック計算回路 20018
デ・パンクチャド・S／P回路 20016
ビタビ復号器制御回路 203
確定状態信号
伝送mode/slot情報(図82)
伝送モード
I
Q
I'
Q'

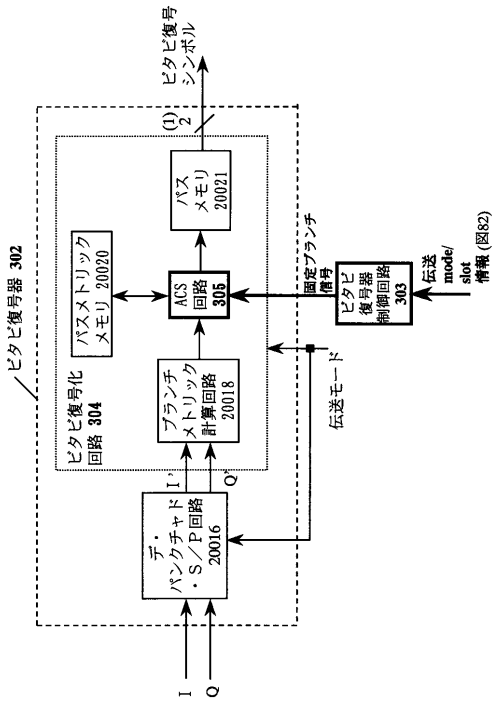
【図７】



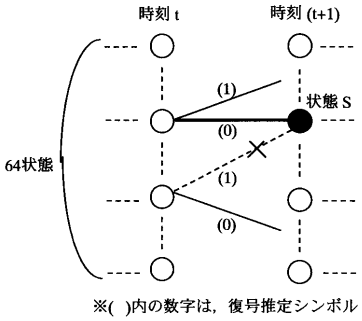
【図８】



【図９】



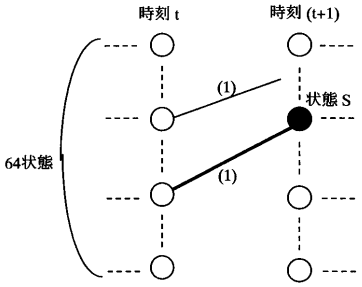
【図１０】



※( )内の数字は，復号推定シンボル

(a) 通常のビタビ復号におけるブランチの出力

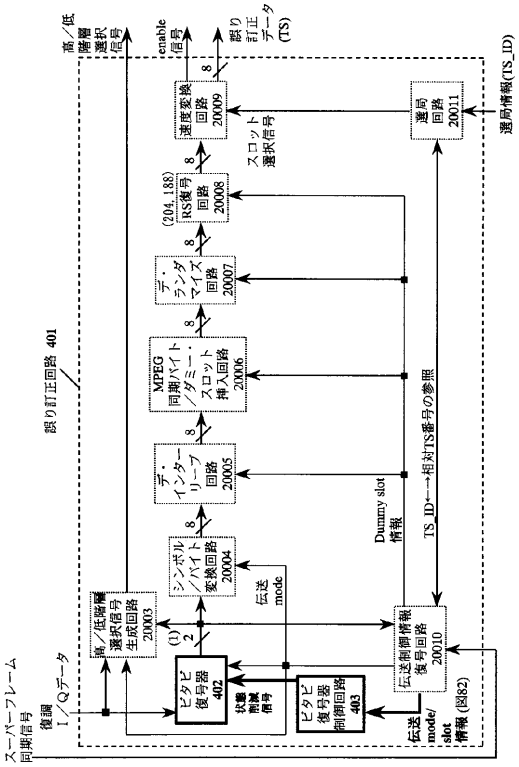
(固定シンボル系列“１”の場合)
→ ACSで，“１”のブランチのみを出力



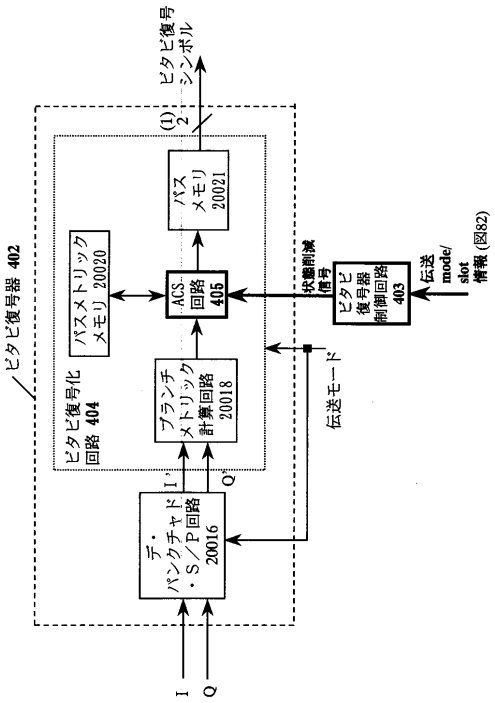
※( )内の数字は，復号推定シンボル

(b) 本実施の形態におけるブランチの出力(ＴＡＢ信号について)

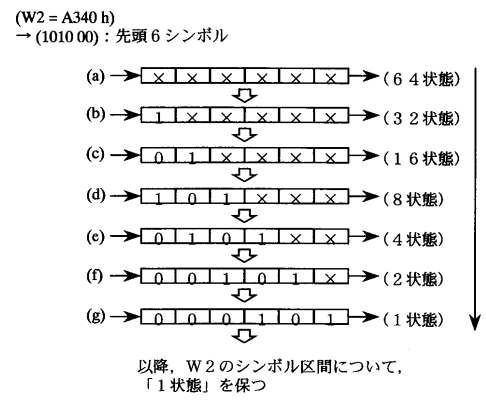
【図１１】



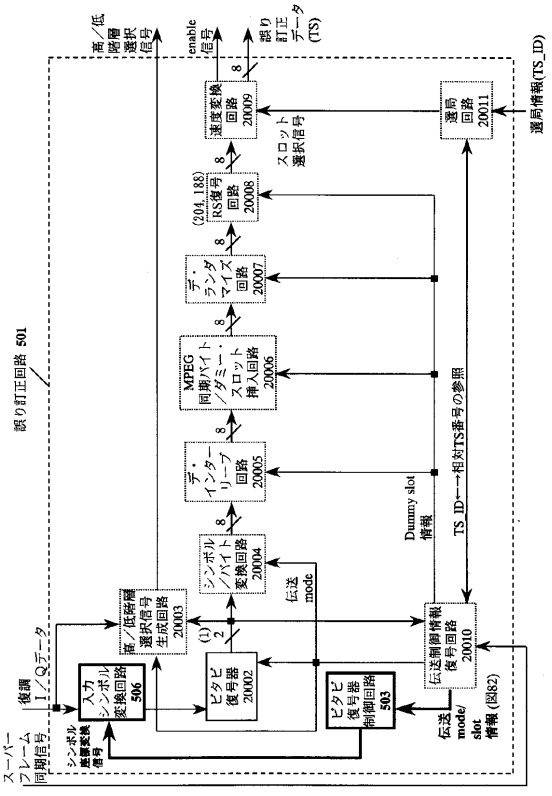
【図１２】



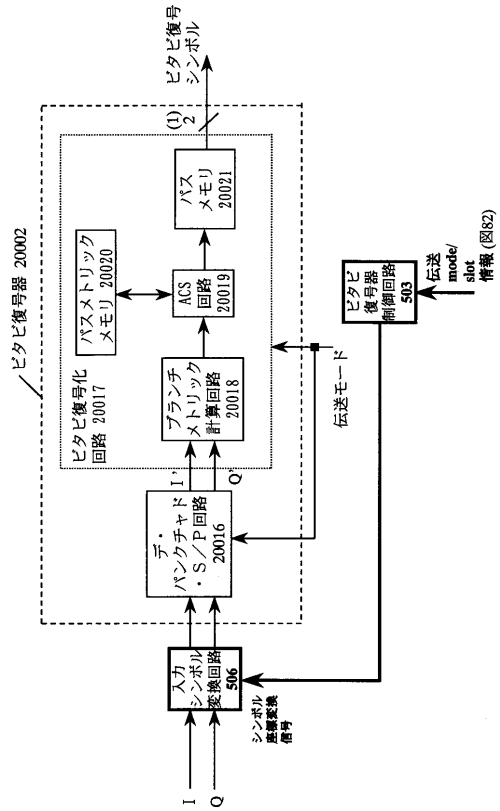
【図１３】



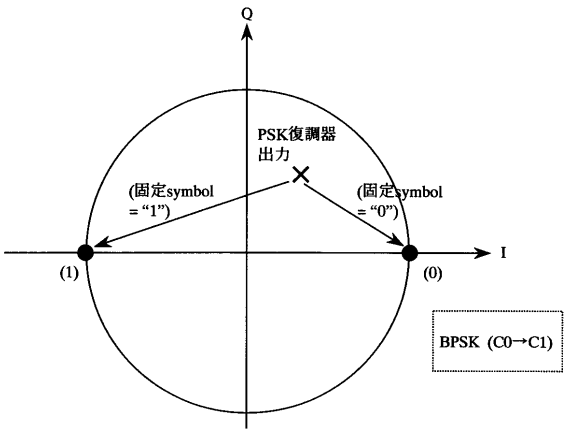
【図１４】



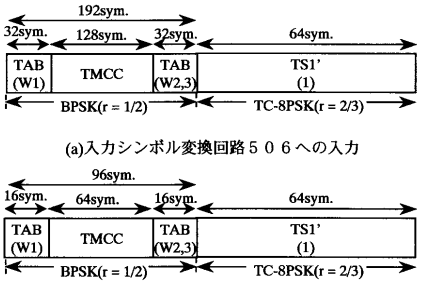
【図１５】



【図１６】



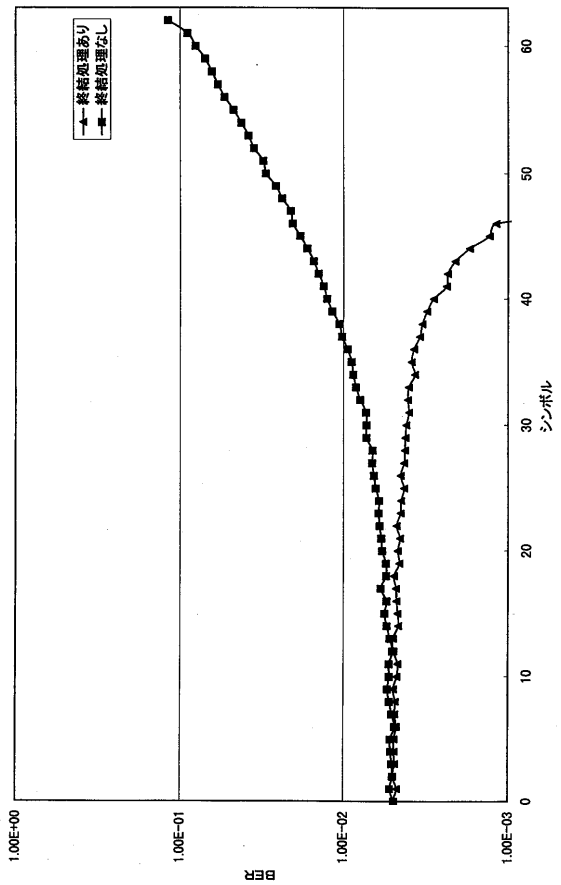
【図１７】



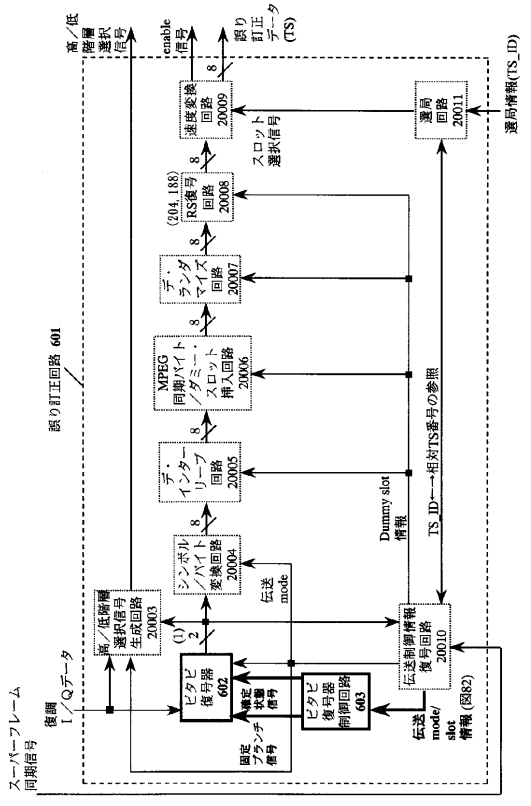
(a)入力シンボル変換回路５０６への入力

(b)パスメモリ２００２１への入力

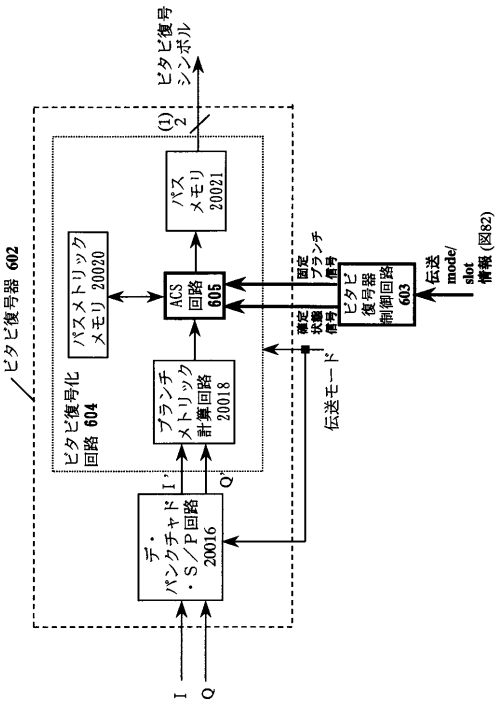
【図１８】



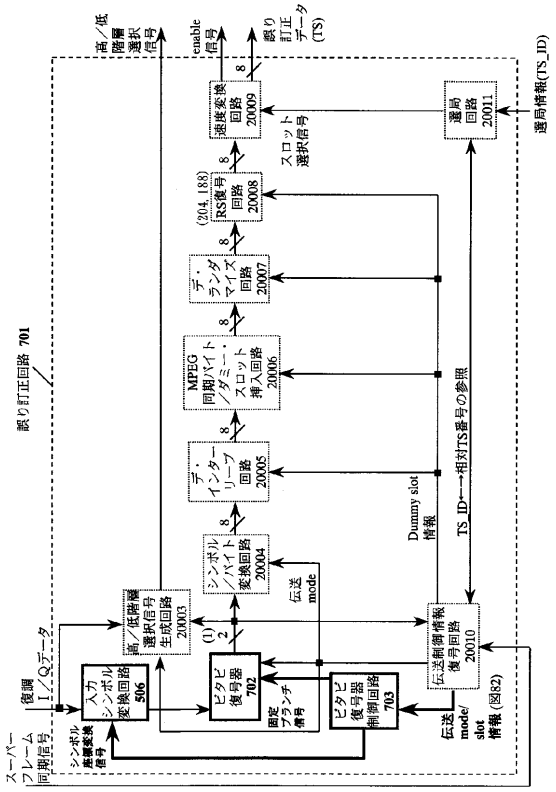
【図１９】



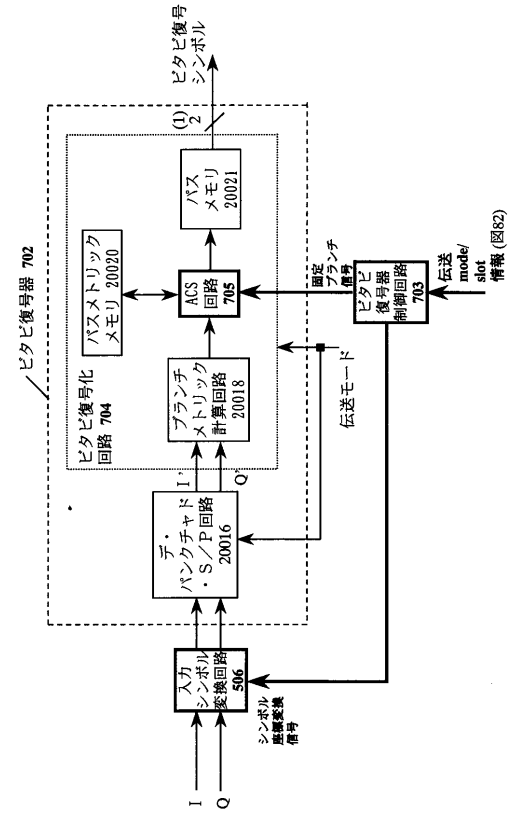
【図２０】



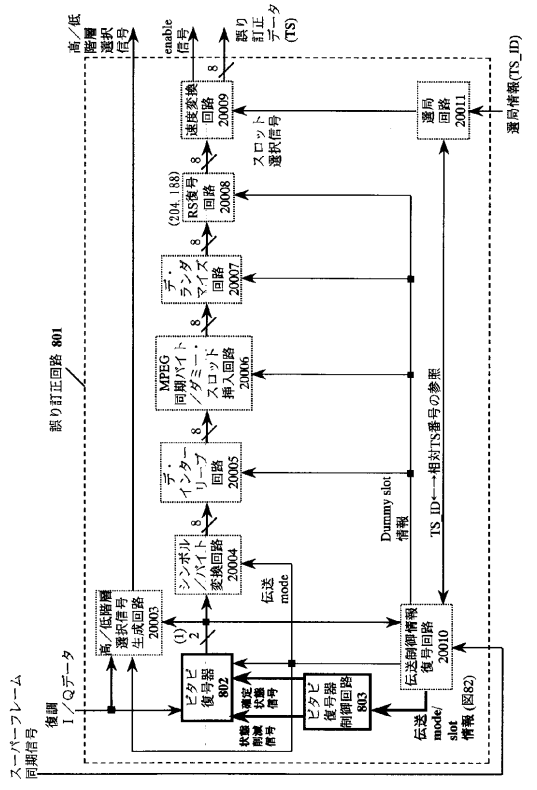
【図２１】



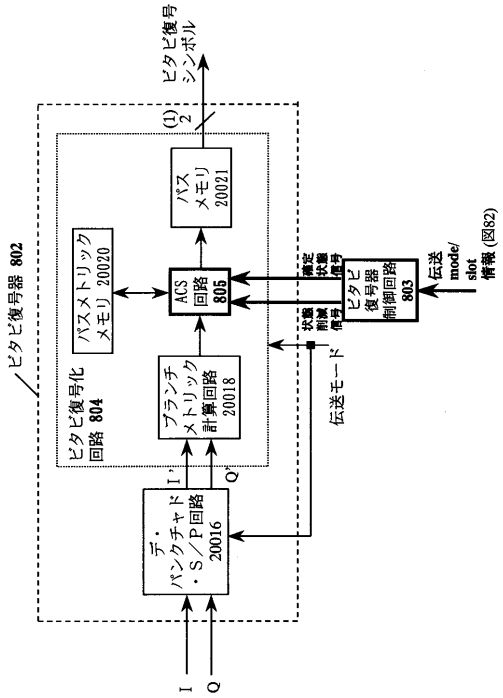
【図２２】



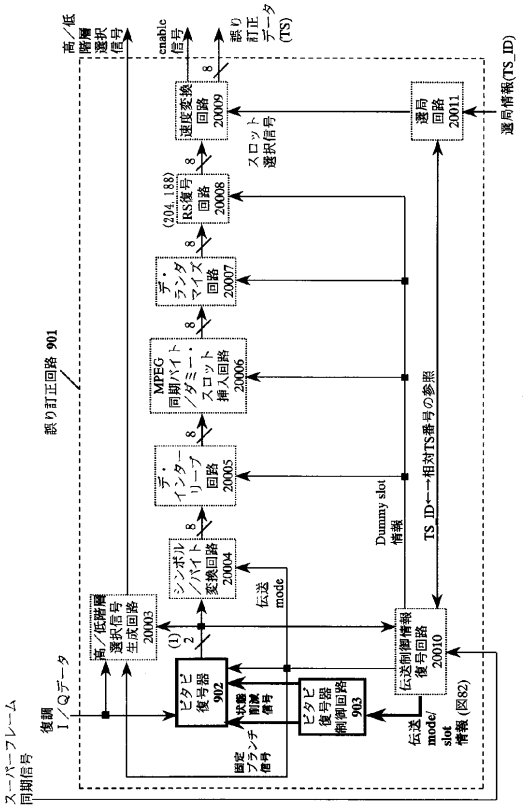
【図２３】



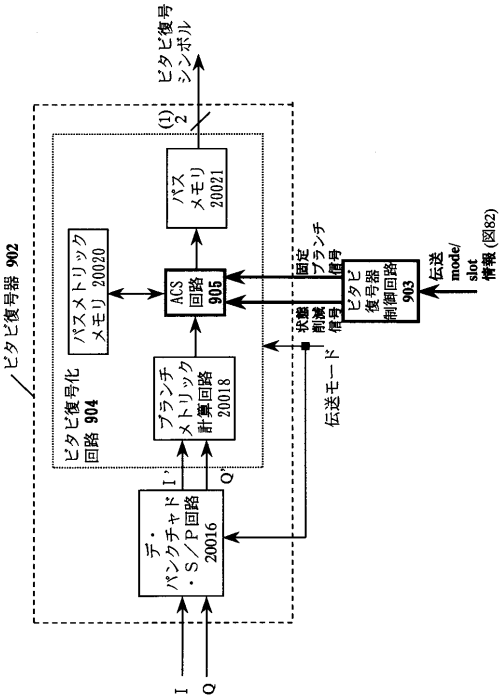
【図２４】



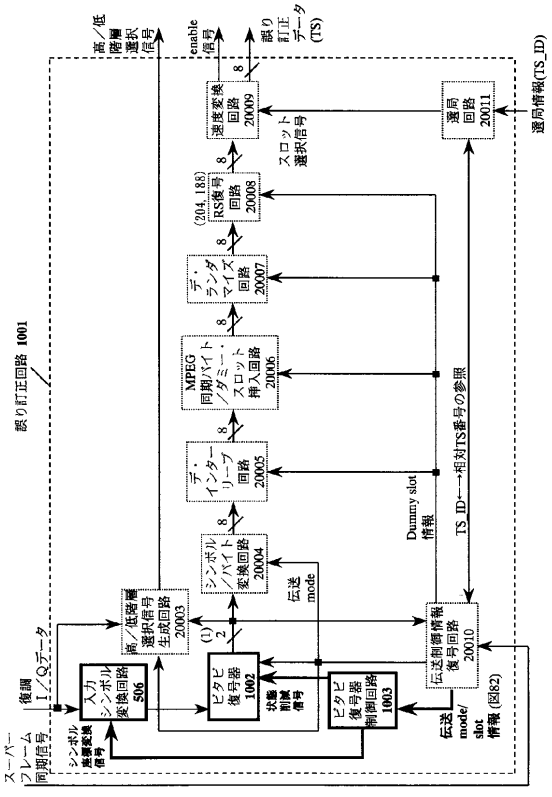
【図２５】



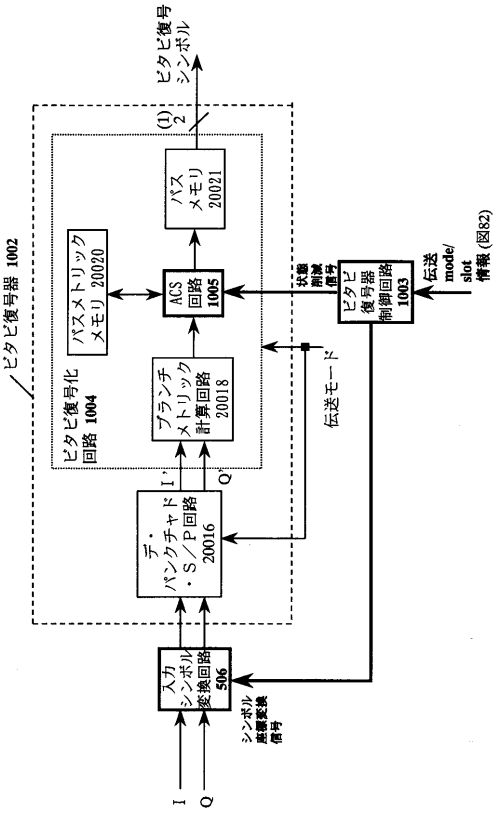
【図２６】



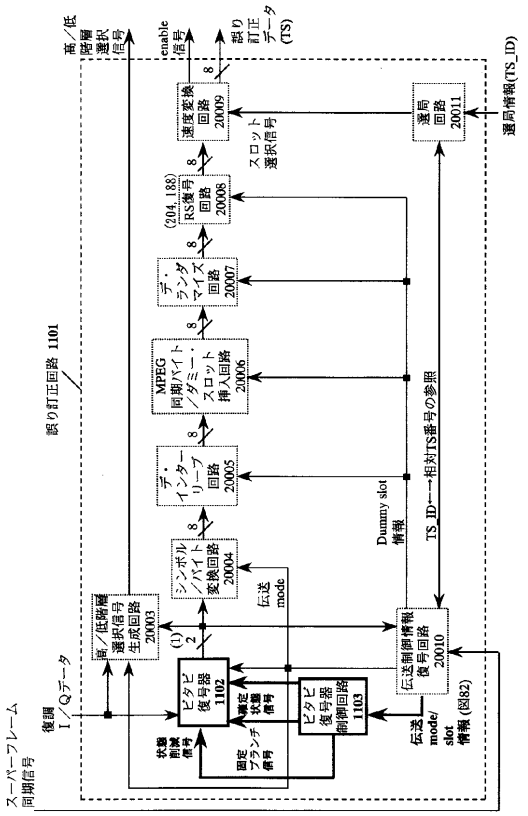
【図２７】



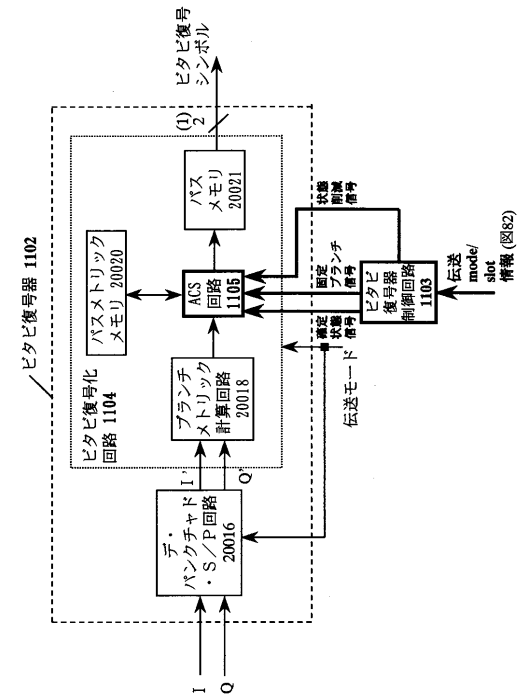
【図２８】



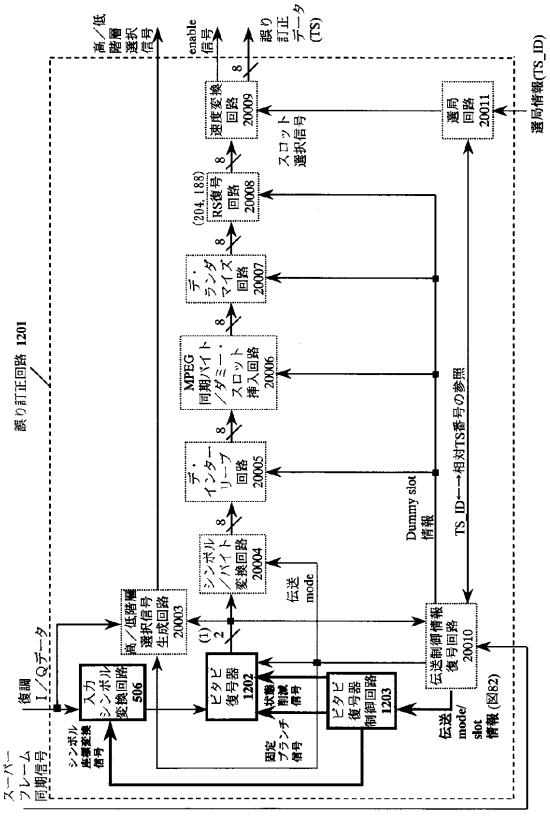
【図２９】



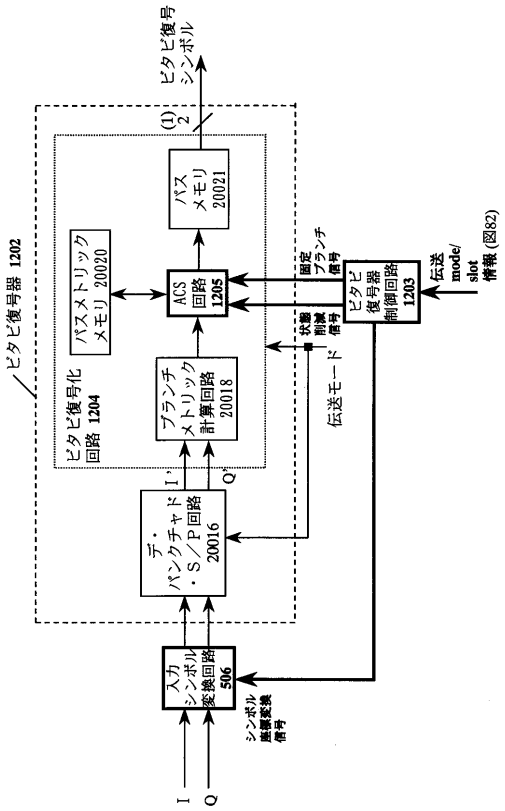
【図３０】



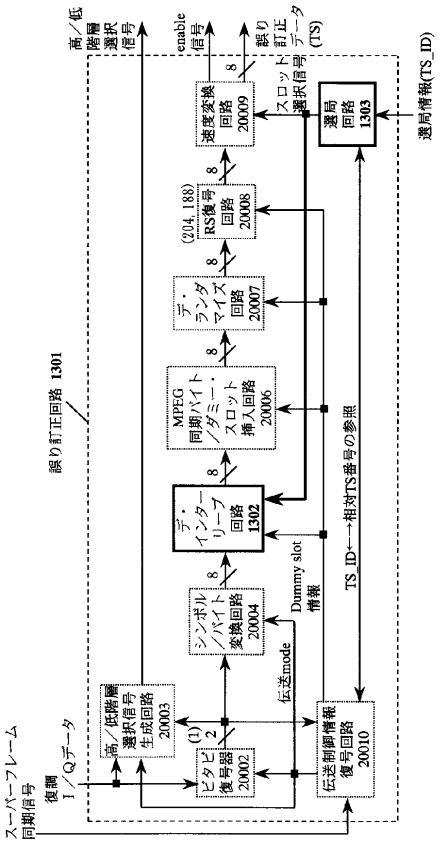
【図３１】



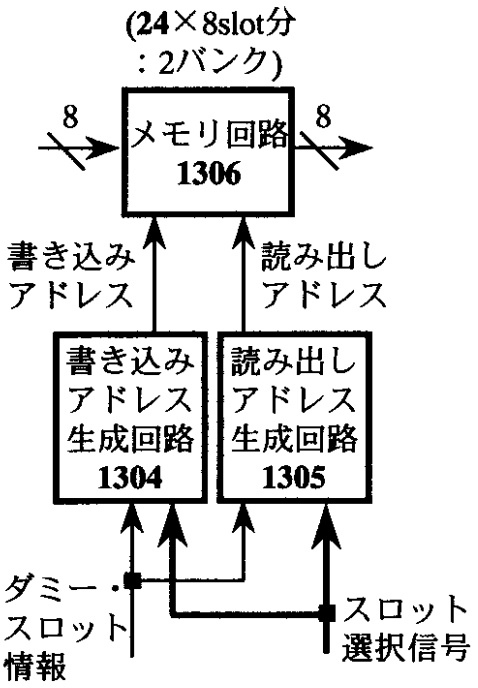
【図３２】



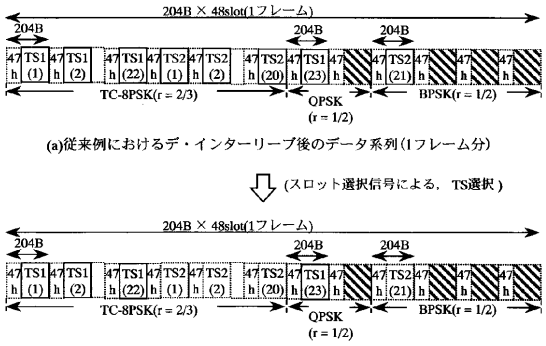
【図３３】



【図３４】



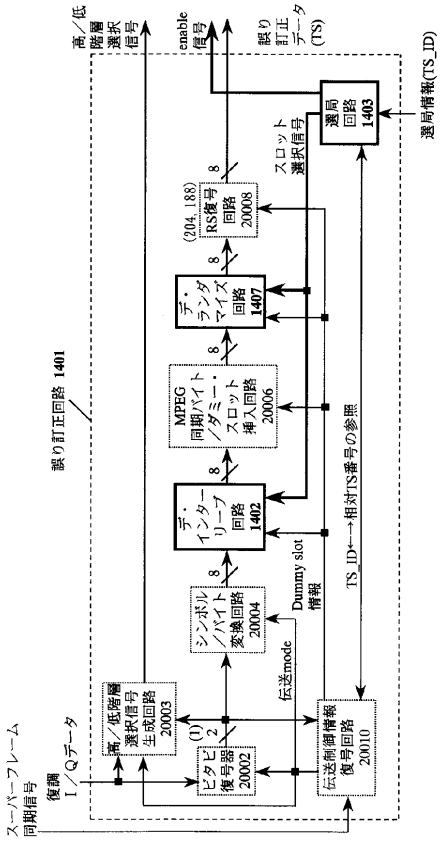
【図３５】



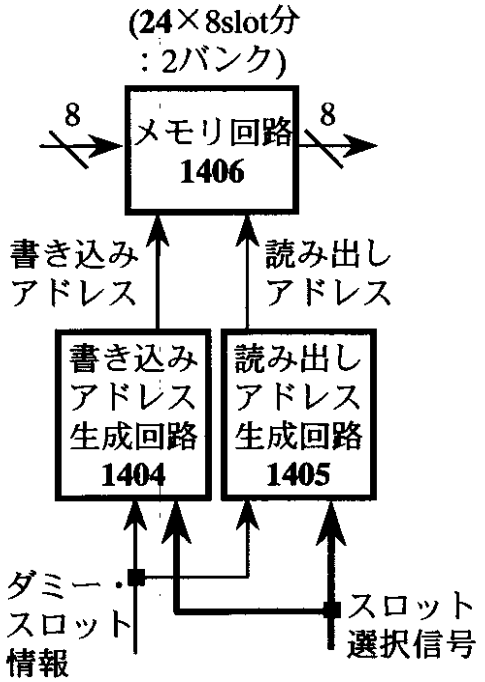
(a)従来例におけるデ・インターリーブ後のデータ系列(1フレーム分)

(b)本実施の形態におけるデ・インターリーブ後のデータ系列(1フレーム分)

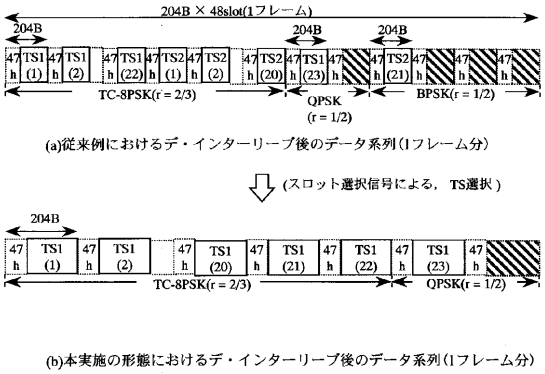
【図３６】



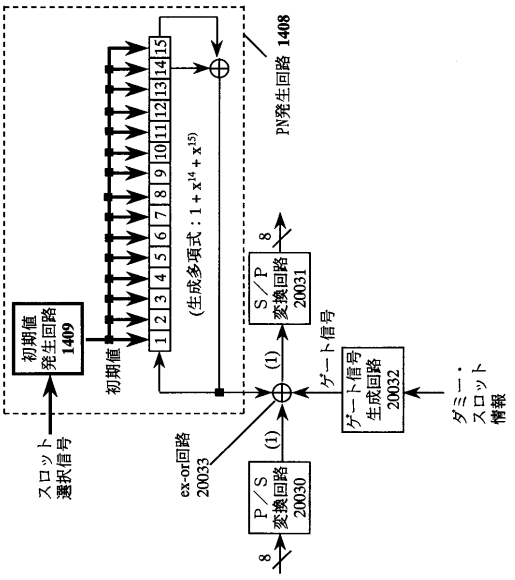
【図３７】



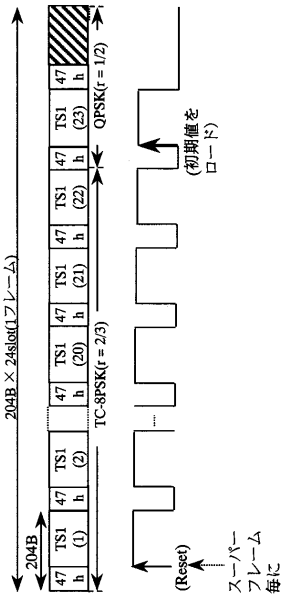
【図３８】



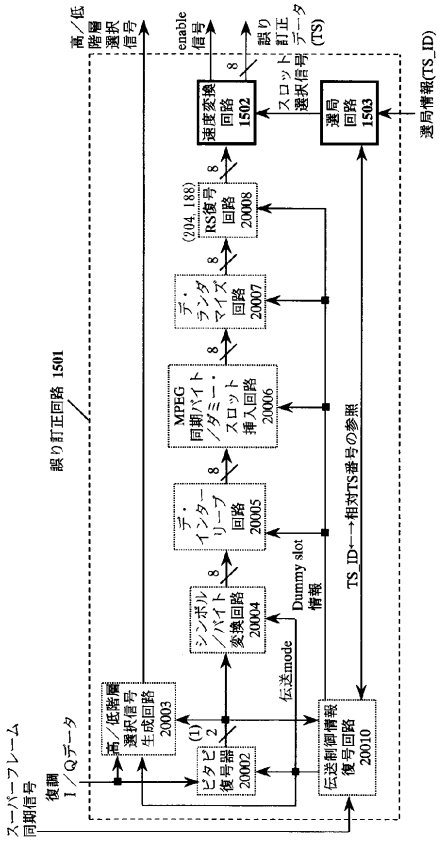
【図３９】



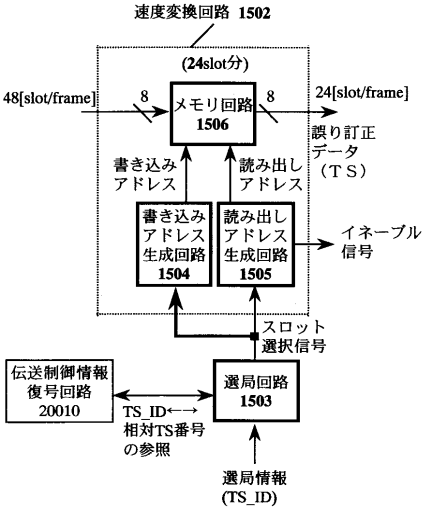
【図４０】



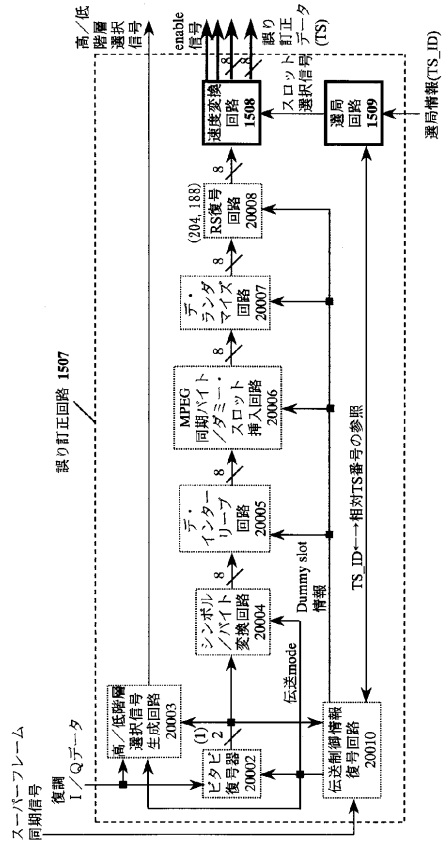
【図４１】



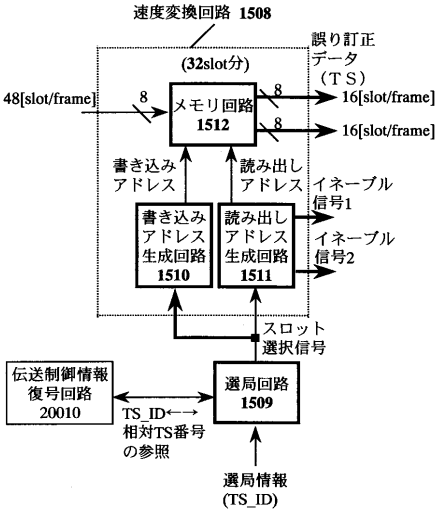
【図４２】



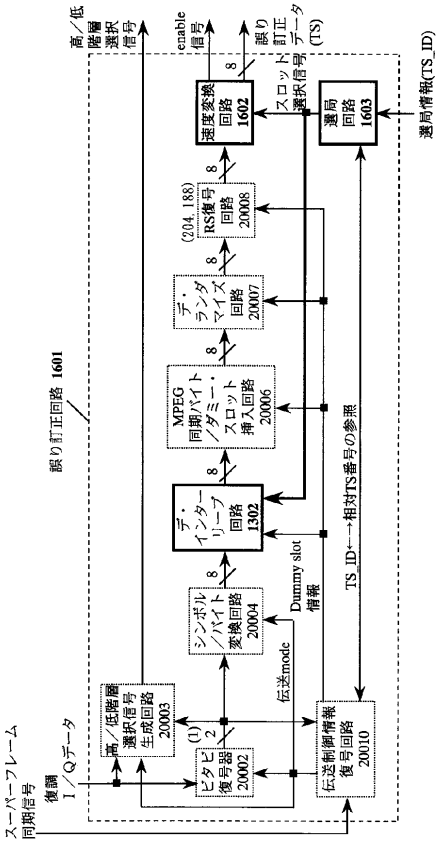
【図４３】



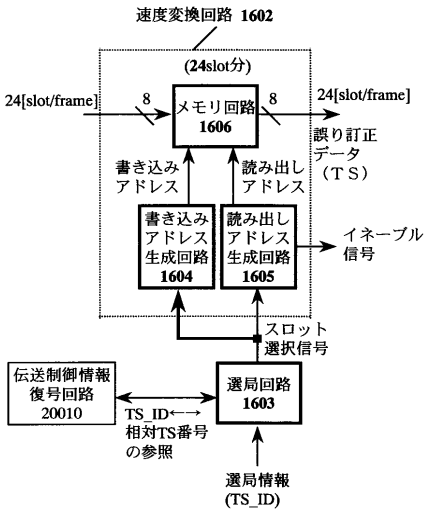
【図４４】



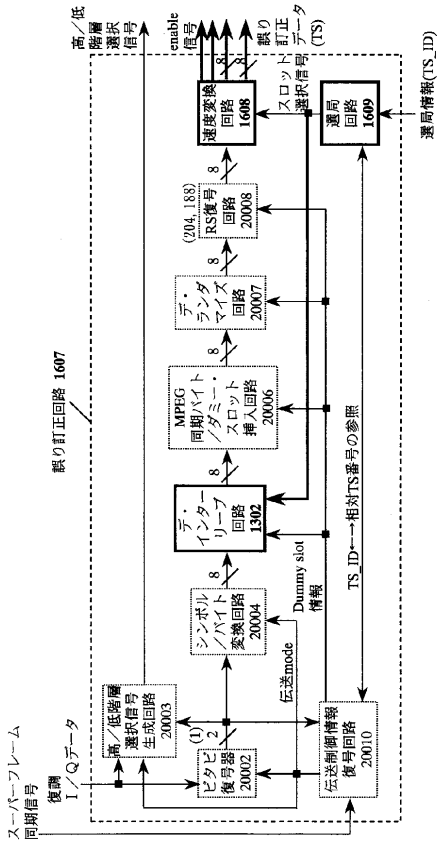
【図４５】



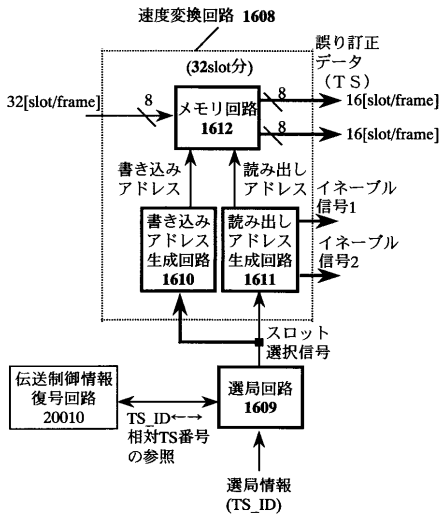
【図４６】



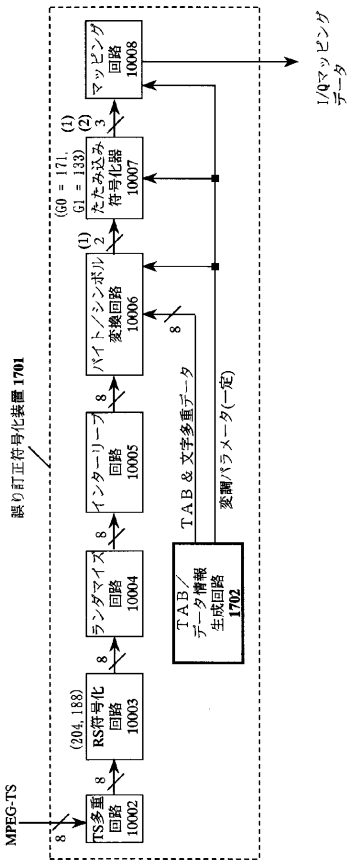
【図４７】



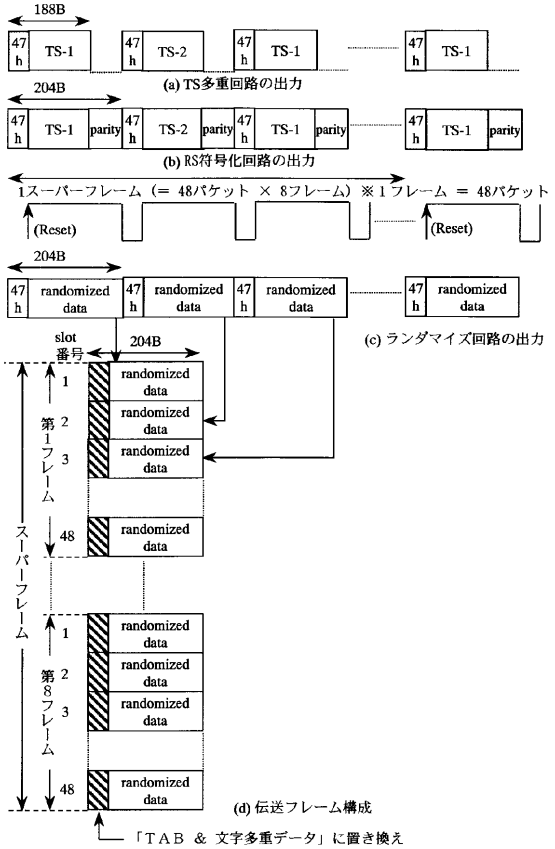
【図４８】



【図４９】

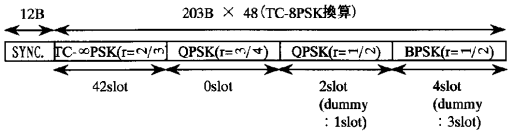


【図５０】

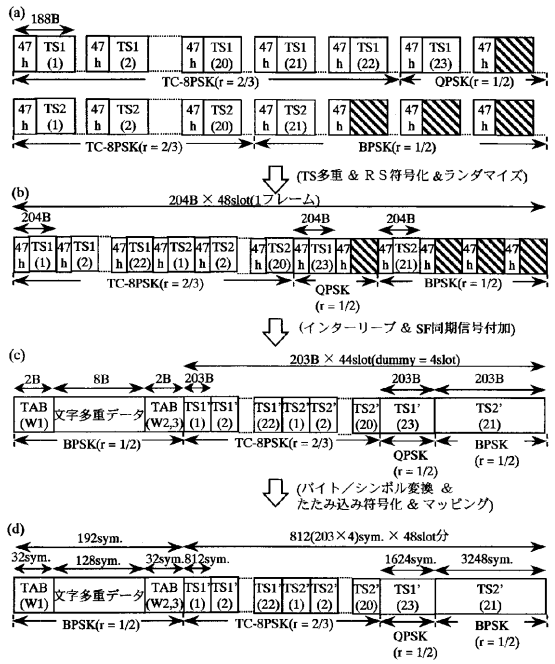


【図５１】

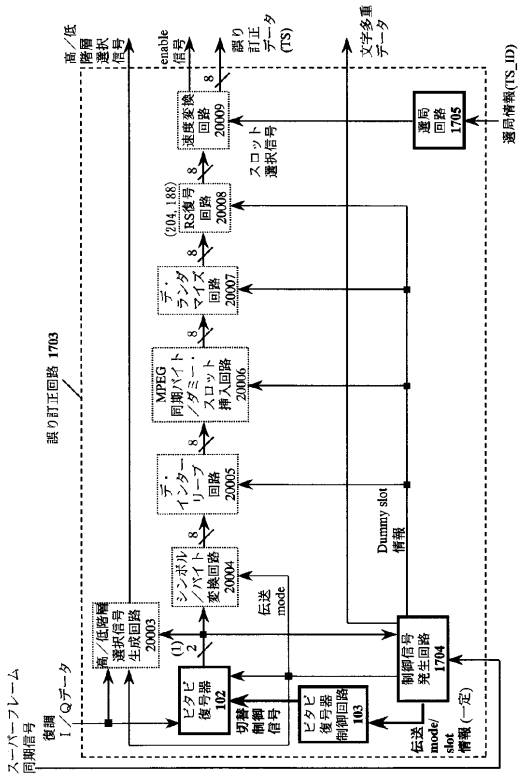
【図５２】



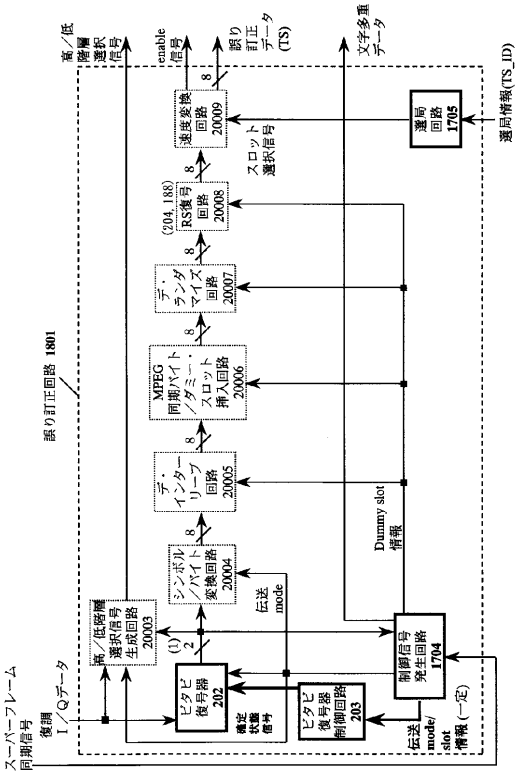
【図５３】



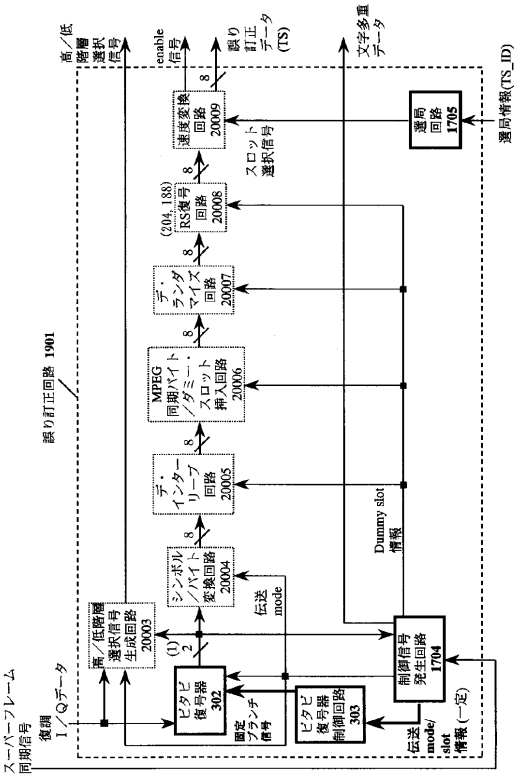
【図５４】



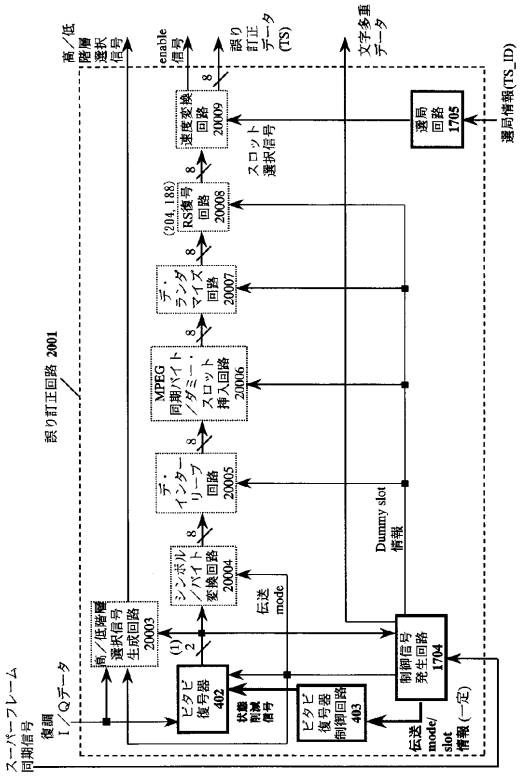
【図５５】



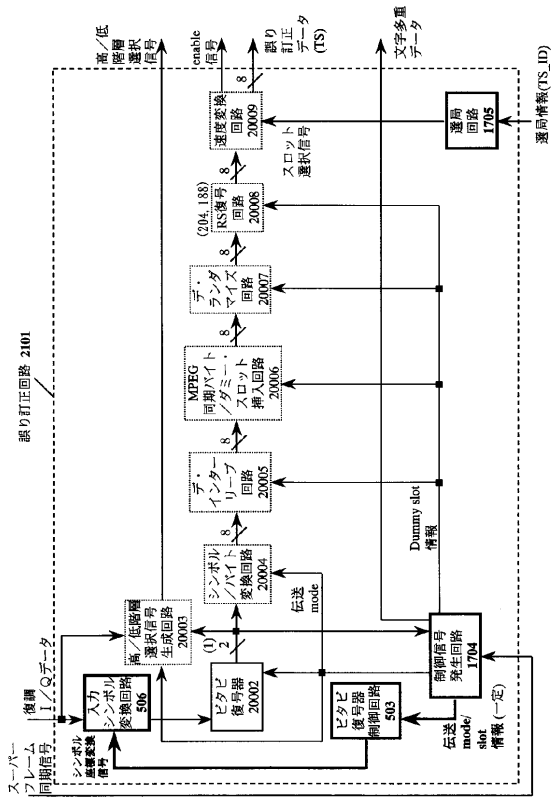
【図５６】



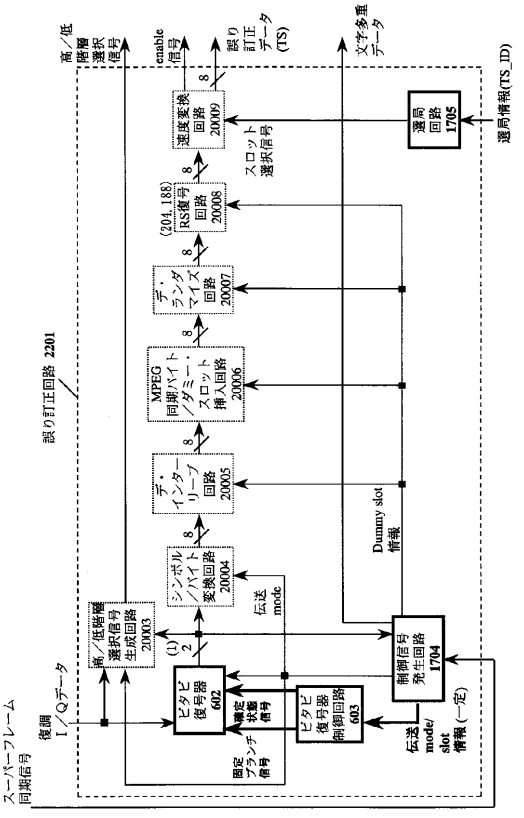
【図５７】



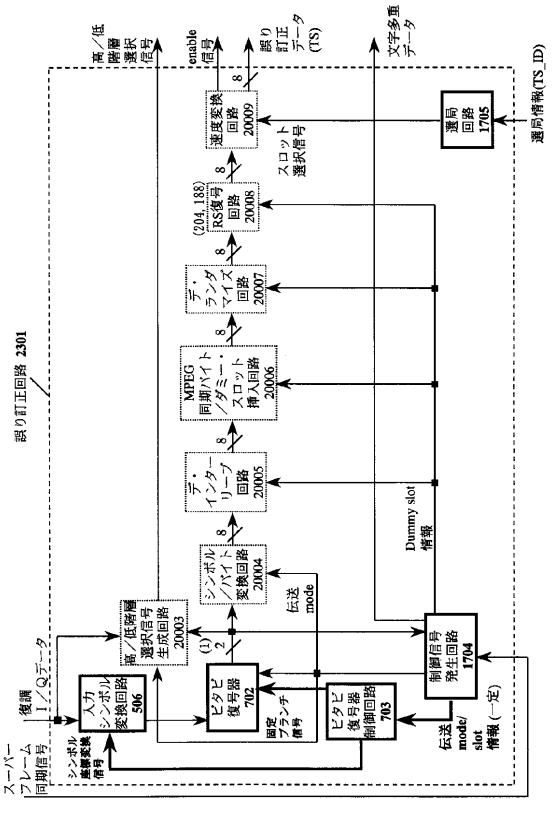
【図５８】



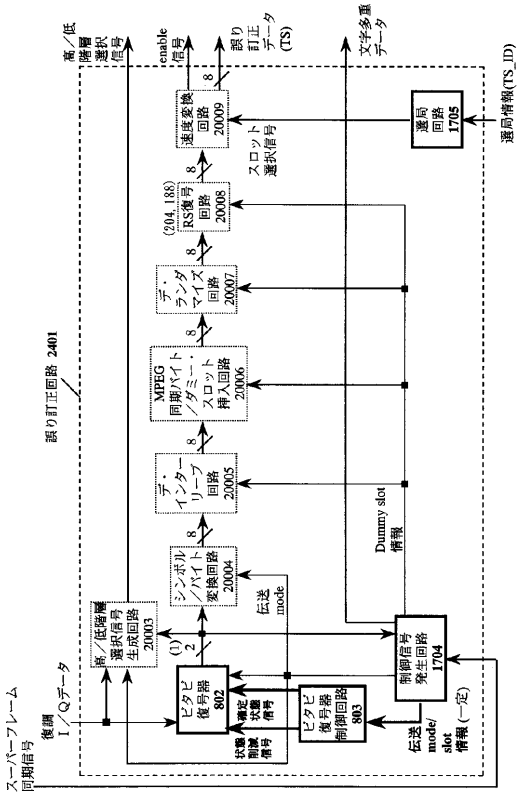
【図５９】



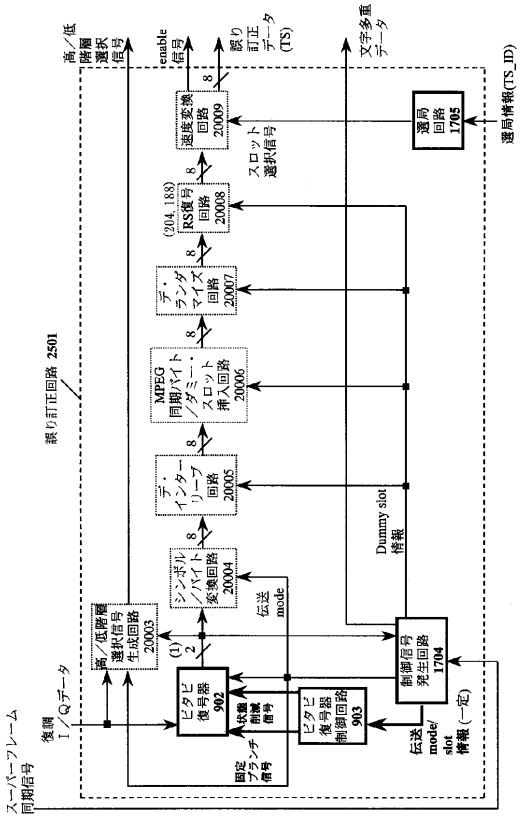
【図６０】



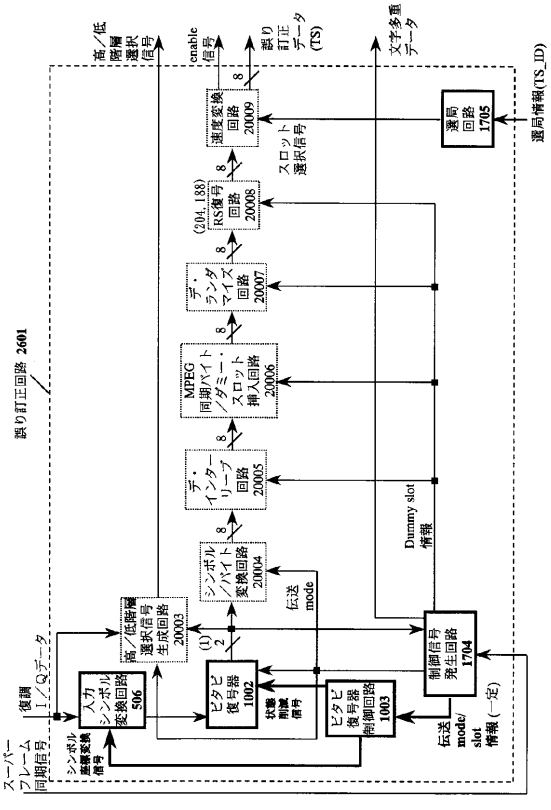
【図６１】



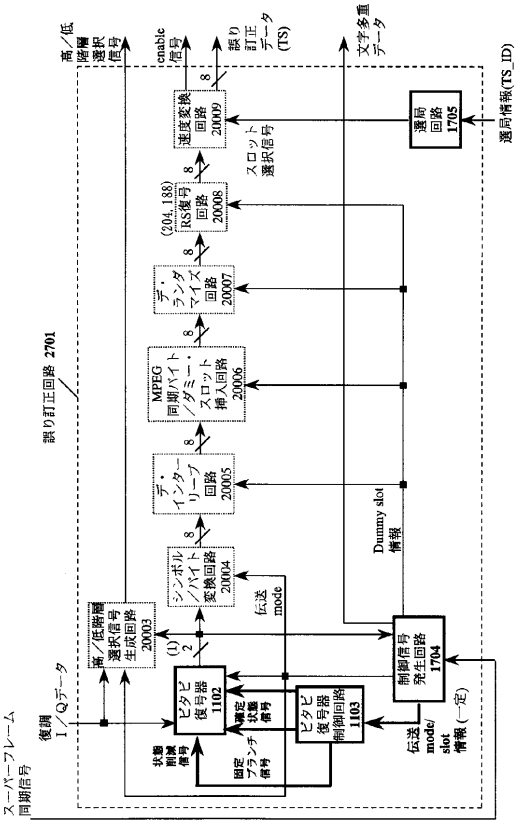
【図６２】



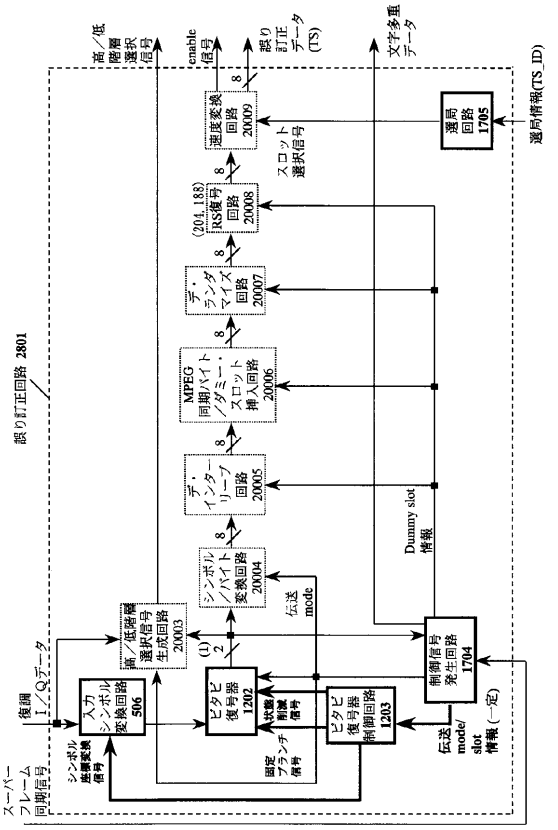
【図６３】



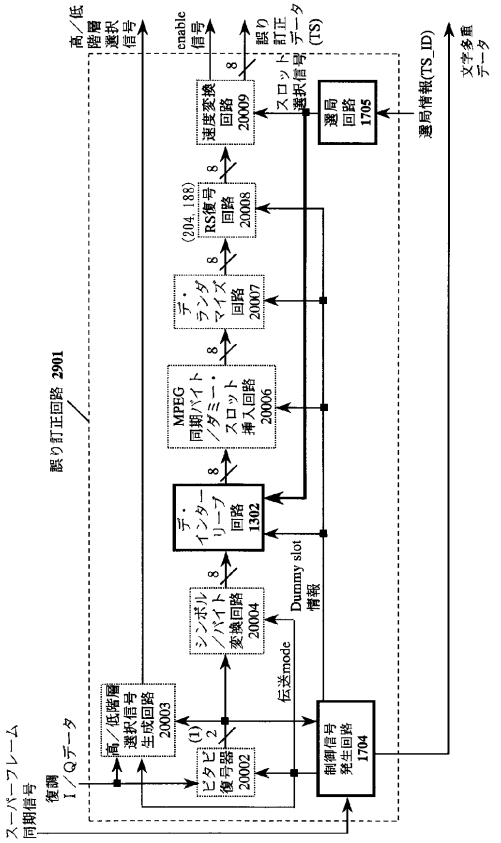
【図６４】



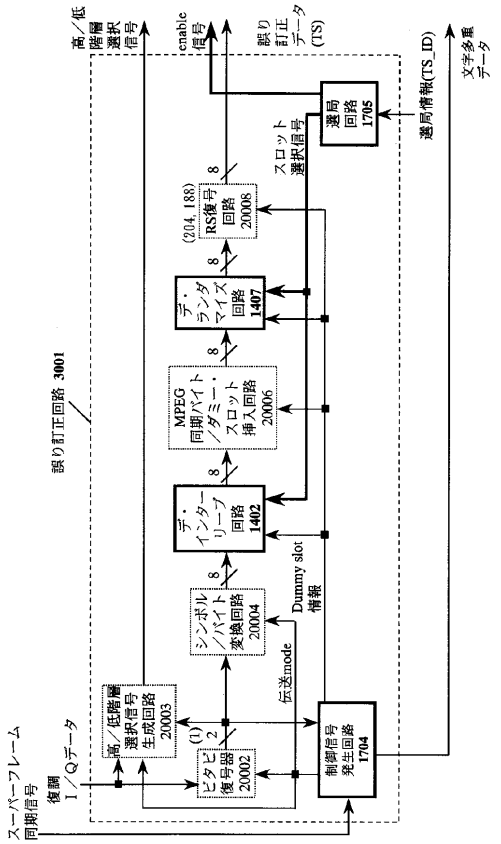
【図６５】



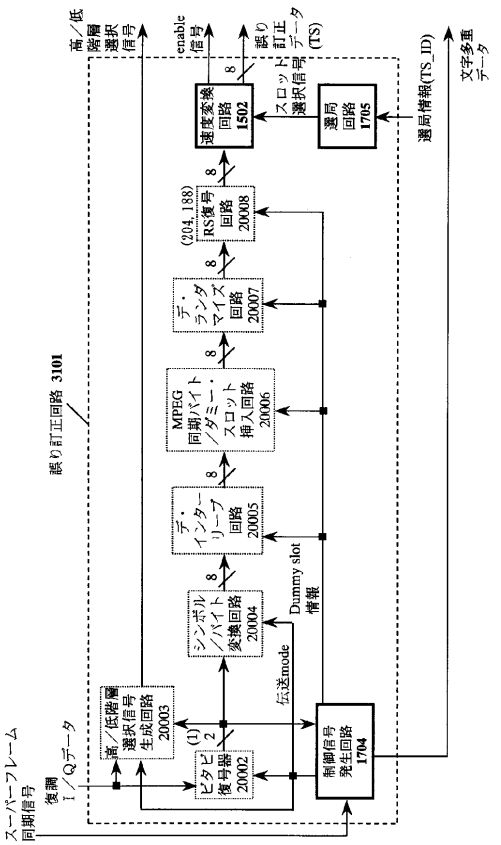
【図６６】



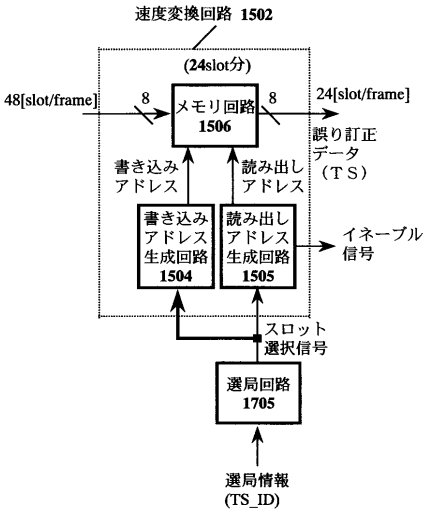
【図６７】



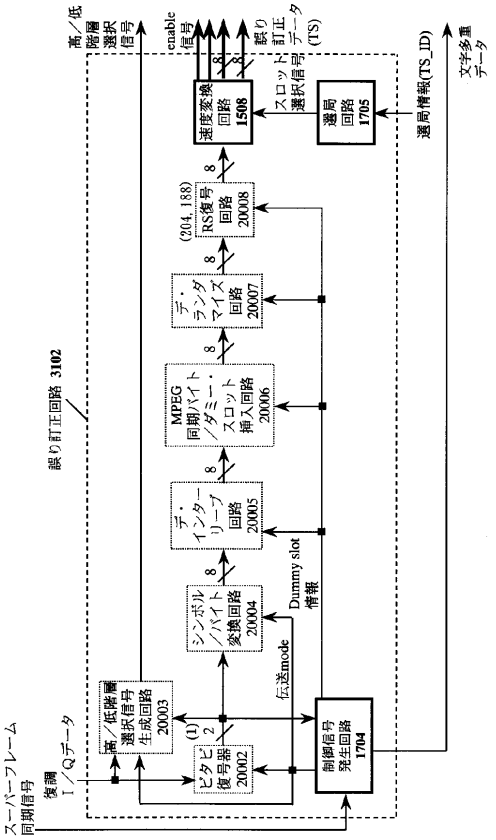
【図６８】



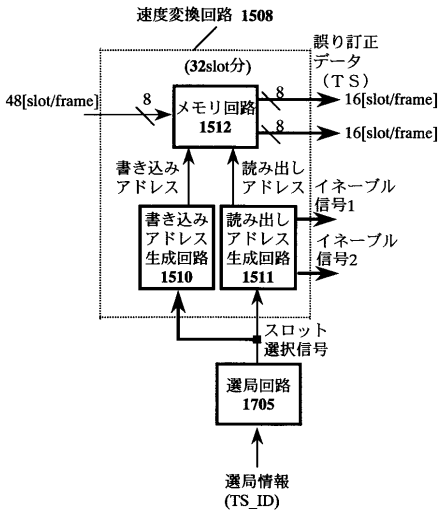
【図６９】



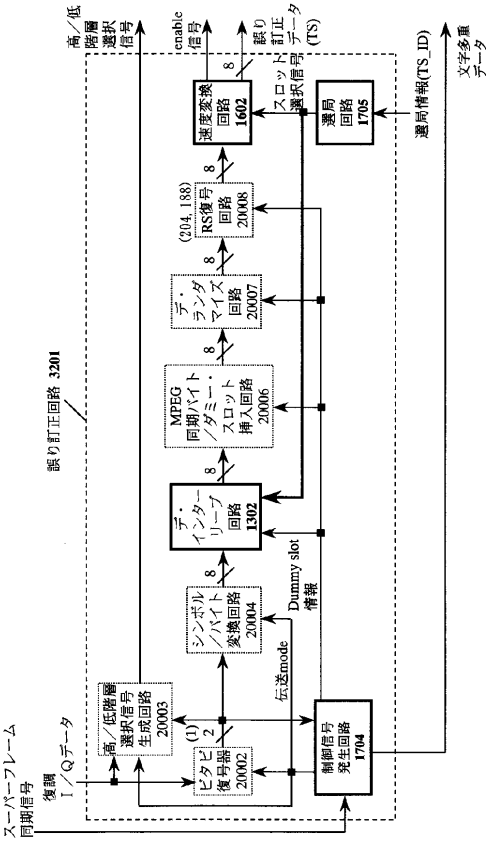
【図７０】



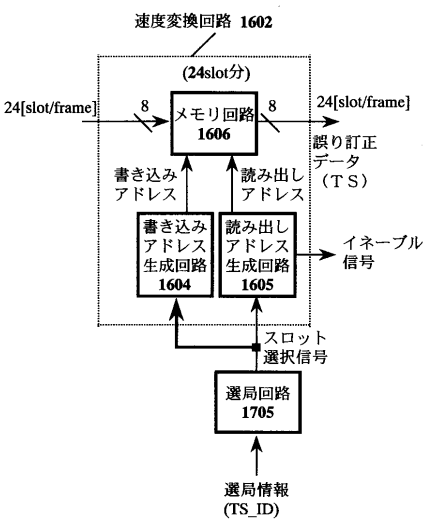
【図７１】



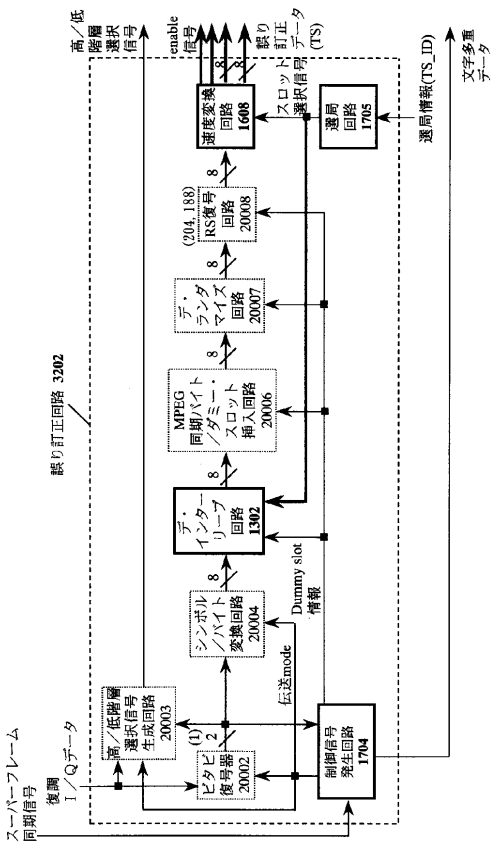
【図７２】



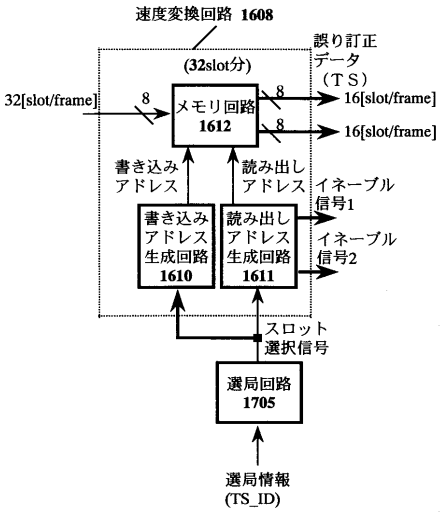
【図７３】



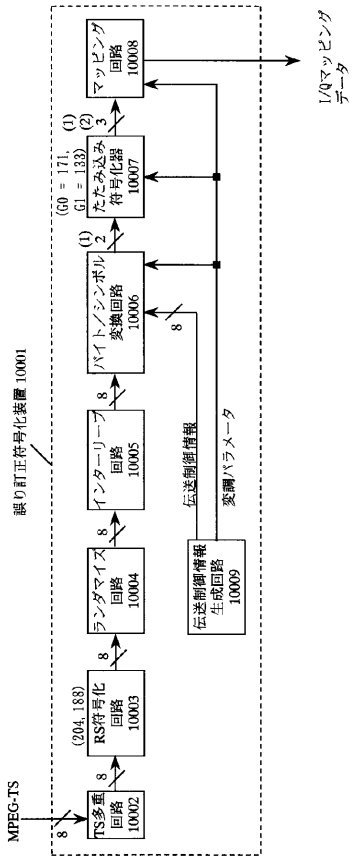
【図７４】



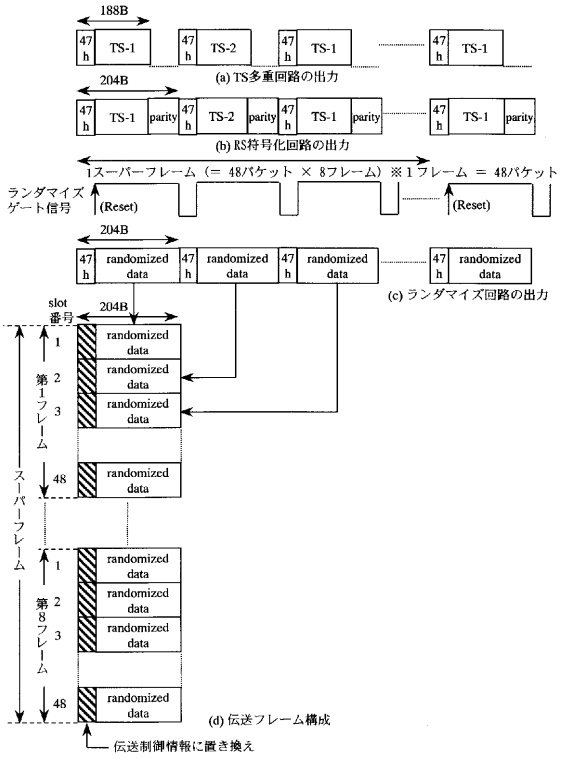
【図７５】



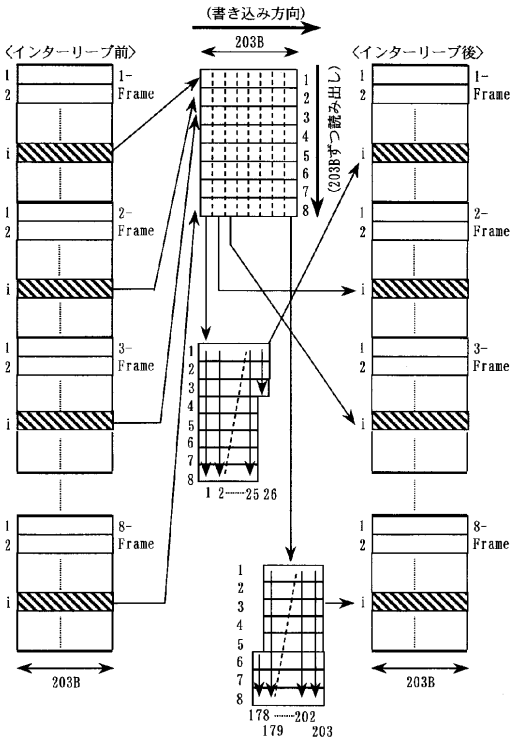
【図７６】



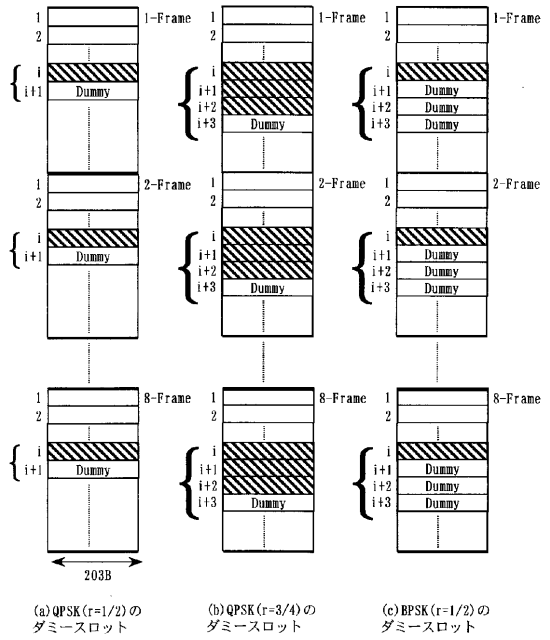
【図７７】



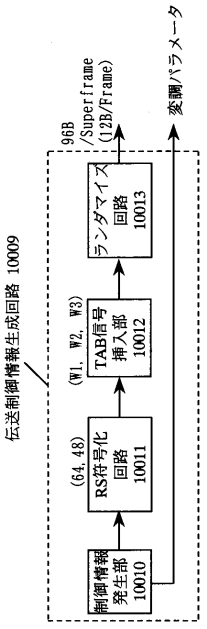
【図７８】



【図７９】



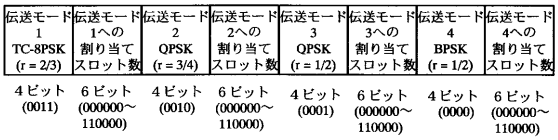
【図８０】



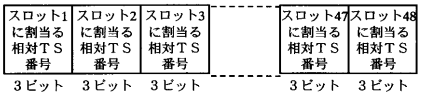
【図８１】

バージョン情報	伝送モード／スロット情報	相対ＴＳ／スロット情報	相対ＴＳ／ＴＳ番号対応表	送受信制御情報	拡張情報
5ビット	40ビット	144ビット	128ビット	5ビット	62ビット

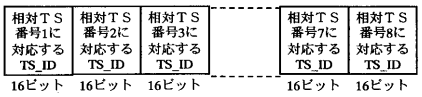
【図８２】



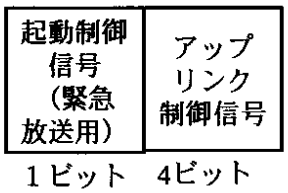
【図８３】



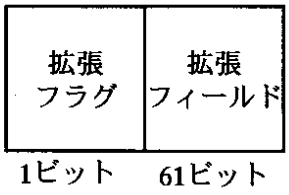
【図８４】



【図８５】

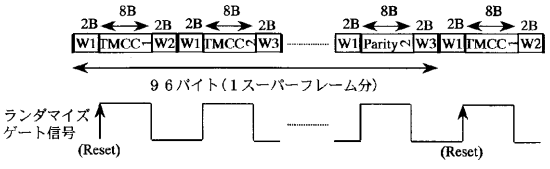


【図８６】

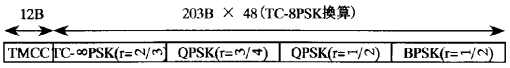


【図８７】

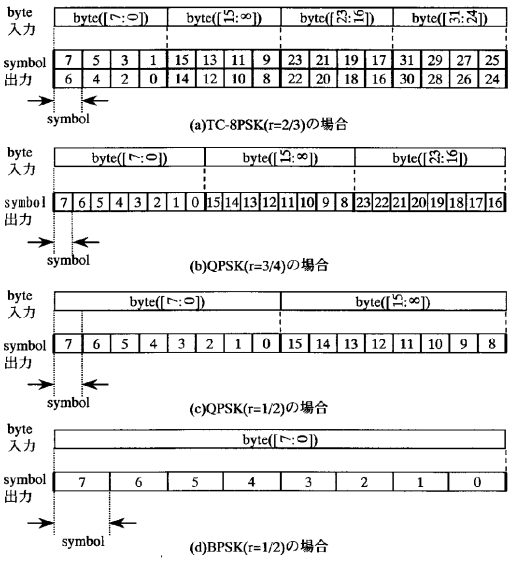
【図８８】



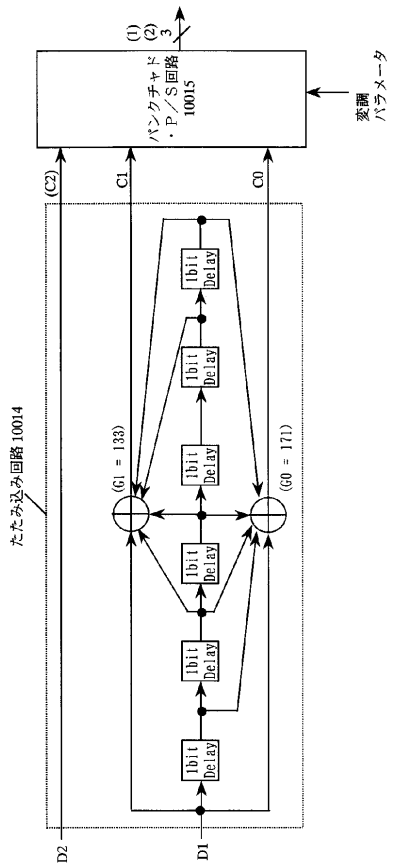
【図８９】



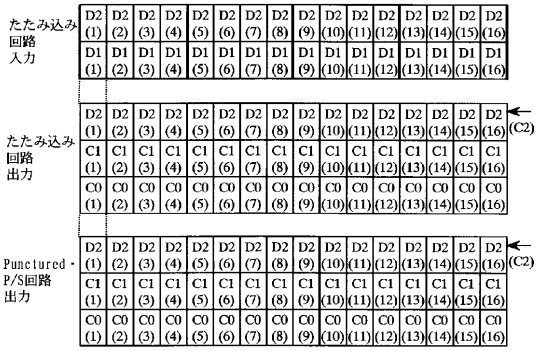
【図９０】



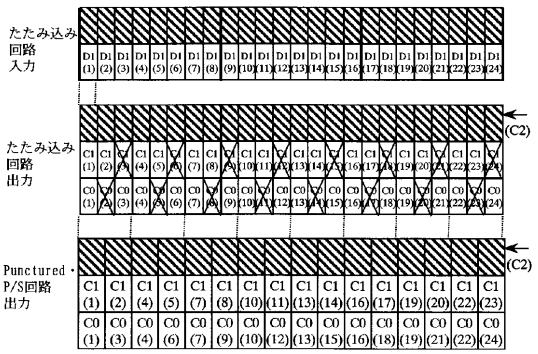
【図９１】



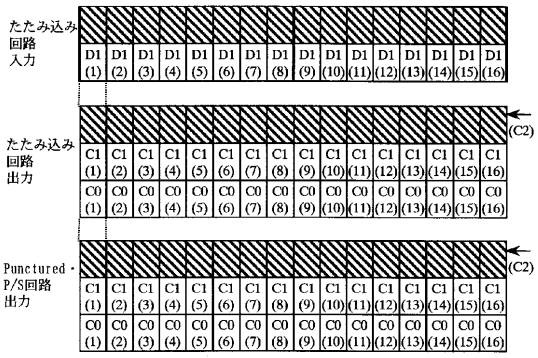
【図９２】



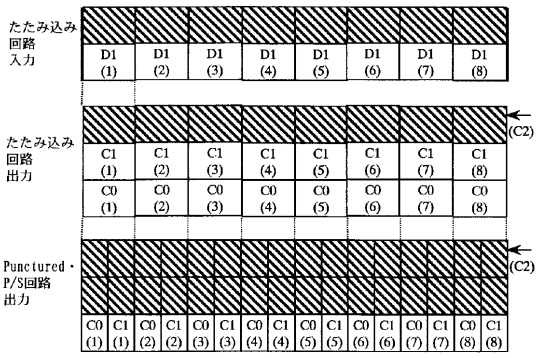
【図９３】



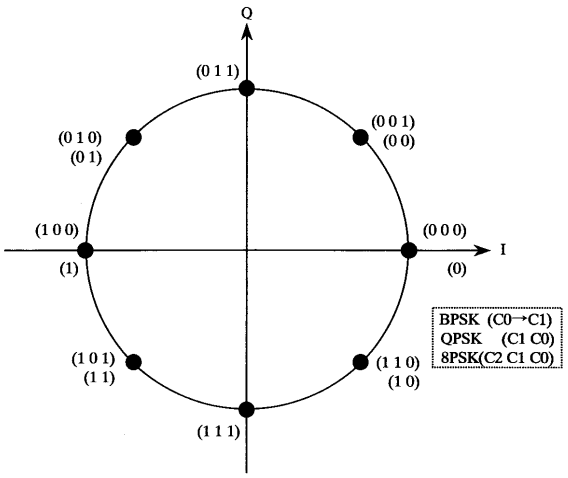
【図９４】



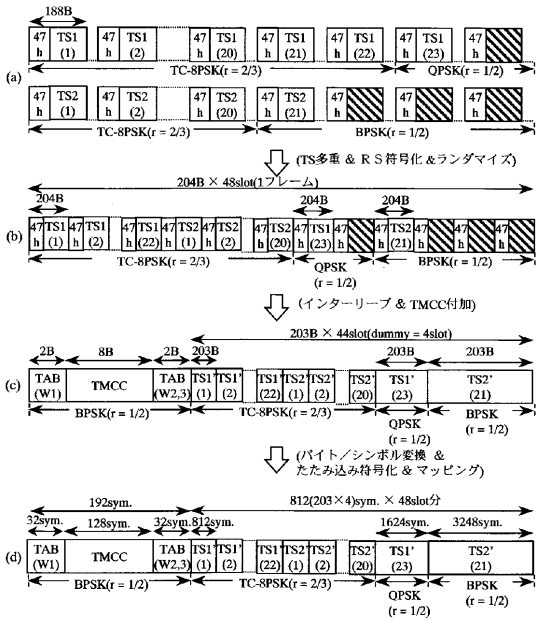
【図９５】



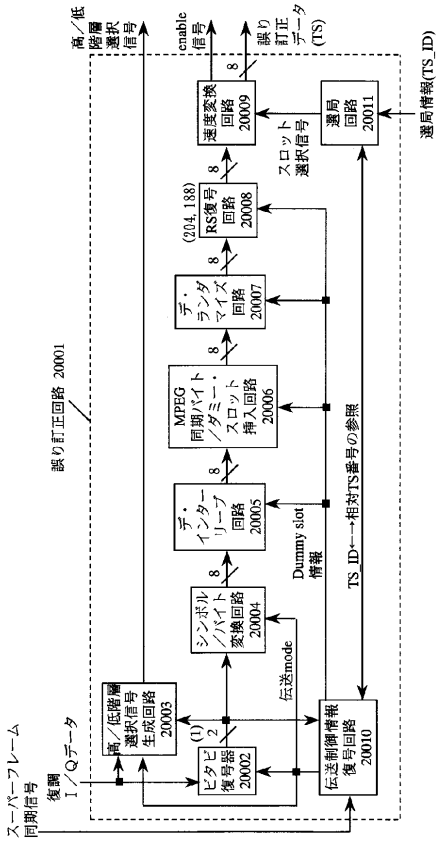
【図９６】



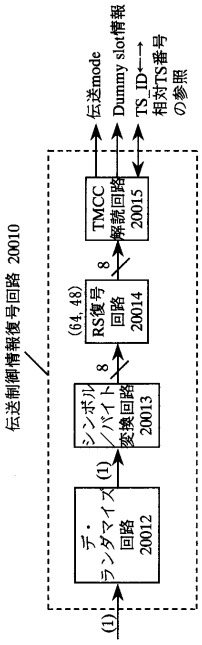
【図９７】



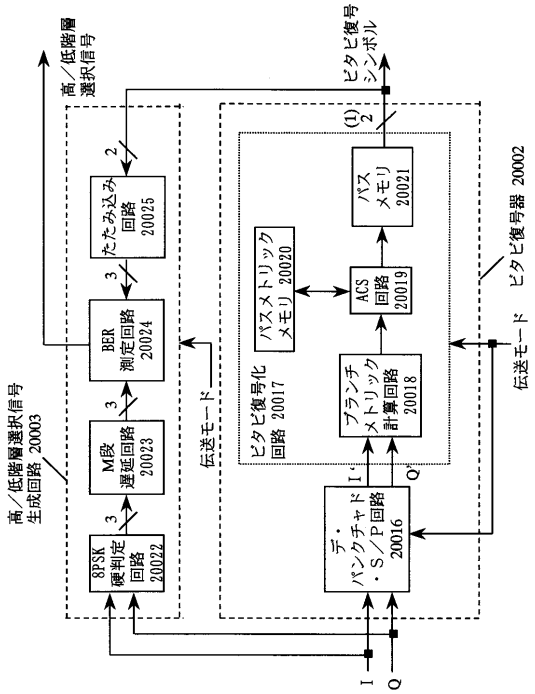
【図９８】



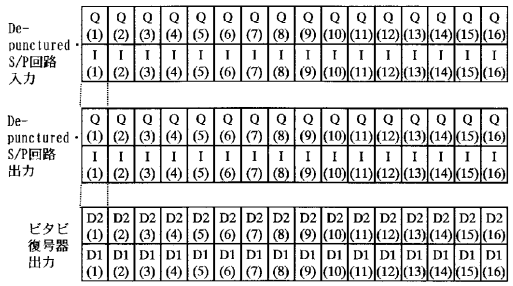
【図９９】



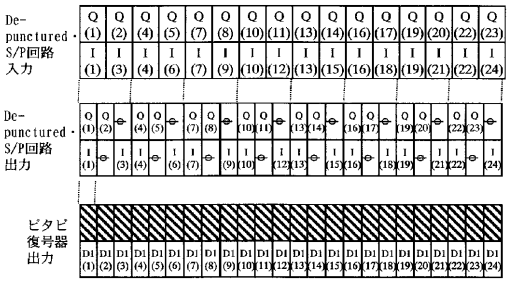
【図１００】



【図１０１】

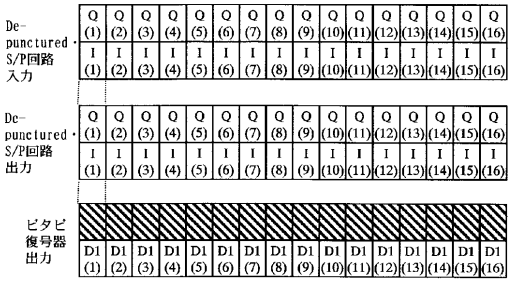


【図１０２】

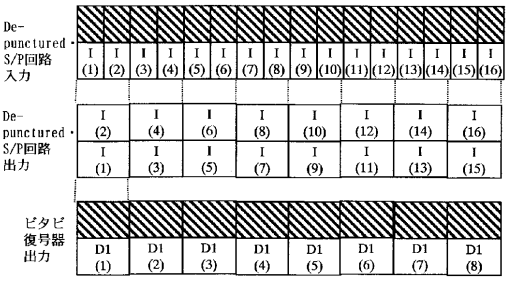


※⊖：ヌル・シンボル

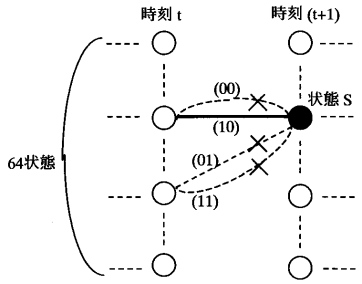
【図１０３】



【図１０４】

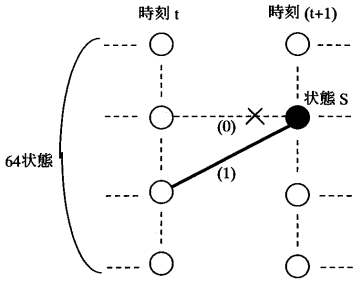


【図１０５】



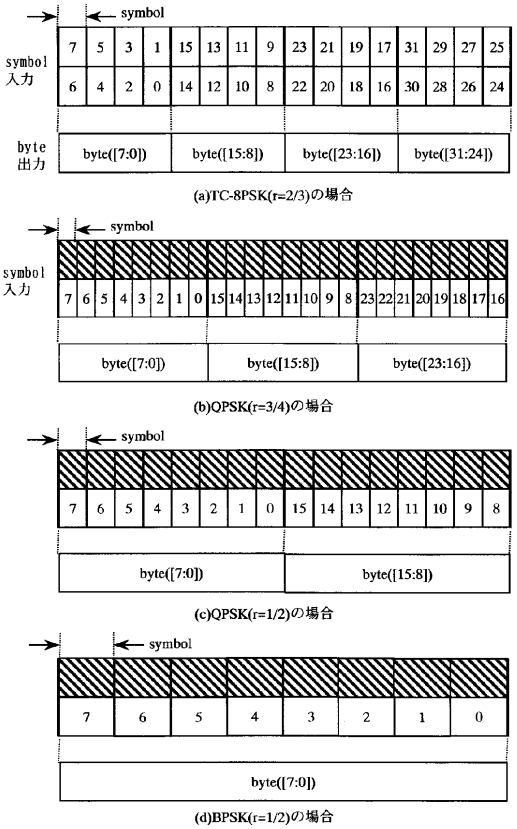
※( )内の数字は，復号推定シンボル

【図１０６】

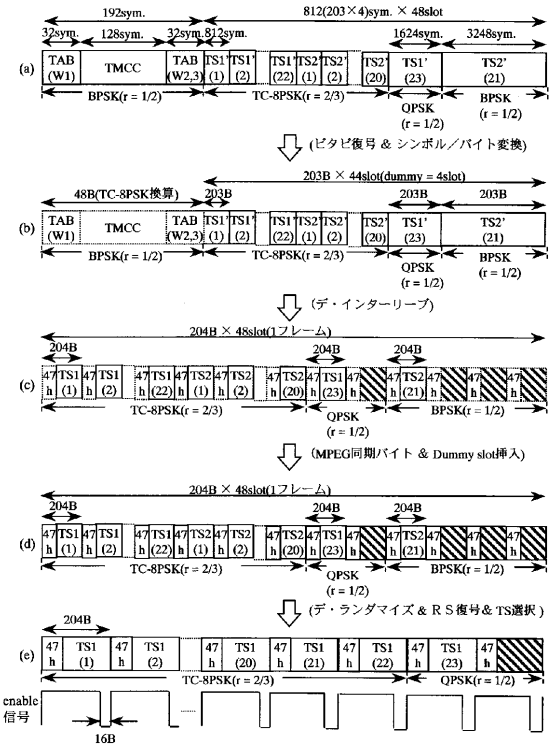


※( )内の数字は，復号推定シンボル

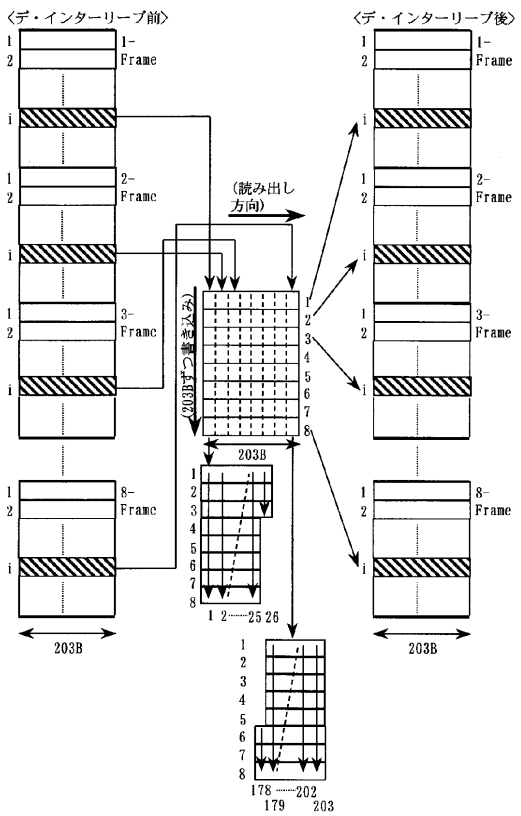
【図１０７】



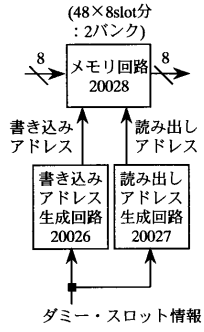
【図１０８】



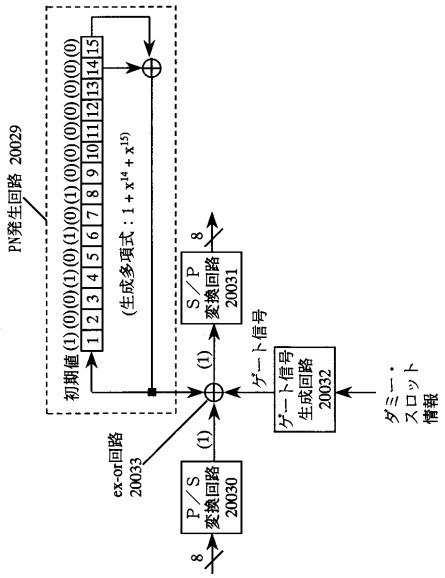
【図１０９】



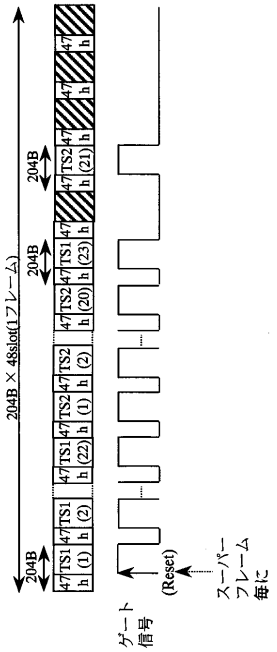
【図１１０】



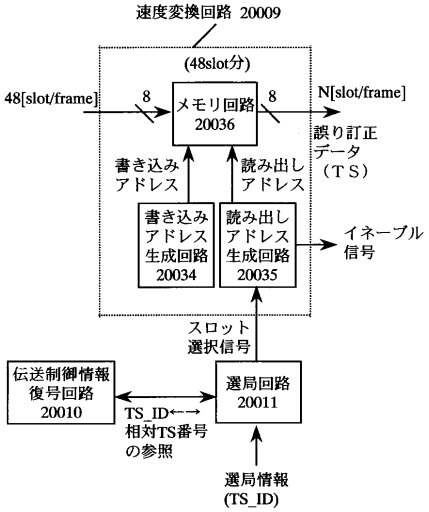
【図１１１】



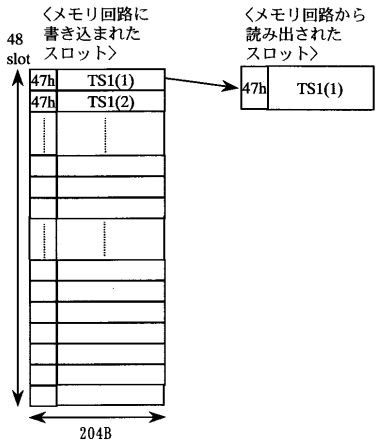
【図１１２】



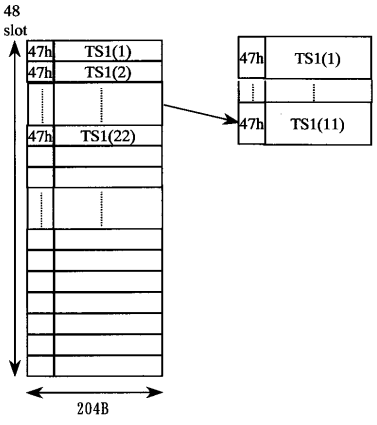
【図１１３】



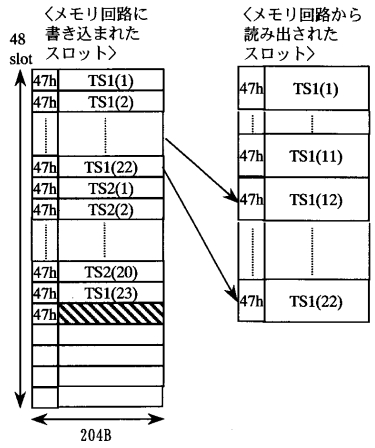
【図１１４】



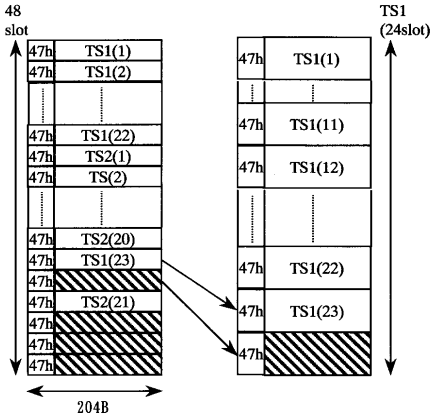
【図１１５】



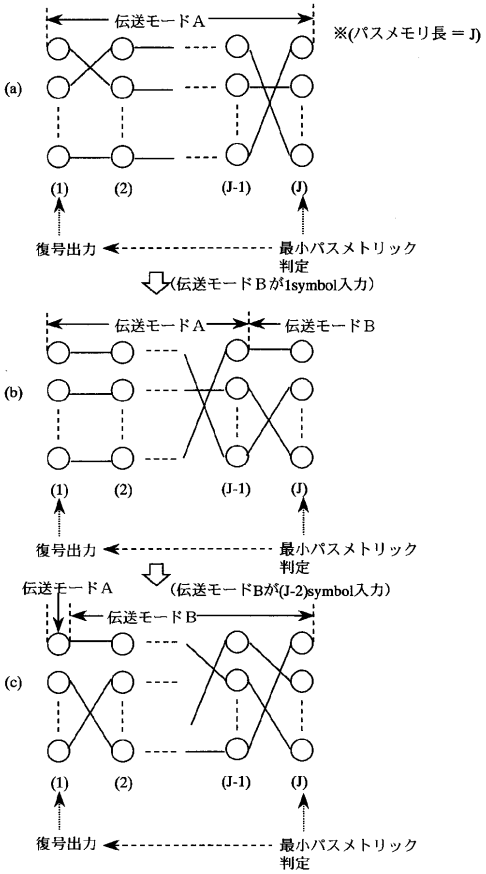
【図１１６】



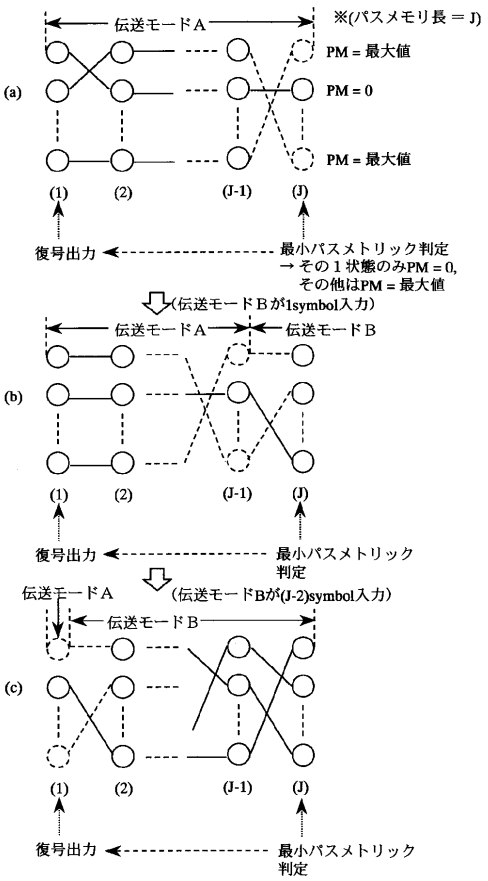
【図１１７】



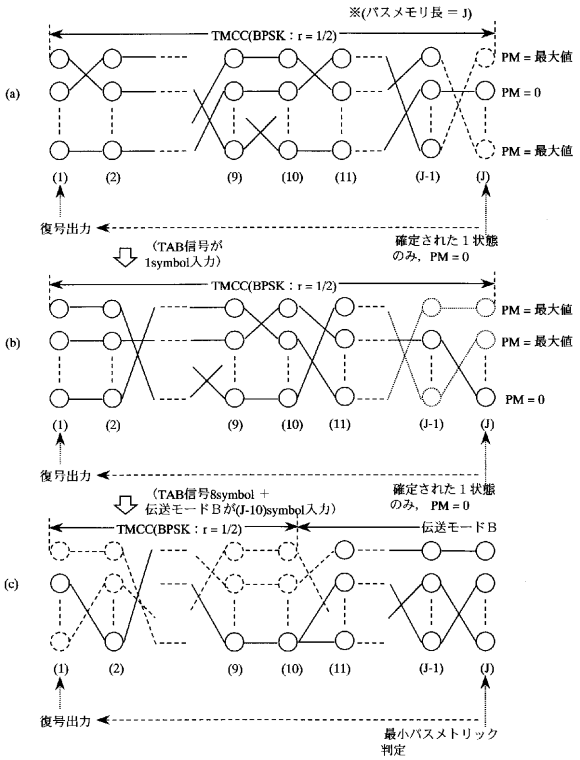
【図１１８】



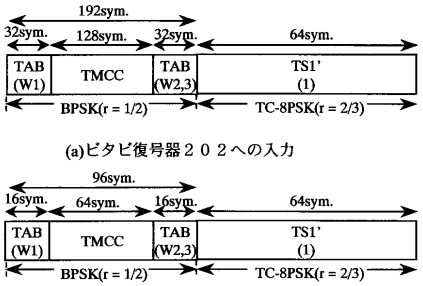
【図１１９】



【図１２０】



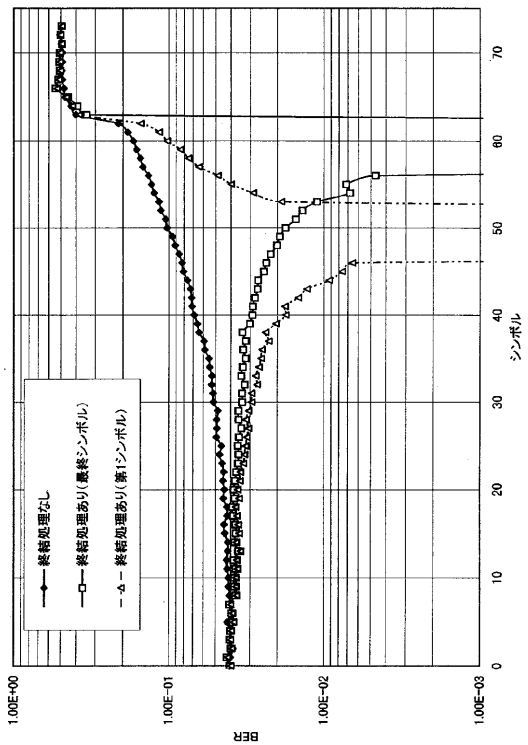
【図１２１】



(a)ビタビ復号器２０２への入力

(b)パスメモリ２００２１への入力

【図１２２】



フロントページの続き

(72)発明者　林　芳和
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　中倉　康浩
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　鎌田　剛弘
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　小曳　満昭

(56)参考文献　特開平０７－２５４８６１（ＪＰ，Ａ）
特開平０５－２３４２７９（ＪＰ，Ａ）
特開平０５－１８３４４８（ＪＰ，Ａ）
特開平０９－３２１８１３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L　1/00
H03M　13/41
H04L　27/00
H04L　27/18
H04N　7/26