

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5517725号
(P5517725)

(45) 発行日 平成26年6月11日 (2014. 6. 11)

(24) 登録日 平成26年4月11日 (2014. 4. 11)

(51) Int. Cl.

F I

H03F 3/45 (2006.01)

H03F 3/45

Z

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2010-99067 (P2010-99067)	(73) 特許権者	000001007
(22) 出願日	平成22年4月22日 (2010. 4. 22)		キヤノン株式会社
(65) 公開番号	特開2010-288266 (P2010-288266A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年12月24日 (2010. 12. 24)	(74) 代理人	100076428
審査請求日	平成25年4月19日 (2013. 4. 19)		弁理士 大塚 康德
(31) 優先権主張番号	特願2009-119076 (P2009-119076)	(74) 代理人	100112508
(32) 優先日	平成21年5月15日 (2009. 5. 15)		弁理士 高柳 司郎
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 全差動増幅回路

(57) 【特許請求の範囲】

【請求項 1】

入力差動対を成す第1の入力信号及び第2の入力信号を差動増幅して、対を成す第1の中間信号及び第2の中間信号を生成する差動増幅部と、

前記第1の中間信号を増幅して第1の出力信号を生成する第1のA B級増幅部と、

前記第2の中間信号を増幅して第2の出力信号を生成する第2のA B級増幅部とを備え、

前記差動増幅部は、前記第1の入力信号を受ける第1の入力トランジスタと、前記第2の入力信号を受ける第2の入力トランジスタと、前記第1の入力トランジスタと直列に接続された第1の負荷素子と、前記第2の入力トランジスタと直列に接続された第2の負荷素子と、前記第1の入力トランジスタおよび前記第2の入力トランジスタに対して共通に設けられた電流源とを含み、

前記第1の出力信号及び前記第2の出力信号は、出力差動対を成し、

前記第1のA B級増幅部は、前記第1の出力信号及び前記第2の出力信号のコモンモード成分である第1のフィードバック信号によって調整された基準電圧と前記第1の中間信号との差分がゲートに入力される第1のトランジスタを含み、前記第1のフィードバック信号によって調整された前記基準電圧を基準として前記第1の中間信号を増幅し、

前記第2のA B級増幅部は、前記第1の出力信号及び前記第2の出力信号のコモンモード成分である第2のフィードバック信号によって調整された基準電圧と前記第2の中間信号との差分がゲートに入力される第2のトランジスタを含み、前記第2のフィードバック

10

20

信号によって調整された前記基準電圧を基準として前記第 2 の中間信号を増幅する、
ことを特徴とする全差動増幅回路。

【請求項 2】

入力差動対を成す第 1 の入力信号及び第 2 の入力信号を差動増幅して、対を成す第 1 の
中間信号及び第 2 の中間信号を生成する差動増幅部と、

前記第 1 の中間信号を増幅して第 1 の出力信号を生成する第 1 の A B 級増幅部と、

前記第 2 の中間信号を増幅して第 2 の出力信号を生成する第 2 の A B 級増幅部とを備え

、
前記第 1 の出力信号及び前記第 2 の出力信号は、出力差動対を成し、

前記第 1 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモー
ド成分である第 1 のフィードバック信号によって調整された基準電圧を基準として前記第
1 の中間信号を増幅し、

前記第 2 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモー
ド成分である第 2 のフィードバック信号によって調整された基準電圧を基準として前記第
2 の中間信号を増幅し、

前記第 1 の A B 級増幅部は、

ソースが電源電位に接続され、ドレインから前記第 1 の出力信号を出力する第 1 の P M
O S トランジスタと、

ソースがグランド電位に接続され、ドレインが前記第 1 の P M O S トランジスタのドレ
インに接続された第 1 の N M O S トランジスタと、

第 1 の基準信号に対する前記第 1 の中間信号の差分である第 1 の信号を前記第 1 の P M
O S トランジスタのゲートへ伝達する第 1 の伝達部と、

第 2 の基準信号に対する前記第 1 の中間信号の差分である第 2 の信号を前記第 1 の N M
O S トランジスタのゲートへ伝達する第 2 の伝達部と、

前記第 1 の出力信号及び前記第 2 の出力信号を受けて、前記第 1 のフィードバック信号
を用いて前記第 1 の基準信号又は前記第 2 の基準信号を調整する第 1 の調整部とを含み、

前記第 2 の A B 級増幅部は、

ソースが電源電位に接続され、ドレインから前記第 2 の出力信号を出力する第 2 の P M
O S トランジスタと、

ソースがグランド電位に接続され、ドレインが前記第 2 の P M O S トランジスタのドレ
インに接続された第 2 の N M O S トランジスタと、

第 3 の基準信号に対する前記第 2 の中間信号の差分である第 3 の信号を前記第 2 の P M
O S トランジスタのゲートへ伝達する第 3 の伝達部と、

第 4 の基準信号に対する前記第 2 の中間信号の差分である第 4 の信号を前記第 2 の N M
O S トランジスタのゲートへ伝達する第 4 の伝達部と、

前記第 1 の出力信号及び前記第 2 の出力信号を受けて、前記第 2 のフィードバック信号
を用いて前記第 3 の基準信号又は前記第 4 の基準信号を調整する第 2 の調整部とを含む、
ことを特徴とする全差動増幅回路。

【請求項 3】

前記第 1 の調整部は、

前記第 1 の出力信号を一端で受ける第 1 のコンデンサと、

前記第 2 の出力信号を一端で受ける第 2 のコンデンサと、

を含み、

前記第 1 のコンデンサの他端と前記第 2 のコンデンサの他端とは、互いに接続されると
ともに前記第 1 の基準信号又は前記第 2 の基準信号が保持されるべきノードに接続されて
おり、

前記第 2 の調整部は、

前記第 1 の出力信号を一端で受ける第 3 のコンデンサと、

前記第 2 の出力信号を一端で受ける第 4 のコンデンサと、

を含み、

前記第 3 のコンデンサの他端と前記第 4 のコンデンサの他端とは、互いに接続されるとともに前記第 3 の基準信号又は前記第 4 の基準信号が保持されるべきノードに接続されている

ことを特徴とする請求項 2 に記載の全差動増幅回路。

【請求項 4】

前記第 1 の調整部は、

前記第 1 の中間信号をサンプリングする期間に前記第 1 のコンデンサと並列に接続される第 5 のコンデンサと、

前記第 1 の中間信号をサンプリングする期間に前記第 2 のコンデンサと並列に接続される第 6 のコンデンサとを含み、

10

前記第 5 のコンデンサの一端と前記第 6 のコンデンサの一端とは、互いに接続されるとともに、前記第 1 の中間信号をホールドする期間に、前記第 1 の基準信号が供給されるノード又は前記第 2 の基準信号が供給されるノードに接続されて、

前記第 5 のコンデンサの他端と前記第 6 のコンデンサの他端とは、前記第 1 の中間信号をホールドする期間に前記第 1 の出力信号及び前記第 2 の出力信号のコモンレベルを目標値にするために設定されるコモンレベル基準信号に接続され、

前記第 2 の調整部は、

前記第 2 の中間信号をサンプリングする期間に前記第 3 のコンデンサと並列に接続される第 7 のコンデンサと、

前記第 2 の中間信号をサンプリングする期間に前記第 4 のコンデンサと並列に接続される第 8 のコンデンサとを含み、

20

前記第 7 のコンデンサの一端と前記第 8 のコンデンサの一端とは、互いに接続されるとともに、前記第 2 の中間信号をホールドする期間に、前記第 3 の基準信号が供給されるノード又は前記第 4 の基準信号が供給されるノードに接続され、

前記第 7 のコンデンサの他端と前記第 8 のコンデンサの他端とは、前記第 2 の中間信号をホールドする期間に前記コモンレベル基準信号に接続されている

ことを特徴とする請求項 3 に記載の全差動増幅回路。

【請求項 5】

前記第 1 の調整部は、

前記第 1 の中間信号をホールドする期間に前記第 1 のコンデンサと並列に接続される第 5 のコンデンサと、

30

前記第 1 の中間信号をホールドする期間に前記第 2 のコンデンサと並列に接続される第 6 のコンデンサとを含み、

前記第 5 のコンデンサの一端と前記第 6 のコンデンサの一端とは、互いに接続されるとともに、前記第 1 の中間信号をサンプリングする期間に、前記第 1 の基準信号が供給されるノード又は前記第 2 の基準信号が供給されるノードに接続され、

前記第 5 のコンデンサの他端と前記第 6 のコンデンサの他端とは、前記第 1 の中間信号をサンプリングする期間に、前記第 1 の出力信号及び前記第 2 の出力信号のコモンレベルを目標値にするために設定されるコモンレベル基準信号に接続され、

前記第 2 の調整部は、

40

前記第 2 の中間信号をホールドする期間に前記第 3 のコンデンサと並列に接続される第 7 のコンデンサと、

前記第 2 の中間信号をホールドする期間に前記第 4 のコンデンサと並列に接続される第 8 のコンデンサとを含み、

前記第 7 のコンデンサの一端と前記第 8 のコンデンサの一端とは、互いに接続されるとともに、前記第 2 の中間信号をサンプリングする期間に、前記第 3 の基準信号が供給されるノード又は前記第 4 の基準信号が供給されるノードに接続され、

前記第 7 のコンデンサの他端と前記第 8 のコンデンサの他端とは、前記第 2 の中間信号をサンプリングする期間に前記コモンレベル基準信号に接続されている

ことを特徴とする請求項 3 に記載の全差動増幅回路。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全差動増幅回路に関する。

【背景技術】

【0002】

S/Hのようなスイッチトキャパシタ回路に適用する2段増幅構成の広帯域全差動アンプにおいて、1段目を高いカットオフ周波数を持つA級アンプとし、2段目をソース接地AB級アンプとすることで、位相補償を不要とし低消費電力化することが可能である。

【0003】

10

さらに、2段目のソース接地AB級アンプのバイアス回路を、連続時間動作型ではなくクロック動作するダイナミックバイアス回路で構成すると、回路の簡素化が可能となりさらなる低消費電力化が見込まれる（非特許文献1参照）。

【0004】

全差動アンプでは、出力同相電位を信号コモンモード電圧（以下 V_{cm} ）など所望の基準信号に設定する必要がある。この機能は、全出力信号の同相成分を検出し、検出結果と V_{cm} との差に応じて、全差動アンプにフィードバック信号を提供するコモンモードフィードバック回路（以下CMFB回路）で実現する。

【0005】

特許文献1の図1には、差動増幅器20において、同相モード・フィードバック回路50が差動部30の複数の出力信号の同相成分を検出し、検出した差に比例したフィードバック信号を差動部30へ帰還することが記載されている。これにより、特許文献1によれば、同相モード電圧が所定の基準電圧からドリフトするのを防止できるとされている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6-29761号公報

【非特許文献】

【0007】

【非特許文献1】「A 14b 74MS/s CMOS AFE for True High-Definition Camcorders」（2006 ISSCC）

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1に記載された差動増幅器では、同相モード・フィードバック回路50がフィードバック信号を帰還する先が差動部30であるため、フィードバック信号を反転するための反転アンプ54が別途必要となり、消費電力が増大する可能性がある。また、同相モード・フィードバック回路50における経路に3つの位相遅れ要因（3組の容量素子及び抵抗素子）が存在することにより、フィードバック動作の安定性を満たすための設計負荷が増大するとともに消費電力が増大する可能性がある。加えて、1段目の増幅器のフリッカノイズを除去する場合にはオートゼロ技術が必要となるが、安定性確保の為に消費電力の増大を伴う。

40

【0009】

本発明の目的は、全差動増幅回路において、コモンモードフィードバック動作を行う際における消費電力を低減することにある。或いは、本発明の目的は、オートゼロ技術を用いずに1段目の増幅器のフリッカノイズを除去することで、ノイズ除去の際の消費電力を低減することにある。

【課題を解決するための手段】

【0010】

本発明の1つの側面に係る全差動増幅回路は、入力差動対を成す第1の入力信号及び第

50

2の入力信号を差動増幅して、対を成す第1の中間信号及び第2の中間信号を生成する差動増幅部と、前記第1の中間信号を増幅して第1の出力信号を生成する第1のA B級増幅部と、前記第2の中間信号を増幅して第2の出力信号を生成する第2のA B級増幅部とを備え、前記差動増幅部は、前記第1の入力信号を受ける第1の入力トランジスタと、前記第2の入力信号を受ける第2の入力トランジスタと、前記第1の入力トランジスタと直列に接続された第1の負荷素子と、前記第2の入力トランジスタと直列に接続された第2の負荷素子と、前記第1の入力トランジスタおよび前記第2の入力トランジスタに対して共通に設けられた電流源とを含み、前記第1の出力信号及び前記第2の出力信号は、出力差動対を成し、前記第1のA B級増幅部は、前記第1の出力信号及び前記第2の出力信号のコモンモード成分である第1のフィードバック信号によって調整された基準電圧と前記第1の中間信号との差分がゲートにされる第1のトランジスタを含み、前記第1のフィードバック信号によって調整された前記基準電圧を基準として前記第1の中間信号を増幅し、前記第2のA B級増幅部は、前記第1の出力信号及び前記第2の出力信号のコモンモード成分である第2のフィードバック信号によって調整された基準電圧と前記第1の中間信号との差分がゲートにされる第1のトランジスタを含み、前記第1のフィードバック信号によって調整された前記基準電圧を基準として前記第2の中間信号を増幅する。

10

【発明の効果】

【0011】

本発明によれば、全差動増幅回路において、コモンモードフィードバック動作を行う際における消費電力を低減することができる。或いは、オートゼロ技術を用いずに1段目の増幅器のフリッカノイズを除去することで、ノイズ除去の際の消費電力を低減することができる。

20

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る全差動増幅回路200の構成を示す図。

【図2】本発明の実施形態におけるクロック信号の波形を示すタイミングチャート。

【図3】本発明の第1実施例に係る全差動増幅回路200iの回路構成例を示す図。

【図4】本発明の第2実施例に係る全差動増幅回路200jの回路構成例を示す図。

【図5】本発明の実施形態に係る全差動増幅回路200を適用したS/Hアプリケーションの回路図。

30

【発明を実施するための形態】

【0013】

本発明の実施形態に係る全差動増幅回路200を、図1、3を用いて説明する。図1は、本発明の実施形態に係る全差動増幅回路200の構成を示す図である。図3は、全差動増幅回路200を具体化した第1実施例の全差動増幅回路200iの構成を示す図である。

【0014】

全差動増幅回路200は、2段増幅型の増幅回路である。全差動増幅回路200は、入力差動対を成す2つの入力信号（第1の入力信号、第2の入力信号） V_{inp} 、 V_{inn} を受けて、出力差動対を成す2つの出力信号（第1の出力信号、第2の出力信号） V_{op} 、 V_{on} を出力する。全差動増幅回路200は、クロック回路102、バイアス電圧発生回路（供給部）101、差動増幅部10、及び2つのA B級増幅部20p、20nを備える。

40

【0015】

クロック回路102は、2つのA B級増幅部20p、20nのそれぞれへ、第1のクロック信号CLK1及び第2のクロック信号CLK2を供給する。全差動増幅回路200がS/H等の離散時間信号処理に適用される事を前提としているので、クロック回路102は、後述する図2に示す第1のクロック信号CLK1と第2のクロック信号CLK2とのような2相ノンオーバーラップクロックを発生する。第1のクロック信号CLK1がHレベルになる期間1と第2のクロック信号CLK2がHレベルになる期間2とは、互い

50

に重ならず、ノンオーバーラップ期間 T の間隔を有する。

【0016】

バイアス電圧発生回路101は、2つのAB級増幅部20p, 20nのそれぞれへバイアス電圧を供給する。バイアス電圧発生回路101が出力するバイアス電圧は、第1のバイアス電圧 V_{bias1} 、第2バイアス電圧 V_{bias2} 、第3のバイアス電圧 $V_{bias1'}$ 、第4のバイアス電圧 $V_{bias2'}$ 、及びコモンレベル基準信号（同相電圧） V_{cm} を含みうる。第1のバイアス電圧 V_{bias1} 及び第2のバイアス電圧 V_{bias2} は、AB級増幅部20pにおけるAB級バイアスに必要な電圧である。第3のバイアス電圧 $V_{bias1'}$ 及び第4のバイアス電圧 $V_{bias2'}$ は、AB級増幅部20nにおけるAB級バイアスに必要な電圧である。第1のバイアス電圧 V_{bias1} と第3のバイアス電圧 $V_{bias1'}$ とは同一の電圧でありうる。第2のバイアス電圧 V_{bias2} と第4のバイアス電圧 $V_{bias2'}$ とは同一の信号でありうる。コモンレベル基準信号 V_{cm} は、コモンモードフィードバック（以下、CMFB）動作に必要な電圧である。

10

【0017】

差動増幅部10は、1段目の増幅を行う。差動増幅部10は、対を成す2つの入力信号 V_{inp} , V_{inn} の差動増幅を行う。これにより、差動増幅部10は、対を成す2つの中間信号（第1の中間信号、第2の中間信号） V_{ap} 、 V_{an} を生成して出力する。差動増幅部10は、中間信号 V_{ap} をAB級増幅部20pへ出力し、中間信号 V_{an} をAB級増幅部20nへ出力する。差動増幅部10は、入力トランジスタM1、入力トランジスタM2、負荷素子103、負荷素子104、及び電流源I1を含む。

20

【0018】

AB級増幅部（第1のAB級増幅部）20pは、中間信号 V_{ap} を増幅する。AB級増幅部20pは、第1の出力信号 V_{op} 及び第2の出力信号 V_{on} のコモンモード成分であるフィードバック信号（第1のフィードバック信号） V_{fp} によって調整された基準電圧を基準として中間信号 V_{ap} を増幅する。具体的には、AB級増幅部20pは、中間信号 V_{ap} をサンプリングする期間に、フィードバック信号 V_{fp} を用いて第1の基準信号又は第2の基準信号を調整する。そして、AB級増幅部20pは、中間信号 V_{ap} をホールドする期間に、第1の基準信号及び第2の基準信号を基準として中間信号 V_{ap} を増幅する。これにより、AB級増幅部20pは、出力信号 V_{op} を生成して出力する。AB級増幅部20pは、PMOSTランジスタ（第1のPMOSTランジスタ）M3、NMOSTランジスタ（第1のNMOSTランジスタ）M4、第1の伝達部21p、第2の伝達部23p、及び調整部（第1の調整部）22pを含む。

30

【0019】

PMOSTランジスタM3は、ソースが電源電位VDDに接続され、ドレインがNMOSTランジスタM4のドレインに接続され、ゲートが第1の伝達部21pに接続されている。PMOSTランジスタM3は、ドレインから出力信号 V_{op} を出力する。

【0020】

NMOSTランジスタM4は、ソースがグランド電位に接続され、ドレインがPMOSTランジスタM3のドレインに接続され、ゲートが第2の伝達部23pに接続されている。NMOSTランジスタM4は、PMOSTランジスタM3と共通のドレインから出力信号 V_{op} を出力する。

40

【0021】

第1の伝達部21pは、第1のクロック信号CLK1に同期して、第1の基準ノードn7（図3）に保持された第1の基準信号に対する中間信号 V_{ap} の差分をとることにより第1の信号を生成してPMOSTランジスタM3のゲートへ伝達する。第1の伝達部21pは、コンデンサC3、及びAB級バイアススイッチング回路105の一部を含む。

【0022】

第2の伝達部23pは、第1のクロック信号CLK1に同期して、第2の基準ノードn8（図3）に保持された第2の基準信号に対する中間信号 V_{ap} の差分をとることにより第2の信号を生成してNMOSTランジスタM4のゲートへ伝達する。第2の伝達部23

50

p は、コンデンサ C 4、及び A B 級バイアススイッチング回路 1 0 5 の他の一部を含む。
【 0 0 2 3 】

第 1 の伝達部 2 1 p 及び第 2 の伝達部 2 3 p は、P M O S トランジスタ M 3 及び N M O S トランジスタ M 4 を A B 級バイアスする。これにより、低消費電力動作を実現する。A B 級バイアス手法は、例えば、次のようにして実現される。第 1 のクロック信号 C L K 1 が H レベルの期間においてコンデンサ C 3、C 4 に適切な電荷がサンプリングされた後、第 1 のクロック信号 C L K 1 が L レベルの期間においてコンデンサ C 3、C 4 がオフセット電圧源として動作する事によって実現される。

【 0 0 2 4 】

調整部 2 2 p は、第 1 のクロック信号 C L K 1 及び第 2 のクロック信号 C L K 2 の一方のクロック信号に同期して、フィードバック信号 V f p を用いて第 1 の基準信号又は第 2 の基準信号を調整する。フィードバック信号 V f p は、対を成す 2 つの出力信号 V o p、V o n のコモンモード成分に応じた信号である。調整部 2 2 p は、C M F B 回路 1 0 7 を含む。C M F B 回路 1 0 7 は、対を成す 2 つの出力信号 V o n、V o p、コモンレベル基準信号 V c m、第 1 のクロック信号 C L K 1、及び第 2 のクロック信号 C L K 2 を受ける。C M F B 回路 1 0 7 は、2 つの出力信号 V o p、V o n のコモンモード成分を適正な値に保つようにフィードバック信号 V f p を第 1 の基準ノード n 7 又は第 2 の基準ノード n 8 へ供給する。すなわち、C M F B 回路 1 0 7 は、第 1 のクロック信号 C L K 1 又は第 2 のクロック信号 C L K 2 に同期して、コモンレベル基準信号 V c m に対する 2 つの出力信号 V o p、V o n のコモンモード成分の差分をとることによりフィードバック信号 V f p を生成する。C M F B 回路 1 0 7 は、生成したフィードバック信号 V f p を第 1 の基準ノード n 7 又は第 2 の基準ノード n 8 へ供給することにより、P M O S トランジスタ又は N M O S トランジスタのゲートのバイアス電圧（基準信号）をコントロール（調整）する。

【 0 0 2 5 】

図 3 に示すように、調整部 2 2 p がフィードバック信号 V f p を第 2 の基準ノード n 8 へ供給する場合、第 1 の伝達部 2 1 p 及び第 2 の伝達部 2 3 p は次のような動作を行う。第 1 の基準ノード n 7 には、第 1 のバイアス電圧 V b i a s 1 が第 1 基準信号として保持される。第 1 の伝達部 2 1 p は、第 1 のクロック信号 C L K 1 に同期して、第 1 の基準信号に対する中間信号 V a p の差分をとることにより第 1 の信号を生成して P M O S トランジスタ M 3 のゲートへ伝達する。第 2 の基準ノード n 8 には、第 2 の伝達部 2 3 p により、第 2 のバイアス電圧 V b i a s 2 にフィードバック信号 V f p を加算した電圧が第 2 の基準信号として保持される。即ち、第 2 の伝達部 2 3 p は、調整前の第 2 の基準信号として第 2 のバイアス電圧 V b i a s 2 を受けて、第 2 のバイアス電圧 V b i a s 2 をフィードバック信号 V f p によって調整し、調整された第 2 の基準信号を得る。第 2 の伝達部 2 3 p は、その調整された第 2 の基準信号に対する中間信号 V a p の差分をとることにより第 2 の信号を生成する。第 2 の伝達部 2 3 p は、生成した第 2 の信号を N M O S トランジスタ M 4 のゲートへ伝達する。これにより、P M O S トランジスタ M 3 及び N M O S トランジスタ M 4 は、対を成す 2 つの出力信号 V o p、V o n のコモンモード成分が基準値（コモンレベル基準信号 V c m）になるように増幅動作を行うことにより、出力信号 V o p を生成して出力する。

【 0 0 2 6 】

再び図 3 に注目して説明を行う。A B 級増幅部（第 2 の A B 級増幅部）2 0 n は、中間信号 V a n を増幅する。A B 級増幅部 2 0 n は、第 1 の出力信号 V o p 及び第 2 の出力信号 V o n のコモンモード成分であるフィードバック信号（第 2 のフィードバック信号）V f n によって調整された基準電圧を基準として中間信号 V a n を増幅する。具体的には、A B 級増幅部 2 0 n は、中間信号 V a n をサンプリングする期間に、フィードバック信号 V f n を用いて第 3 の基準信号又は第 4 の基準信号を調整する。そして、A B 級増幅部 2 0 n は、中間信号 V a n をホールドする期間に、第 3 の基準信号及び第 4 の基準信号を基準として中間信号 V a n を増幅する。これにより、A B 級増幅部 2 0 n は、出力信号 V o n を生成して出力する。A B 級増幅部 2 0 n は、P M O S トランジスタ（第 2 の P M O S

10

20

30

40

50

トランジスタ) M5、NMOSTランジスタ(第2のNMOSTランジスタ) M6、第3の伝達部21n、第4の伝達部23n、及び調整部(第2の調整部)22nを含む。

【0027】

PMOSTランジスタM5は、ソースが電源電位VDDに接続され、ドレインがNMOSTランジスタM6のドレインに接続され、ゲートが第3の伝達部21nに接続されている。PMOSTランジスタM5は、ドレインから2つの出力信号の一方の出力信号Vonを出力する。

【0028】

NMOSTランジスタM6は、ソースがグランド電位に接続され、ドレインがPMOSTランジスタM5のドレインに接続され、ゲートが第4の伝達部23nに接続されている。NMOSTランジスタM6は、PMOSTランジスタM5と共通のドレインから出力信号Vonを出力する。

10

【0029】

第3の伝達部21nは、第1のクロック信号CLK1に同期して、第3の基準ノードn5に保持された第3の基準信号に対する中間信号Vanの差分をとることにより第3の信号を生成してPMOSTランジスタM5のゲートへ伝達する。第3の伝達部21nは、コンデンサC1、及びAB級バイアススイッチング回路106の一部を含む。

【0030】

第4の伝達部23nは、第1のクロック信号CLK1に同期して、第4の基準ノードn6に保持された第4の基準信号に対する中間信号Vanの差分をとることにより第4の信号を生成してNMOSTランジスタM6のゲートへ伝達する。第4の伝達部23nは、コンデンサC2、及びAB級バイアススイッチング回路106の他の一部を含む。

20

【0031】

第3の伝達部21n及び第4の伝達部23nは、PMOSTランジスタM5及びNMOSTランジスタM6をAB級バイアスする。これにより、低消費電力動作を実現する。AB級バイアス手法は、例えば、次のようにして実現される。第1のクロック信号CLK1がHレベルの期間においてコンデンサC1、C2に適切な電荷がサンプリングされた後、第1のクロック信号CLK1がLレベルの期間においてコンデンサC1、C2がオフセット電圧源として動作する事によって実現される。

【0032】

調整部22nは、第1のクロック信号CLK1及び第2のクロック信号CLK2の一方のクロック信号に同期して、フィードバック信号Vfnを用いて第3の基準信号又は第4の基準信号を調整する。フィードバック信号Vfnは、対を成す2つの出力信号Von、Vopのコモンモード成分に応じた信号である。調整部22nは、CMFB回路108を含む。CMFB回路108は、対を成す2つの出力信号Von、Vop、コモンレベル基準信号Vcm、第1のクロック信号CLK1、及び第2のクロック信号CLK2を受ける。CMFB回路108は、2つの出力信号Von、Vopのコモンモード成分を適正な値に保つようにフィードバック信号Vfnを第3の基準ノードn5又は第4の基準ノードn6へ供給する。すなわち、CMFB回路108は、第1のクロック信号CLK1又は第2のクロック信号CLK2に同期して、コモンレベル基準信号Vcmに対する2つの出力信号Vop、Vonのコモンモード成分の差分をとることによりフィードバック信号Vfnを生成する。CMFB回路108は、生成したフィードバック信号Vfnを第3の基準ノードn5又は第4の基準ノードn6へ供給することにより、PMOSTランジスタ又はNMOSTランジスタのゲートのバイアス電圧(基準信号)をコントロールする。

30

40

【0033】

図3に示すように、調整部22nがフィードバック信号Vfnを第4の基準ノードn6へ供給する場合、第3の伝達部21n及び第4の伝達部23nは次のような動作を行う。第3の基準ノードn5には、第3のバイアス電圧Vbias1'が第3の基準信号として保持される。第3の伝達部21nは、第1のクロック信号CLK1に同期して、第3の基準信号に対する中間信号Vanの差分をとることにより第3の信号を生成してPMOST

50

ランジスタM5のゲートへ伝達する。第4の基準ノードn6には、第4の伝達部23nにより、第4のバイアス電圧 $V_{bias2'}$ にフィードバック信号 V_{fn} を加算した電圧が第4の基準信号として保持される。即ち、第4の伝達部23nは、調整前の第4の基準信号として第4のバイアス電圧 $V_{bias2'}$ を受けて、第4のバイアス電圧 $V_{bias2'}$ をフィードバック信号 V_{fn} によって調整し、調整された第4の基準信号を得る。第4の伝達部23nは、その第4の基準信号に対する中間信号 V_{an} の差分をとることにより第4の信号を生成する。第4の伝達部23nは、生成した第4の信号をNMOSTランジスタM6のゲートへ伝達する。これにより、PMOSTランジスタM5及びNMOSTランジスタM6は、対を成す2つの出力信号 V_{op} 、 V_{on} のコモンモード成分が基準値（コモンレベル基準信号 V_{cm} ）になるように増幅動作を行うことにより、出力信号 V_{on} を生成して出力する。図3においては、対を成す2つの出力信号のコモンモード成分に応じたフィードバック信号を、第2の基準ノードn8および第4の基準ノードn6に帰還する例を示した。しかし、第2実施形態で説明するように、第1の基準ノードn7および第3の基準ノードn5に帰還しても良い。

【0034】

このように、本実施形態では、対を成す2つの出力信号のコモンモード成分に応じたフィードバック信号を2つのAB級増幅部のそれぞれにおける2つの基準ノードの一方へ帰還することによって2つの基準信号の一方を調整する。第1の伝達部及び第3の伝達部は、それぞれ、2つの基準信号に対する中間信号の差分をとることにより第1の信号及び第3の信号を生成してPMOSTランジスタのゲートへ伝達する。また、第2の伝達部及び第4の伝達部のそれぞれは、それぞれ、2つの基準信号に対する中間信号の差分をとることにより第2の信号及び第4の信号を生成してNMOSTランジスタのゲートへ伝達する。これにより、フィードバック信号を帰還するために反転アンプを設ける必要がないので、消費電力を低減できる。

【0035】

また、仮に、CMFBループ内に、位相遅れ要因である極が複数個発生すると、CMFB動作の安定性が損なわれる。それに対して、本実施形態では、極の発生は本質的に2段目（AB級増幅部）の出力ノードに限定されているので、安定性確保に要する消費電力を低減できる。

【0036】

したがって、全差動増幅回路において、コモンモードフィードバック（CMFB）動作を行う際における消費電力を低減することができる。

【0037】

次に、本発明の実施形態に係る全差動増幅回路200の動作を、図2をさらに用いて説明する。図2は、本発明の実施形態におけるクロック信号の波形を示すタイミングチャートである。

【0038】

第1のクロック信号CLK1がHレベルの期間1において、コンデンサC1～C4に電荷がサンプリングされる。この際、入力トランジスタM1及び入力トランジスタM2で発生するフリッカノイズは、電圧出力となってノードn1及びノードn2に伝達される。

【0039】

第2のクロック信号CLK2がHレベルの期間において、コンデンサC1～C4により電荷がホールドされる。これにより、コンデンサC1～C4がオフセット電圧源として動作し、PMOSTランジスタM3、M5及びNMOSTランジスタM4、M6が増幅動作を行う。期間1の完了からノンオーバーラップ期間T経過した後に始まる期間2において、オフセット電圧源の電圧値は、このフリッカノイズを含んだ値となっている。

【0040】

第1のクロック信号CLK1及び第2のクロック信号CLK2の周波数がフリッカノイズの存在する周波数帯域より高い値に設定されるため、フリッカノイズ電圧の期間1から期間2に至る間の変動は殆ど無い。従って、期間2で増幅動作を行う際、期間1

10

20

30

40

50

でオフセット電圧源に吸収された差動対（入力トランジスタM 1及び入力トランジスタM 2）のフリッカノイズの殆どはトランジスタM 3～M 6に伝達されない。すなわち、一般の増幅器で行われるようなオートゼロ技術は不要である。従って、安定性確保の為に消費電力増大を伴うネガティブフィードバックを掛けることなく、フリッカノイズを除去することができる。

【0041】

次に、本発明の第1実施例に係る全差動増幅回路200iの回路構成例を、図3を用いて説明する。図3は、本発明の第1実施例に係る全差動増幅回路200iの回路構成例を示す図である。以下では、実施形態における具体化した部分を中心に説明する。なお、図3において、末尾にiを有する符号が付された構成要素は、図1において、当該符号からiを取り除いた符号が付された構成要素に対応する。また、図3において、'を有する符号が付された構成要素は、当該符号から'を取り除いた符号が付された構成要素と実質的に同一である。

【0042】

全差動増幅回路200iは、差動増幅部10i、及び2つのAB級増幅部20pi, 20niを備える。差動増幅部10iは、負荷素子103i及び負荷素子104iを含む。負荷素子103iは、ノードn1の定常電圧を適切に決めるための素子であり、例えば、抵抗器113を含む。負荷素子104iは、ノードn2の定常電圧を適切に決めるための素子であり、例えば、抵抗器114を含む。

【0043】

AB級増幅部20piは、第1の伝達部21pi、第2の伝達部23pi、及び調整部22piを含む。調整部22piは、フィードバック信号Vfpを第2の伝達部23piへフィードバックする。具体的には、第1の伝達部21piは、AB級バイアススイッチング回路105の一部を構成する第1の部分1051を含む。第1の部分1051は、第1のクロック信号CLK1がアクティブレベルになると、第1の基準ノードn7へ第1のバイアス電圧Vbias1を第1の基準信号として供給する。このとき、コンデンサC3の基準電極E32は、第1の基準ノードn7を介して第1の基準信号としての第1のバイアス電圧Vbias1を受ける。次いで、コンデンサC3の基準電極E32には、第1のクロック信号CLK1がインアクティブレベルになると、第1の基準信号としての第1のバイアス電圧Vbias1に対する中間信号Vapの差分である第1の信号が生成される。このとき、コンデンサC3の信号電極E31へは、中間信号Vapが供給されている。第1の信号は、PMOSTランジスタM3のゲートに供給される。ここで、第1の基準信号としての第1のバイアス電圧Vbias1は、PMOSTランジスタM3の定常時のドレイン電流を決定する電圧である。

【0044】

第2の伝達部23piは、AB級バイアススイッチング回路105の一部を構成する第2の部分1052を含む。第2の部分1052は、第1のクロック信号CLK1がアクティブレベルになると、コンデンサC7およびC8に保持された電荷がコンデンサC5およびC6に分配されたことによって生じた電圧を第2の基準信号として供給する。コンデンサC4の基準電極E42は、第2の基準ノードn8を介して第2の基準信号を受ける。また、調整部22piは、第1のクロック信号CLK1がアクティブレベルになると、第2の基準ノードn8へフィードバック信号Vfpを供給する。コンデンサC4の基準電極E42は、第2の基準ノードn8を介してフィードバック信号Vfpを受ける。よって、コンデンサC4の基準電極E42には、第1のクロック信号CLK1がアクティブレベルになると、第2の基準信号にフィードバック信号Vfpが加算された信号である調整された第2の基準信号に対する中間信号Vapの差分である第2の信号が生成される。このとき、コンデンサC4の信号電極E41へは、中間信号Vapが供給されている。第2の信号は、NMOSTランジスタM4のゲートに供給される。第2のバイアス電圧Vbias2は、NMOSTランジスタM4の定常時のドレイン電流を決定する電圧である。

【0045】

以下、さらに具体的に説明する。第1の部分1051は、スイッチs1を含む。スイッチs1は、第1のクロックCLK1がHレベル（アクティブレベル）の期間（サンプリング期間）にオンすることにより、第1のバイアス電圧Vbias1を第1の基準信号として第1の基準ノードn7へ供給する。これにより、コンデンサC3は、第1の基準信号としての第1のバイアス電圧Vbias1を基準とした中間信号Vapをサンプリングする。その後、第1のクロックCLK1がLレベルの期間（ホールド期間）では、スイッチs1にがオフする。これにより、コンデンサC3は、第1の基準信号としての第1のバイアス電圧Vbias1に対する中間信号Vapの差分である第1の信号を生成して保持するとともにPMOSTランジスタM3のゲートへ伝達する。

【0046】

10

スイッチs7は、第2のクロックCLK2がHレベル（アクティブレベル）の期間にオンすることにより、第2のバイアス電圧Vbias2を調整前の第2の基準信号としてノードn4へ供給する。これにより、ノードn4の電圧は、第2のバイアス電圧Vbias2になる。その後、スイッチs7は、第2のクロックCLK2がLレベルになるとオフする。これにより、ノードn4は、調整前の第2の基準信号としての第2のバイアス電圧Vbias2を保持する。

【0047】

スイッチs4は、第1のクロックCLK1がHレベルの期間（サンプリングする期間）にオンすることにより、ノードn4に保持された調整前の第2の基準信号をノードn3を介して第2の基準ノードn8へ供給する。また、調整部22piは、CMFB回路107iを含む。CMFB回路107iは、第1のクロック信号CLK1に同期して、調整された第2の基準信号を第2の基準ノードn8へ供給する。これにより、コンデンサC4は、信号（Vbias2 + Vfp）を基準とした中間信号Vapをサンプリングする。その後、第1のクロック信号CLK1がLレベルの期間（ホールド期間）では、スイッチs4がオフする。これにより、コンデンサC4は、信号（Vbias2 + Vfp）に対する中間信号Vapの差分である第2の信号を生成して保持するとともにNMOSTランジスタM4のゲートへ伝達する。

20

【0048】

具体的には、CMFB回路107iは、第1のコンデンサC6、第2のコンデンサC5、第5のコンデンサC8、第6のコンデンサC7を含む。CMFB回路107iは、第2のスイッチ群（s6、s8）、及び第1のスイッチ群（s3、s5）を含む。図3に示すように、第5のコンデンサC8は、サンプリング期間（CLK1がHになる期間）において、スイッチs4、s5を介して第1のコンデンサC6と並列に接続される。第6のコンデンサC7は、サンプリング期間において、スイッチs3、s4を介して第2のコンデンサC5と並列に接続される。第5のコンデンサC8の一端と第6のコンデンサC7の一端とは、互いに接続されるとともにホールド期間（CLK2がHになる期間）においてスイッチs7を介して第2のバイアス電圧Vbias2に接続されている。第5のコンデンサC8の他端と第6のコンデンサC7の他端とは、ホールド期間は、スイッチs6、s8を介してコモンレベル基準信号Vcmが供給される。コモンレベル基準信号Vcmは、第1の出力信号Vop及び第2の出力信号Vonのコモンレベルを目標値にするためにバイアス電圧発生回路101によって設定される信号である。CMFB回路108iにおいては、CMFB回路107iにおける第1、第2、第5および第6のコンデンサが、第3のコンデンサC6'、第4のコンデンサC5'、第7のコンデンサC8'および第8のコンデンサC7'に置き換わる。

30

40

【0049】

第1のコンデンサC6は、対を成す2つの出力信号Vop、Vonにおける第1の出力信号Vopを一端で受ける。第1のコンデンサC6は、その一端がスイッチs5に接続されている。第2のコンデンサC5は、対を成す2つの出力信号Vop、Vonにおける第2の出力信号Vonを一端で受ける。第2のコンデンサC5は、その一端がスイッチs3に接続されている。第1のコンデンサC6の他端と第2のコンデンサC5の他端とは、ノ

50

ード $n3$ で互いに接続されるとともに、ノード $n3$ を介して第2の基準ノード $n8$ に接続されている。

【0050】

第5のコンデンサ $C8$ は、その一端がスイッチ $s5$ 及びスイッチ $s8$ に接続されている。第6のコンデンサ $C7$ は、その一端がスイッチ $s3$ 及びスイッチ $s6$ に接続されている。第5のコンデンサ $C8$ の他端と第6のコンデンサ $C7$ の他端とは、ノード $n4$ で互いに接続されるとともに、ノード $n4$ を介してスイッチ $s4$ 及びスイッチ $s7$ に接続されている。

【0051】

第2のスイッチ群 ($s6$ 、 $s8$) は、第2のクロック信号 $CLK2$ に同期して、第5のコンデンサ $C8$ の一端及び第6のコンデンサ $C7$ の一端をバイアス電圧発生回路 101 (図1参照) へ接続する。これにより、第5のコンデンサ $C8$ の一端及び第6のコンデンサ $C7$ の一端には、それぞれ、 $CMFB$ 動作の基準信号となるコモンレベル基準信号 V_{cm} が供給される。

10

【0052】

第1のスイッチ群 ($s3$ 、 $s5$) は、第1のクロック信号 $CLK1$ に同期して、第1のコンデンサ $C6$ の一端を第5のコンデンサ $C8$ の一端へ接続するとともに、第2のコンデンサ $C5$ の一端を第6のコンデンサ $C7$ の一端へ接続する。これにより、第1のコンデンサ $C6$ の一端及び第2のコンデンサ $C5$ の一端には、それぞれ、コモンレベル基準信号 V_{cm} が伝達される。この結果、第1のコンデンサ $C6$ 及び第2のコンデンサ $C5$ は、コモンレベル基準信号 V_{cm} に対する対を成す2つの出力信号 V_{op} 、 V_{on} のコモンモード成分の差分であるフィードバック信号 V_{fp} を生成してノード $n3$ へ供給する。

20

【0053】

なお、 AB 級増幅部 20ni の構成は AB 級増幅部 20pi の構成と同様であるので、 AB 級増幅部 20ni についての説明を省略する。

【0054】

また、図3に括弧で示されるように、第1のスイッチ群 ($s3$ 、 $s5$) が第2のクロック信号 $CLK2$ に同期してオンし、第2のスイッチ群 ($s6$ 、 $s8$) が第1のクロック信号 $CLK1$ に同期してオンしても良い。この場合、スイッチ $s7$ は、第1のクロック $CLK1$ が H レベルの期間にオンし、スイッチ $s4$ は、第2のクロック $CLK2$ が H レベルの期間にオンする。第2の部分 1052 は、第2のクロック信号 $CLK2$ に同期して、コンデンサ $C4$ の基準電極 $E42$ へ調整された第2の基準信号を供給する。すなわち、第2の伝達部 22pi は、第2のクロック信号 $CLK2$ に同期して、第2の基準信号 V_{bias2} 及びフィードバック信号 V_{fp} に対する中間信号 V_{ap} の差分である第2の信号を生成して $NMOS$ トランジスタ $M4$ のゲートへ伝達する。

30

【0055】

次に、本発明の第1実施例に係る全差動増幅回路 200i における $CMFB$ 動作の詳細な説明を行う。第2のクロック信号 $CLK2$ が H レベルになる期間 2 において、コンデンサ $C7$ 、 $C8$ に「 $V_{cm} - V_{bias2}$ 」なる電圧がスイッチ $s6 \sim s8$ を通して蓄えられる。次に、第1のクロック信号 $CLK1$ が H レベルになる期間 1 において、この電圧の電荷がコンデンサ $C5$ 、 $C6$ にスイッチ $s3 \sim s5$ を通して再分配される。従って、この繰り返しシーケンスが数回行われた結果、出力信号 V_{on} 、 V_{op} の中点電位は設定されたコモンレベル基準信号 V_{cm} とほぼ等しくなり、ノード $n3$ の電位はノード $n4$ の電位とほぼ等しくなる。従って、 $NMOS$ トランジスタ $M4$ の定常時のドレイン電流は第2の基準信号によって定まる値となる。

40

【0056】

期間 1 において、 $PMOS$ トランジスタ $M3$ のゲートは、スイッチ $s1$ を通じて第1の基準信号である第1のバイアス電圧 V_{bias1} にバイアスされている。これにより、 $PMOS$ トランジスタ $M3$ の定常時のドレイン電流は、第1の基準信号である第1のバイアス電圧 V_{bias1} によって定まる値となる。従って、第1のバイアス電圧 V_{bias}

50

1 及び第 2 のバイアス電圧 V_{bias2} を適切に設定することで、ソース接地段を A B 級バイアスし、定常時の消費電力低減が可能となる。

【0057】

ここで、何らかの要因で出力 V_{op} , V_{on} の同相電圧が上昇した場合を考える。同相電圧の上昇分は、第 2 のコンデンサ C_5 及び第 1 のコンデンサ C_6 を通じてノード n_3 に伝達される。あるいは、図 3 に括弧で示されるように、第 1 のスイッチ群 (s_3 , s_5) が第 2 のクロック信号 CLK_2 に同期してオンし、第 2 のスイッチ群 (s_6 , s_8) が第 1 のクロック信号 CLK_1 に同期してオンする。この場合には、同相電圧の上昇分は、コンデンサ C_5 とコンデンサ C_7 及びコンデンサ C_6 とコンデンサ C_8 を通じてノード n_3 に伝達される。ノード n_3 の電圧が上昇することで、NMOS トランジスタ M_4 のドレイン電流が増加し、出力信号 V_{op} の電位が低下する。このとき、A B 級増幅部 20 ni においても同様の現象が起こり、出力信号 V_{on} の電位が低下する。この様に、出力信号 V_{op} , V_{on} のコモンモード成分の上昇に対して、出力信号 V_{op} , V_{on} の両方の電位が低下するようフィードバックされる機構になっており、CMFB 機能を実現する。また、コモンモード成分が低下した場合においても、同様のメカニズムで NMOS トランジスタ M_4 , M_6 のドレイン電流が減少することにより、CMFB 機能を実現する。

【0058】

一方、出力の差動信号が変化した場合、例えば出力信号 V_{op} が V 上昇し、出力信号 V_{on} が V 減少した場合を考える。この場合、第 2 のコンデンサ C_5 (あるいは $C_5 + C_7$) 及び第 1 のコンデンサ C_6 (あるいは $C_6 + C_8$) の静電容量値がほぼ等しい値であるとすると、ノード n_3 の電位はほぼ変動しない。従って、NMOS トランジスタ M_4 のドレイン電流は変化しない。このことは A B 級増幅部 20 ni においても同様であるから、NMOS トランジスタ M_6 のドレイン電流の変化もない。つまり、差動出力信号に対しては、第 2 のコンデンサ C_5 、第 1 のコンデンサ C_6 、第 4 のコンデンサ C_5' 、第 3 のコンデンサ C_6' を通した出力電圧への関与はない。

【0059】

次に、本発明の第 2 実施例に係る全差動増幅回路 200 j の回路構成例を、図 4 を用いて説明する。図 4 は、本発明の第 2 実施例に係る全差動増幅回路 200 j の回路構成例を示す図である。以下では、第 1 実施例と異なる部分を中心に説明する。なお、図 4 において、末尾に j を有する符号が付された構成要素は、図 1 において、当該符号から j を取り除いた符号が付された構成要素に対応する。また、図 4 において、' を有する符号が付された構成要素は、当該符号から ' を取り除いた符号が付された構成要素と実質的に同一である。

【0060】

図 4 に示すように、調整部 22 p がフィードバック信号 V_{fp} を第 1 の基準ノード n_7 へ供給する場合、第 1 の伝達部 21 p 及び第 2 の伝達部 23 p は次のような動作を行う。第 2 の基準ノード n_8 には、第 2 のバイアス電圧 V_{bias2} が第 2 基準信号として保持される。第 2 の伝達部 23 p は、第 1 のクロック信号 CLK_1 に同期して、第 2 の基準信号に対する中間信号 V_{ap} の差分をとることにより第 2 の信号を生成して NMOS トランジスタ M_4 のゲートへ伝達する。第 1 の基準ノード n_7 には、第 1 の伝達部 21 p により、第 1 のバイアス電圧 V_{bias1} にフィードバック信号 V_{fp} を加算した電圧が第 1 の基準信号として保持される。即ち、第 1 の伝達部 21 p は、調整前の第 1 の基準信号として第 1 のバイアス電圧 V_{bias1} を受けて、第 1 のバイアス電圧 V_{bias1} をフィードバック信号 V_{fp} によって調整し、調整された第 1 の基準信号を得る。第 1 の伝達部 21 p は、その調整された第 1 の基準信号に対する中間信号 V_{ap} の差分をとることにより第 1 の信号を生成する。第 1 の伝達部 21 p は、生成した第 1 の信号を PMOS トランジスタ M_3 のゲートへ伝達する。これにより、PMOS トランジスタ M_3 及び NMOS トランジスタ M_4 は、対を成す 2 つの出力信号 V_{op} , V_{on} のコモンモード成分が基準値 (コモンレベル基準信号 V_{cm}) になるように増幅動作を行うことにより、出力信号 V_{op} を生成して出力する。

【 0 0 6 1 】

図 4 に示すように、調整部 2 2 n がフィードバック信号 V_{fn} を第 3 の基準ノード n_5 へ供給する場合、第 3 の伝達部 2 1 n 及び第 4 の伝達部 2 3 n は次のような動作を行う。第 4 の基準ノード n_6 には、第 4 のバイアス電圧 V_{bias2} が第 4 の基準信号として保持される。第 4 の伝達部 2 3 n は、第 1 のクロック信号 CLK_1 に同期して、第 4 の基準信号に対する中間信号 V_{an} の差分をとることにより第 4 の信号を生成して NMOS トランジスタ M_6 のゲートへ伝達する。第 3 の基準ノード n_5 には、第 3 の伝達部 2 1 n により、第 3 のバイアス電圧 $V_{bias1'}$ にフィードバック信号 V_{fn} を加算した電圧が第 3 の基準信号として保持される。即ち、第 3 の伝達部 2 1 n は、調整前の第 3 の基準信号として第 3 のバイアス電圧 $V_{bias1'}$ を受けて、第 3 のバイアス電圧 $V_{bias1'}$ をフィードバック信号 V_{fn} によって調整し、調整された第 3 の基準信号を得る。第 3 の伝達部 2 1 n は、その第 3 の基準信号に対する中間信号 V_{an} の差分をとることにより第 3 の信号を生成する。第 3 の伝達部 2 1 n は、生成した第 3 の信号を PMOS トランジスタ M_5 のゲートへ伝達する。これにより、PMOS トランジスタ M_5 及び NMOS トランジスタ M_6 は、対を成す 2 つの出力信号 V_{op} 、 V_{on} のコモンモード成分が基準値（コモンレベル基準信号 V_{cm} ）になるように増幅動作を行うことにより、出力信号 V_{on} を生成して出力する。

10

【 0 0 6 2 】

全差動増幅回路 2 0 0 j は、2 つの AB 級増幅部 2 0 p j、2 0 n j を備える。AB 級増幅部 2 0 p j は、第 1 の伝達部 2 1 p j 及び調整部 2 2 p j を含む。調整部 2 2 p j は、フィードバック信号 V_{fp} を第 1 の基準ノード n_7 へ供給する。調整部 2 2 p j は、CMFB 回路 1 0 7 j を含む。CMFB 回路 1 0 7 j は、第 1 のクロック信号 CLK_1 に同期して、フィードバック信号 V_{fp} を第 1 の基準ノード n_7 へ供給する。コンデンサ C_3 の基準電極 E_{32} は、第 1 の基準ノード n_7 を介してフィードバック信号 V_{fp} を受ける。これにより、コンデンサ C_3 は、第 1 のクロック信号 CLK_1 に同期して第 1 の信号を生成する。ここで、第 1 の信号は、調整前の第 1 の基準信号である第 1 のバイアス電圧 V_{bias1} にフィードバック信号 V_{fp} が加算された信号である調整された第 1 の基準信号に対する中間信号 V_{ap} の差分である。このとき、コンデンサ C_3 の信号電極 E_{31} へは、中間信号 V_{ap} が供給されている。コンデンサ C_3 は、生成した第 1 の信号を PMOS トランジスタ M_3 のゲートへ伝達する。従って、出力 V_{op} 、 V_{on} のコモンレベル基準信号 V_{cm} の変動は、PMOS トランジスタ M_3 、 M_5 のそれぞれのドレイン電流が変化する事で抑制される。

20

30

【 0 0 6 3 】

以上の実施形態及び実施例に示したように、CMFB 回路によるフィードバック信号の帰還先はソース接地の NMOS トランジスタ及び PMOS トランジスタのどちらのゲートに設定しても良い。また、2 つの AB 級増幅部 2 0 p j、2 0 n j それぞれにおける CMFB 回路によるフィードバック信号の帰還先を、一方は NMOS トランジスタのゲートとし、他方は PMOS トランジスタのゲートに設定した場合でも、CMFB 効果が得られる。

【 0 0 6 4 】

次に、本発明の全差動増幅回路 2 0 0 を適用した S/H アプリケーションの一例を図 5 に示す。図 5 は、本発明の実施形態に係る全差動増幅回路 2 0 0 を適用した S/H アプリケーションの回路図である。

40

【 0 0 6 5 】

図 5 中の OTA 2 0 0 が本発明に該当する全差動増幅回路である。ここで、クロック信号 CLK_3 、 CLK_4 は、図 2 に示す 1、2 とほぼ同じ期間である 3、4 において、それぞれ H レベルとなる 2 相ノンオーバーラップクロック信号である。また、 V_1 は任意に設定する OTA 2 0 0 の入力コモンモード電圧である。

【 0 0 6 6 】

以下、この回路の動作の説明を行う。期間 3 において、入力 V_{in_p} と任意の電圧

50

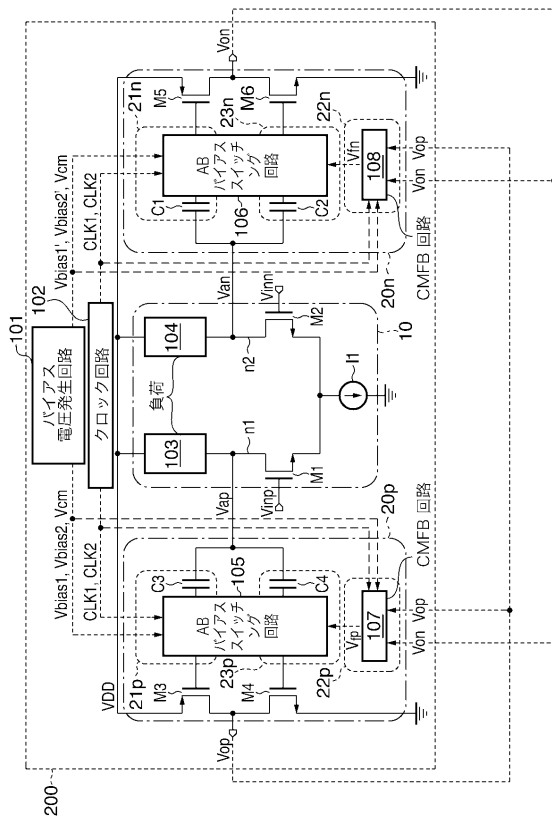
V_1 との差電圧がスイッチ s_{218} , s_{211} を通してコンデンサ C_{201} にサンプリングされる。同時に、入力 V_{in_n} と任意の電圧 V_1 との差電圧がスイッチ s_{219} , s_{212} を通してコンデンサ C_{202} にサンプリングされる。同時に、任意の電圧 V_2 及び V_1 の差電圧がスイッチ s_{213} , s_{211} を通してコンデンサ C_{203} にサンプリングされ、任意の電圧 V_3 及び V_1 の差電圧がスイッチ s_{216} , s_{212} を通してコンデンサ C_{204} にサンプリングされる。 OTA_{200} はサンプリング状態となる。

【0067】

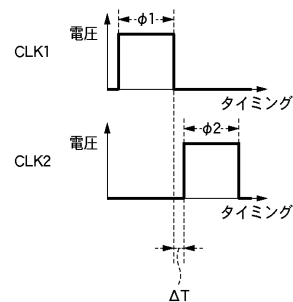
次に、期間 4において、スイッチ s_{217} , s_{214} , s_{215} が短絡する。 OTA 入力 V_{inn} , V_{inp} は仮想短絡となるため、期間 3におけるコンデンサ C_{201} , C_{202} に蓄えられた電荷がそれぞれコンデンサ C_{203} , C_{204} に転送され、 OTA_{200} はホールド状態となる。

10

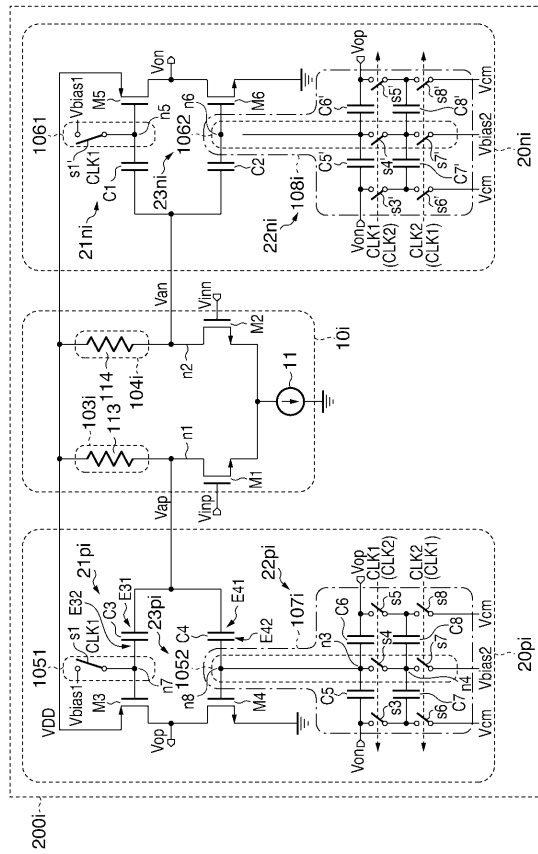
【図 1】



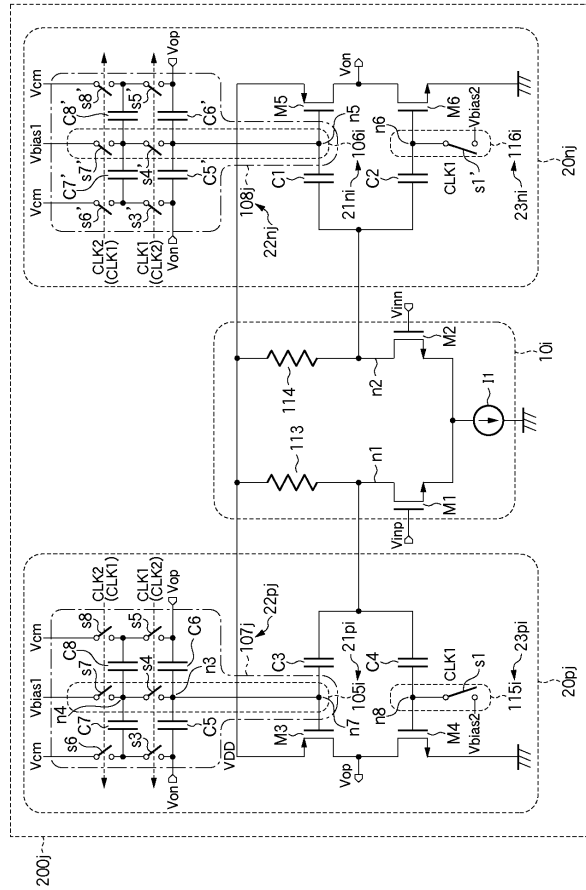
【図 2】



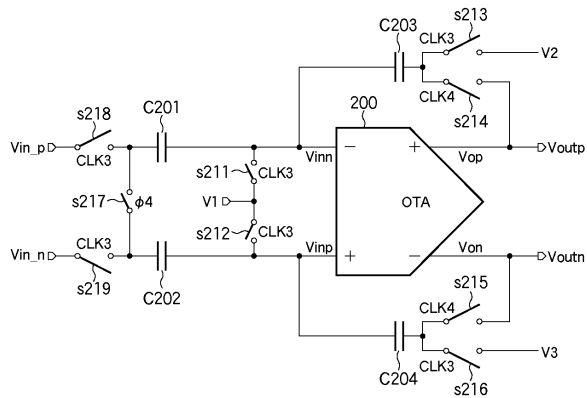
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 磯田 尚希
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 高橋 義昭

(56)参考文献 特開2008-011051(JP,A)
再公表特許第2006/132315(JP,A1)
特開2009-060376(JP,A)
特開2008-211535(JP,A)
特開平08-316746(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03F 3/45