



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I583127 B

(45)公告日：中華民國 106 (2017) 年 05 月 11 日

(21)申請案號：103111582

(22)申請日：中華民國 103 (2014) 年 03 月 28 日

(51)Int. Cl. : H03B5/32 (2006.01)

H03B5/04 (2006.01)

G05D23/19 (2006.01)

(30)優先權：2013/03/29 日本

2013-074854

(71)申請人：日本電波工業股份有限公司 (日本) NIHON DEMPA KOGYO CO., LTD. (JP)
日本

(72)發明人：赤池和男 AKAIKE, KAZUO (JP)；小林薰 KOBAYASHI, KAORU (JP)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

TW 201233049A1

TW 201308877A1

CN 1771664B

US 5041800

US 7920032B2

審查人員：范士隆

申請專利範圍項數：8 項 圖式數：13 共 45 頁

(54)名稱

晶體振盪器以及振盪裝置

CRYSTAL OSCILLATOR AND OSCILLATION DEVICE

(57)摘要

本發明提供一種晶體振盪器以及振盪裝置。晶體振盪器包括第一晶體振子及第二晶體振子。如果將第一晶體振子及第二晶體振子的振盪輸出設為 f_1 、 f_2 ，將基準溫度下的所述振盪輸出的振盪頻率分別設為 f_{1r} 、 f_{2r} ，則通過頻率差檢測部對 $\{(f_2-f_1)/f_1\}-\{(f_{2r}-f_{1r})/f_{1r}\}$ 進行運算處理而獲得數位值。在已進行該運算的部分的後段設置累積部和捨入處理部，所述累積部是每當輸入時脈時累積所述數位值，所述捨入處理部是對所累積的數位值進行捨入處理。並且構成爲，累積數與捨入量可相互獨立地設定。藉此，能使得用來進行溫度控制的電路規模適當。

The present invention provides a crystal oscillator and an oscillation device. The crystal oscillator includes: a first and second oscillation circuit. A frequency difference detection portion obtains a digital value, “ $\{(f_2-f_1)/f_1\}-\{(f_{2r}-f_{1r})/f_{1r}\}$ ”, where “ f_1 ” and “ f_2 ” denote oscillation outputs of the first and second oscillation circuits, respectively, and “ f_{1r} ” and “ f_{2r} ” denote oscillation frequencies of the first and second oscillation circuits, respectively, at a reference temperature. An accumulator and a rounding processing portion are configured at a rear section where “ $\{(f_2-f_1)/f_1\}-\{(f_{2r}-f_{1r})/f_{1r}\}$ ” has already been obtained; the accumulator accumulates the digital value during each input into a clock; the rounding processing portion performs rounding for the digital value accumulated in the accumulator; the accumulator and the rounding processing portion are configured so that an accumulated number and a rounding processing amount are set independent from each other, thereby allowing for suitable circuit scale for temperature control.

指定代表圖：

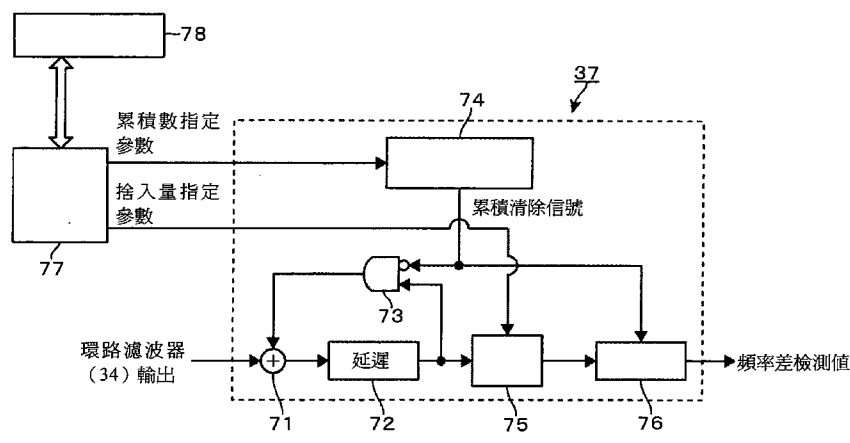


圖 7

- 符號簡單說明：
- 34 . . . 環路濾波器
 - 37 . . . 累積平均化處理部
 - 71 . . . 加算部
 - 72 . . . 延遲電路
 - 73 . . . 閘極
 - 74 . . . 閃鎖電路
 - 75 . . . 捨入處理部
 - 76 . . . 閃鎖電路
 - 77 . . . 控制部
 - 78 . . . 外部計算機

發明摘要

※ 申請案號：107111582

※ 申請日：107.3.28

※ IPC 分類：H03B 5/32 (2006.01)

H03B 5/04 (2006.01)

G05D 23/19 (2006.01)

【發明名稱】晶體振盪器以及振盪裝置

CRYSTAL OSCILLATOR AND OSCILLATION

DEVICE

【中文】

本發明提供一種晶體振盪器以及振盪裝置。晶體振盪器包括第一晶體振子及第二晶體振子。如果將第一晶體振子及第二晶體振子的振盪輸出設為 $f1$ 、 $f2$ ，將基準溫度下的所述振盪輸出的振盪頻率分別設為 $f1r$ 、 $f2r$ ，則通過頻率差檢測部對 $\{(f2-f1)/f1\} - \{(f2r-f1r)/f1r\}$ 進行運算處理而獲得數位值。在已進行該運算的部分的後段設置累積部和捨入處理部，所述累積部是每當輸入時脈時累積所述數位值，所述捨入處理部是對所累積的數位值進行捨入處理。並且構成為，累積數與捨入量可相互獨立地設定。藉此，能使得用來進行溫度控制的電路規模適當。

【英文】

The present invention provides a crystal oscillator and an oscillation device. The crystal oscillator includes: a first and second oscillation circuit. A frequency difference detection portion obtains a digital value, " $\{(f2-f1)/f1\} - \{(f2r-f1r)/f1r\}$ ", where

“f1” and “f2” denote oscillation outputs of the first and second oscillation circuits, respectively, and “f1r” and “f2r” denote oscillation frequencies of the first and second oscillation circuits, respectively, at a reference temperature. An accumulator and a rounding processing portion are configured at a rear section where $\{(f2-f1)/f1\} - \{(f2r-f1r)/f1r\}$ has already been obtained; the accumulator accumulates the digital value during each input into a clock; the rounding processing portion performs rounding for the digital value accumulated in the accumulator; the accumulator and the rounding processing portion are configured so that an accumulated number and a rounding processing amount are set independent from each other, thereby allowing for suitable circuit scale for temperature control.

【代表圖】

【本案指定代表圖】：圖 7。

【本代表圖之符號簡單說明】：

34：環路濾波器

37：累積平均化處理部

71：加算部

72：延遲電路

73：閘極

74：閘鎖電路

75：捨入處理部

76：閘鎖電路

77：控制部

78：外部計算機

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】晶體振盪器以及振盪裝置

CRYSTAL OSCILLATOR AND OSCILLATION
DEVICE

【技術領域】

【0001】 本發明涉及一種晶體振盪器以及使用該晶體振盪器的振盪裝置，所述晶體振盪器是對放置晶體振子的環境溫度進行檢測，基於溫度檢測結果來控制加熱部而使所述環境溫度固定。

【先前技術】

【0002】 在晶體振盪器被組裝到要求極高頻率穩定度的應用系統 (application) 的情況下，該晶體振盪器通常使用普通的恒溫晶體振盪器 (oven controlled crystal oscillator, OCXO)。OCXO 中的溫度控制是使用熱敏電阻 (thermistor) 作為溫度檢測器，並且使用運算放大器 (operational amplifier)、電阻、電容器 (condenser) 等分立 (discrete) 零件而構成，但因類比 (analog) 零件各自的偏差或經年變化，而無法進行例如 $\pm 20\text{m}^\circ\text{C}$ 的溫度控制。

【0003】 然而，在基站或中繼站等，要求廉價地使用穩定度極高的時脈 (clock) 信號，因此預測有以往的 OCXO 難以應對的狀況。

【0004】 在專利文獻 1 中記載了一種溫度補償石英晶體振盪器 (Temperature Compensated Crystal Oscillator, TCXO)，其獲取與

兩個晶體振子的振盪頻率差相應的值作為溫度檢測值，根據該溫度檢測值來修正振盪裝置的設定頻率。更具體來說，在將其中一個晶體振子的振盪輸出即脈衝（pulse）通過另一個晶體振子的振盪輸出即脈衝門鎖（latch）的時點（timing）產生脈衝，將該脈衝串送入鎖相環（Phase Locked Loop，PLL）而以數位（digital）值的形式產生溫度檢測值。

● 【0005】 本案申請人對專利文獻 1 中記載的使用溫度檢測值進行加熱器（heater）控制的 OCXO 的設計進行研究，作為進行溫度檢測的晶體振子，優選振盪頻率相對於溫度變化的變化大的晶體振子。因此，研究出，並不限定於 AT 切割（cut）的晶體片，而使用 SC 切割的晶體片並利用 B 模式（mode）振盪，或者使用 Y 切割的晶體片。

● 【0006】 然而，因晶體片切割的差異而會導致晶體片間的振盪頻率變化量相對於溫度變化量的比率不同。例如，使用 SC 切割的晶體片並利用 B 模式振盪時的所述比率為約 30 ppm/°C，使用 Y 切割的晶體片時的所述比率為約 90 ppm/°C。而且，即便為切割相同的晶體片，也會存在因批次（lot）間的偏差而導致晶體片間的所述比率出現大偏差的情況。因此，如果想要使設置在進行溫度檢測的電路的後段側的加熱器控制電路對各晶體片而言共通，則電路規模變大。而且，在晶體片的振盪頻率相對於溫度的靈敏度大的情況下，溫度檢測值瞬間大幅度變動，因此如果增大加熱器控制電路的時間常數，則溫度控制的動作無法適當地進行。從其他

觀點來看，這種情況也可理解為能夠使用的晶體片的選擇自由度小。

【0007】 [背景技術文獻]

[專利文獻]

[專利文獻 1]日本專利特開 2012-170050 號公報

【發明內容】

【0008】 本發明是基於所述情況而完成的，其目的在於提供如下技術：在基於與第一晶體振子及第二晶體振子的振盪頻率差相應的信號而產生溫度檢測值的晶體振盪器（OCXO）中，使用來進行溫度控制的電路規模適當，並且能夠適當地進行加熱器控制。

【0009】 本發明的晶體振盪器的特徵在於包括：用於振盪器輸出的振盪電路，連接於用於振盪器輸出的晶體振子；

【0010】 第一振盪電路及第二振盪電路，分別連接於用於溫度檢測的第一晶體振子及第二晶體振子；

【0011】 加熱部，用來實現使放置所述各晶體振子的環境溫度固定；

【0012】 頻率差檢測部，如果將第一振盪電路的振盪頻率設為 f_1 ，將基準溫度下的第一振盪電路的振盪頻率設為 f_{1r} ，將第二振盪電路的振盪頻率設為 f_2 ，將基準溫度下的第二振盪電路的振盪頻率設為 f_{2r} ，則求出如下數位值作為溫度檢測值，該數位值對應於 f_1 與 f_{1r} 的差量所對應的值、和 f_2 與 f_{2r} 的差量所對應的值的

差量值；

【0013】 累積部，根據所指定的累積數將在所述頻率差檢測部獲得的數位值即溫度檢測值累積；

【0014】 捨入（rounding）處理部，對在所述累積部被累積的溫度檢測值，與指定所述累積數獨立地指定捨入量，根據所指定的捨入量進行捨入處理；以及

【0015】 加熱控制部，基於在所述捨入處理部被捨入處理過的溫度檢測值來控制供給到加熱部的電力。

【0016】 本發明的振盪裝置的特徵在於包括晶體振盪器、以及將該晶體振盪器的振盪輸出作為時脈信號且包含鎖相環(Phase Lock Loop，PLL)的振盪裝置的主體電路部。

【0017】 [發明效果]

【0018】 本發明的晶體振盪器（OCXO）是對放置晶體振子的環境溫度進行檢測，基於溫度檢測結果控制加熱部而使所述環境溫度固定，並且以如下裝置為對象，該裝置將與兩個晶體振子的振盪頻率的差量對應的值處理為溫度檢測值。並且構成為，當基於累積溫度檢測值並平均化（捨入處理）所得的值進行加熱部控制時，溫度檢測值的累積數與捨入量可相互獨立地指定。因此，即便在因晶體片切割差異、或晶體片批次間的偏差而導致晶體片間的振盪頻率變化量相對於溫度變化量的比率（溫度檢測靈敏度）不同的情況下，也能夠通過選擇捨入量來減小溫度檢測靈敏度的偏差。結果能夠使用來進行溫度控制的電路規模適當。而且，能夠

適當地進行加熱器控制，能夠防止加熱器控制的誤動作。從其他觀點來看，這種情況也可理解為能夠使用的晶體片的選擇自由度大。

【圖式簡單說明】

【0019】

圖 1 是表示本發明的實施方式的整體構成的框圖。

圖 2 是表示本發明的實施方式中的頻率差檢測部的框圖。

圖 3 是圖 2 所示的電路的部分輸出的波形圖。

圖 4 (a)、圖 4 (b)、圖 4 (c) 是示意性地表示圖 2 所示的包含直接數位頻率合成器 (Direct Digital Synthesizer, DDS) 電路部的環路 (loop) 中未閉鎖狀態的各部分的波形圖。

圖 5 (a)、圖 5 (b)、圖 5 (c) 是示意性地表示圖 2 所示的包含 DDS 電路部的環路中已閉鎖狀態的各部分的波形圖。

圖 6 (a)、圖 6 (b) 是有關與所述實施方式對應的實際裝置的所述環路的各部分的波形圖。

圖 7 是詳細地表示頻率差檢測部的累積平均化處理部的電路的電路圖。

圖 8 是表示第一振盪電路的頻率 f_1 及第二振盪電路的頻率 f_2 與溫度的關係的頻率溫度特性圖。

圖 9 是表示使 f_1 的變化率及 f_2 的變化率各自標準化為基準溫度下的值後的值與溫度的關係的頻率溫度特性圖。

圖 10 是表示圖 8 所示的 OSC1 與 OSC2 的差量和溫度的關係的頻率溫度特性圖。

圖 11 是表示頻率差檢測部的數位輸出值與溫度的關係的特性圖。

圖 12 (a)、圖 12 (b)、圖 12 (c)、圖 12 (d)、圖 12 (e)、圖 12(f)是表示累積平均化處理部的各部分的波形的時間圖(time chart)。

圖 13 是將累積平均化處理部的捨入量的設定值作為參數(parameter)而表示累積平均化處理部的輸入輸出數據(data)的特性圖。

【實施方式】

【0020】 [實施方式的概要]

【0021】 在說明本發明的實施方式的詳情之前，先簡單地敘述該實施方式的概況。圖 1 中符號 200 所示的部分在本說明書中稱為控制電路部，但實際上是通常利用 PLL 的具有振盪功能的電路。符號 201 是輸出用於 PLL 的參考(reference)信號的直接數位頻率合成器(Direct Digital Synthesizer, DDS)。

【0022】 用來使該 DDS 動作的時脈信號使用圖 1 中符號 1 所示的第一振盪電路的振盪輸出。因此，結果為了使來自電壓控制振盪器(voltage control crystal oscillator, VCXO) 100 的輸出(該輸出在該例中相當於作為成品的振盪輸出)穩定，必須使所述時脈

信號穩定。

【0023】 因此，爲了使第一振盪電路 1 的振盪輸出穩定，而使用加熱器電路 5 使晶體振子 10 的環境溫度固定。作爲用來控制加熱器電路 5 的發熱量的溫度檢測信號，通過事先掌握相當於晶體振子 10 及晶體振子 20 這兩個晶體振子的振盪頻率的差量的值與溫度的關係，而使用相當於該差量的值。

【0024】 相當於所述振盪頻率的差量的值雖在下文進行敘述，但爲了避免用語的繁雜，對求出該值的部分使用頻率差檢測部 3 這一用語。另外，在該實施方式中，相當於溫度檢測信號的頻率差檢測部 3 的輸出 ΔF 並非只用於控制加熱器電路 5，還用於修正相當於電壓控制振盪器 100 的輸出頻率的設定值的頻率設定值。所述頻率設定值是由計算機（computer）讀出記憶體（memory）30 內的數據而被輸出。因此，該實施方式的振盪裝置具備 OCXO 功能以及 TCXO 功能。另外，本發明也可以適用於不具備 TCXO 功能的情況。

【0025】 並且，該實施方式構成爲，在頻率差檢測部 3 如下所述利用 PLL 產生相當於溫度檢測值的所述 ΔF 後，對所產生的溫度檢測值進行累積平均處理，並且在進行該累積平均化處理時，可獨立地調整數據的累積數與捨入量。

【0026】 [實施方式的整體說明]

【0027】 接著，詳細地說明本發明的實施方式的整體。圖 1 是表示應用本發明的實施方式的晶體振盪器而構成的振盪裝置的整體

的框圖。該振盪裝置包括：電壓控制振盪器 100，構成爲輸出所設定頻率的頻率信號的頻率合成器（synthesizer），且使用了晶體振子；控制電路部 200，構成該電壓控制振盪器 100 中的 PLL；晶體振盪器（未標注符號），產生用來使 DDS201 動作的時脈信號，該 DDS201 用來產生所述 PLL 的參照信號；以及加熱器 5，作爲加熱部，用來調整放置該晶體振盪器的晶體振子 10、晶體振子 20 的環境溫度。

● 【0028】 而且，該振盪裝置還包括溫度補償部，該溫度補償部進行被輸入到控制電路部 200 的基準時脈的溫度補償。未對溫度補償部標注符號，但該溫度補償部相當於圖 1 中比控制電路部 200 更靠左側部分，與用來控制所述加熱器 5 的電路部分共用。

● 【0029】 控制電路部 200 是利用相位差比較部 205 比較從 DDS 電路部 201 輸出的參考（參照用）時脈、與用分頻器 204 將電壓控制振盪器 100 的輸出分頻後的時脈相位，其比較結果即相位差被電荷泵（charge pump）202 類比化。經類比化的信號被輸入到環路濾波器（loop filter）206，且以鎖相環（Phase Locked Loop，PLL）穩定的方式被控制。因此，控制電路部 200 也可以稱爲 PLL 部。此處，DDS 電路部 201 是使用從下述第一振盪電路 1 輸出的頻率信號作爲基準時脈，並且被輸入有用來輸出目標頻率信號的頻率數據（數位值）。

【0030】 但是，由於所述基準時脈的頻率具有溫度特性，因此爲了消除（cancel）該溫度特性而由加算部 60 將對應於下述頻率修

正值的信號與被輸入到 DDS 電路部 201 的所述頻率數據相加。通過修正被輸入到 DDS 電路部 201 的頻率數據，而消除基於基準時脈的溫度特性變動量的 DDS 電路部 201 的輸出頻率的溫度變動量，結果參照用時脈的頻率相對於溫度變動為穩定，因此來自電壓控制振盪器 100 的輸出頻率變得穩定。

【0031】該實施方式中，如下所述那樣，製成基準時脈的晶體振盪器構成爲 OCXO，因此基準時脈的頻率穩定，所以可以說未觀察到該基準時脈的溫度特性。但是，有如下優點：當加熱器產生不良狀況等時，補償基於基準時脈的溫度特性變動量的 DDS 電路部 201 的輸出頻率的溫度變動量，通過這種構成，而可構成可靠性極高的頻率合成器。

【0032】接著，說明相當於本發明的晶體振盪器的 OCXO 的部分。該晶體振盪器包括第一晶體振子 10 以及第二晶體振子 20，這些第一晶體振子 10 以及第二晶體振子 20 是使用共同的晶體片 Xb 而構成。也就是，將例如帶狀晶體片 Xb 的區域在長度方向上分割成兩部分，在各分割區域（振動區域）的正背兩面設置激振用電極。因此，由其中一個分割區域與一對電極（電極 11、電極 12）構成第一晶體振子 10，由另一個分割區域與一對電極（電極 21、電極 22）構成第二晶體振子 20。因此，第一晶體振子 10 及第二晶體振子 20 可爲熱結合而成的晶體振子。晶體片 Xb 在該例中使用的是 AT 切割。

【0033】對第一晶體振子 10 及第二晶體振子 20 分別連接著第一

振盪電路 1 及第二振盪電路 2。這些振盪電路 1、振盪電路 2 的輸出均既可為例如晶體振子 10、晶體振子 20 的諧波 (overtone)，也可以為基波。在獲得諧波輸出的情況下，也可以在例如包含晶體振子與放大器的振盪環路內設置諧波的調諧電路，使振盪環路以諧波振盪。或者，也可以使振盪環路以基波振盪，在振盪段的後段、例如作為柯耳匹茲 (Colpitts) 電路的一部分的放大器的後段設置 C 級放大器並通過該 C 級放大器使基波變形，並且在 C 級放大器的後段設置調諧成諧波的調諧電路，結果從振盪電路 1、振盪電路 2 均輸出例如三次諧波的振盪頻率。

【0034】此處，為方便起見，如果設為從第一振盪電路 1 輸出頻率 f_1 的頻率信號，從第二振盪電路 2 輸出頻率 f_2 的頻率信號，則頻率 f_1 的頻率信號被作為基準時脈供給到所述控制電路部 200。3 為頻率差檢測部，該頻率差檢測部 3 概略而言是用來獲取 f_1 與 f_2 的差量和 Δf_r 的差量即 $f_2 - f_1 - \Delta f_r$ 的電路部。 Δf_r 是基準溫度為例如 25°C 時 f_1 (f_{1r}) 與 f_2 (f_{2r}) 的差量。如果列舉 f_1 與 f_2 的差量的一例則為例如數 MHz。本發明構成為，通過頻率差檢測部 3 計算 ΔF ，該 ΔF 是 f_1 與 f_2 的差量所對應的值、和基準溫度為例如 25°C 時 f_1 與 f_2 的差量所對應的值的差量。該實施方式中，更詳細來說，由頻率差檢測部 3 獲得的值為 $\{(f_2 - f_1) / f_1\} - \{(f_{2r} - f_{1r}) / f_{1r}\}$ 。但附圖中簡略表示了頻率差檢測部 3 的輸出。

【0035】圖 2 表示頻率差檢測部 3 的具體例。31 為觸發器 (flip flop) 電路 (F/F 電路)，對該觸發器電路 31 的其中一個輸入端輸

入來自第一振盪電路 1 的頻率 f_1 的頻率信號，對另一個輸入端輸入來自第二振盪電路 2 的頻率 f_2 的頻率信號，由來自第一振盪電路 1 的頻率 f_1 的頻率信號門鎖來自第二振盪電路 2 的頻率 f_2 的頻率信號。爲了避免冗長的記載，下面以 f_1 、 f_2 表示頻率或者頻率信號本身的方式處理。觸發器電路 31 輸出具有 f_1 與 f_2 的頻率差所對應的值即 $(f_2 - f_1)$ 的頻率的信號。

【0036】 在觸發器電路 31 的後段設置單觸發 (one shot) 電路 32，在單觸發電路 32 中，在從觸發器電路 31 獲得的脈衝信號上升時輸出單觸發脈衝。圖 3 是表示在此之前的一連串信號的時間圖。

【0037】 在單觸發電路 32 的後段設置鎖相環 (Phase Locked Loop, PLL)，該 PLL 包含門鎖電路 33、具有積分功能的第一環路濾波器 34、加算部 35 以及 DDS 電路部 36。

【0038】 門鎖電路 33 是用來由從單觸發電路 32 輸出的脈衝門鎖從 DDS 電路部 36 輸出的鋸齒波的電路，門鎖電路 33 的輸出是所述鋸齒波在輸出所述脈衝的時點的信號電平 (level)。環路濾波器 34 將該信號電平即直流電壓積分，第一加算部 35 將該直流電壓與對應於 Δf_r (基準溫度爲例如 25°C 時 f_1 與 f_2 的差量) 的直流電壓相加。對應於 Δf_r 的直流電壓的數據被存儲在圖 1 所示的記憶體 30 中。

【0039】 該例中，第一加算部 35 的符號在對應於 Δf_r 的直流電壓的輸入側爲“+”，在第一環路濾波器 34 的輸出電壓的輸入側變爲“-”。對 DDS 電路部 36 輸入從由第一加算部 35 運算出的直流

電壓即對應於 Δf_r 的直流電壓減去環路濾波器 34 的輸出電壓所得的電壓，並輸出與該電壓值相應的頻率的鋸齒波。爲了容易理解 PLL 的動作，而在圖 4 中極爲示意性地表示各部分輸出的情況，並且爲了能夠直觀地掌握而預先進行極爲示意性的說明。當裝置啓動時，對應於 Δf_r 的直流電壓通過第一加算部 35 被輸入到 DDS 電路部 36，如果例如 Δf_r 爲 5 MHz，則從 DDS36 輸出與該頻率相應頻率的鋸齒波。

● **【0040】** 所述鋸齒波被門鎖電路 33 以對應於 $(f_2 - f_1)$ 的頻率的脈衝門鎖，但如果 $(f_2 - f_1)$ 爲例如 6 MHz，則門鎖用脈衝的周期短於鋸齒波，因此鋸齒波的門鎖點 (latch point) 如圖 4 (a) 所示那樣逐漸下降，門鎖電路 33 的輸出以及第一環路濾波器 34 的輸出如圖 4 (b)、圖 4 (c) 所示那樣向一側逐漸下降。由於第一加算部 35 的環路濾波器 34 的輸出側的符號爲“-”，因此從第一加算部 35 輸入到 DDS 電路部 36 的直流電壓上升。因此，從 DDS 電路部 36 輸出之鋸齒波的頻率變高，當對 DDS 電路部 36 輸入對應於 6 MHz 的直流電壓時，鋸齒波的頻率變爲 6 MHz 而如圖 5 (a) ~ 圖 5 (c) 所示那樣門鎖 PLL。此時，從環路濾波器 34 輸出的直流電壓成爲與 $\Delta f_r - (f_2 - f_1) = -1 \text{ MHz}$ 對應的值。也就是，環路濾波器 34 的積分值可相當於鋸齒波從 5 MHz 變化爲 6 MHz 時的 1 MHz 變化量的積分值。

【0041】 與該例相反，當 Δf_r 爲 6 MHz、 $(f_2 - f_1)$ 爲 5 MHz 時，由於門鎖用脈衝的周期比鋸齒波長，因此圖 4 (a) 所示的門鎖點

逐漸變高，閃鎖電路 33 的輸出及環路濾波器 34 的輸出也隨之上升。因此，在加算部 35 被減去的值變大，所以鋸齒波的頻率逐漸下降，當變為大致與 $(f_2 - f_1)$ 相同的 5 MHz 時閃鎖 PLL。此時，從環路濾波器 34 輸出的直流電壓成為與 $\Delta f_r - (f_2 - f_1) = 1 \text{ MHz}$ 對應的值。另外，圖 6 為實測數據，該例中在時刻 t_0 時 PLL 已為閃鎖。

【0042】此外，如上所述，實際的頻率差檢測部 3 的輸出值是以 34 比特 (bit) 的數位值表示 $\{(f_2 - f_1) / f_{1r}\} - \{(f_{2r} - f_{1r}) / f_{1r}\}$ 的值所得。如果將該值從 -50°C 附近到 100°C 附近的集合設為 $(f_1 - f_{1r}) / f_{1r} = \text{OSC1}$ (單位為 ppm 或 ppb)、 $(f_2 - f_{2r}) / f_{2r} = \text{OSC2}$ (單位為 ppm 或 ppb)，則相對於溫度產生的變化成為與 $\text{OSC2} - \text{OSC1}$ 實質上相同的曲綫 (curve)。因此，頻率差檢測部 3 的輸出可處理為 $\text{OSC2} - \text{OSC1} = \text{溫度數據}$ 。

【0043】而且，由於觸發器 31 中由 f_1 閃鎖 f_2 的動作不同步，因此還有可能產生亞穩態 (metastable) (當在時脈邊緣 (edge) 閃鎖輸入數據時，閃鎖邊緣的前後一定時間必須保持輸入數據，但因時脈與輸入數據大致同時變化而使輸出不穩定的狀態) 等不定區間，環路濾波器 34 的輸出中有可能包含瞬間誤差。因此，如圖 2 所示，在環路濾波器 34 的輸出側設置在預先設定的時間內將輸入值平均化的累積平均化電路 37，即便產生所述瞬間誤差，也可以消除該瞬間誤差。通過設置累積平均化電路 37，最終能夠高精度地獲取變動溫度量的頻率偏移信息。

【0044】圖 7 是詳細地表示累積平均化電路 37 的電路圖。第一環路濾波器 34 的輸出（數位值）作為其中一個輸入值輸入到加算部 71，在該加算部 71 與另一個輸入值相加。來自加算部 71 的輸出經過延遲電路 72 及作為邏輯電路的閘極 73 被作為另一個輸入值輸入到所述加算部 71。延遲電路 72 使已獲取的數位值延遲 1 時脈後輸出。也就是，基於時脈被輸入到延遲電路 72 的加算值在下一個時脈被輸出。

● 【0045】因此，如果將在第 k （ k 為自然數）個時脈輸入到加算部 71 的環路濾波器 34 的輸出值設為 A_k ，則通過第 n 個時脈從加算部 71 輸出 $A_1 \sim A_n$ 的加算值。也就是，當第一個時脈被輸入到加算部 71 時，延遲電路 72 的輸出值為零，因此從加算部 71 輸出 A_1 ，當第二個時脈被輸入到加算部 71 時，延遲電路 72 的輸出值為 A_1 ，因此從加算部 71 輸出 $A_1 + A_2$ 。第 k （ k 為自然數）個時脈是相當於輸出例如下文將要敘述的累積清除（clear）信號時的時脈。

● 【0046】該例中，由一個延遲電路 72 構成延遲輸出部，但也可以將多個延遲電路 72 串聯連接。在該情況下，延遲輸出部使已獲取的數位值延遲相當於預先設定的時脈數的時間後輸出。在該情況下，預先設定的時脈數是指延遲電路 72 的連接個數。

【0047】閘極 73 用來通過輸入累積清除信號而將加算部 71 中的環路濾波器 34 的輸出值的累積數（要相加的輸出數位值的個數）限制為設定值。對閘極 73 的其中一個輸入端輸入延遲電路 72 的

輸出值，對另一個輸入端輸入來自累積控制信號產生部 74 的累積清除信號。圖 7 中，記載了相當於 1 比特量的閘極 73，但實際上設置了相當於數位值的比特數的閘極 73。累積清除信號在該例中為邏輯“1”的信號，當未產生累積清除信號時，閘極 73 的另一個輸入端為邏輯“0”，因此來自延遲電路 72 的輸出信號直接被送到加算部 71。當產生累積清除信號時，閘極 73 的另一個輸入端為邏輯“1”，因此閘極 73 的輸出變為邏輯“0”，累積加算值被清除。

【0048】 該例中，加算部 71、延遲電路 72（延遲輸出部）及閘極電路 73 相當於累積部。

【0049】 如果將累積數的設定值設定為例如“23”（為方便起見而採用的數值），則累積控制信號產生部 74 每當計數（count）八個時脈時，輸出累積清除信號。因此，在該情況下，將從環路濾波器 34 輸出的值連續採樣（sampling）八次並相加，其後清除該加算值，再次從下一個第一個時脈起以相同方式連續採樣八次並相加。

【0050】 另一方面，在延遲電路 72 的後段設置用來進行捨入處理（乘以 2^{-m} 的處理（ m 為自然數））的捨入處理部 75。捨入處理部 75 根據所設定的捨入量對來自延遲電路 72 的輸出即數位值進行捨入處理。如果捨入量為例如“2-3”，則上述例中以十進制來說，通過第八個時脈對來自環路濾波器 34 的輸出值累積八次所得的值除以 8。在捨入處理部 75 的後段設置閘鎖電路 76，該閘鎖電

路 76 通過輸入所述累積清除信號而輸出已閃鎖的數位值。因此，通過產生累積清除信號而進行如下動作，即，對來自環路濾波器 34 的輸出值清除至此為止累積的值，接著從閃鎖電路 76 輸出至此為止累積的值。

【0051】 作為累積數，設定例如 29 到 212 的值，作為捨入量，設定例如 2-10 到 2-13 的值。關於設定累積數，從包含頻率合成器所具備的例如控制器（controller）的控制部 77 對累積控制信號產生部 74 輸入累積數指定參數。累積控制信號產生部 74 包含例如計數器（counter），通過輸入相當於累積數指定參數的用於遞增計數（count up）的時脈的計數數量的指定值，而在每當時脈數的計數值達到指定數時輸出所述累積清除信號。

【0052】 該例中，控制部 77 及累積控制信號產生部 74 相當於累積數指定部。

【0053】 捨入量也是通過從所述控制部 77 對捨入處理部 75 輸入捨入量指定參數而設定。捨入量指定參數相當於例如捨入量值本身。該例中，控制部 77 經由頻率合成器所具備的信號端口（port）連接到作為外部控制部的外部計算機 78。在製造頻率合成器時將各種參數寫入到控制部 77 的記憶體時、維護（maintenance）頻率合成器時、或者用戶變更部分參數時，將控制部 77 連接到外部計算機 78。

【0054】 該例中，控制部 77 相當於捨入量指定部，並且兼用作一部分累積數指定部。

【0055】 因此，累積平均化處理部 37 中的累積數及捨入量也從例如外部計算機 78 被寫入到控制部 77 的記憶體，當打開頻率合成器的電源時從記憶體被讀出，並且被輸入到累積控制信號產生部 74 及捨入處理部 75。累積數及捨入量可分別單獨地（其中一方不受另一方約束）通過外部計算機 78 來設定。外部計算機 78 及控制部 77 在該例中相當於累積數指定部及捨入量指定部。另外，也可以構成爲，累積數及捨入量不依賴於外部計算機 78，在頻率合成器側使用控制部 77，而可分別獨立地設定。

【0056】 此處，參照圖 8 至圖 11 來說明由 PLL 的環路濾波器 34 獲得的變動溫度量的頻率偏移信息即 OSC2－OSC1。圖 8 是以基準溫度將 f1 及 f2 標準化而表示溫度與頻率的關係的特性圖。此處所說的標準化是指將例如 25℃ 設爲基準溫度，關於溫度與頻率的關係是將基準溫度下的頻率設爲零，求出與基準溫度下的頻率的頻率偏移量和溫度的關係。如果將第一振盪電路 1 在 25℃ 時的頻率設爲 f1r，將第二振盪電路 2 在 25℃ 時的頻率設爲 f2r，也就是如果將 25℃ 下的 f1、f2 的值分別設爲 f1r、f2r，則圖 8 中縱軸的值爲 $(f1 - f1r)$ 及 $(f2 - f2r)$ 。

【0057】 而且，圖 9 表示圖 8 所示的各溫度頻率相對於基準溫度（25℃）下的頻率的變化率。因此，圖 9 縱軸的值爲 $(f1 - f1r) / f1r$ 及 $(f2 - f2r) / f2r$ ，也就是如上所述爲 OSC1 及 OSC2。另外，圖 9 縱軸的值的單位爲 ppm。

【0058】 圖 10 表示 OSC1 與溫度的關係（與圖 9 相同）、以及（OSC2

— $OSC1$ ）與溫度的關係，可知 $(OSC2 - OSC1)$ 與溫度存在直線關係。因此，可知 $(OSC2 - OSC1)$ 對應於與基準溫度的溫度變動偏移量。並且，通常來說晶體振子的頻率溫度特性是以三次函數表示，因此只要求出抵消由該三次函數獲得的頻率變動量的頻率修正值與 $(OSC2 - OSC1)$ 的關係，則可基於 $(OSC2 - OSC1)$ 的檢測值而求出頻率修正值。

【0059】而且，圖 11 表示頻率差檢測部 3 的輸出信號即 34 比特的數位值與溫度的關係。因此，可知 $(OSC2 - OSC1)$ 對應於與基準溫度的溫度變動偏移量。

【0060】返回到圖 1 中進行說明，如上所述，頻率差檢測部 3 的輸出值實質上可處理為 $(OSC2 - OSC1)$ ，該值可為如圖 10 所示那樣放置著晶體振子 10、晶體振子 20 的溫度檢測值。因此，在頻率差檢測部 3 的後段設置第二加算部（偏差量獲取電路）6，獲取作為數位信號的溫度設定值（設定溫度下的 $OSC2 - OSC1$ 的 34 比特的數位值）與頻率差檢測部 3 的輸出即 $OSC2 - OSC1$ 的差量。溫度設定值優選為選擇與用來獲得晶體振盪器的輸出的第一晶體振子 10 對應的 $OSC1$ 的值不易因溫度變化而變動的溫度。該溫度選擇圖 8 所示的對應於 $OSC1$ 與溫度的關係曲綫中例如底部 (bottom) 部分的 50°C 。另外，就 $OSC1$ 的值不易因溫度變化而變動的溫度的觀點來看，可將 10 度作為設定溫度，該情況下還有低於室溫的情況，因此設置與加熱部及珀爾帖元件 (Peltier element) 等冷却部組合而成的調溫部。

【0061】 並且，在第二加算部 6 的後段設置相當於積分電路部的第二環路濾波器 61。

【0062】 在環路濾波器 61 的後段設置數位/類比 (Digital/Analog) 轉換部 62。在 D/A 轉換部 62 的後段設置相當於加熱部的加熱器電路 5。該例中，加算部 6、環路濾波器 61、D/A (數位/類比) 轉換部 62 相當於加熱控制部。

【0063】 [有關 TCXO 功能的構成部分的說明]

【0064】 而且，該實施方式的振盪裝置如上所述那樣具備 TCXO 功能。該功能是進行被輸入到控制電路部 200 的基準時脈的溫度補償的功能。具體來說，由 PLL 的環路濾波器 34 獲得的變動溫度量的頻率偏移信息被輸入到圖 1 所示的修正值獲取部即修正值運算部 4，在此處運算頻率的修正值。變動溫度量的頻率偏移信息是如下值，該值對應於晶體振子 10 被置於基準溫度時的第一振盪電路 1 的振盪頻率、與晶體振子 10 的環境溫度 (收容著晶體振子 10 的容器內的溫度) 下的第一振盪電路 1 的振盪頻率的差量。

【0065】 該例中，由於振盪裝置具備 OCXO 功能，因此對應於該差量的值通常為固定值，但在設置著振盪裝置的環境溫度超過預測溫度而變動的情況下，發揮出 TCXO 功能。

【0066】 該實施方式的振盪裝置將如上所述那樣從第一振盪電路 1 獲得的頻率信號 (f_1) 用作圖 1 所示的控制電路部 200 的基準時脈，該基準時脈存在頻率溫度特性，因此要對基準時脈的頻率進行溫度修正。因此，首先，預先求出以基準溫度標準化的表示溫

度與 $f1$ 的關係的函數，再求出用來抵消由該函數獲得的 $f1$ 的頻率變動量的函數。接著，基於由頻率差檢測部 3 獲得的溫度檢測信號與所述函數，利用修正值運算部 4 求出用來抵消頻率變動量的修正信號。關於該點進而添加記載。

● **【0067】** 如圖 1 所示，第一晶體振子 10 及第二晶體振子 20 使用共同的晶體片 Xb 而構成，且彼此熱結合，所以振盪電路 1、振盪電路 2 的頻率差是極準確地對應於環境溫度的值，因此頻率差檢測部 3 的輸出是環境溫度與基準溫度（該例中為 25°C ）的溫度差信息。第一振盪電路 1 的被輸出的頻率信號 $f1$ 被用作控制部 200 的主時脈（main clock），因此在修正值運算部 4 獲得的修正值被用作如下信號，該信號是爲了抵消基於因溫度偏離 25°C 導致的 $f1$ 的頻率偏移量對控制部 200 的動作造成的影響而補償控制部 200 的動作的信號。結果本實施方式的振盪裝置 1 的輸出即電壓控制振盪器 100 的輸出頻率無論溫度如何變動均穩定。

● **【0068】** [實施方式的整體動作]

【0069】 接下來，整理所述實施方式的整體動作。如果著眼於該振盪裝置的晶體振盪器，則晶體振盪器的輸出相當於從第一振盪電路 1 輸出的頻率信號。並且，通過加熱器電路 5 以放置晶體振子 10、晶體振子 20 的環境達到目標溫度的方式進行加熱。第一晶體振子 10 及第一振盪電路 1 是產生晶體振盪器的輸出即頻率信號的部件，與第二晶體振子 20 及第二振盪電路 2 一起具有作爲溫度檢測部的作用。對應於分別從這些振盪電路 1、振盪電路 2 獲得的

頻率信號的頻率差的值 $OSC2 - OSC1$ 如上所述與溫度對應，利用加算部 6 獲取到與溫度設定值(例如 $50^{\circ}C$ 下的 $OSC2 - OSC1$ 的值)的差量。

【0070】 與頻率差對應的值 $OSC2 - OSC1$ 通過頻率檢測部 3 中的圖 2 所示的電路，並基於已詳細敘述的動作獲取到。並且，從環路濾波器 34 獲得的數位值在圖 7 所示的累積平均化處理部 31 被累積所設定的採樣次數，接著利用所設定的捨入量被進行捨入處理（乘以 2^{-m} ）。

【0071】 圖 12 是表示圖 7 所示的累積平均化處理部 37 的各部分的信號的時間圖，圖 12 (a) 是時脈脈衝，圖 12 (b) 是累積清除信號，圖 12 (c) 是來自環路濾波器 34 的輸出，圖 12 (d) 是來自延遲電路 72 的輸出值，圖 12 (e) 是捨入處理部 75 的輸出，圖 12 (f) 是門鎖電路 76 的輸出。該例中，為方便起見，將累積數及捨入量均設為“8”。將累積清除信號達到邏輯“1”時的捨入處理部 75 的輸出值經由門鎖電路 76 從累積平均化處理部 31 輸出到圖 1 所示的加算部 6 及修正值運算部 4。

【0072】 累積平均化處理部 37 如上所述具有去除環路濾波器 34 的輸出中所含的瞬間誤差的作用，但可以通過彼此獨立地調整累積數與捨入量，而調整溫度與所述 $OSC2 - OSC1$ 的值的對應關係。

【0073】 圖 13 是將捨入量設為參數，表示累積平均化處理部 37 的輸入值與輸出值的對應關係。圖 13 中，a 是將捨入量設定為“2-10”，b 是將捨入量設定為“2-11”（將除數設定為“211”），

c 是將捨入量設定為“2-12”（將除數設定為“212”），累積數均為“210”。從該圖也可知能夠調整溫度與所述 OSC2—OSC1 的值的對應關係。因此，關於 b、c，在捨入處理部 75 對所累積的溫度檢測值進行除法運算的除數為大於所述累積數的值

【0074】 [實施方式的效果]

【0075】 如上所述，上述實施方式是使放置晶體振子的環境的溫度固定的晶體振盪器（OCXO），將與晶體振子 10、晶體振子 20 這兩個晶體振子的振盪頻率的差量對應的值處理為溫度檢測值。並且構成為，當基於累積溫度檢測值並平均化（捨入處理）的值控制加熱部時，溫度檢測值的累積數與捨入量可相互獨立地指定。因此，即便在因晶體片切割差異、或晶體片批次間的偏差而導致晶體片間的振盪頻率的變化量相對於溫度變化量的比率（溫度檢測靈敏度）不同的情況下，也能夠通過選擇捨入量來減小溫度檢測靈敏度偏差。結果可使用來進行溫度控制的電路規模適當。而且，可適當地進行加熱器控制，可防止加熱器控制的誤動作。從其他觀點來說，這種情況也可理解為能夠使用的晶體片的選擇自由度大。

【0076】 [其他說明]

【0077】 進而，而且，在所述例中，第一晶體振子 10 及第二晶體振子 20 使用共同的晶體片 Xb，但也可使晶體片 Xb 不同。在該情況下，可列舉例如在共同的殼體中配置第一晶體振子 10 及第二晶體振子 20 的例子。根據這種構成，由於放置在實質上相同的溫度

環境下，所以可獲得相同的效果。

【0078】 頻率差檢測部 3 的 DDS 電路部 36 的輸出信號並不限於鋸齒波，只要為信號值隨時間反復增加、減少的頻率信號即可，例如可為正弦波。而且，作為頻率差檢測部 3，也可以利用計數器計數 f_1 與 f_2 ，從其計數值的差量值減去相當於 Δf_r 的值，輸出與所獲得的計數值對應的值。

【0079】 在上面的實施方式中，第一晶體振子 10 及第一振盪電路 1 具有獲取溫度檢測值的作用與製成晶體振盪器的輸出的作用。也就是，振盪電路 1 共用用來進行溫度檢測的振盪電路、及晶體振盪器的輸出用振盪電路。但是，本發明也可以準備例如三個晶體振子並且準備三個振盪電路，例如在圖 1 的構成中，準備第三晶體振子及連接於該晶體振子的第三振盪電路，將第三振盪電路的輸出設為晶體振盪器的輸出，將其餘的第一振盪電路及第二振盪電路的振盪輸出輸入到頻率差檢測部而獲得溫度檢測值。在該情況下，如果設為組合 OCXO 與 TCXO 而成者，則將第三晶體振盪電路的輸出用作 DDS201 的時脈。

【0080】 圖 1 及圖 15 所示的振盪裝置即頻率合成器包含晶體振子 10、晶體振子 20、振盪電路 1、振盪電路 2、頻率差檢測部 3、加算部 6～加熱器電路 5 的部分，並且是利用本發明的實施方式的晶體振盪器而構成。但是，本發明並不限於構成為頻率合成器，也可以構成為將第一振盪電路 1 的振盪輸出設為本發明的晶體振盪器的輸出、也就是不使用控制電路部 200。

【符號說明】**【0081】**

- 1：第一振盪電路
- 2：第二振盪電路
- 3：頻率差檢測部
- 4：修正值運算部（修正值獲取部）
- 5：加熱器電路
- 6：加算部
- 10：第一晶體振子
- 11：電極
- 12：電極
- 20：第二晶體振子
- 21：電極
- 22：電極
- 30：記憶體
- 31：觸發器電路
- 32：單觸發電路
- 33：門鎖電路
- 34：環路濾波器
- 35：加算部
- 36：DDS 電路部

37：累積平均化處理部
 60：加算部
 61：環路濾波器
 62：數位/類比轉換部
 71：加算部
 72：延遲電路
 73：閘極
 74：閃鎖電路
 75：捨入處理部
 76：閃鎖電路
 77：控制部
 78：外部計算機
 100：電壓控制振盪器
 200：控制電路部
 201：DDS 電路部
 204：分頻器
 205：相位差比較部
 206：環路濾波器
 f1、f2：振盪輸出
 Xb：晶體片

申請專利範圍

1.一種晶體振盪器，包括：

用於振盪器輸出的振盪電路，連接於用於振盪器輸出的晶體振子；

第一振盪電路及第二振盪電路，分別連接於用於溫度檢測的第一晶體振子及第二晶體振子；

加熱部，用來實現使放置所述第一晶體振子及所述第二晶體振子的環境溫度固定；

頻率差檢測部，如果將所述第一振盪電路的振盪頻率設為 f_1 ，將基準溫度下的所述第一振盪電路的振盪頻率設為 f_{1r} ，將所述第二振盪電路的振盪頻率設為 f_2 ，將基準溫度下的所述第二振盪電路的振盪頻率設為 f_{2r} ，則求出如下數位值作為溫度檢測值，該數位值對應於 f_1 與 f_{1r} 的差量所對應的值、和 f_2 與 f_{2r} 的差量所對應的值的差量值；

累積部，根據所指定的累積數將在所述頻率差檢測部獲得的數位值即所述溫度檢測值累積；

捨入處理部，對在所述累積部被累積的所述溫度檢測值，與指定所述累積數獨立地指定捨入量，根據所指定的所述捨入量進行捨入處理；以及

加熱控制部，基於在所述捨入處理部被捨入處理過的所述溫度檢測值來控制供給到所述加熱部的電力。

2.如申請專利範圍第 1 項所述的晶體振盪器，包括：

累積數指定部，用來將所述累積數指定給所述累積部；以及
捨入量指定部，用來將所述捨入量指定給所述捨入處理部。

3.如申請專利範圍第 2 項所述的晶體振盪器，其中：

所述累積部包括：加算部，被輸入所述溫度檢測值；延遲輸出部，使來自該加算部的輸出值延遲預先設定的時脈數 m 後輸出，其中 m 為自然數；以及閘極電路，將該延遲輸出部的輸出值作為被加到所述溫度檢測值的被加值輸入到所述加算部，通過每隔多於所述時脈數 m 的時脈數 m' 便從所述累積數指定部輸入的清除信號而使該輸出值變為邏輯 0。

4.如申請專利範圍第 3 項所述的晶體振盪器，其中：

所述延遲輸出部使來自所述加算部的輸出值延遲 1 時脈後輸出。

5.如申請專利範圍第 1 項所述的晶體振盪器，其中：

所述累積部的所述溫度檢測值的累積數設定為 $2^9 \sim 2^{12}$ 。

6.如申請專利範圍第 1 項所述的晶體振盪器，其中：

通過所述捨入處理部對所累積的所述溫度檢測值進行的所述捨入處理的捨入量為 $2^{10} \sim 2^{13}$ 。

7.如申請專利範圍第 1 項所述的晶體振盪器，其中：

在所述捨入處理部對所累積的所述溫度檢測值進行除法運算的除數為大於所述累積數的值。

8.一種振盪裝置，包括：

如申請專利範圍第 1 所述的晶體振盪器、以及將該晶體振盪

器的振盪輸出作為時脈信號且包含鎖相環的振盪裝置的主體電路部。

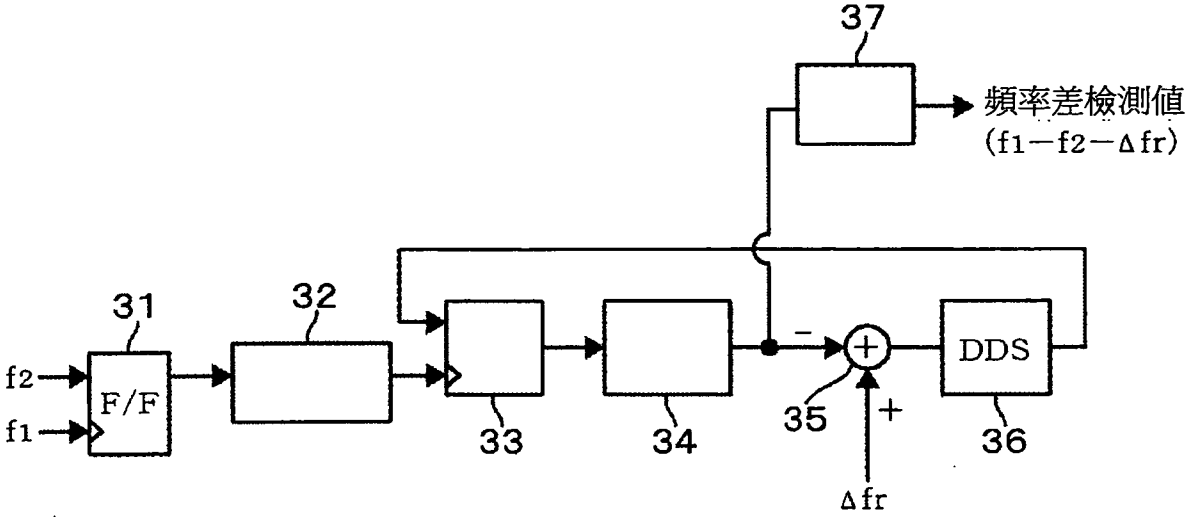


圖 2

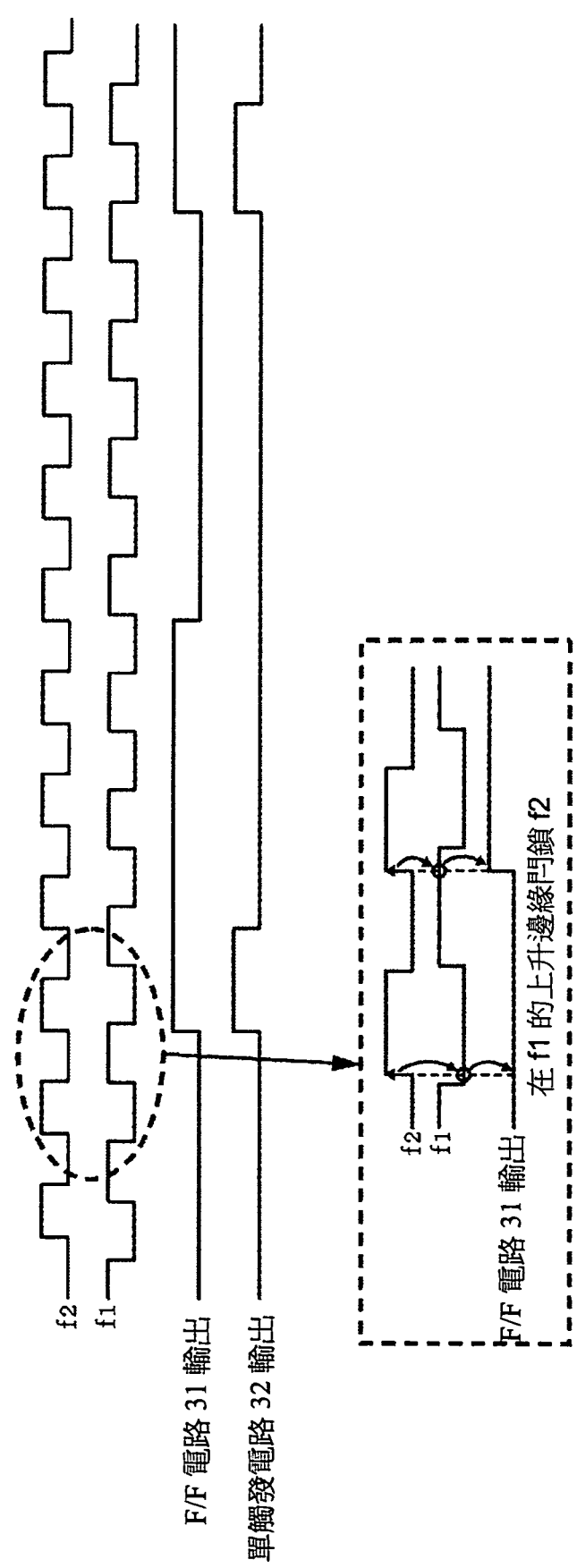
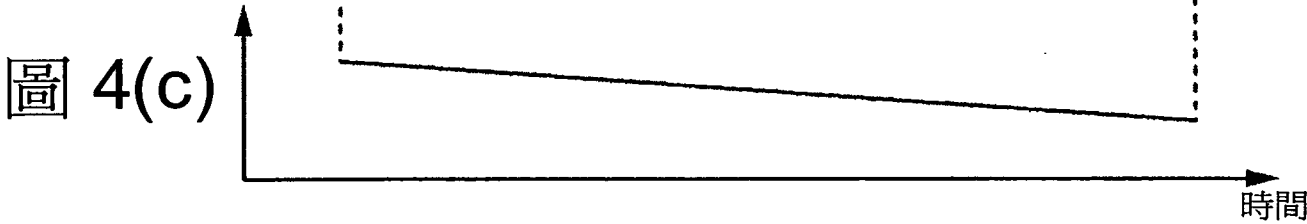
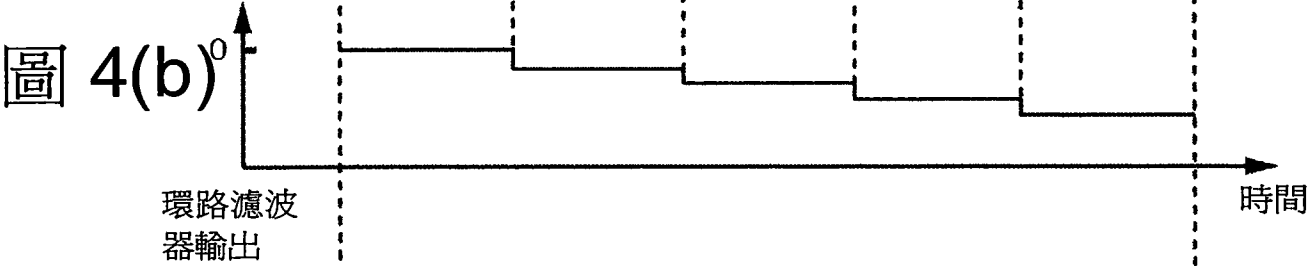
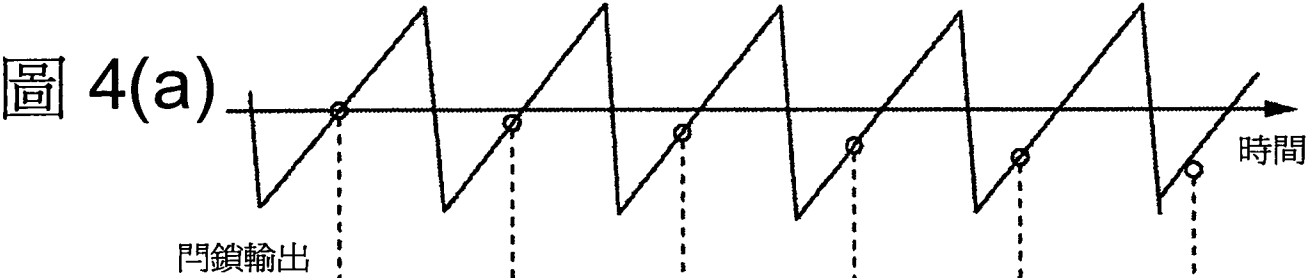


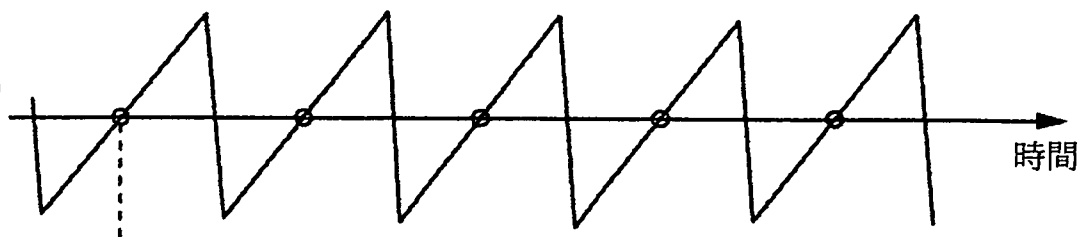
圖 3

DDS 輸出、門鎖點



DDS 輸出、門鎖點

圖 5(a)



門鎖輸出

圖 5(b)



環路濾波
器輸出

圖 5(c)

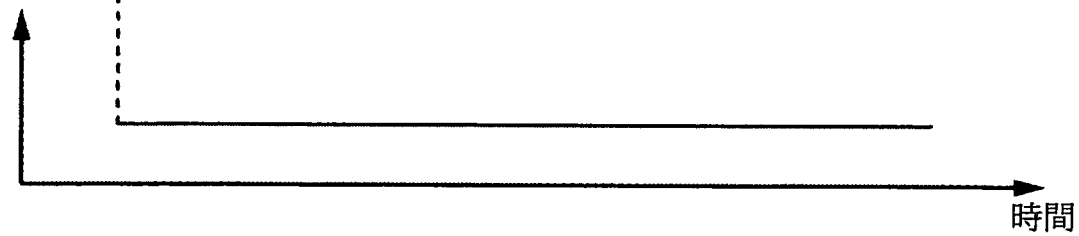


圖 6(a)

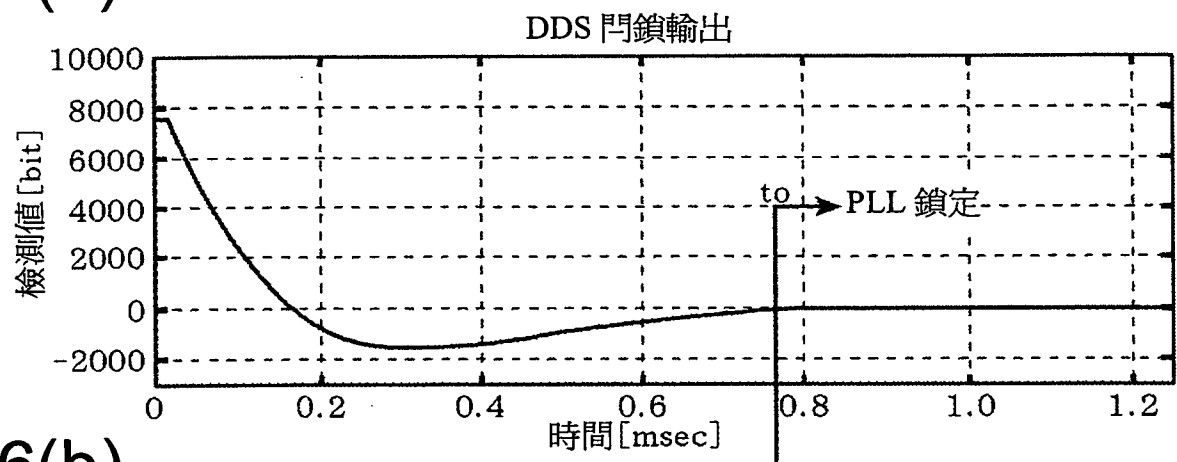
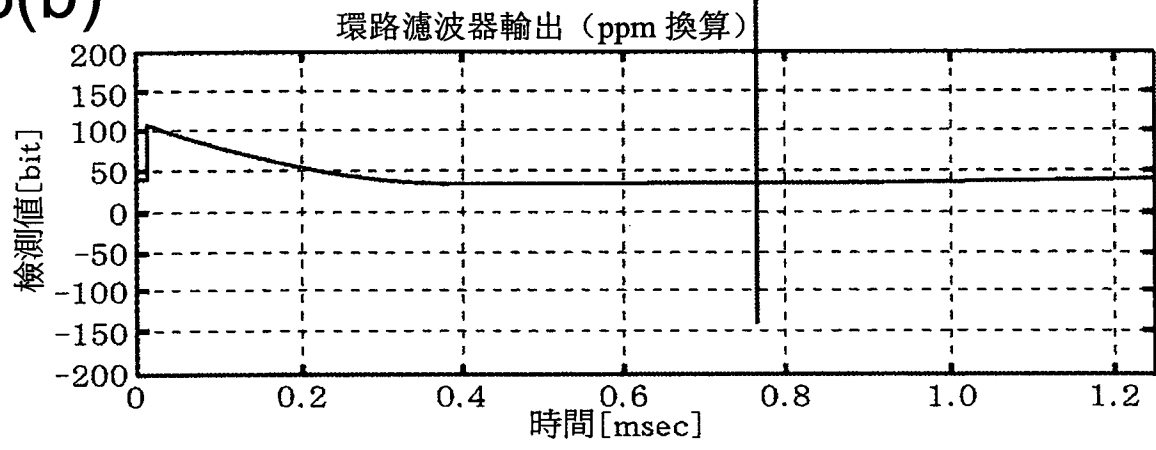


圖 6(b)



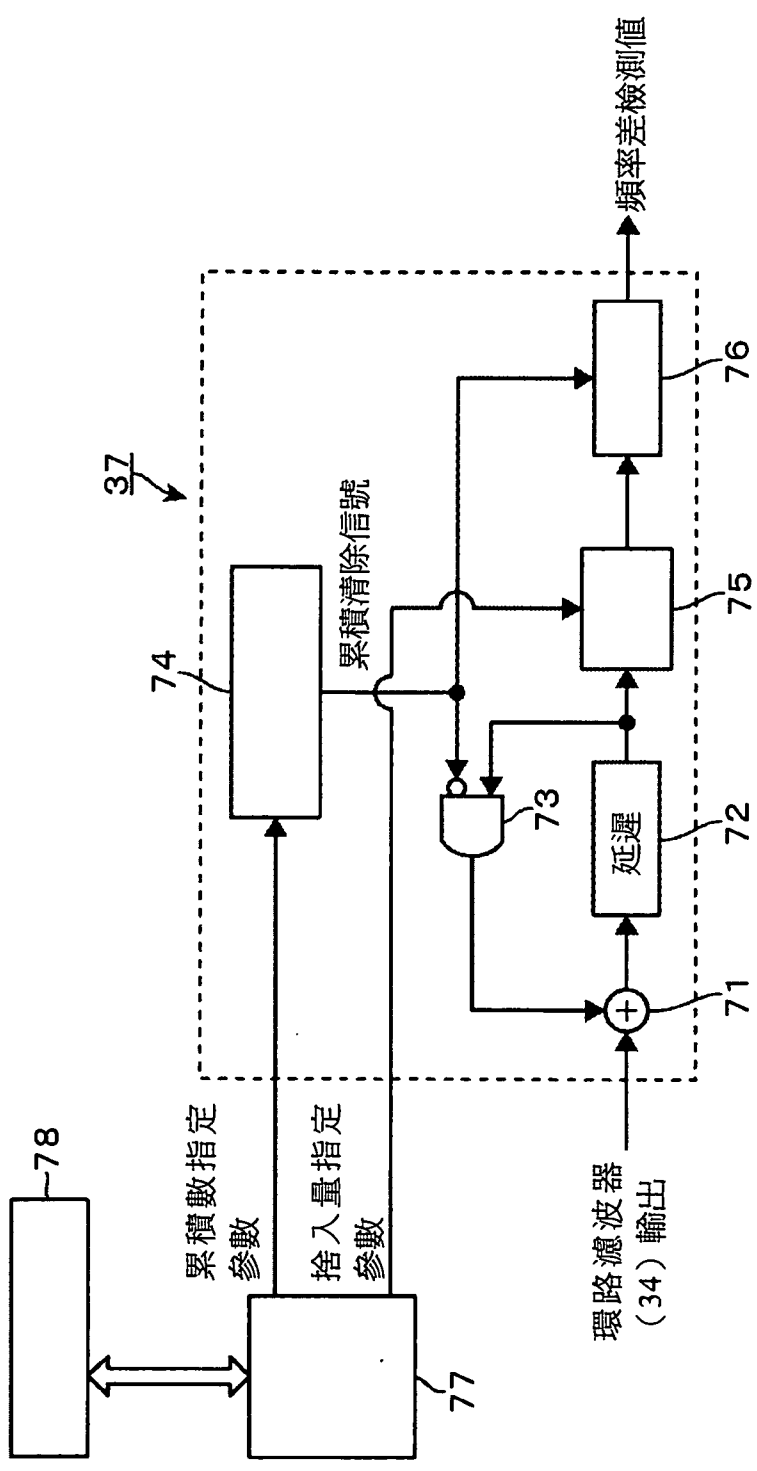


圖 7

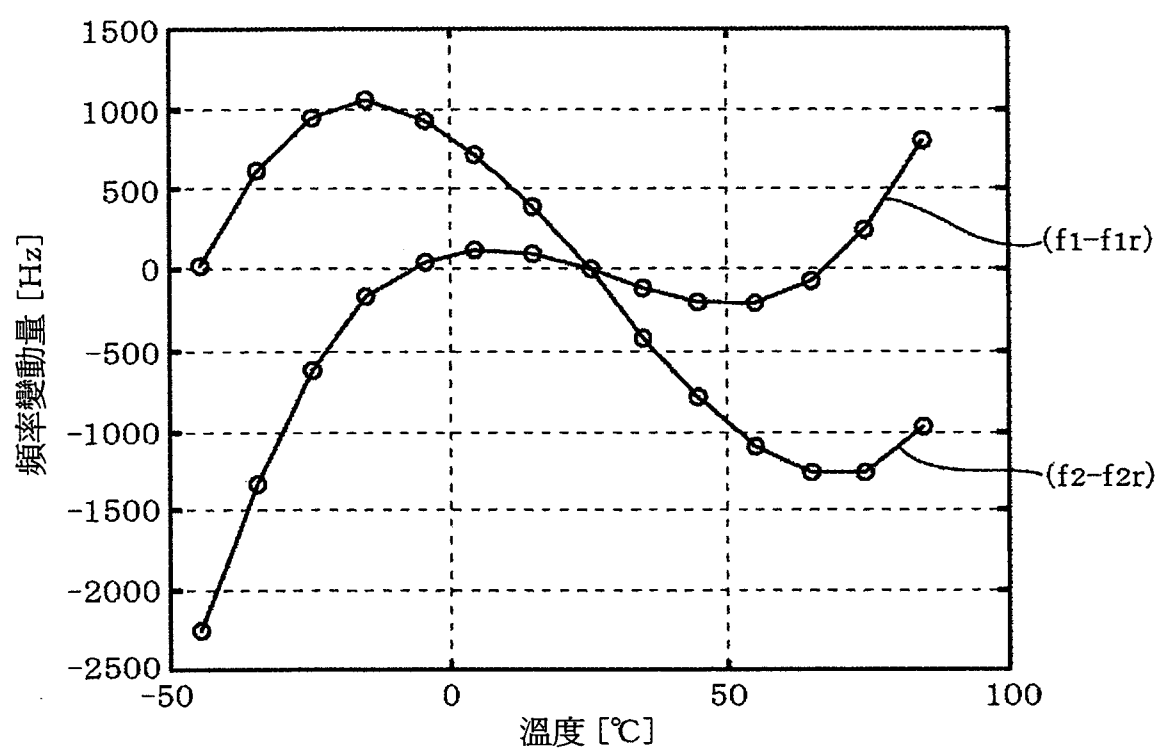


圖 8

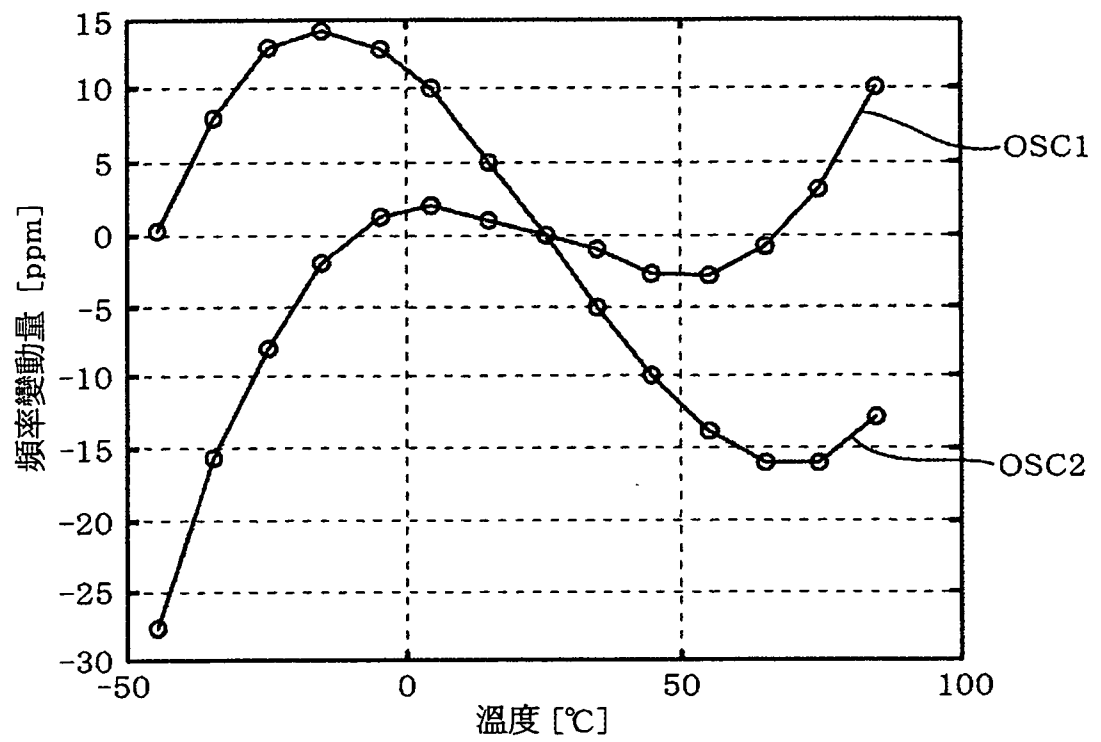


圖 9

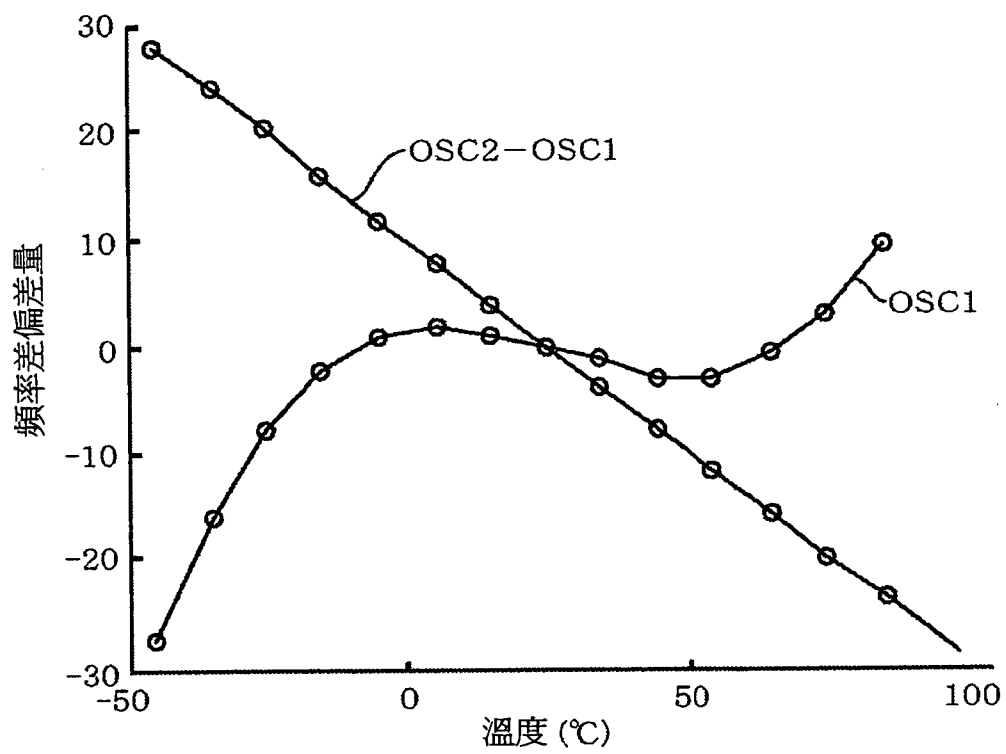


圖 10

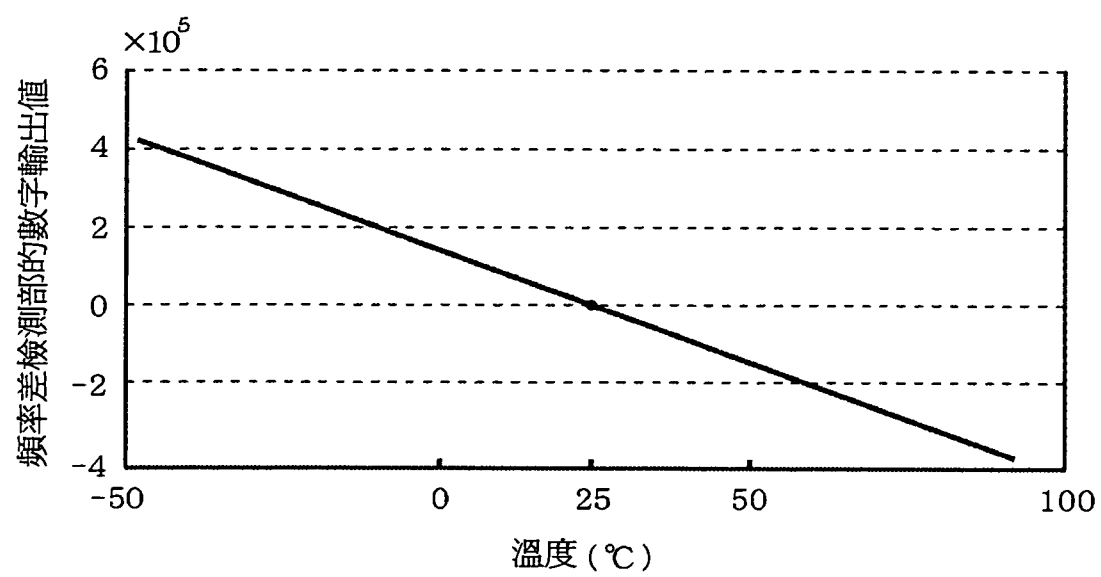
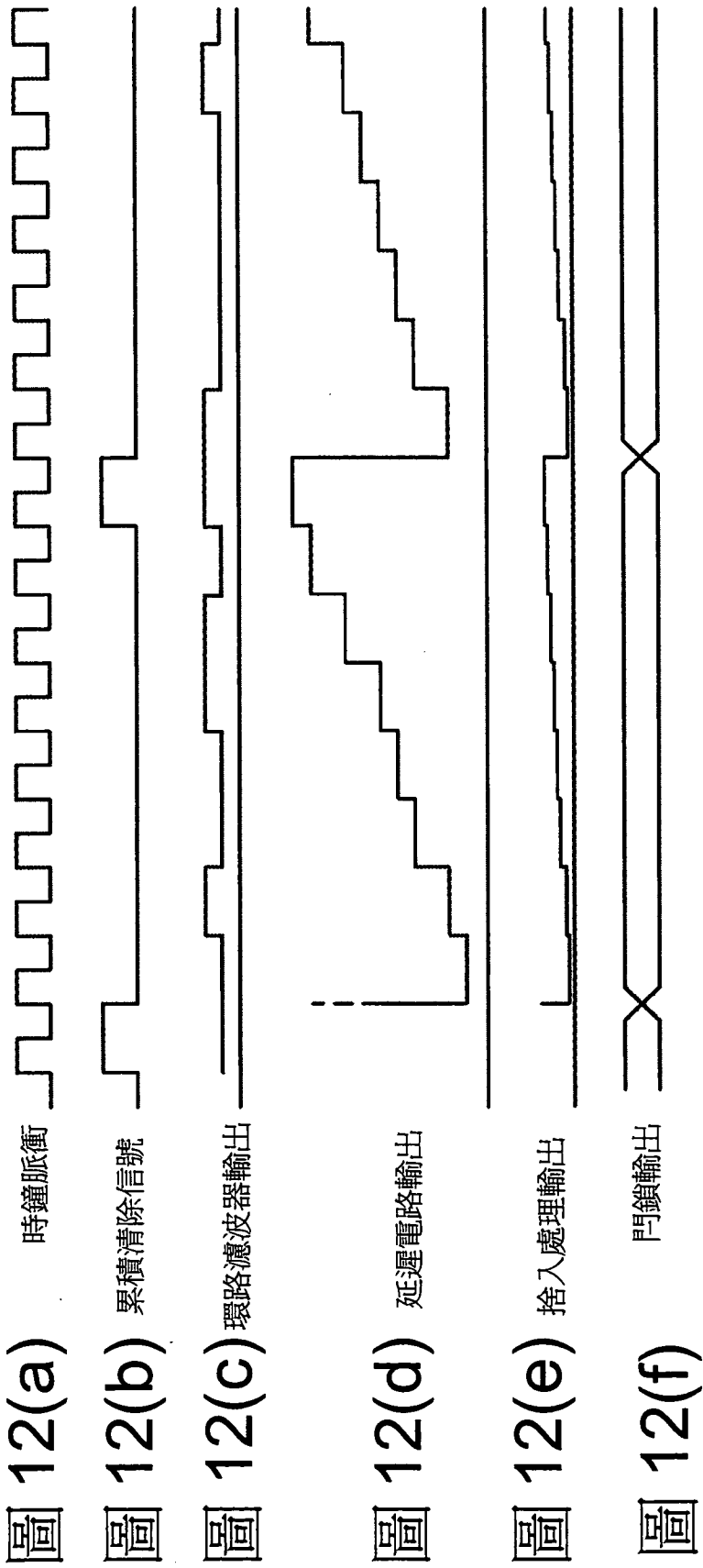


圖 11



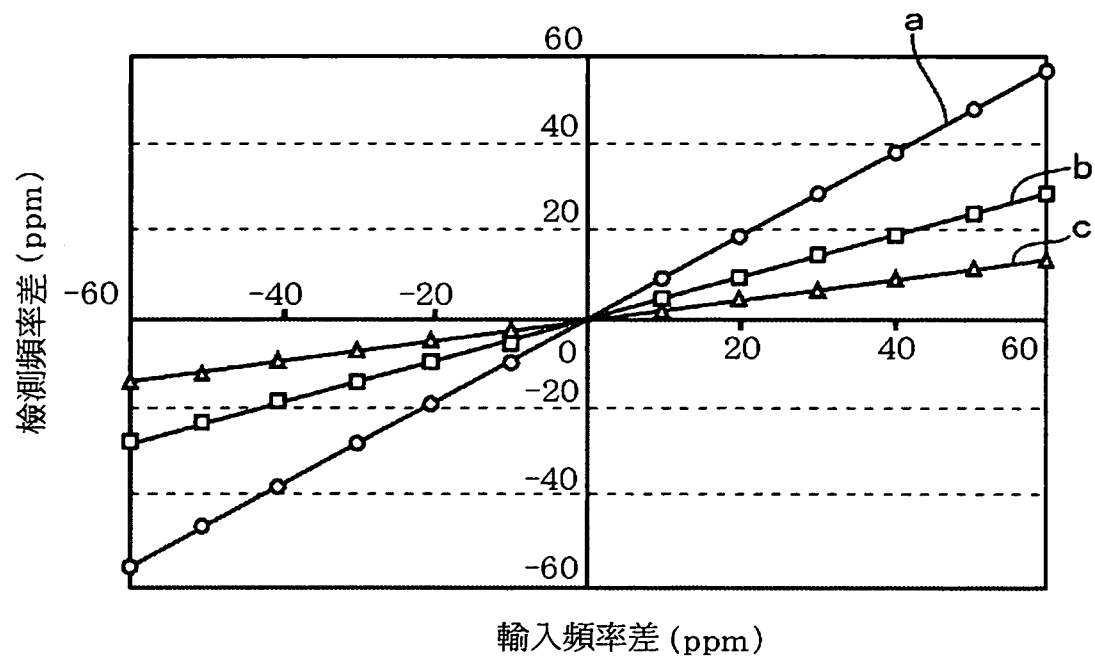


圖 13