

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/40 (2006.01)

H04L 25/02 (2006.01)

H03K 19/0175 (2006.01)



[12] 发明专利说明书

专利号 ZL 200380107673.7

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367260C

[22] 申请日 2003.12.12

[21] 申请号 200380107673.7

[30] 优先权

[32] 2002.12.31 [33] US [31] 10/335,032

[86] 国际申请 PCT/US2003/039634 2003.12.12

[87] 国际公布 WO2004/061690 英 2004.7.22

[85] 进入国家阶段日期 2005.6.27

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 T·库尔茨 Z·韦纳 T·玻简

[56] 参考文献

WO0227930A 2002.4.4

JP11145814A 1999.5.28

US5521528A 1996.5.28

审查员 赵 婧

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 沈昭坤

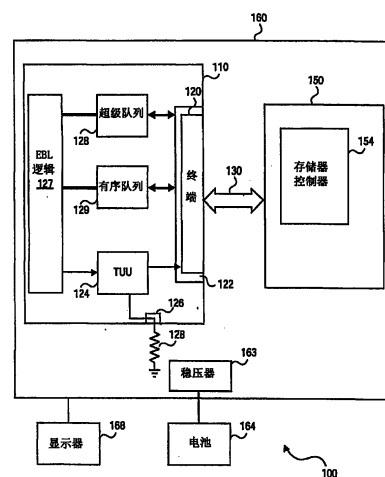
权利要求书 4 页 说明书 15 页 附图 13 页

[54] 发明名称

在检测到的静态循环中对总线信号终端进行补偿的装置和方法

[57] 摘要

本发明涉及高速总线通信的领域，尤其涉及在普通总线处理中，检测到的静态循环中对总线信号终端进行补偿的装置和方法。根据本发明的方法，确定一个值，该值能更好地将终端电路和信号总线的特性阻抗相匹配。至少基于总线协议和特定总线协议事件的跟踪，也确定了一个含有传输线路并且正被总线代理以其普通操作模式使用的总线何时可用于调节静态循环中的终端电路。在静态循环中，根据所确定的值来调节终端电路。



1. 一种调节总线终端的方法，包括：

(a) 确定一值来更好地将终端电路与与总线信号线路的特性阻抗相匹配；

(b) 跟踪总线协议事件和待办事务来确定总线何时可以用来调节终端电路，所述总线包括该总线信号线路并且正被一总线代理在其普通功耗操作模式中使用；以及

(c) 当该总线如 (b) 所确定变得可用时，根据所确定的值来调节所述终端电路。

2. 如权利要求 1 所述的方法还包括：在总线正在被所述总线代理在其普通功耗操作模式中使用时，每隔预定的时间间隔重复 (a) 到 (c)。

3. 如权利要求 2 所述的方法，其特征在于，所述终端电路通过打开或关闭该终端电路的一晶体管来调节，从而造成所述总线线路的 I/O 缓冲器的转换速率和上拉阻抗之一的离散变化。

4. 如权利要求 3 所述的方法，其特征在于，所述总线信号线路的上拉电压是 1 伏特或者更小。

5. 如权利要求 1 所述的方法，其特征在于，该值是通过包含精确非片载电阻器的分压器技术而确定的。

6. 如权利要求 1 所述的方法，其特征在于，所述跟踪包括对所述总线上的总线请求信号和地址选通脉冲信号进行抽样。

7. 如权利要求 6 所述的方法，其特征在于，所述跟踪还包括对所述总线上的总线优先级请求信号进行抽样。

8. 如权利要求 6 所述的方法，还包括接收与所述总线代理的事务处理队列有关的指示来确定所述总线何时可以用于所述调节。

9. 一种用来调节总线终端的方法，包括：

(a) 当总线时钟运行并且地址选通脉冲信号处于解断言状态时，在第一总线时钟周期内断言一总线优先级请求信号；然后

(b) 从紧接着第一总线时钟周期的第二总线时钟周期开始，改变所述总线上一代理的第一组总线终端电路的上拉阻抗、下拉阻抗和转换速率性能中的

一个。

10. 如权利要求 9 所述的方法, 其特征在于, 所述地址选通脉冲信号在第二总线时钟周期内保持解断言。

11. 如权利要求 9 所述的方法, 还包括在紧接着第二周期并且其中地址选通脉冲信号处于断言状态的第三总线时钟周期内改变所述代理的第二组总线终端电路的上拉阻抗、下拉阻抗和转换速率性能中的一个。

12. 如权利要求 10 所述的方法, 其特征在于, 所述第一组总线终端电路用于地址信号, 第二组总线终端电路用于数据信号。

13. 如权利要求 9 所述的方法, 还包括当所述代理在普通功耗模式下操作时, 连续地重复 (a) 到 (b)。

14. 如权利要求 9 所述的方法, 其特征在于, 在所述第一组总线终端电路中的变化是上拉阻抗、下拉阻抗和转换速率性能的其中一个的离散变化。

15. 一种用来调节总线终端的方法, 包括:

(a) 当总线时钟正在运行并且当地址选通脉冲信号处于解断言状态时, 通过总线上的优先级代理来断言对总线事务处理的总线请求信号; 然后

(b) 通过所述优先级代理, 断言对所述事务处理的地址选通脉冲信号; 然后

(c) 开始对阻隔下一请求信号加以遏制; 然后

(d) 当阻隔下一请求信号被遏制时, 改变所述总线上一对称代理的第一组总线终端电路的上拉阻抗、下拉阻抗和转换速率性能之一。

16. 如权利要求 15 所述的方法, 还包括当所述对称代理在普通功耗模式下进行操作时连续地重复 (a) 到 (d)。

17. 如权利要求 15 所述的方法, 其特征在于, 所述第一组总线终端电路中的变化是上拉阻抗、下拉阻抗和转换速率性能的其中一个的离散变化。

18. 一种集成电路芯片, 包括:

带有多个总线 I/O 缓冲器的总线代理, 每个 I/O 缓冲器都有离散可调的片载终端电路, 且每个 I/O 缓冲器都被设计以 1 伏特或者更小的总线线路上拉电源电压进行操作; 并且

与所述多个缓冲器耦合的片载终端更新单元 TUU 用于当所述总线代理正

在普通功耗模式下进行操作时，改变所述多个缓冲器的每一个的终端。

19. 如权利要求 18 所述的集成电路芯片，其特征在于，所述总线代理是能够在普通模式下和在多种低功耗模式下操作的处理器。

20. 如权利要求 18 所述的集成电路芯片，其特征在于，所述离散可调的终端电路包括离散可调的总线线路上拉电路和离散可调的转换速率控制电路中的一个。

21. 如权利要求 18 所述的集成电路，其特征在于，在不强制总线空闲条件和不妨碍通过多个 I/O 缓冲器来接收总线数据符号的情况下，TUU 用来在总线代理的普通操作期间确定时间间隔何时可用，在所述普通操作期间可以通过离散步骤改变多个缓冲器终端。

22. 如权利要求 21 所述的集成电路，其特征在于，所述终端可以采用至少 7 比特来表示的至少 128 个值中的任意一个。

23. 如权利要求 21 所述的集成电路，还包括与非片载精确电阻器连接的补偿垫片，TUU 根据多个缓冲器的哪个终端被改变而使用精确电阻器确定终端补偿值。

24. 一种电子系统包括：

总线；

作为优先级代理耦合到该总线上的芯片集 IC；

拥有多个耦合到该总线上的总线缓冲器的处理器 IC，每个缓冲器具有一离散可调的片载终端电路并且被设计成接收一伏特或者更小的电源电压；以及

终端更新单元 TUU，用于当该处理器在其普通功耗状态下运行时，在一段时间间隔内来改变所述多个缓冲器的每一个的终端，所述时间间隔是基于监测该总线上的总线协议事件以及该总线上是否存在一个待办事务的知识的基础上而检测到的。

25. 如权利要求 24 所述的系统，其特征在于，所述系统总线在一印刷线路板上形成，在该印刷线路板上，所述处理器 IC 和芯片集 IC 作为分开的 IC 组件被安装。

26. 如权利要求 25 所述的系统，还包括耦合到芯片集的显示器以及用于对系统供电的电池，整个系统被集成到一便携式的外壳内。

27. 如权利要求 24 所述的系统，其特征在于，所述 TUU 用来监控所述总线上的仲裁事件和请求阶段。

在检测到的静态循环中对总线信号终端进行补偿的装置和方法

技术领域

本发明的一个或多个实施例一般地涉及高速总线通信的领域，尤其涉及在普通总线处理中，通过检测静态循环进行总线信号终端补偿的装置和方法。

背景技术

构成电子系统的设备之间的通信，一般是由一条或者多条将这些元件相互连接起来的总线来执行的。这些总线可能是仅耦合两个设备的专用总线，或者它们可以用来连接两个以上的设备。这些总线可以完全在单个集成电路芯片上形成，这样就能够连接在同一芯片上的两个或者多个的设备。或者，总线也可以与设备分开地在单独的基片上形成，比如在印刷电路板上形成。

现代系统，比如高级的台式机和笔记本电脑都被优化地在以高总线速度或者高总线时钟频率下运行，以得到更高的性能。在这些情况下，需要一种能与总线线路的特性阻抗相匹配的适当总线信号终端来避免会干扰总线通信的不期望的信号反射。

在高级的电子系统中，总线信号终端可以由片载终端电阻提供。可惜，这些电阻的有效阻值一般不是恒定的，而是随着几个参数的函数而改变，所述参数包括制造参数、信号电压电平、电源电压和温度。这些参数可以导致有效阻值将近 2:1 的变化。所以实际操作中为了得到合适的终端，一般要求使用片载可调的终端电路。

一般而言，在成品设备中，比如处理器集成的电路芯片中的可调终端电路，实现一线性的补偿方案，来补偿终端电阻的变化。在这一方案中，阻值变化是连续的（一般在模拟偏置电压的控制下），而非离散。可以通过如相对于参考电阻器（一般是外部或非片载的精确电阻）有效测量终端电阻的阻值以得出其差异来确定期望的补偿。这可以在处理器的初始启动或重启时完成，然后在处理器的普通操作开始之前，片载的终端电路只需要调节一次。根据线性补偿方案，可能在“传输过程中”

(on the fly) 更新终端电路，也就是说当总线正用于传输数据符号时，可以不妨碍符号在总线上的发送和接收。

发明内容

根据本发明的一种调节总线终端的方法，包括：(a) 确定一值来更好地将终端电路与与总线信号线路的特性阻抗相匹配；(b) 跟踪总线协议事件和待办事务来确定总线何时可以用来调节终端电路，所述总线包括该总线信号线路并且正被一总线代理在其普通功耗操作模式中使用；以及(c) 当该总线如(b) 所确定变得可用时，根据所确定的值来调节所述终端电路。

根据本发明的一种用来调节总线终端的方法，包括：(a) 当总线时钟运行并且地址选通脉冲信号处于解断言状态时，在第一总线时钟周期内断言一总线优先级请求信号；然后(b) 从紧接着第一总线时钟周期的第二总线时钟周期开始，改变所述总线上一代理的第一组总线终端电路的上拉阻抗、下拉阻抗和转换速率性能中的一个。

根据本发明的一种用来调节总线终端的方法，包括：(a) 当总线时钟正在运行并且当地址选通脉冲信号处于解断言状态时，通过总线上的优先级代理来断言对总线事务处理的总线请求信号；然后(b) 通过所述优先级代理，断言对所述事务处理的地址选通脉冲信号；然后(c) 开始对阻隔下一请求信号加以遏制；然后(d) 当阻隔下一请求信号被遏制时，改变所述总线上一对称代理的第一组总线终端电路的上拉阻抗、下拉阻抗和转换速率性能之一。

根据本发明的一种集成电路芯片，包括：带有多个总线 I/O 缓冲器的总线代理，每个 I/O 缓冲器都有离散可调的片载终端电路，且每个 I/O 缓冲器都被设计以 1 伏特或者更小的总线线路上拉电源电压进行操作；并且与所述多个缓冲器耦合的片载终端更新单元 TUU 用于当所述总线代理正在普通功耗模式下进行操作时，改变所述多个缓冲器的每一个的终端。

根据本发明的一种电子系统包括：总线；作为优先级代理耦合到该总线上的芯片集 IC；拥有多个耦合到该总线上的总线缓冲器的处理器 IC，每个缓冲器具有一离散可调的片载终端电路并且被设计成接收一伏特或者更小的电源电压；以及终端更新单元 TUU，用于当该处理器在其普通功耗状态下运行时，

在一时间间隔内来改变所述多个缓冲器的每一个的终端，所述时间间隔是基于监测该总线上的总线协议事件以及该总线上是否存在一个待办事务的知识的基础上而检测到的。

附图说明

本发明的各个实施例通过附图举例来说明，但是并非限制的，附图中：

图 1 是说明包括集成电路芯片的高级结构计算机系统的方框图，所述集成电路芯片带有一个嵌入式的终端更新单元（TUU），该单元可以自动检测可用的时间间隔，比如说一个静态循环，来更新终端电路。

图 2 是说明在 TUU 为更新终端检测静态循环时间间隔时可以使用的总线信号和片载信号的时序图，其中总线代理尚未持有总线。

图 3 是示出在终端更新的另外一种情况下涉及的信号的时序图，其中优先级代理持有总线。

图 4 是示出在终端更新的另外一种情况下涉及的信号的时序图，其中非优先级代理持有总线。

图 5 是说明 TUU 中使用的状态机的方框图。

图 6 是说明在总线代理的几个电源管理模式的任一个中执行的终端更新过程的流程图。

图 7 是说明在总线代理从一特定的低功耗状态退出后的终端更新过程的时序图。

图 8 是说明在总线代理返回正常功耗状态期间执行的终端更新过程的流程图。

图 9 是说明在总线代理中系统完成重启/启动后的终端更新过程的时序图。

图 10 是说明在总线代理的系统重启操作期间的终端更新过程的流程图。

图 11 描述了为数字终端更新而设计的输入/输出缓冲器的一部分的电路示意图。

图 12 示出用于确定终端更新的上拉阻抗方面的技术的电路示意图。

图 13 说明了一种用于确定终端更新的转换速度性能方面的技术的电路示意图。

具体实施方式

描述了一种对总线信号终端的变化进行补偿的方法和装置。根据一实施例，在集成电路(IC)芯片中的终端更新单元(TUU)为芯片终端的总线输入/输出缓冲信号确定了一个或多个补偿值。这被称为确定一个或多个缓冲器的阻抗补偿，或者简称为 Rcomp 测量。其次，在普通总线操作期间出现的总线“静态循环”(Quite Cycle)中，TUU 根据所确定的补偿值来自动调节(或更新)终端电路。例如，TUU 可以通过例如对总线信号进行抽样并接收总线上与待办事务处理相关的信息来检测或驱动静态循环。基于总线协议、对总线协议事件的跟踪以及总线代理的当前电源管理模式，选择静态循环使得在静态循环期间出现的终端电路更新在很大程度上对于总线上的代理是透明的。静态循环的更新也有助于以下情况：其中难以保证总线对于三个顺序的总线周期具有对称的总线代理(比如处理器)所有权。

静态循环可以自动地重复，例如，在普通总线操作期间，以每隔预定的时间间隔而重复。在系统关闭前更新可以重复地出现，而无须改变总线代理的功率管理模式。为了确保终端内更好的精确性，每个静态循环更新之前都可以对补偿值进行相应的测量(在所谓 Rcomp 循环期间进行)。

在某些情况下，比如在 Rcomp 的数字实现中(将会在下文中描述)，在对总线线路进行终端电路更新的同时，输入/输出缓冲器不应该通过该总线线路接收有效的数据、地址或控制信息。这可以通过将静态循环置于一个或多个总线时钟周期(或仅仅是总线时钟)内来完成，在所述总线时钟周期内，可以预测实质上没有与正在被更新的缓冲器相关联的高速总线信号被反复。根据本发明实施例，高速信号是以公用总线时钟速度的两倍或四倍速度反复的信号(也被称为双泵或四泵信号)。这些高速信号包括处理器系统总线上的地址和数据信号。在静态循环中可以允许一些在其他总线信号线路上的特殊处理信号的活动，比如总线请求、地址选通脉冲和其他操作起来没有公用总线时钟快的低速控制信号。

为了在高速信号重新开始之前使所有的转移现象能通过总线传播并耗散，该静态循环也可以包含边缘时间。这是因为在总线可以进行操作的极高速度下(例如双泵和四泵信号时)，在缓冲器的更新之后，总线相当于一传输线路，该传输线路要求一些时间来恢复并且为下一输入信号做好准备。

系统结构

为了说明本发明各个实施例的原理,将以图 1 中的系统为例。图 1 描述了构建在印刷线路板 160 上的高级电子系统 100 的方框图。系统 100 可以是一个移动单元,其所有元件都集成在一便携式外壳内,所述元件包括显示器 168 以及为系统提供所有功能供电的电池 164。位于印刷线路板 160 上稳压器 163 用来为 IC 芯片 110、150 提供稳定的电源电压。可选方案可以是台式机单元、服务器单元或者是这样的网络交换机或是路由器类系统,该方案不要求把显示器 168 和电池 164 集成在同一便携外壳中。根据本发明各个实施例,在描述怎样修改电路板系统的硬件结构和总线协议以实现 Rcomp 和静态循环之前,首先要描述电路板系统中的硬件结构和总线协议。

在图 1 中,集成电路芯片 110 和 150 通过总线 130 彼此在通信上耦合。芯片 110、150 可以分别是处理器和芯片集芯片,它们通过计算机主板的系统总线彼此耦合。可调的总线信号终端电路 120 被示出为芯片 110 的一部分。终端电路 120 可以是芯片 110 的片载 I/O 缓冲器 122 的一部分。I/O 缓冲器 122 可用在总线线路信令电压电平和片载电平之间转换,也在驱动总线时提供输出端数。参见以下在“Rcomp”为标题的章节下描述的图 11,其描述了 I/O 缓冲器电路一部分的例子。Rcomp 和静态循环更新是由终端电路更新单元(TUU124)控制的,在图 1 所示的实施例中,TUU124 是一个片载逻辑单元。由于依次描述本发明的相关实施例,下面将介绍图 1 所示 IC 芯片 110 和系统 100 的附加元件。

以处理器和芯片集的一个组件(比如存储器控制器 154)为例,这些组件被称为系统总线上的代理。每个代理可能会被要求通过断言一个总线请求信号来仲裁对总线 130 的访问。存储器控制器 154 可以是总线 100 上的优先级代理,而处理器可以是一对称代理。优先级代理在与一个或多个对称代理竞争时,会被授予总线访问,除非对称代理通过断言其闭锁信号(LOCK#)来锁住对总线的所有权。

总线事务处理可以显示出多个总线协议事件。这些事件包括用于确定总线所有权的仲裁事件。其后,事务处理进入请求阶段,其中总线所有者驱动事务处理地址信息。为了在适当的事务处理阶段与总线有正确地交互,每个代理要维持一个有序队列(I0Q 129)。该 I0Q 129 含有与事务处理请求代理独立发布的所有待办总线事务处理有关的信息。在事务处理的响应阶段,当每个事务处理都接收到一响应

保证时,该保证表明事务处理现在将会完成,代理就从 IOQ 129 中删除该事务处理。如果事务处理包括一个数据传输阶段,则该事务处理进入数据阶段,其通过发出数据就绪 (DRDY#) 信号来表明。

总线仲裁事件可以包括以下情况。当处理器这样的对称代理希望访问总线时,它会断言一总线请求型号 (BREQ#)。另一方面,当优先级代理要求总线所有权时,优先级代理会断言一优先总线代理请求信号 (BPRI#)。在大多数情况下,一旦代理获得了总线所有权并且没有其他的事务处理要驱动时,这个代理就会解断言 (deassert) 它的总线请求信号 (例如 BREQ#)。

到此已经描述了系统 100 的一般硬件结构和总线协议概述,现在将描述在 Rcomp 和静态循环操作中起作用的集成电路 (IC) 芯片 110 的附加特征。

从电源的角度出发,为了得到更有效的系统,高级的处理器要能够在多种功率管理模式或者状态下进行操作。例如,C0 状态通常指的是普通执行状态或普通功耗状态,在该状态下一般使用最大功率量。以下所描述的 Rcomp 循环和静态循环更新实质上可以在 IC 芯片 110 的所有操作模式下执行。

第二种功耗或者管理状态是 C1,也称为 AutoHalt (自动暂停) 或停止许可状态。在普通操作期间执行了一条暂停指令后,处理器从 C0 状态转移至 C1 状态。作为一种可选方式,当输入处理器的停止时钟 (STPCLK#) 信号被断言时,就转入了停止许可状态。在 C1 状态期间,处理器关闭了识别中断和监听存储器所必要的逻辑电路,并且解断言尽可能多的漏极开路总线信号 (以避免电流下降从而减少功耗)。然而,总线时钟可能继续在 C1 状态下运行。

第三种功率管理状态是 C2,也称为“睡眠”状态。一般来说,在停止许可状态 (C1) 下的进行操作期间,当断言一输入睡眠信号 (SLP#) 时,可以转入睡眠状态。在进入睡眠状态后,处理器关闭其大部分的逻辑电路,包括监听外部存储器访问和锁存内部事件所必需的逻辑电路。此外,睡眠状态 (C2) 使处理器保持其寄存器和高速缓存的内容,并且监控例如处理器复位这样的中断事件。处理器的锁相环 (PLL) 继续在 C2 功率管理状态下运行。

第四种功率管理状态是 C3,也称为“深度睡眠”状态。这是处理器所能达到的并且仍旧能够保持其寄存器和高速缓存的内容的最低功耗状态。一般只有在处理器进入睡眠状态后,它才可以进入深度睡眠状态 (C3)。一般地,当芯片集或者其

他主板逻辑电路停止了被送入处理器锁相环（PLL）的总线时钟后，处理器会立刻进入深度睡眠状态。或者，电子系统 100 可以产生一个通知处理器进入 C3 状态的深度睡眠信号（DPSLP#）。要退出深度睡眠状态（C3）并且回到睡眠状态（C2），该总线时钟要被重新启动并且能运行至少一毫秒的周期。

静态循环

图 2 到 4、7 和 9 说明了其中终端更新单元（TUU）检测总线何时可用静态循环更新的各种情况的时序图，所述终端更新单元（TUU）可以与对称代理（比如处理器）一起位于芯片上。这些时序图可用于单处理器系统，在这些单处理器系统中，系统总线上只有一个处理器。然而，通过对 TUU 适当修改使得 TUU 了解相关的总线协议并且对多处理器总线上的适当总线协议事件进行响应，终端更新静态循环的概念也可以用于多处理器系统。

从图 2 开始，该图展示了一个时序图 400，该时序图说明了在总线代理的 C0、C1 和 C2 功率管理模式下的任一个静态循环的检测。时序图 400 具有总线时钟 402（T0-T7）、总线请求信号（BREQ#）410、优先级代理总线请求信号（BPRI#）420 和地址选通脉冲信号（ADS#）430 的信号波形图。该图 400 也含有几个描绘 TUU 和终端电路内活动的波形图。所述活动包括 Rcomp 循环 444，其后是静态循环更新 452。图 400 可以表示在对称代理的功率管理模式 C0、C1、C2 的任一种状态下的系统活动。

注意到，一旦确定了在 Rcomp 中的新的补偿值，就要尽可能快地执行静态循环。在图 2 所示的实施例，Rcomp 用了 10 微秒来确定对 IC 芯片 110 内的片载终端的新补偿值。如果 Rcomp 的更新是由 TUU 通过不影响总线上信号转换的常规技术来实现的话，就不会出现任何特殊的定时问题。在几乎任何操作模式中，都能利用专用的补偿确定电路，在传输过程中执行 Rcomp。

如图所示，Rcomp 和静态循环的组合将在前一缓冲器强度更新（即前一静态循环）后的 128 毫秒（ms）延迟后启动。然而，本领域的技术人员会认识到，该间隔可能根据例如总线性能和阻抗跟踪速度之间期望的折衷而有所不同，并且在大多数情况下会落在 4 到 128 毫秒的范围内。

在 Rcomp 循环 444 结束后，TUU 通过对 BPRI#信号 420 和 BREQ#信号 410 抽样来检测对于静态循环更新的总线可用性。这是一个 TUU 监控总线上仲裁事件的例

子。注意到，对称代理（见图 1）的 IOQ 129 在此时正好是空的，也就是说，在总线上没有待办事务。如图所示，BREQ#信号 410 和 BPRI#信号 420 在总线时钟 T1 处都不活动。根据总线协议，这意味着几件事情。例如，在 Intel 公司（Santa Clara，加利福尼亚）的特定处理器所使用的前侧总线（Front Side Bus）协议下，在优先级代理断言 BPRI#和 ADS#之间定义了至少一个总线时钟间隙。这考虑到在总线时钟 T1 处解断言的 BPRI#信号 420 总线至少在下一总线时钟周期 T2 中可用于静态循环更新。

在实施例中，总线的所有地址信号和特定控制信号的终端在静态循环的第一时钟周期（这里是 T2）内更新。至于数据信号，它们可能要求更多的总线时钟周期来更新它们的终端（这里是 T2 到 T4）。在图 2 所示的情况中，这是被允许的，因为即使 T3 中断言了 ADS#，但在 FSB 协议中，在 ADS#和第一次数据传输（例如第一次断言 DRDY#时）之间最少需要五个总线时钟。

图 3 是一个时序图 460，该图描述了 TUU 在 Rcomp 结束后开始对 BPRI#进行抽样时、优先级代理（例如图 1 的 IC 芯片 150 内的存储器控制器 154）已建立对总线的所有权的情况。这与图 2 是相反的，图 2 显示出当优先级代理不拥有总线时检测到静态循环。在图 3 中，BPRI#信号 420 在总线时钟 T1 中被断言时被检测到。因此，在特定的总线协议下，例如 FSB，TUU 不能保证总线在总线时钟 T2 中可用于静态循环更新。在这种情况下，TUU 会对 ADS#信号 430 进行抽样，直到优先级代理断言该信号为止。这是 TUU 监听总线上事务处理的请求阶段的例子。一旦优先级代理断言 ADS#信号 430，TUU 会对阻隔下一请求信号（BNR#）462 加以遏制。

BNR#信号 462 是用来防止代理（包括 IC 芯片 110 中的对称代理）发出时总线所有权的仲裁请求和事务处理请求的总线协议信号。然而，即使 BNR#信号 462 防止代理开始新的总线活动，总线仍然可能由于待办的总线事务处理而继续保持活动。

因此，根据图 3 的说明，TUU 会遏制 BNR#信号，直到对称代理的 IOQ 由于待办事务处理而耗尽为止，此时该 TUU 就能够预期即将到来的静态循环是可用的。一旦发现 IOQ 为空，就再附加两个时钟循环遏制 BNR#信号 462 以允许总线上的转移现象消失。在总线时钟 T8 处，TUU 为总线时钟 T8-T10 建立了静态循环。而且，TUU 继续遏制在静态循环中 BNR#信号 462。注意到，图 3 中的时序图可以描述在上述

C0、C1 和 C2 功率管理模式的任一种模式下静态循环的检测。

图 4 是一个附加时序图，该图说明了当对称代理例如处理器拥有总线所有权时如何检测静态循环。该时序图适用于在 C0 功率状态下对静态循环的检测，特别适用于当优先级代理没有请求总线所有权时的情况。当 TUU 首次对总线信号进行抽样时（在 Rcomp 完成后），在总线时钟 T0 处，总线代理尝试通过断言 BREQ#信号 410 来建立总线所有权。这样，TUU 确定（对称代理的）IOQ 是否为空。如果对称代理的 IOQ 为空，则静态循环更新会如图 2 所示的那样进行。

然而，在 IOQ 不为空的情况下，显示出图 4 所示的情况，TUU 停止了在对称代理的超级队列 128 中的请求（见图 1）。该“超级队列”指的是一种将所有来自处理器 IC 芯片 110 的内存代理（例如数据和代码高速缓存、二级高速缓存等等）的请求集中起来、并且服务于所述请求的机构。通过扩展总线逻辑（EBL）127（见图 1），把所有未在内存中发现的请求都送到总线。只有当服务了一个请求时（也就是把数据返还给请求者），它的记录才会从超级队列中被删除。然而，如果进入超级队列 128 的请求被停止，那么最后将服务所有当前的事务，并且超级队列将变为空。

根据本发明一实施例，TUU 监控 IOQ 129 的状态。当时间充裕时，将会完成 IOQ 中所有的事务处理。因此，由于在给定数量的总线时钟周期后，TUU 停止了对对称代理超级队列 129 的进一步请求，因此地址和数据传输线路上的活动将会停止。因此，在总线时钟 T8 处，TUU 可以预期的总线在总线时钟 T8 到 T10 中可用于终端更新（因为它正在进行监控，并且知道了 IOQ 为空且超级队列被停止，即使对称代理正在断言 BREQ#）。

图 5 是说明静态循环状态机器 800 的框图，该状态机 800 将 TUU 124（见图 1）的功能组织为处理器 IC 芯片的一部分。将在下面描述的图 6 到 9 是图 5 中所介绍的特定操作的详细视图。如图所示，PWRGOOD#信号 480 在状态 490（B0）下开始处理器的操作。然而，检测到 CPU 复位信号 496 将会使控制流程执行流程图 752（见图 10）的过程。一旦 CPURST#信号被解断言 770，控制流程就回到过程框 490。一旦 Rcomp 时间期满 492，控制流程就会转移到过程框 500，其中根据流程图 502（见图 6）的过程来执行静态循环。一旦静态循环更新已完成 540，控制流程就回到过程框 490。否则，如果检测到 C3 功率管理状态条件 550，控制流程将转入 C3 状态

650, 其中执行过程 652 (图 8)。一旦完成进程 652 并且执行了 C3 退出 670, 控制流程就返回到状态 490 (B0)。注意到, 流程也可能出现相反情况, 即如果处理器执行了 C3 进入 494, 那么就会进入状态 650。

现在参照图 6, 图 6 是根据本发明各个实施例(例如上面关于时序图所述的实施例)的流程图 502, 该图 502 说明了状态机(见图 5)的状态 500 下的静态循环检测。当 TUU 处于状态 500 时, 过程开始。在过程框 510 中, 执行 Rcomp 来为对称代理的 I/O 缓冲器计算补偿值(比如阻抗值和/或者缓冲强度值)。

一旦完成 Rcomp 的计算, 在过程框 512 中, 对称代理的超级队列就被停止, 对称代理的 IOQ 将置空(过程框 514)。接着, 在过程框 516 中确定是否断言 BPRI# 信号。当没有发生这种情况时, 就执行过程框 524 来确定对称代理的 IOQ 是否为空。当 IOQ 为空时, 执行过程框 531。否则, 控制转入过程框 514。在过程框 531, 执行静态循环更新, 以便来更新对称代理的各个 I/O 缓冲器的终端电路。

如果断言了 BPRI# 信号(过程框 516), 就执行过程框 518 来确定是否断言 ADS# 信号。一旦被断言, 就执行过程框 520。在过程框 520 中, TUU 将会遏制 BNR# 信号, 直到对称代理的 IOQ 为空(在判定框 522 中检查)。一旦 IOQ 为空, 过程框 530 和 532 的操作将开始执行, 其中 TUU 将在静态循环执行期间遏制 BNR# 信号。一旦完成终端电路的更新, 控制流程就会回到状态 490 (B0)。

现在参照图 7。图 7 是说明在 C3 退出 670 (见图 5)期间的静态循环检测和性能的时序图 600。如上所述, C3 功率管理状态是指“深度睡眠”状态。对称代理通过断言深度睡眠信号(DPSLP#610)来检测是否进入深度睡眠状态。

一旦解断言 DPSLP#610, TUU 将会在 I/O 时钟稳定时(核心 PLL 无须被锁定)执行 Rcomp 442 执行操作。一旦 I/O PLL 锁定信号是活动的(IO_PLL_LOCK#620), 通常就表明 I/O 时钟的稳定性。静态循环执行操作 450 然后开始 C2 状态, 而不用检查总线请求信号。图 7 显示了对称代理所经过的各种功耗状态。就如特定的总线协议所定义的那样, 在这种情况下, C3 退出期间的静态循环执行操作将在解断言 DPSLP#信号 610 和解断言 SLP#信号 630 之间所分配的 30 毫秒内被执行。

图 8 是说明方法 652 的流程图, 方法 652 是如图 5 所示返回操作状态 490 时, 在检测到从 C3 (深度睡眠) 电源管理状态退出时来执行的。在检测 DPSLP#被解断言后, 过程将会继续到过程框 654, 其中 TUU 会确定是否断言了 IO_PLL_LOCK#信号。

一旦被断言，对称代理就能够确定 I/O 时钟是稳定的。因此，在过程框 656 中，会计算终端补偿值 (Rcomp)。

一旦 Rcomp 完成 (过程框 658)，就执行过程框 660。在过程框 660 中，执行一静态循环更新，其中用在过程框 656 中计算得出的 Rcomp 值来取代片载终端阻抗和/或者缓冲强度值。最后，在过程框 664 为特殊处理辅助射击晶体管逻辑 (AGTL) 信号执行终端更新，所述信号包括 BREQ#信号、BPRI#信号、BNR#信号 RESET#信号和 BAM[3: 0]#信号。一旦执行了过程框 664，控制流程将会解断言 SLP# (在块 668 中检查) 后转至状态 490 (B0)。为了确保总线确定性的行为，在对称代理进入功率管理模式 C0 之前 (见图 7，其中 STPCLK#640 被解断言，表明处理器进入模式 C0)，可能在解断言 SLP#时执行附加的 Rcomp 和静态循环更新。这是因为在特定的总线协议中，SLP#的解断言是确定性的，并且因此可以用来使 Rcomp 的定时和静态循环更新的定时同步。

现在参照图 9。图 9 是按照本发明还有一个实施例、在系统复位期间静态循环执行的时序图 700。在系统复位期间，当断言了处理器的复位信号 (CPURST#) 730 时，检测到复位。被断言的功率有效信号 (PWGOOD#) 710 通常表明对称代理普通操作的开始。为了响应于被断言的 PWGOOD 信号 710，TUU 将会对 IO_PLL_LOCK#740 进行抽样，这样的话一旦断言了后一个信号，Rcomp 执行操作 442 就可以开始。在 Rcomp 执行循环 444 后、静态循环更新 452 开始，因为正如为特定总线协议所定义的：在激活总线上的事务处理以前，那时仅有一个总线时钟循环可用，其中确保了总线上不存在任何高速信号 (例如地址和数据信号)。

图 10 是说明在系统复位期间用于静态循环执行的另一种方法 752 的流程图。在过程框 758 中确定是否断言了 IO_PLL_LOCK#信号。一旦被断言，就在过程框 760 执行 Rcomp 执行操作。在过程框 762，一旦完成，就在过程框 764 执行静态循环执行操作。一旦静态循环执行操作完成 (在方框 766 中检查到)，就根据过程 502 (见图 6) 执行各个控制信号的缓冲强度和/或者阻抗的更新。在方框 768 中，也可能对 CPURST#信号执行终端更新。在实施例中，在系统加电期禁用对 CPURST#信号的终端更新。最后，一旦更新了 CPURST#信号终端，控制流程就回到过程框 490 (见图 5)。

Rcomp

像现代笔记本电脑这样的高级电子系统有重要的热功率耗散并且在低电源电压电平工作（例如以 $V_{tt}=1.05$ 伏特的总线线路上拉电压）。在这些系统中，在可调终端电路中，高分辨率和宽动态范围是合乎需要的。例如，一些系统要求目标阻抗准确度不低于 10% 并且他们的分辨率要高于 2%。另外，为了在普通的系统操作中以及存在温度效应，电压漂移和制造过程效应的情况下能够实现可靠的高速总线信令，这些系统可能需要频繁地更新它们的终端电路。

通过设计可调终端电路，使其含有数字或者二进制加权的补偿机制，从而可以在 R_{comp} 中实现较高的分辨率和较宽的动态范围。这一离散步骤的解决方式适合这样的系统：在该系统中，总线 I/O 缓冲器的片载终端电路的晶体管特性随着电源电压的下降显示出较大的变化。例如，在一实施例中，通过 7 比特来表示，因此呈现出 128 个电平。图 11 示出为这一补偿值而设计的缓冲器的例子。

图 11 示出一电路图，它是具有数字终端更新性能的 I/O 缓冲器 804 的一部分（未展示缓冲器的接收器）的例子。图中，缓冲器 804 有一个 7 比特二进制引脚的片载终端（ODT）驱动器 808，该驱动器 808 电连接到在垫片 812，并在其上上拉。集成电路芯片 100（见图 1）的点片 812 电连接到总线传输线（未示出）。此外，这一形式的缓冲器 804 具有一下拉驱动器 810，驱动器 810 也是 7 比特二进制加权的并在垫片 812 上面下拉。从终端更新单元中接收到对 P 侧（驱动器 808）的数字阻抗补偿值，其设置了垫片 812 上有效上拉电阻。也可以提供 N 侧即驱动器 810 的补偿值。N 侧的补偿值也可以用来调节负载均衡电路 814。

这样，下拉驱动器 810 是由 7 比特转换速率控制电路 816 的输出来驱动的。转换速率控制电路 816 的强度应该被校准以便实现对输出的转换速率和最小上/下转换的紧密控制。电路 816 本身是可调节的，并且如图所示那样接收对 P 侧和 N 侧的补偿值。缓冲器 804 的这些可调电路中的一些或者全部可以在每次静态循环中被更新。根据从动态范围和分辨率来说是否可以满足终端要求，可以选择性地使用其他类型的终端电路，包括离散可调的电路和连续可调的电路。

在一些情况下，新的补偿值与终端电路中当前实现的补偿值有着显著的不同。该情况下，如果缓冲器同时正在进行接收输入信号的操作，那么通过分步地对终端电路进行数字调节可以在 I/O 缓冲器的输出端产生一个假脉冲信号。这个假脉冲信号可能是由送入终端电路中晶体管开关的控制信号中的定时差异所引起的。其中这

种定时差异会在总线信号传输线上引起很高或是很低的阻抗状态间的转换。静态循环更新有助于避免这种假脉冲信号，因为静态循环被置于在一个或多个总线时钟内，在这些总线时钟内可以预期与被更新的缓冲器相关联的高速总线信号的最少反复。

注意到，如图 11，一个新的补偿值可能会导致至少以下其中之一在缓冲器 804 中被更新：转换速率控制（P 侧）、转换速率控制（N 侧）、上拉阻抗控制、下拉阻抗控制和负载均衡。图 12 和 13 示出能够用于确定补偿值的技术的例子。在图 12 中，使用包括驱动器 808（图 11）的副本 908 的特殊电路系统 904 来确定上拉阻抗的补偿值。在上述 Rcomp 循环中，这个电路可以用于在传输过程中校准缓冲强度。所产生的上拉阻抗的二进制代码基本上可以在一个静态循环内分配到片载总线代理的所有 I/O 缓冲器中。

副本驱动器 908 耦合到 Rcomp 垫片 126。它的强度可以相对于安装在系统印刷线路板（未示出）上的固定电阻器 128 来校准。在这种情况下，垫片 126 上的电压与三分之一 VCCP 的基准电平相比较。这个基准电平可能通过图示的分压器 924 在芯片内部产生。当使用比较器 930 确定得出了垫片 126 的电压等于基准电压时，已经确定了驱动器 808 所需的代码，在这种情况下副本 908 所表现出来的阻值是外部电阻器阻值的两倍。因此，在这种情况下，驱动器 808 的阻值被校准到约为 50 欧姆。

在使用 Rcomp 垫片 126 来校准副本 908 已完成之后，通过使用作为特殊电路系统 906 的一部分的副本 910，使用所产生的信息来校准下拉驱动器 810。根据使用特殊电路系统 904 确定的代码来配置的驱动器 808 的副本 918，将作为一个片载基准电阻器来校准下拉驱动器 810。送入副本 910 的代码会改变，直到使用分压器 926 和比较器 932 确定所得出的输出电压又等于三分之一 VCCP 为止。在这种情况下，经过校准的下拉阻值将会达到驱动器 808 阻值的一半，也就是 25 欧姆。

当总线处于普通操作时，上述使用特殊电路系统 904 和 906 进行的校准可以在 Rcomp 循环期间被执行，并且于“传输过程中”应用。在完成校准后，驱动器 808 和驱动器 810 代码就能够在静态循环中被分配和应用到总线代理的所有 I/O 缓冲器。

图 13 在许多方面与图 12 相似，图 13 描述了使用副本 948 和 950 来校准转换

速率控制电路 816 的特殊电路 944 和 946。图 13 所使用的副本 948、958 和 950 可以是实际缓冲器 804 中的转换速率控制电路 816 的缩放形式。再一次在大小为 55 欧姆的精确外部电阻器 130 的帮助下, 本领域的普通技术人员能使用图 13 所示的特殊电路来实现一校准技术, 该校准技术为转换速率控制副本 948 和 950 确定二进制代码。在上述静态循环中, 也被称为补偿值的这些代码也应用于实际缓冲器 804 的二进制加权的转换速率控制电路 816。然而, 也可以使用包括其他校准方案在内的其他数字终端补偿方案。

数字终端补偿方案的一个附加的优势在于: 当电源电压下降到一伏特以下时, 它能把总线代理 I/O 缓冲器的比例设计得更好。

上述本发明的实施例可以通过使用硬件描述语言或者其他功能性描述语言来表示, 所述语言基本上提供了关于怎样执行所设计的硬件的计算机模型。硬件模型可以被存储在存储介质中, 例如计算机存储器中, 这样就可以使用仿真软件来模拟该模型, 该模拟软件向硬件模型应用一组特定的测试程序以确定是否按计划运行。在一些实施例中, 模拟软件不被记录、捕获或者包含在介质中。

此外, 可以在设计过程的一些阶段内生产出带有逻辑和/或晶体管门的电路电平模型。该模型有时可以通过用可编程逻辑形成该模型的专用硬件模拟器来近似地模拟。这种进一步的模拟类型可以是一种仿真技术。在任一情况下, 可重配置的硬件是另一种涉及到存有使用的公开技术的模型的机器可读介质。

而且, 在一些阶段的大多数设计达到了表示硬件模型中各个器件的物理位置的数据级别。在使用常规半导体制造技术的情况下, 表示硬件模型的数据可以是详细说明在用来生产集成电路的不同掩模层或掩模上的各种特征是否存在的数据。同样, 这个表示集成电路的数据包含了于电路逻辑中公开的技术, 并且该数据能够被模拟或制造来执行这些技术。

在本设计的任意一种表示中, 数据可以被存储在任一种形式的机器可读介质中。机器可读介质可以是传输这种信息而调制或产生的光波或电子波、存储器或者磁性或光学的存储器, 例如磁盘。任何一种这样的介质可以“携带”设计信息。

在以上描述中, 为说明起见, 为彻底了解本发明的实施例提出了许多具体的细节。然而, 很显然对本领域中的技术人员来说, 本发明的各个实施例可以不使用这些具体细节中的一些来实现。此外, 为说明起见, 说明书提供例子, 而附图示出各

个例子。本领域中的技术人员可以立刻了解，本发明的实施例可以用除上述以外电子系统配置来实现。例如，TUU 除了可以是处理器芯片的一部分之外，也可以是集成电路芯片的一部分，并且对称代理无须是一个处理器。换句话说，举例不应该被认为是限制性的，因为它们仅仅为了提供本发明实施例的举例，而不是提供对本发明实施例所有可能的实现的详尽清单。在其他的实例中，为了避免混淆本发明各个实施例的细节，以框图形式示出共知的结构和设备。

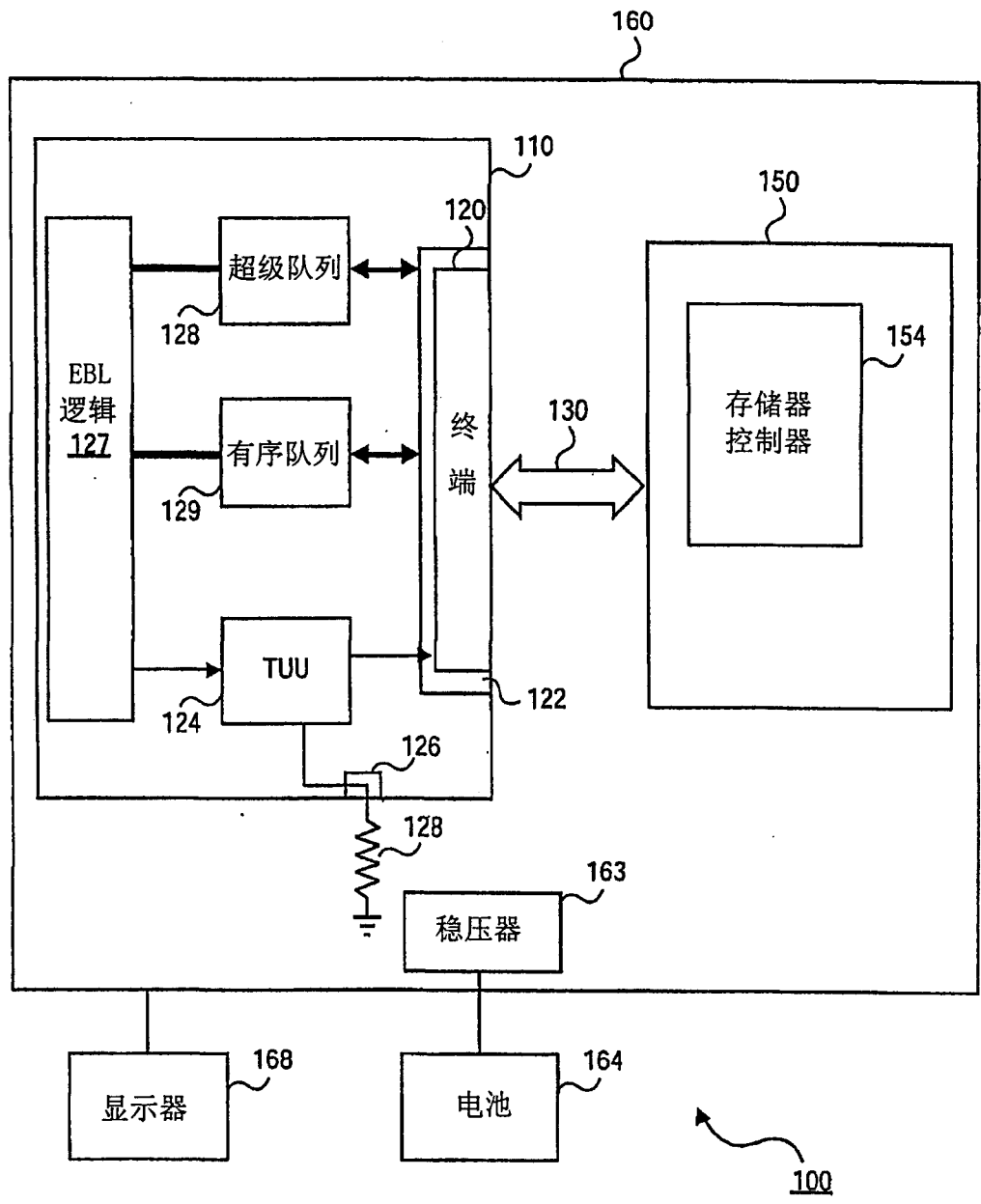


图 1

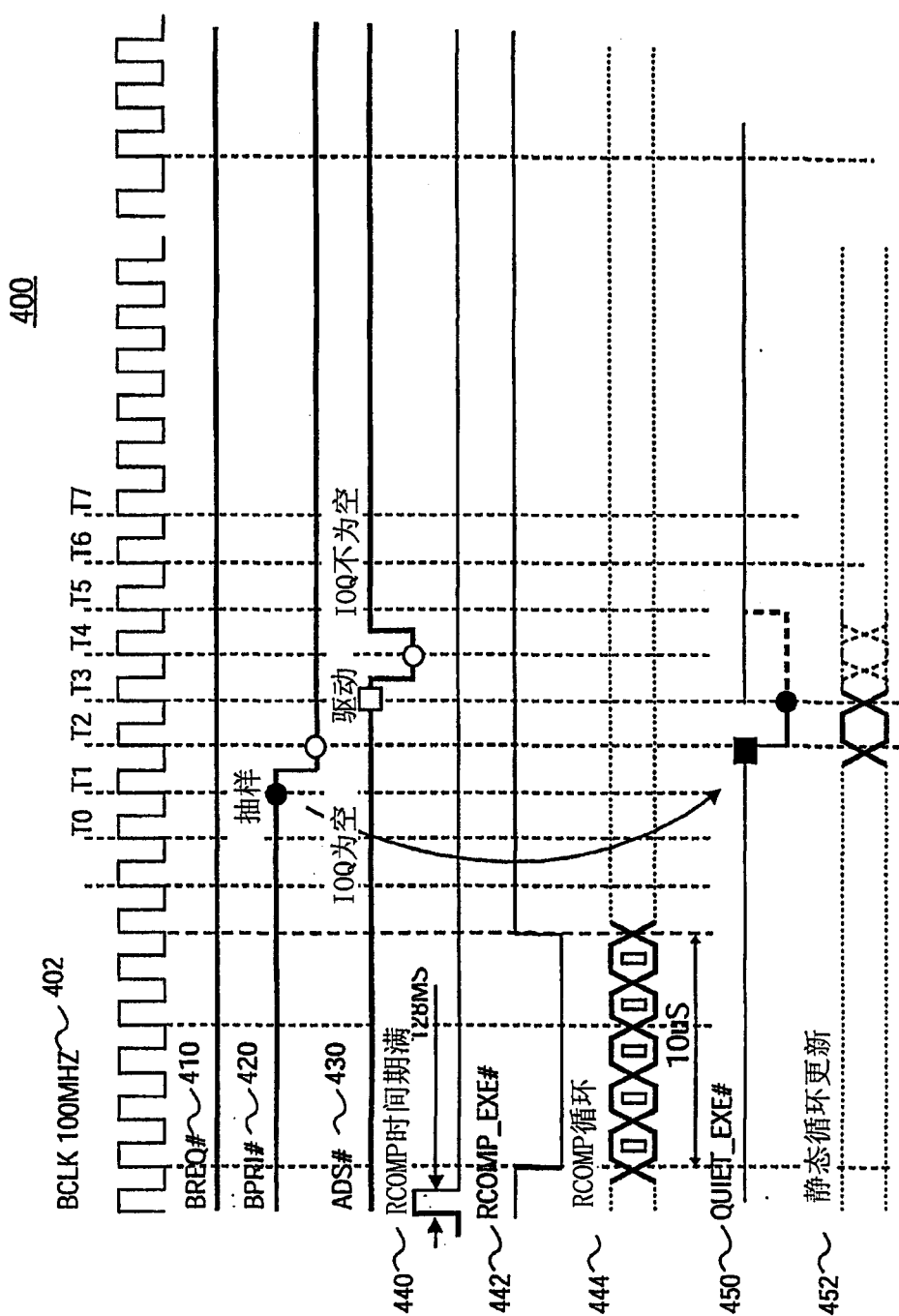


图 2

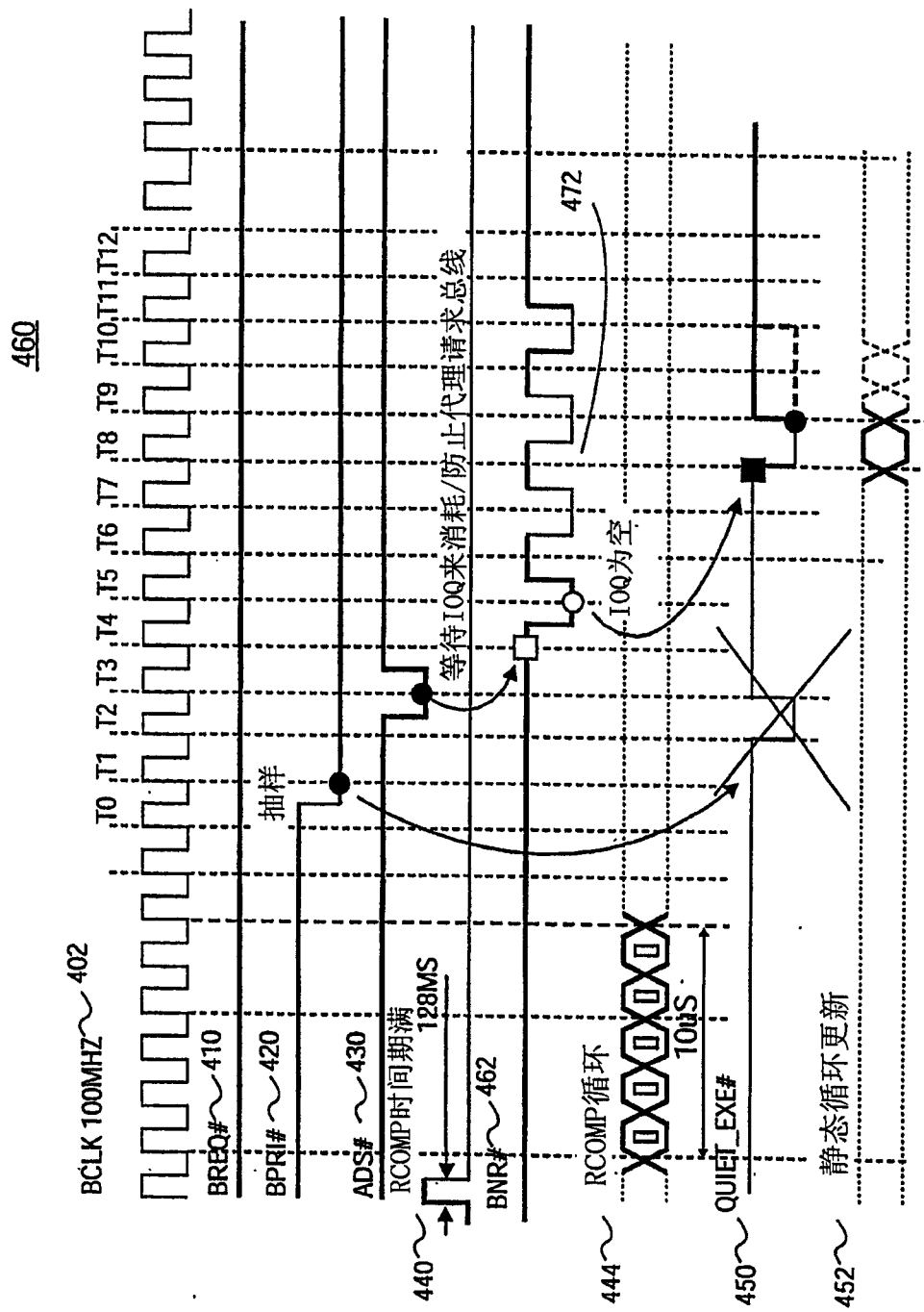


图 3

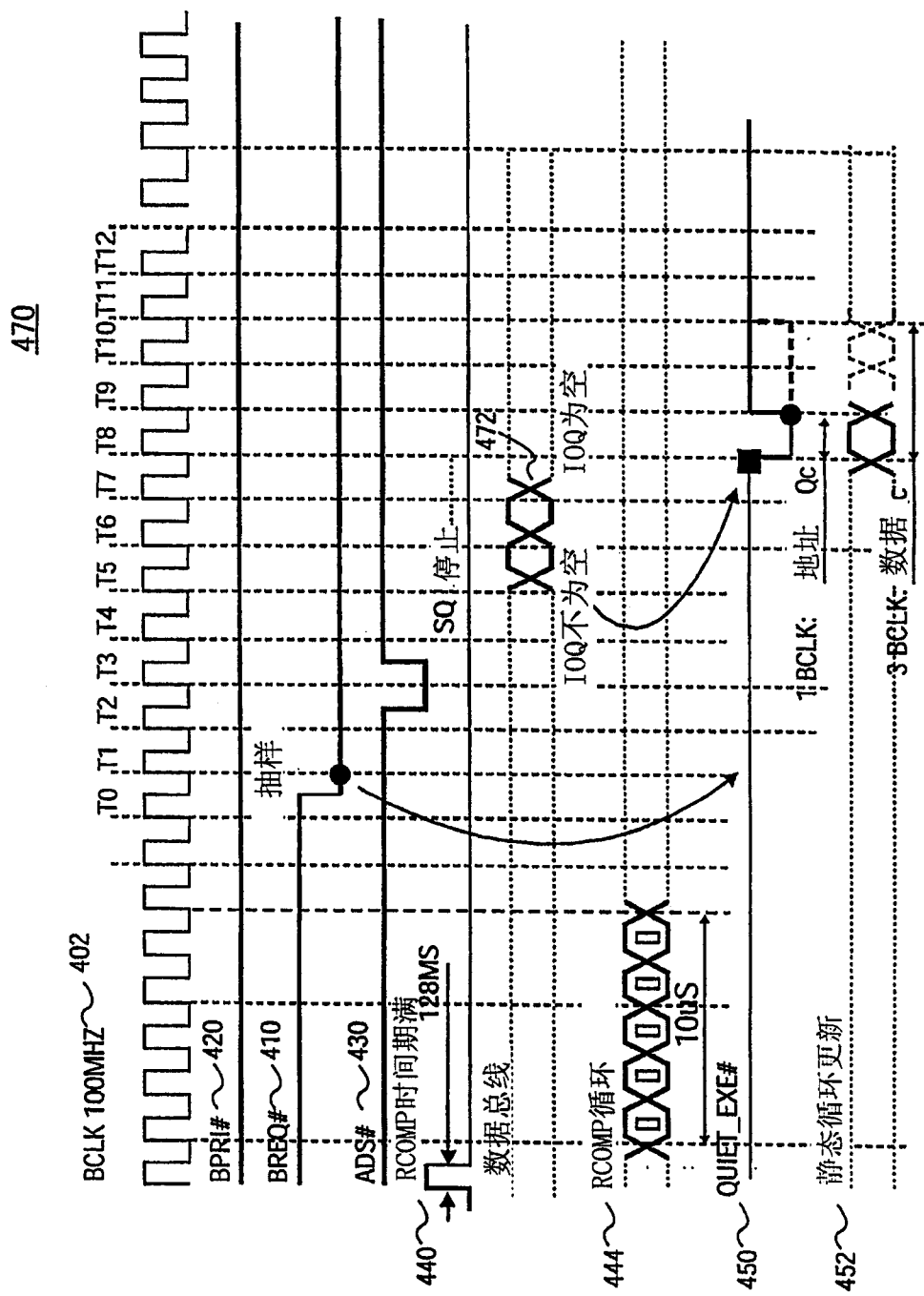


图 4

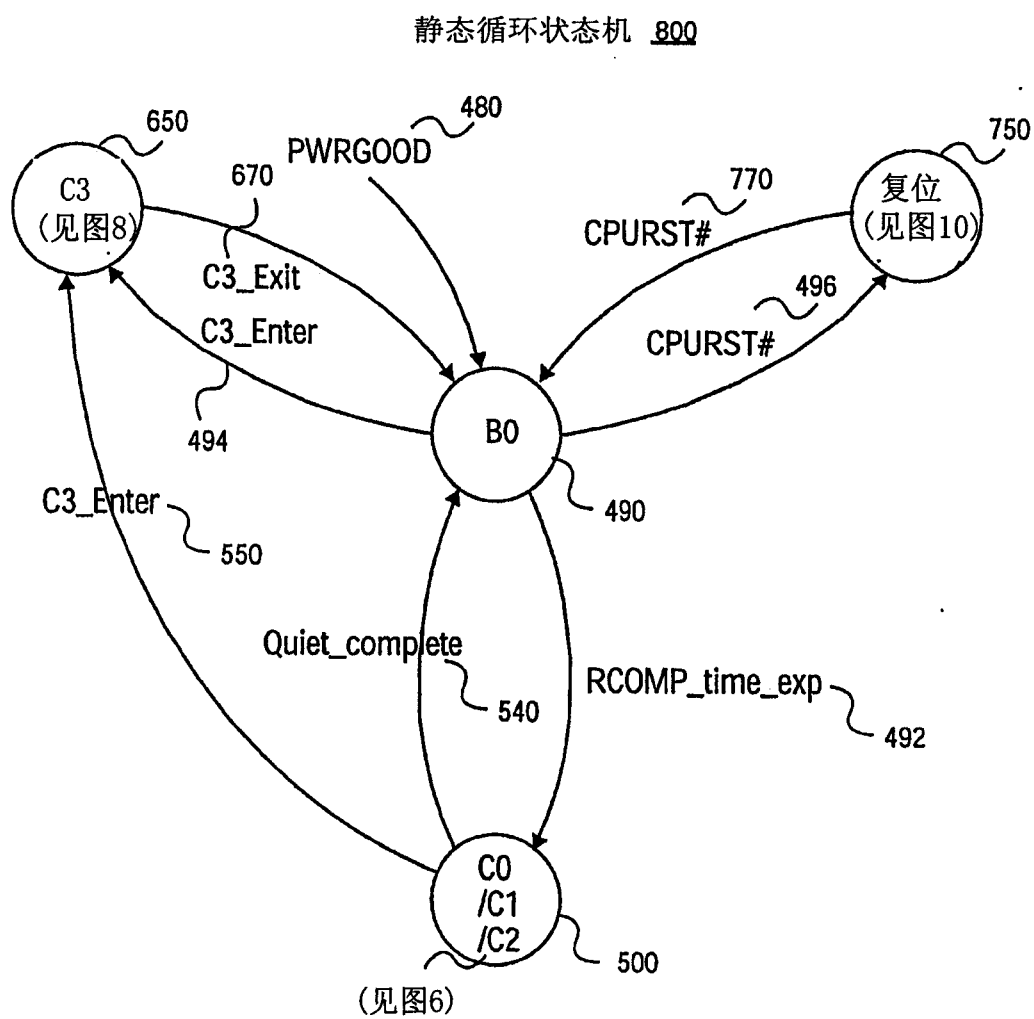


图 5

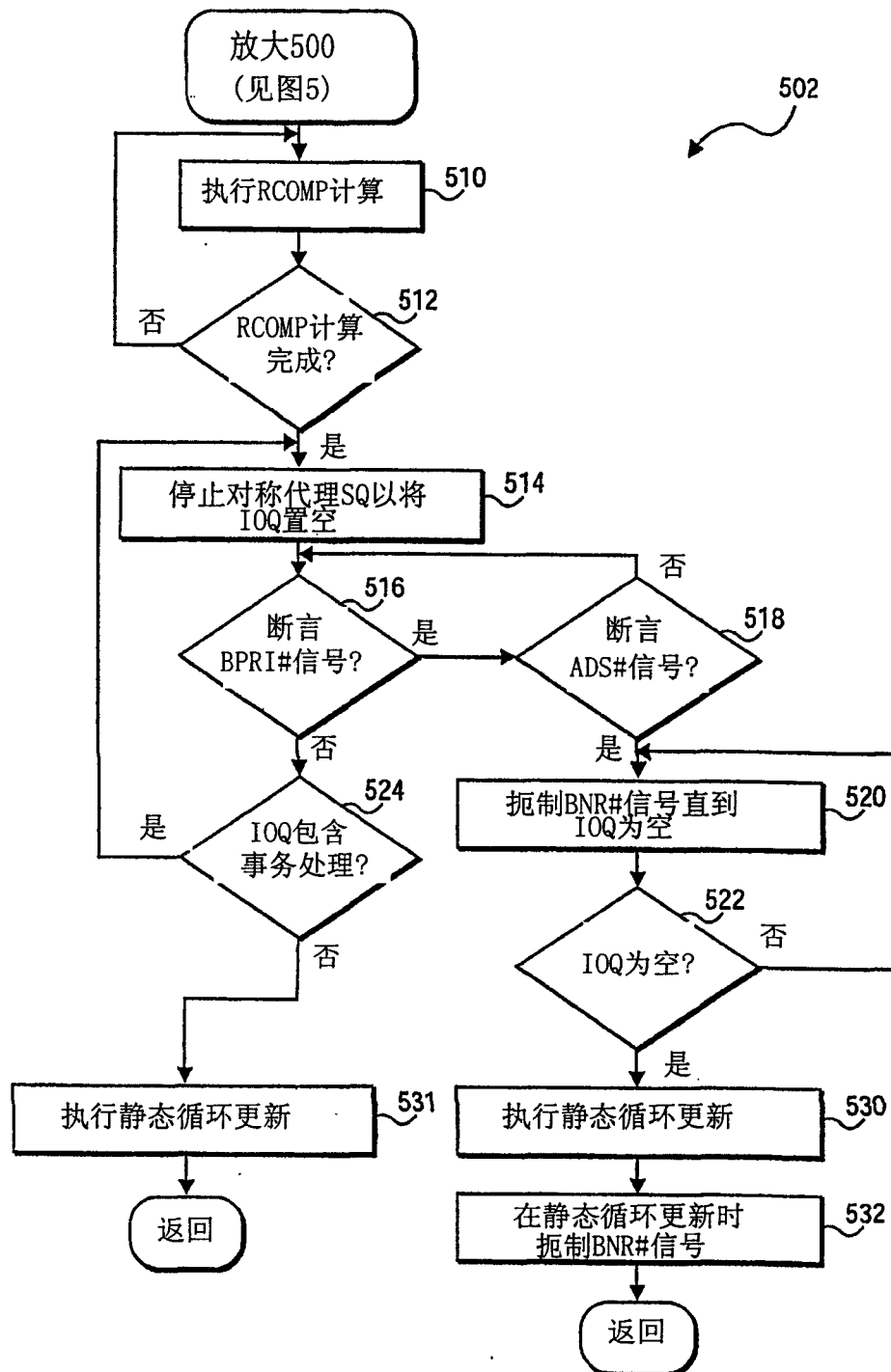


图 6

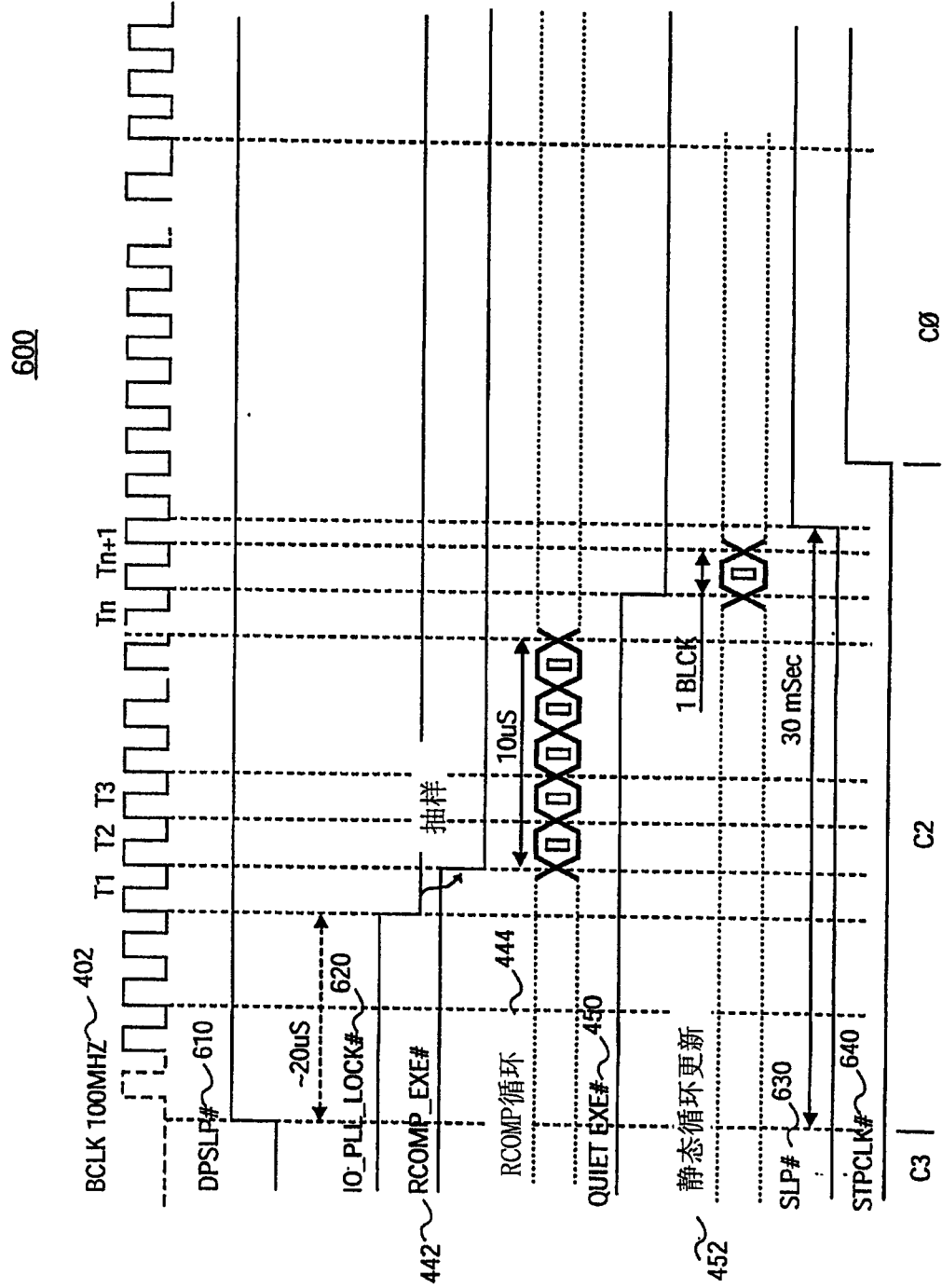


图 7

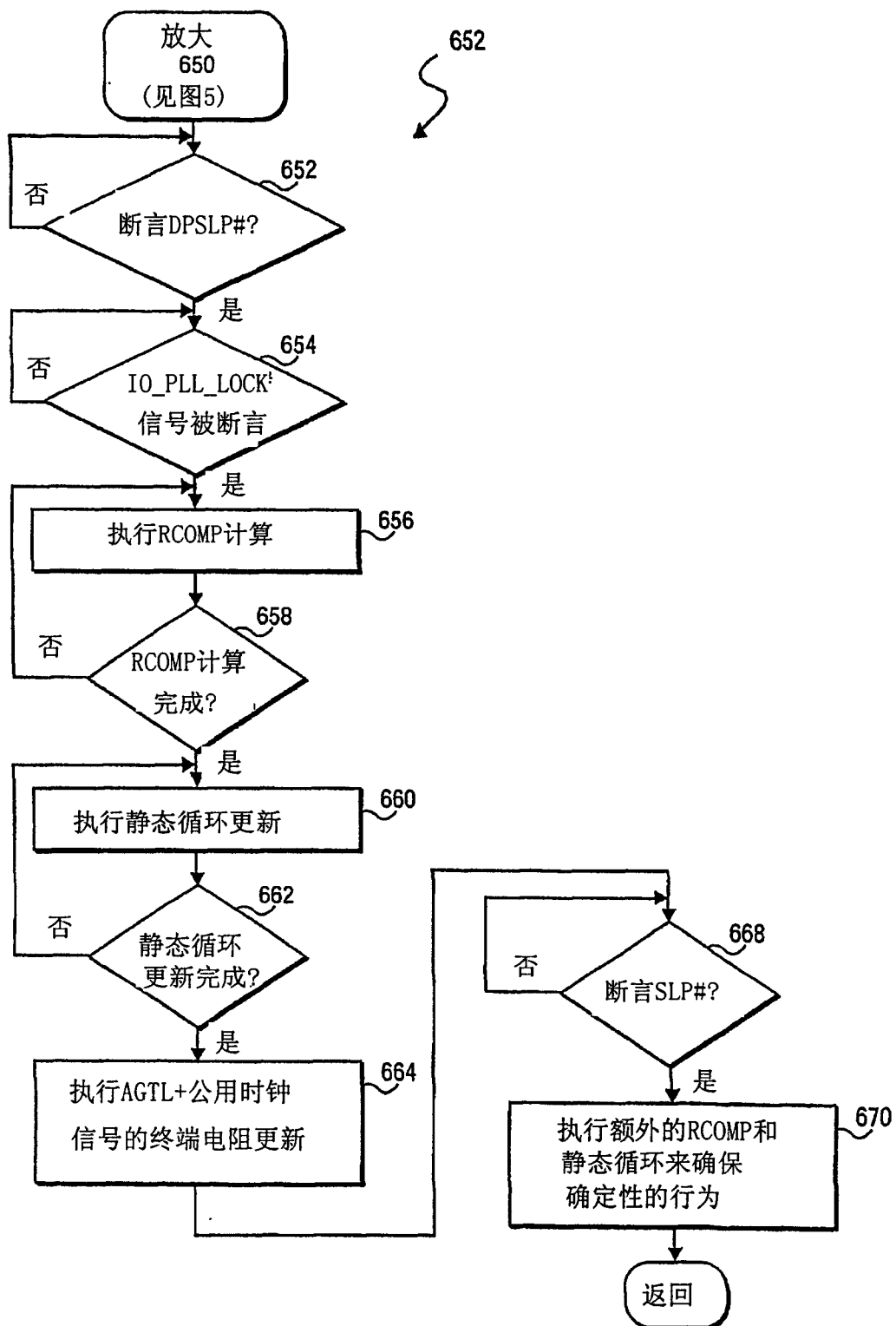


图 8

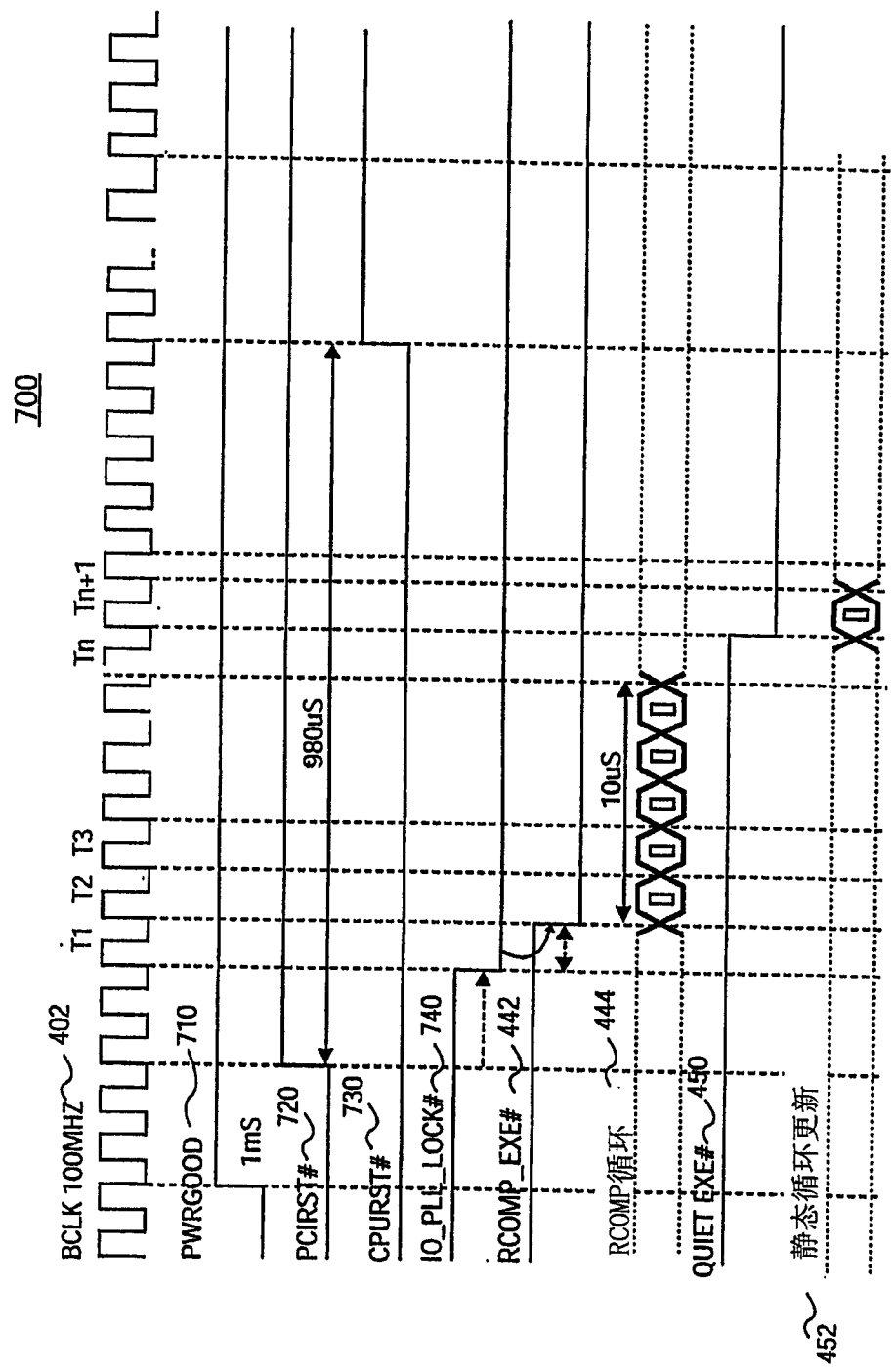


图 9

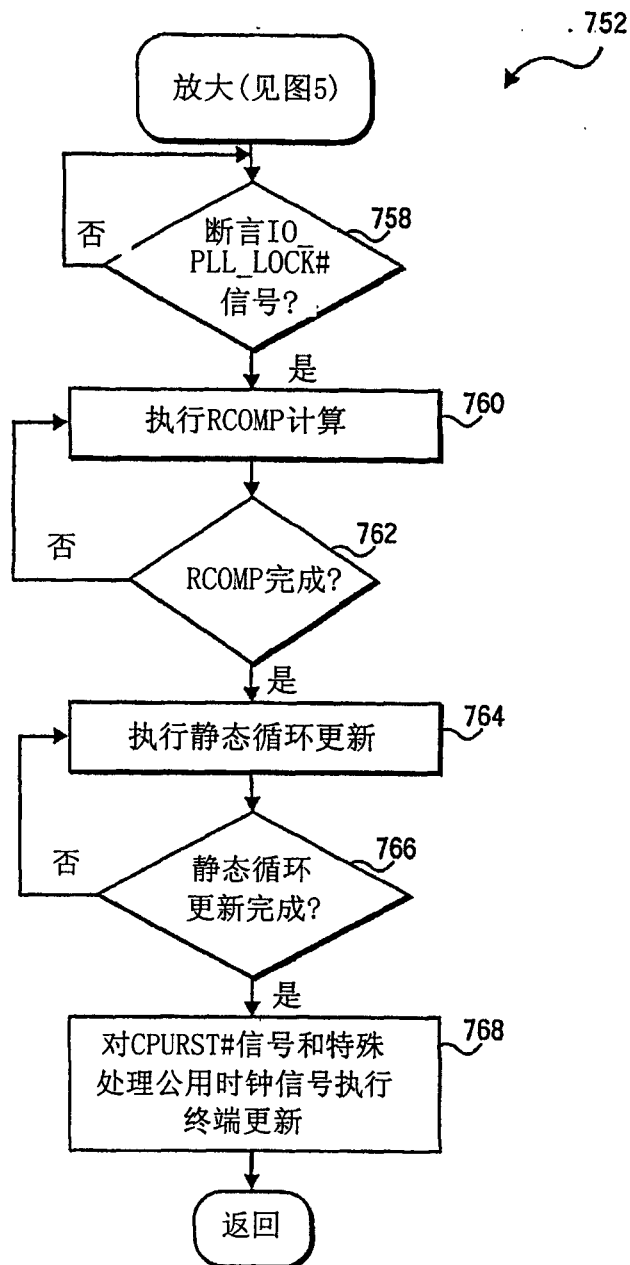


图 10

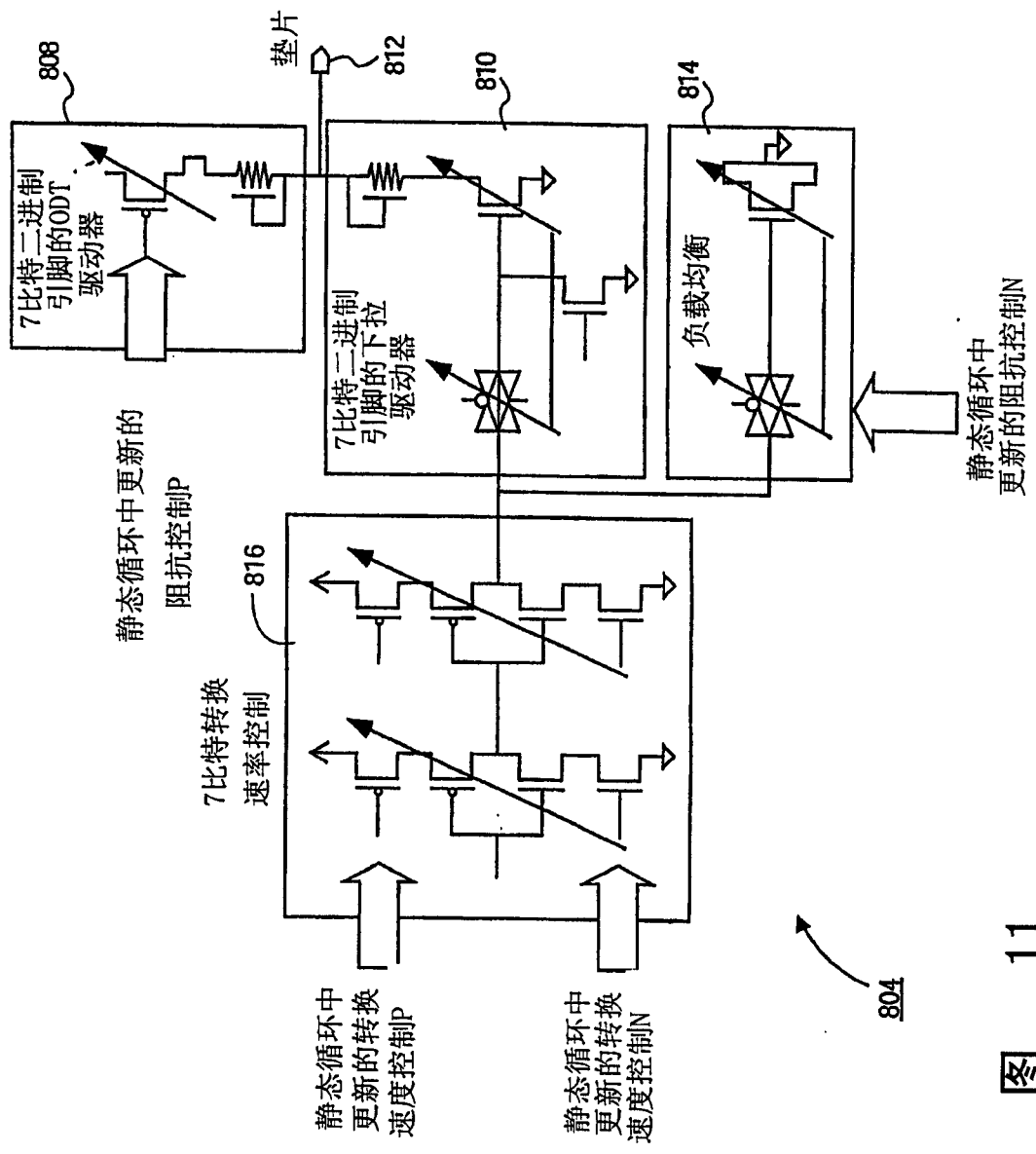


图 11

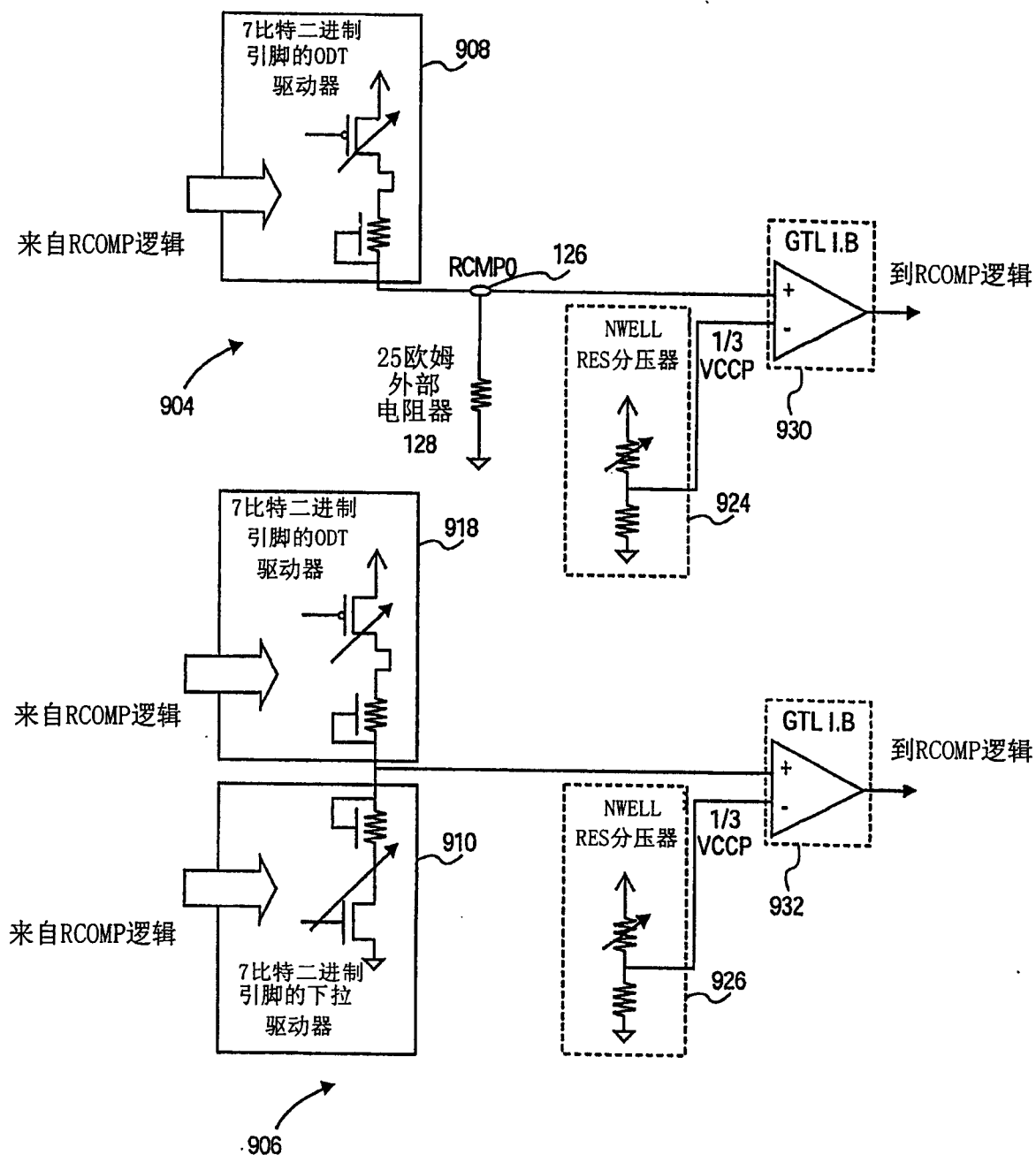


图 12

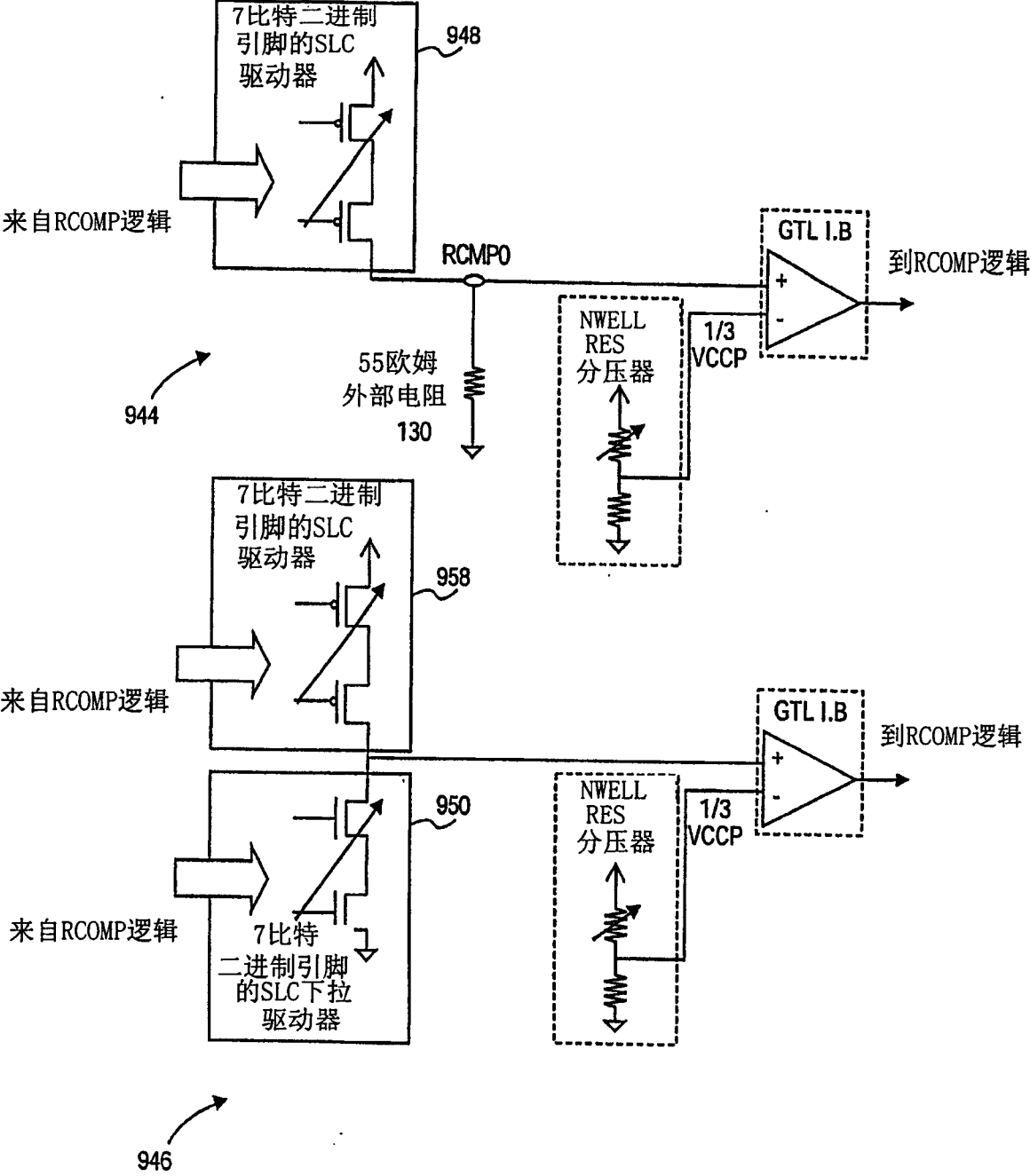


图 13