

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-535316

(P2008-535316A)

(43) 公表日 平成20年8月28日(2008.8.28)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>H03H 7/06</b> (2006.01)	H03H 7/06	5 J 0 2 4
<b>H03H 11/04</b> (2006.01)	H03H 11/04	5 J 0 5 5
<b>H03K 17/28</b> (2006.01)	H03K 17/28	5 J 0 9 8
<b>H03H 7/01</b> (2006.01)	H03K 17/28 H03H 7/01	H C

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

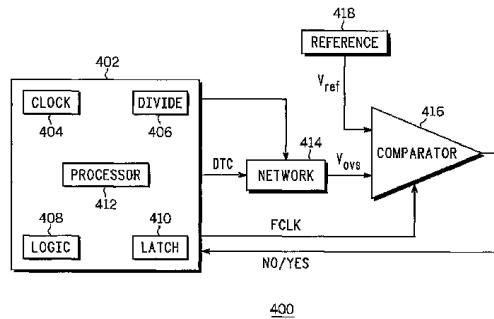
(21) 出願番号	特願2008-503020 (P2008-503020)	(71) 出願人	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(86) (22) 出願日	平成18年3月10日 (2006.3.10)	(74) 代理人	100089705 弁理士 社本 一夫
(85) 翻訳文提出日	平成19年9月21日 (2007.9.21)	(74) 代理人	100140109 弁理士 小野 新次郎
(86) 国際出願番号	PCT/US2006/008741	(74) 代理人	100075270 弁理士 小林 泰
(87) 国際公開番号	W02006/104671	(74) 代理人	100080137 弁理士 千葉 昭男
(87) 国際公開日	平成18年10月5日 (2006.10.5)		
(31) 優先権主張番号	11/089,963		
(32) 優先日	平成17年3月25日 (2005.3.25)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】デジタル時定数トラッキング技術及び装置

## (57) 【要約】

プロセス、電圧及び温度の変動に起因して回路網(414)の時定数偏差を調整して雑音を無くす方法及び装置を提供する。当該装置(400)は、デジタル時定数が回路網(414)の公称時定数に対して相関されるクロック基準手段(404)を備える。相関されたデジタル時定数は、回路網(414)に印加され、そして出力充電 / 放電波形スイングが、所定の基準電圧と比較される。当該充電 / 放電波形スイングが基準電圧と一致しない場合、オフセット信号を発生する。オフセット信号が、制御回路(402)に印加され、当該制御回路(402)は、対応の同調信号を発生する。同調信号は、回路網(414)に印加されて、一致が達成されるまで内部部品を増分的又は減分的に調整する。当該装置(400)は、内蔵型で自己試験型のデジタル時定数トラッキング回路として構成されることでき、且つ I C チップ上に回路網(414)と一緒に統合化することができる。



400

## 【特許請求の範囲】

## 【請求項 1】

回路網における時定数の変動を調整して雑音を無くす方法であって、前記回路網の公称時定数と相関された幅を有するデジタル時定数パルスを導出するステップと、

前記デジタル時定数パルスを前記回路網を通じて処理し、且つ前記回路網の出力電圧波形を測定するステップと、

前記出力電圧波形の電圧スイングを所定の基準電圧と各デジタル時定数パルス期間中に比較するステップと、

前記出力電圧波形の電圧スイングが前記所定の基準電圧に等しくないか又はそれを超えていないとき同調信号を発生し、また前記出力電圧波形の電圧スイングが前記所定の基準電圧に等しいか又はそれを超えているとき停止信号を発生するステップと、

前記同調信号を前記回路網の時定数を調整するための補償信号に変換するステップと、

前記出力電圧波形の電圧スイングが実質的に前記所定の基準電圧に等しくなるように前記回路網の時定数を前記補償信号によって調整するステップとを備える方法。

## 【請求項 2】

前記回路網が、シングルエンデッド型か又は差動型である請求項 1 記載の方法。

## 【請求項 3】

前記回路網が、抵抗性構成要素、容量性構成要素及び誘導性構成要素を備える請求項 1 記載の方法。

## 【請求項 4】

抵抗 - キャパシタ (R C) 回路網の時定数の変動を調整して雑音を無くすためのデジタル時定数トラッキング回路であって、

前記 R C 回路網の公称時定数と相関されたパルス幅を有するデジタル時定数パルスを発生するよう構成されたクロック基準標準手段と、

前記 R C 回路網内の抵抗アレイ及びキャパシタ・アレイであって、前記デジタル時定数パルスを前記クロック基準標準手段から受け取り、前記の受け取られたデジタル時定数パルスと時間的に同期した充電 / 放電波形を出力するよう構成された抵抗アレイ及びキャパシタ・アレイと、

前記充電 / 放電波形を前記 R C 回路網から第 1 の入力で受け取り、所定の基準電圧を第 2 の入力で受け取り、前記充電 / 放電波形の電圧スイングが前記所定の基準電圧のレベルに等しくないか又はそれを超えないとき同調信号を発生し、また前記充電 / 放電波形の電圧スイングが前記所定の基準電圧のレベルに等しいか又はそれを超えるとき停止信号を発生するよう構成された比較器と、

前記同調信号及び停止信号を前記比較器から受け取り、当該受け取られた同調信号に対応する出力同調信号を発生するよう構成された制御回路と、を備え、

前記出力同調信号を前記 R C 回路網内の前記抵抗アレイ及びキャパシタ・アレイに印加して、前記充電 / 放電波形の電圧スイングが実質的に前記所定の基準電圧に等しいように前記 R C 回路網の時定数を調整する、デジタル時定数トラッキング回路。

## 【請求項 5】

前記クロック基準標準手段が水晶発振器である請求項 4 記載のデジタル時定数トラッキング回路。

## 【請求項 6】

前記所定の基準電圧が、精密な抵抗ラダーから導出される請求項 4 記載のデジタル時定数トラッキング回路。

## 【請求項 7】

前記デジタル時定数トラッキング回路が、内蔵型自己試験システムとして構成される請求項 4 記載のデジタル時定数トラッキング回路。

## 【請求項 8】

10

20

30

40

50

前記比較器が、クロック基準標準を第3の入力で受け取り、且つ前記クロック基準標準の周波数に対して同期化されたレートで同調信号又は停止信号を発生するよう構成されている請求項4記載のデジタル時定数トラッキング回路。

【請求項9】

前記RC回路網が、シングルエンデッド型か又は差動型である請求項4記載のデジタル時定数トラッキング回路。

【請求項10】

前記RC回路網が、いずれの時間に調整されるよう構成可能である請求項7記載のデジタル時定数トラッキング回路。

【請求項11】

前記RC回路網の同調変化に対応する環境要因の変動が計算される請求項10記載のデジタル時定数トラッキング回路。

【請求項12】

前記RC回路網の構成要素の挙動の傾向がモニタリングされる請求項11記載のデジタル時定数トラッキング回路。

【請求項13】

フィルタ回路網の時定数及び対応の帯域幅を安定化するデジタル時定数トラッキング回路であって、

前記フィルタ回路網の公称時定数と相関されたパルス幅を有するデジタル時定数パルスを発生するよう構成されたクロック基準標準手段と、

デジタル時定数パルスを前記クロック基準標準手段から受け取り、当該受け取られたデジタル時定数パルスと時間的に同期した出力電圧波形を発生するよう構成された前記フィルタ回路網内の部品アレイと、

前記出力電圧波形を前記フィルタ回路網から第1の入力で受け取り、所定の基準電圧を第2の入力で受け取り、前記出力電圧波形の電圧スイングが前記所定の基準電圧のレベルに等しくないか又はそれを超えていないとき同調信号を発生し、また前記出力電圧波形の電圧スイングが前記所定の基準電圧のレベルに等しいか又はそれを超えているとき停止信号を発生するよう構成された比較器と、

前記同調信号及び停止信号を前記比較器から受け取り、当該受け取られた同調信号に対応する出力同調信号を発生するよう構成された制御回路と、を備え、

前記出力同調信号を前記フィルタ回路網内の前記部品アレイに印加して、前記出力電圧波形の電圧スイングが実質的に前記所定の基準電圧に等しくなるように前記フィルタ回路網の時定数を調整することにより、前記フィルタ回路の時定数及び対応の帯域幅を安定化させる、デジタル時定数トラッキング回路。

【請求項14】

前記クロック基準標準手段が水晶発振器である請求項13記載のデジタル時定数トラッキング回路。

【請求項15】

前記所定の基準電圧が、精密な抵抗ラダーから導出される請求項13記載のデジタル時定数トラッキング回路。

【請求項16】

前記デジタル時定数トラッキング回路が、内蔵型自己試験システムとして構成される請求項13記載のデジタル時定数トラッキング回路。

【請求項17】

前記比較器が、クロック基準標準を第3の入力で受け取り、前記クロック基準標準の周波数に同期化されたレートで同調信号又は停止信号を発生するよう構成されている請求項13記載のデジタル時定数トラッキング回路。

【請求項18】

前記フィルタ回路網が、シングルエンデッド型か又は差動型である請求項13記載のデジタル時定数トラッキング回路。

10

20

30

40

50

**【請求項 19】**

前記フィルタ回路網が、抵抗性構成要素、容量性構成要素及び誘導性構成要素を備える請求項13記載のデジタル時定数トラッキング回路。

**【請求項 20】**

前記フィルタ回路網の同調変化に対応する環境要因の変動が計算される請求項16記載のデジタル時定数トラッキング回路。

**【発明の詳細な説明】****【技術分野】****【0001】****[技術分野]**

10

本発明は、一般的に、同調回路網と関連し、より詳細には、高精度の回路網の時定数変動を調整して雑音を無くす(tune out)ことに関する。

**【0002】****[背景]**

20

抵抗 - キャパシタ(RC)構成を組み込む回路網は、フィルタ、フェーズ・ロック・ループ、周波数ベースの電流基準回路、及び他のもののような集積回路(IC)応用で広範囲に用いられている。一般的に、RC構成の回路網の時定数は、当該回路網及びその関連の回路の性能の決定要因である。例えば、RC構成の回路網の遅延時間及び帯域幅は、その時定数により直接に影響を受ける。従って、そのような回路網の指定された時定数からのいずれの偏差は、その基本的パラメータ並びにその関連の回路の基本的パラメータに悪影響を与える。回路網の時定数の安定性は、比較的高レベルの精密性能が希望されるときに重要である。しかしながら、20%から25%のおおよその範囲の時定数偏差は、IC製造プロセスにおける不整合、IC供給電圧変動、環境温度の変化、及び類似のもののような多数の原因により生じる。

**【0003】**

30

様々な同調スキームが、IC応用での典型的な時定数偏差を補償するため採用されてきた。これらの同調スキームは、時定数値の検出された変動を補正するよう調整(同調)されることができる回路網構成内の能動素子及び/又は回路の使用を含んでいた。他のタイプの同調スキームは、実際の回路網の時定数を模倣し且つ実際の回路網の変動に関して補正基準を与える外部の回路網を使用することに基づいていた。しかしながら、これらのスキームのような同調スキームは、典型的には、外部のアナログ電圧に使用を必要とし、そしてまた一般的に、外部の同調及び較正回路で比較的高い部品点数(part count)を含む。そのようなことで、回路網の達成可能な同調精度は、一般的に、外部の同調及び較正回路の複雑さにより制限される。

**【0004】**

40

従って、製造プロセス、供給電圧変動、温度変化、及び類似のもののような要因により引き起こされ得るRC時定数偏差を自動的に補償する内蔵型(オンチップ)の自己試験能力を提供することが望ましい。その上、外部の回路を必要としない比較的高精度の内蔵型自動同調能力を提供することが望ましい。更に、本発明の他の望ましい特徴及び特性は、添付図面及び前述の技術分野及び背景と関係した以下の詳細な説明及び添付の特許請求の範囲から明らかになるであろう。

**【0005】**

本発明は、以下で添付の図面と関係して説明され、そこにおいては、類似の参照番号は、類似の構成要素を示す。

**【0006】****[詳細な説明]**

以下の詳細な説明は、本来的に単なる例示であり、本発明、又は本発明の応用及び使用を制限することを意図するものではない。更に、先の技術分野、背景、概要、以下の詳細な説明で提示されるいずれの表現された又は限定された理論により制限される意図はない。

50

## 【0007】

本発明の様々な実施形態は、フィルタのようなRC構成の回路網の時定数偏差を調整して雑音を無くす分野に関する。デジタル時定数は、クロック基準標準から導出され、そして回路網の所望の(公称)時定数と相關される。デジタル時定数は、回路網に適用さ、そしてその結果生じる出力電圧波形スイングが、公称時定数に関する適切な値を表す基準電圧と比較される。出力電圧波形スイングが基準電圧と一致しない場合、回路網内の構成要素は、不一致を補償するよう調整される。上記で説明した試験及び較正構成要素は、回路網と直接に(例えば、チップ上に)統合化されることができる内蔵型自己試験回路として構成されることができる。

## 【0008】

基本的RCフィルタ回路網100が、図1の(A)に示されている。この構成において、RCフィルタ回路網100は、典型的には、ロー・パス・フィルタとして、又は積分器回路として機能することができるであろう。図1の(B)は、入力電圧 $V_{in}$ の典型的な波形及びその結果生じる出力波形 $V_{out}$ を示す。出力波形 $V_{out}$ 上の点dは、初期放電された回路網についての $V_{in}$ の最大レベルのほぼ63%の値を表す。出力波形 $V_{out}$ が点dに達するのに経過した時間( $t_1$ )は、一般的に、RCフィルタ回路網100のRC時定数を表し、そしてRとCとの積に等しい。図1の(C)において、点eは、典型的には、RCフィルタ回路網100の3dB周波数応答を表す。即ち、点eでの利得は、1(ユニティ)(unity)のほぼ70%であり、そして対応の電力出力は、1のほぼ50%である。点eに対応する3dB周波数( $f_c$ )は、典型的には、ロー・パス・フィルタ応用に関する上側遮断周波数を表し、そして2RCの逆数に等しい。

10

20

30

## 【0009】

例えば、図1に示されるように、RC時定数は、例えば、電圧対時間の関係、及び周波数応答のような回路網の或る一定の特性に直接影響を与える。従って、RC回路網の適正な機能は、そのR及びCの構成要素の値の安定性に大きく依存する。高精度のRC回路網応用の場合、R及びCの構成要素の安定性は、特に重要である。前に説明したように、IC製造プロセスは、R及びCの構成要素の指定した値に偏差を、そして供給電圧に変動を生じさせることができ、そして環境温度がまた、R及びCの安定性に悪影響を及ぼすことができる。これらののようなRC偏差を補償するため、補正処理を行って、回路網のRC時定数を調整して、その指定された(公称)値を維持することができる。

30

## 【0010】

回路網のRC値を安定化させる方法及び装置の例示的実施形態に従って、デジタル時定数は、水晶発振器のような高精度周波数標準手段から導出される。デジタル時定数は、安定化されるべき回路網の時定数と相關され、そしてデジタル時定数に対する回路網応答が、所定の基準と比較される。基準からの偏差は、変化が回路網の構成要素の中で公称RC時定数を維持するように行われるようにさせる。

40

## 【0011】

この例示的実施形態においてデジタル時定数を導出するため、周波数標準クロックは、係数nにより除算され(n分周され)て、回路網の充電時間と相關されるパルス幅を達成する。例えば、nで除算(n分周)された50%デューティ・サイクル・クロック信号 $f_{c1k}$ のパルス持続時間 $t_p$ は、次式のように記述することができる。

$$t_p = (1/2)n / f_{c1k} \quad \text{式(1)}$$

初期放電されてしまった例示的RC回路網について、充電時間 $t_{ch}$ は、次式のように表すことができる。

$$t_{ch} = RC \ln(V_{dd} - V_1) / (V_{dd} - V_2) \quad \text{式(2)}$$

ここで、

50

$V_{dd}$  は、供給電圧であり、  
 $V_1$  は、充電波形の低値であり、  
 $V_2$  は、充電波形の高値である。

## 【0012】

デジタル時定数を回路網の充電時間と相關させるため、式(1)のデジタル時定数は、以下のように、式(2)の充電時間  $t_{ch}$  に等しいように設定されることができる。

$$(1/2)n/f_{clk} = RC \ln \{ (V_{dd} - V_1) / (V_{dd} - V_2) \} \quad \text{式(3)}$$

この例示的実施形態に関して、 $V_1 = (1/8)V_{dd}$  及び  $V_2 = 7/8V_{dd}$  であると仮定する。従って、式(3)は、次式のように書き直すことができる。 10

$$n/2f_{clk} = RC \ln (7V_{dd} / 1V_{dd}) \quad \text{式(4)}$$

又は、

$$1/2RC = \{ f_{clk} \ln (7) \} / n \quad \text{式(5)}$$

周波数除算器(分周器)  $n$  について回路網出力電圧に関して周波数  $f_{ovs}$  を求めるため、式(5)の両辺を次のように除算することができ、 20

$$f_{ovs} = 1/2RC = \{ f_{clk} \ln (7) \} / n \quad \text{式(6)}$$

そして、式(6)は、 $n$  について  $f_{ovs}$  に関して解くため、次式のように書き直すことができる。

$$n = \{ f_{clk} \ln (7) \} / f_{ovs} \quad \text{式(7)}$$

クロック周波数  $f_{clk}$ 、デジタル時定数(DTC)  $t_p$  及び充電時間  $t_{ch}$  についての上記で導出した関係は、図2のタイミング図に示されている。クロック信号202( $f_{clk}$ )が、この例では、DTCパルス204を発生するため、4の  $n$  係数により除算(分周)されるよう示されている。例示的回路網(図示せず)に印加されるクロック信号202の場合、その結果生じる波形は、(曲線206により表されるように、) DTCパルス204の幅に本質的に等しい充電時間  $t_{ch}$  でピーク値に達し、そして回路網出力電圧スイングが、 $(V_2 - V_1)$  として示されている。従って、所与の回路網構成について、回路網時定数を決定する所望の公称構成要素値(例えば、R及びC)は、典型的には、図2に示されるような「理想的な」応答関係を与えるであろう。しかしながら、回路網の構成要素に偏差が存在する場合、その結果生じる時定数の変化は、一般的に、図2の所望の関係を変えるであろう。 30

## 【0013】

回路網の時定数変動を補償するため、「同調」装置の例示的実施形態は、調整可能な回路網の出力電圧スイングに測定し、そしてそれを所定の基準電圧と比較する。不一致である場合、一致が達成されるまで回路網時定数を変える論理指令が、発生される。この例示的プロセスは、図3のタイミング図に示され、それは、図2からクロック基準202及びデジタル時定数204を引き継ぐ。しかしながら、図3において、回路網の構成要素(例えば、キャパシタ・アレイ)がその公称値から増大され、そして回路網に所望の速度より遅い速度で充電させる(曲線206(a))と仮定する。そのようにして、電圧スイング  $V_a$  は、基準電圧  $V_{ref}$  と一致しないで、一致信号が発生されない。理解しやすように、この例における  $V_{ref}$  は、図2における出力電圧スイング( $V_2 - V_1$ )を表す。 40

## 【0014】

一致信号が存在しない場合、回路網の中の所定の数のキャパシタ・アレイをスイッチで切る（即ち、低減する）論理指令 302 が発生される。その結果生じる一層速い充電速度（曲線 206 (b)）が、増大した出力電圧スイング  $V_b$  を達成するが、しかしこの例では、増大した出力電圧スイング  $V_b$  は、相変わらず基準電圧  $V_{ref}$  と一致しない。従って、別の所定のステップだけキャパシタ・アレイを低減するため、別の論理指令 304 が発生される。この例では、その結果生じる充電曲線 206 (c) は、基準電圧  $V_{ref}$  と一致する出力電圧スイング  $V_c$  に達し、それにより、論理指令 308 が同調プロセスを停止することを可能にする出力 306 を発生する。

#### 【0015】

図 3 に示す同調プロセスを実行するよう構成されているデジタル時定数 (DTC) ラッキング・システム 400 の例示的実施形態が、図 4 にブロック図の形式で示されている。この実施形態においては、制御回路 402 は、クロック基準モジュール 404、クロック分周器モジュール 406、論理指令モジュール 408、ラッチ・モジュール 410、及びプロセッサ 412 を含む。制御回路 402 の適正な機能を可能にするアルゴリズムは、典型的には、プロセッサ 412 により実行される。なお、プロセッサ 412 は、マイクロプロセッサ、マイクロコントローラ、又はいずれの計算言語で命令を実行することが可能である他の計算装置のうちのいずれのタイプであってもよい。調整可能な（同調可能な）回路網 414 は、制御回路 402 と比較器 416との間に接続される。回路網 414 は、典型的には、キャパシタ・アレイ及び／又は抵抗アレイをスイッチで接続し又は切ることにより「同調」されることができるキャパシタ・アレイ及び／又は抵抗アレイを用いて構成される。比較器 416 は、典型的には、出力電圧スイング信号 ( $V_{ovs}$ ) を回路網 414 から受け取ることに加えて、基準電圧入力 ( $V_{ref}$ ) 及びクロック基準入力 ( $f_{clk}$ ) を有するよう構成される。基準電圧入力  $V_{ref}$  は、典型的には、供給電圧（図示せず）に跨って接続されている高精度抵抗ラダー 418 から導出される。クロック基準入力  $f_{clk}$  は、典型的には、クロック基準モジュール 404 により供給される。

#### 【0016】

クロック基準モジュール 404 は、デジタル時定数の導出において比較的高レベルの精度を維持するため、水晶発振器クロック回路のようないずれの適切な周波数標準手段により実現されることがある。図 2 及び図 3 の単純化された図は、クロック信号  $f_{clk}$  と DTC との間の関係を説明する目的のため  $n$  が 4 に等しい分周器を示すが、より現実的な  $n$  の値は、100 から 200 までのおおよその範囲にあり、従って、高い精度と高い解像度との組み合わせられた便益を提供する。例えば、250 kHz で動作するフィルタ回路網は、120 の分周器  $n$  値を有する 30 MHz クロック基準手段から導出されるデジタル時定数により較正され得る。

#### 【0017】

調整可能な回路網 414 のための適切な構成は、図 5 に示されるような抵抗及びキャパシタ構成要素の組み合わせを含む。このRCフィルタ 414 の例示的実施形態においては、抵抗 502 は、切り替えられるアレイ又は他の抵抗組み合わせのようないずれのタイプの抵抗形態であって、キャパシタ・アレイ 504 と直列接続された当該いずれのタイプの抵抗形態の単純な表示として示されている。この例では理解しやすいために、唯 1 つのキャパシタ・アレイ 504 が同調可能な構成で示されているのに対し、同調可能な抵抗アレイ及び／又は同調可能なキャパシタ・アレイが、応用の指図に応じて用いられ得る。

#### 【0018】

図 5 の例示的実施形態においては、キャパシタ・アレイ 504 は、典型的なロー・パス・フィルタ構成になるよう抵抗 502 に接続されている。キャパシタ・アレイ 504 は、全体のキャパシタンス値を増分的に調整することが可能であるようないずれの適切な構成に形成され得る。この例示的実施形態においては、アレイ・キャパシタ 504a、504b、504c、504d、504e、504f は、プログラマブル・スイッチ 506、508、510、512、514、516 のそれぞれを介して回路に接続され、それによりこれらアレイ・キャパシタは、個々にスイッチにより接続され又は切られる。プログラマブ

10

20

30

40

50

ル・アレイ・キャパシタ 504a - 504f の値は、一般的に、比較的狭い増分ステップ（例えば、 $\pm 3\%$ から $\pm 6\%$ のおおよその範囲）に維持しながら、比較的広い帯域幅エクスカーション（excursion）（例えば、 $\pm 30\%$ 又はそれより多い%のおおよその範囲で）を与えるよう選択される。上記で説明したように、この例示的構成は、開示されるデジタル時定数トラッキング・スキームに従ってキャパシタ・アレイ（又は類似に構成された抵抗アレイ）を同調するため用いられ得る多くのあり得る構成のうちの単なる1つである。

#### 【0019】

図3から図5に示されるような例示的デジタル時定数トラッキング・プロセスの典型的な動作シーケンスが、図6のフロー図600と関係してより十分に説明されることができる。ステップ602において、nに対する値が、クロック分周器モジュール406の中に入力される。ステップ604において、制御回路402は、RC回路網414を較正する前に、デジタル時定数トラッキング回路400（図4）を初期化するよう作動される。ステップ606において、デジタル時定数（DTC）は、典型的には、図3で波形202及び204により示されるように、クロック基準 $f_{c1k}$ （クロック基準モジュール404）をnで除算（n分周）することにより導出される。ステップ608において、キャパシタ・アレイ504（図5）は、プロセッサ412からプログラマブル・スイッチ506、508、510、512、514、516への指令をプログラミングすることにより最大値に設定されて、アレイ・キャパシタ504a - 504fをRC回路網に接続する。そのようにして、合計のアレイ・キャパシタンスは、所望の公称キャパシタンス値より大きくなるよう構成され、それにより同調プロセスは、一方向性であることができ、即ち、個々のアレイ・キャパシタを取り去ることによりキャパシタンスの減分的低減が達成されることができる。

10

20

30

40

50

#### 【0020】

ステップ610において、DTC信号が、回路網414に印加され、そしてその結果生じる出力電圧スイング（ $V_{o.v_s}$ ）が、比較器416の入力に印加される（図4）。ステップ612において、出力電圧スイング（ $V_{o.v_s}$ ）を基準電圧（ $V_{ref}$ ）とクロック基準（ $f_{c1k}$ ）レートで比較して、一致が達成されたかどうかを決定する。ラッチ・モジュール410（図4）は、一般的に、RC回路網414に印加されるDTC信号のタイミングを、比較器416により行われる離散的比較測定と同期させるよう構成される。ラッチ・モジュール410はまた、典型的には、DTC信号のための供給電圧と供給電圧（ $V_{ref}$ ）とを等しくするよう構成される。

#### 【0021】

RC回路網414に接続されたキャパシタ・アレイ504（図5）の合計値の場合、RC回路網414の出力電圧スイング（ $V_{o.v_s}$ ）は、典型的には、図3における充電波形206（a）により表され、その充電波形206（a）は、 $V_{ref}$ より小さいレベル $V_a$ でピークになる。ステップ614において、比較器416は、一致が達成されなかつことを示す「ノー（否定）」信号を制御回路402に出力する。ステップ616において、制御回路402は、論理指令モジュール408が、例えば、スイッチ506（図5）を開成にして、キャパシタ・アレイ504の合計キャパシタンスを減分的に低減するスイッチング信号（図3における302）を出力することを可能にする。次のサイクルで、後続の出力電圧スイング（ $V_{o.v_s}$ ）が、図3における充電波形206（b）により表されるようにレベル $V_b$ に達する。 $V_b$ が相変わらず $V_{ref}$ より小さいので、比較器416は、再び、「ノー（否定）」信号を出力し（ステップ614）、そして論理指令モジュール408は、ステップ616において、第2のスイッチング信号（304）を出力する。スイッチング信号304は、例えば、スイッチ506（図5）を開成させて、キャパシタ・アレイ504のキャパシタンスをキャパシタ504bの値だけ更に低減する。その結果、次の出力電圧スイング（ $V_{o.v_s}$ ）は、図3における充電波形206（c）により示されるようにレベル $V_c$ に達する。 $V_c$ が本質的に $V_{ref}$ に等しい（又はそれより僅かに大きい）ので、比較器416は、ステップ614において「イエス（肯定）」信号を出力し

、そして較正プロセスは、図3に示されるように制御回路402の停止信号308を介して終わる。

#### 【0022】

本明細書で説明される例示的デジタル時定数トラッキング・プロセスは、差動回路網、並びにRC回路網414のようなシングルエンデッド回路網に適用することができる事が認められるであろう。例えば、差動DTC入力を受け取る回路網の場合、関連した比較器が、典型的には、対応の差動基準電圧を有するよう構成されるであろう。図2の図面に戻って参照すると、曲線206は、差動構成された回路網の出力電圧スイングと見なすことができる一方、電圧レベル $V_2$ 及び $V_1$ は、対応の差動基準電圧を表すことができる。また、本明細書で説明される例示的デジタル時定数トラッキング・プロセスは、R、L及び/又はCの構成要素のいずれの組み合わせを有する回路網のようないずれのタイプの時定数依存回路に適用することができる事が認められるであろう。

10

#### 【0023】

本明細書で説明されるような例示的デジタル時定数トラッキング回路は、例えば、ICチップ上に自給式で組込型の試験及び較正システムとして構成されることができる。そういうことで、DTCトラッキング回路は、回路網を任意の時間に同調/離調するために用いられるばかりでなく、温度及び供給電圧のような環境要因の対応の変動を計算するよう構成されることもできる。更に、DTCトラッキング回路は、近づきつつある耐用命数の終わりの特性を信号で送出することができるであろう抵抗、キャパシタ等の挙動の傾向をモニタリングするよう構成されることがある。

20

#### 【0024】

従って、外部電圧又は基準の使用を必要としない改善された時定数同調プロセスを提供することにより、従来技術の欠点を克服した。内蔵型の自己試験較正システムは、正確なデジタル時定数をクロック周波数標準から導出する。デジタル時定数は、較正されるべき同調可能な回路網の公称/所望の時定数と相關される。相關されたデジタル時定数は、同調可能な回路網に適用され、そしてその結果生じる出力電圧スイングは、同調可能な回路網の公称の時定数特性を表す基準電圧と比較される。出力電圧スイングが基準電圧と一致しない場合、同調可能な回路網の構成要素は、一致が達成されるまで、増分的(又は、減分的)に調整される。

30

#### 【0025】

同調可能な回路網は、典型的には、論理指令信号により増分的(又は減分的)に調整されることができる少なくとも1つの抵抗及び/又はキャパシタ・アレイを用いて構成される。クロック周波数標準手段は、典型的には、水晶発振器として構成され、一方基準電圧は、典型的には精密な抵抗ラダーから導出される。出力電圧スイングと基準電圧との比較は、典型的には、クロック周波数標準と同期される比較器で実行される。比較器は、一致していない場合同調信号を出力し、また一致が達成されたとき停止信号を出力するよう構成される。制御回路は、典型的には、出力信号を比較器から受け取り、そして回路網の同調の調整を実行又は停止するための論理指令を発生するよう構成される。同調可能な回路網は、シングルエンデッド又は差動であり得て、そして抵抗性素子、容量性素子、誘導性素子、又はこれらの任意の組み合わせから構成され得る。同調可能な回路網は、フィルタ又はいずれのタイプの回路網として構成され得て、その機能は、一般的に、回路網の時定数と関連付けられる。開示された内蔵型自己較正システムは、同調可能な回路網を任意の時点に同調/離調し、環境要因の対応の変動を計算し、且つ耐用命数の終わりの指示に関する構成要素の挙動の傾向をモニタリングするよう構成されることがある。

40

#### 【0026】

少なくとも1つの例示的実施形態が上記の詳細な説明で提示されたが、非常に多数の変形が存在することが認められる筈である。また、例示的実施形態は、例示のみであり、そして本発明の範囲、適用性又は構成をいずれにしても制限する意図ではないことが認められるべきである。むしろ、上記の詳細な説明は、当業者に、例示的実施形態を実行するための便利なロード・マップを与えるであろう。様々な変更が、添付の特許請求の範囲に記

50

載された本発明の範囲及びその法的均等物を逸脱することなしに、機能及び構成要素の構成において行うことができる事が理解される筈である。

【図面の簡単な説明】

【0027】

【図1】図1の(A)は単純化されたRCフィルタ回路網の概略図であり、図1の(B)は典型的なRC充電/放電波形の図であり、図1の(C)は典型的なRCフィルタの帯域幅のグラフである。

【図2】図2は、デジタル時定数の例示的態様のタイミング図である。

【図3】図3は、デジタル時定数トラッキング・プロセスの例示的態様のタイミング図である。

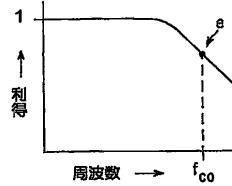
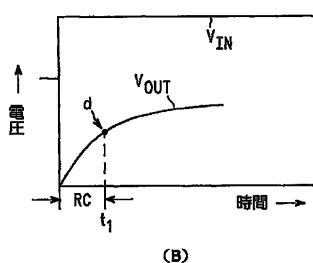
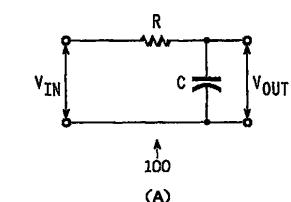
【図4】図4は、デジタル時定数トラッキング回路の例示的実施形態のブロック図である。

【図5】図5は、例示的なシングルエンデッド型の同調可能なRC回路網の概略図である。

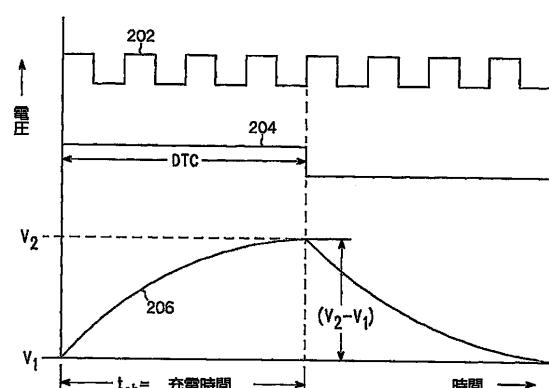
【図6】図6は、デジタル時定数トラッキング回路の例示的態様のフロー図である。

10

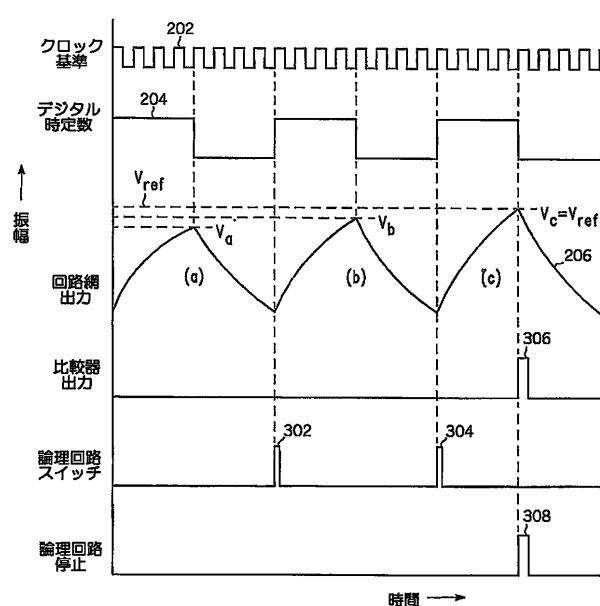
【図1】



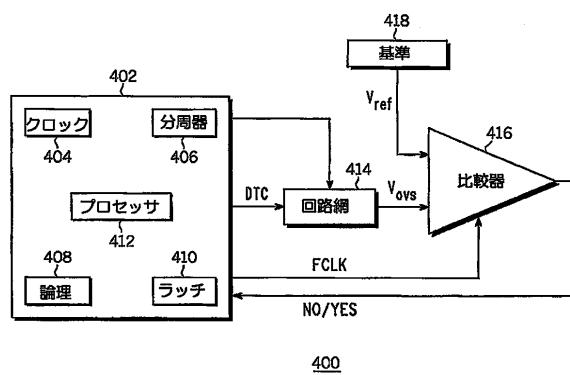
【図2】



【図3】



【図4】



【図5】

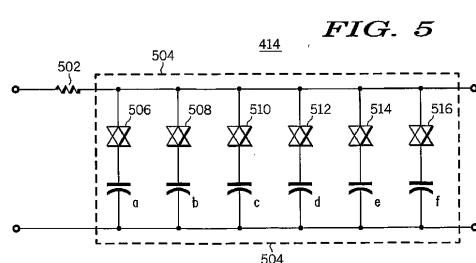
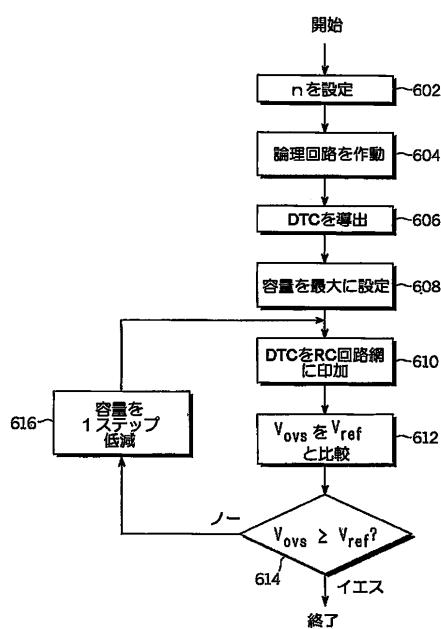


FIG. 5

【図6】



600

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US06/08741															
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: H03B 1/00( 2006.01);H03K 5/00( 2006.01);H04B 1/10( 2006.01)  USPC: 327/551 According to International Patent Classification (IPC) or to both national classification and IPC																	
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 327/551-555,558,310,311																	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE																	
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet																	
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category *</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 6,417,727 B1 (DAVIS) 09 July 2002 (09.07.2002), see entire document.</td> <td style="padding: 2px;">1-4,6,7,9-13,15,16,18-20</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;"></td> <td style="padding: 2px;">5,14</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6,798,218 B2 (KASPERKOVITZ) 28 September 2004 (28.09.2004), see entire document.</td> <td style="padding: 2px;">5,14</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;"></td> <td style="padding: 2px;">8,17</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6,417,727 B1 (DAVIS) 09 July 2002 (09.07.2002), see entire document.	1-4,6,7,9-13,15,16,18-20	Y		5,14	Y	US 6,798,218 B2 (KASPERKOVITZ) 28 September 2004 (28.09.2004), see entire document.	5,14	A		8,17
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	US 6,417,727 B1 (DAVIS) 09 July 2002 (09.07.2002), see entire document.	1-4,6,7,9-13,15,16,18-20															
Y		5,14															
Y	US 6,798,218 B2 (KASPERKOVITZ) 28 September 2004 (28.09.2004), see entire document.	5,14															
A		8,17															
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.															
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																	
Date of the actual completion of the international search 22 June 2006 (22.06.2006)		Date of mailing of the international search report <big><u>24 JUL 2006</u></big>															
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer JOSE DEES  Telephone No. 571-272-1569															

**INTERNATIONAL SEARCH REPORT**

International application No. PCT/US06/08741
---

## Continuation of B. FIELDS SEARCHED Item 3:

USPGPUB, USPAT, USOCR, EPO, JPO, DERWENT search terms: ((time adj constant) or filter) and compara\$4 and (control with tun\$3), oscillator with reference adj voltage with generat\$4, oscillator near4 reference adj voltage near4 generat\$4, crystal adj oscillator near4 reference adj voltage near 4 generat\$4

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF, BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO, CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,L R,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY ,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 ロッチフォード,クリス・ジェイ

アメリカ合衆国アリゾナ州 85018, フェニックス, ノース・サティーフォース・ストリート  
4249

(72)発明者 コポリロ, クレメント・アール

アメリカ合衆国アリゾナ州 85296, ギルバート, イースト・アラビアン・ドライブ 357

F ターム(参考) 5J024 AA03 BA05 BA19 DA01 EA01 KA04 KA05

5J055 AX22 AX37 BX24 BX31 DX01 EX01 EY01 EY10 EZ00 EZ01

EZ10 EZ25 EZ28 EZ39 FX05 FX18 FX19 FX24 FX38 GX02

GX03 GX04 GX05

5J098 AA11 AA15 AB16 AB23 AC02 AC10 AC18 AC20 AC27 AD18

AD26 CA02