



(43) Date de la publication internationale
19 janvier 2017 (19.01.2017)

WIPO | PCT

- (51) Classification internationale des brevets :
G06N 3/04 (2006.01)
- (21) Numéro de la demande internationale :
PCT/FR2016/051717
- (22) Date de dépôt international :
6 juillet 2016 (06.07.2016)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
15 56659 13 juillet 2015 (13.07.2015) FR
- (71) Déposants : UNIVERSITE PIERRE ET MARIE CURIE (PARIS 6) [FR/—]; 4, Place Jussieu, Paris, 75005 (FR). CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE - CNRS - [FR/—]; 3, rue Michel Ange, Paris, 75016 (FR). INSERM (INSTITUT NATIONAL DE LA SANTÉ ET DE LA RECHERCHE MÉDICALE) [FR/—]; 101, rue de Tolbiac, Paris, 75013 (FR).
- (72) Inventeurs : BENOSMAN, Ryad; 8, Cité des Foyers, 93500 Pantin (FR). LAGORCE, Xavier; 65 Rue de Mesly, 94000 Creteil (FR).
- (74) Mandataire : CABINET PLASSERAUD; 66, rue de la Chaussée d'Antin, 75440 Paris Cedex 09 (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

(54) Title : DATA-PROCESSING DEVICE WITH REPRESENTATION OF VALUES BY TIME INTERVALS BETWEEN EVENTS

(54) Titre : DISPOSITIF DE TRAITEMENT DE DONNÉES AVEC REPRÉSENTATION DE VALEURS PAR DES INTERVALLES DE TEMPS ENTRE ÉVÉNEMENTS

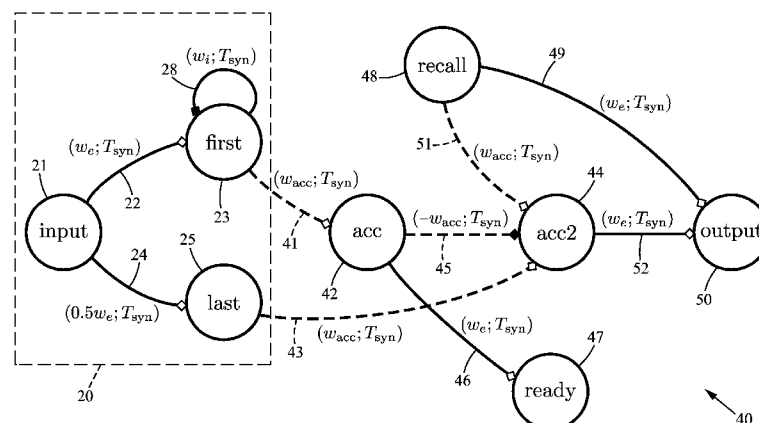


FIG. 4

(57) Abstract : The invention relates to a data-processing device including a set of processing nodes (21, 23, 25, 42, 44, 47, 48, 50) and connections between said nodes. Each connection (22, 24, 41, 43, 45, 46, 49, 51) is configured to transmit events sent by a transmitting node to a receiving node. Each node is arranged to vary a respective potential value as a function of events received thereby and to output an event when the potential value reaches a predetermined threshold. At least one input quantity of the data-processing device is represented by a time interval between two events received by at least one node, and at least one output quantity of the data-processing device is represented by a time interval between two events output by at least one node.

(57) Abrégé :

[Suite sur la page suivante]

WO 2017/009543 A1



Le dispositif de traitement de données comprend un ensemble de nœuds de traitement (21, 23, 25, 42, 44, 47, 48, 50) et des connexions entre les nœuds. Chaque connexion (22, 24, 41, 43, 45, 46, 49, 51) est configurée pour transmettre à un nœud récepteur des événements délivrés par un nœud émetteur. Chaque nœud est agencé pour faire varier une valeur de potentiel respective en fonction d'événements qu'il reçoit et pour délivrer un événement lorsque la valeur de potentiel atteint un seuil prédéfini. Au moins une grandeur d'entrée du dispositif de traitement de données est représentée par un intervalle de temps entre deux événements reçus par au moins un nœud, et au moins une grandeur de sortie du dispositif de traitement de données est représentée par un intervalle de temps entre deux événements délivrés par au moins un nœud.

**DISPOSITIF DE TRAITEMENT DE DONNEES AVEC REPRESENTATION DE
VALEURS PAR DES INTERVALLES DE TEMPS ENTRE EVENEMENTS**

{0001} La présente invention concerne les techniques de traitement de données. Des modes de réalisation mettent en œuvre une nouvelle manière d'exécuter des calculs dans des machines, en particulier dans des machines programmables.

{0002} En grande majorité, les ordinateurs actuels reposent sur l'architecture de Von Neumann. Les données et les instructions de programme sont stockées dans une mémoire à laquelle une unité arithmétique et logique accède de manière séquentielle pour exécuter le programme sur les données. Cette architecture séquentielle est relativement inefficace, notamment en raison de l'exigence de nombreux accès à la mémoire, en lecture et en écriture.

{0003} La recherche d'alternatives énergiquement plus efficaces a conduit à proposer des architectures de traitement sans horloge qui tentent d'imiter le fonctionnement du cerveau. Des projets récents, comme le programme SyNAPSE DARPA, ont conduit au développement de technologies de cartes neuromorphiques à base de silicium, qui permettent de construire un nouveau type de calculateur inspiré de la forme, du fonctionnement et de l'architecture du cerveau. Les principaux avantages de ces systèmes sans horloge sont leur efficacité énergétique et le fait que la performance soit en rapport avec la quantité de neurones et de synapses utilisés. Plusieurs plates-formes qui ont été développées dans ce contexte, en particulier :

- IBM TrueNorth (Paul A. Merolla, et al.: "A Million Spiking-Neuron Integrated Circuit with a Scalable Communication Network and Interface", *Science*, Vol. 345, No. 6197, pages 668-673, août 2014) ;
- Neurogrid (Ben V. Benjamin, et al.: "Neurogrid: A Mixed-Analog-Digital Multichip System for Large-Scale Neural Simulations", *Proceedings of the IEEE*, Vol. 102, No. 5, pages 699-716, mai 2014) ;
- SpiNNaker (Steve B. Furber, et al.: "The SpiNNaker Project", *Proceedings of the IEEE*, Vol. 102, No. 5, pages 652-665, mai 2014).

{0004} Ces machines visent essentiellement à simuler la biologie. Leurs applications principales sont dans le domaine de l'apprentissage, notamment pour exécuter des

architectures d'apprentissage profond ("deep learning") telles que des réseaux de neurones ou des réseaux de croyance ("deep belief networks"). Elles se révèlent efficaces dans plusieurs domaines comme ceux de la vision artificielle, de la reconnaissance de parole et du traitement des langues.

5 [0005] Il existe d'autres options comme le NEF ("Neural Engineering Framework") capables de simuler certaines fonctionnalités du cerveau et notamment accomplir des tâches visuelles, cognitives et motrices (Chris Eliasmith, et al. : "A Large-Scale Model of the Functioning Brain", *Science*, Vol. 338, No. 6111, pages 1202-1205, novembre 2012).

[0006] Ces différentes approches n'offrent pas une méthodologie générale pour
10 l'exécution de calculs dans une machine programmable.

[0007] La présente convention vise à proposer une nouvelle approche pour la représentation des données et l'exécution de calculs. Il est souhaitable que cette approche se prête bien à une mise en œuvre à consommation énergétique modérée et à un parallélisme massif.

15 [0008] Il est proposé un dispositif de traitement de données, comprenant un ensemble de nœuds de traitement et des connexions entre les nœuds. Chaque connexion a un nœud émetteur et un nœud récepteur parmi l'ensemble de nœuds de traitement et est configurée pour transmettre au nœud récepteur des événements délivrés par le nœud émetteur. Chaque nœud est agencé pour faire varier une valeur de potentiel respective en fonction
20 d'événements qu'il reçoit et pour délivrer un événement lorsque la valeur de potentiel atteint un seuil prédéfini. Au moins une grandeur d'entrée du dispositif de traitement de données est représentée par un intervalle de temps entre deux événements reçus par au moins un nœud, et au moins une grandeur de sortie du dispositif de traitement de données est représentée par un intervalle de temps entre deux événements délivrés par au moins un
25 nœud.

[0009] Les nœuds de traitement constituent des unités de calcul de type neurone. Cependant, on ne cherche pas particulièrement ici à imiter le fonctionnement du cerveau. Le terme « neurone » est utilisé dans le mémoire par commodité de langage, mais ne signifie pas nécessairement une ressemblance forte avec le mode de fonctionnement des neurones
30 du cortex.

- {0010} En utilisant une organisation temporelle précise des événements au sein du dispositif de traitement, ainsi que diverses propriétés des connexions (synapses), on peut obtenir un cadre général de calcul, apte à calculer les fonctions mathématiques élémentaires. On peut dès lors implémenter tous les opérateurs mathématiques existants, qu'ils soient
- 5 linéaires ou non, sans recourir obligatoirement à une architecture de Von Neumann. À partir de là, il devient possible que le dispositif fonctionne comme un ordinateur classique, mais sans nécessiter d'allers-retours incessants en mémoire et sans reposer sur la précision en virgule flottante. Ce sont les concordances temporelles d'événements synaptiques, ou leurs décalages temporels, qui constituent la base de la représentation des données.
- 10 {0011} La méthodologie proposée est en adéquation avec les architectures neuromorphiques qui ne font aucune distinction entre mémoire et calcul. Chaque connexion de chaque nœud de traitement stocke de l'information et, simultanément, utilise cette information pour le calcul. Ceci est très différent de l'organisation régnant dans les ordinateurs classiques qui fait une distinction entre mémoire et traitement et provoque le
- 15 goulot d'étranglement de Von Neumann, où une majeure partie du temps de calcul est consacrée à déplacer de l'information entre la mémoire et l'unité centrale de traitement (John Backus : "Can Programming Be Liberated from the von Neumann Style?: A Functional Style and Its Algebra of Programs", *Communications of the ACM*, Vol. 21, No. 8, pages 613-641, août 1978).
- 20 {0012} Le fonctionnement repose sur une communication gouvernée par des événements ("event-driven") comme dans les neurones biologiques, et permettant donc une exécution avec un parallélisme massif.
- {0013} Dans un mode de réalisation du dispositif, chaque nœud de traitement est agencé pour réinitialiser sa valeur de potentiel lorsqu'il délivre un événement. La réinitialisation
- 25 peut notamment être à une valeur de potentiel nulle.
- {0014} De nombreux modes de réalisation du dispositif de traitement de données incluent, parmi les connexions entre les nœuds, une ou plusieurs connexions de variation de potentiel ayant chacune un poids respectif. Le nœud récepteur d'une telle connexion est agencé pour réagir à un événement reçu sur cette connexion en ajoutant le poids de la
- 30 connexion à sa valeur de potentiel.
- {0015} Les connexions de variation de potentiel peuvent comprendre des connexions

excitatrices, de poids positif, et des connexions inhibitrices, de poids négatif.

[0016] Pour manipuler une grandeur au sein du dispositif, l'ensemble des nœuds de traitement peut comprendre au moins un premier nœud formant le nœud récepteur d'une première connexion de variation de potentiel ayant un premier poids positif au moins égal au seuil prédéfini pour la valeur de potentiel, et au moins un second nœud formant le nœud récepteur d'une seconde connexion de variation de potentiel de poids au moins égal à la moitié du seuil prédéfini pour la valeur de potentiel et inférieur au seuil prédéfini pour la valeur de potentiel. Le premier nœud susmentionné forme en outre le nœud émetteur et le nœud récepteur d'une troisième connexion de variation de potentiel de poids égal à l'opposé du premier poids, ainsi que le nœud émetteur d'une quatrième connexion, tandis que le second nœud forme en outre le nœud émetteur d'une cinquième connexion. Les première et seconde connexions de variation de potentiel sont alors configurées pour recevoir chacune deux événements séparés par un premier intervalle de temps représentant une grandeur d'entrée de sorte que les quatrième et cinquième connexions transportent des événements respectifs ayant entre eux un second intervalle de temps en rapport avec le premier intervalle de temps.

[0017] Diverses opérations peuvent être exécutées à l'aide d'un dispositif selon l'invention.

[0018] En particulier, un exemple de dispositif de traitement de données comprend au moins un circuit de calcul de minimum, qui comprend lui-même :

des premier et second nœuds d'entrée ;

un nœud de sortie ;

des premier et second nœuds de sélection ;

des première, seconde, troisième, quatrième, cinquième et sixième connexions de variation de potentiel ayant chacune un premier poids positif au moins égal à la moitié du seuil prédéfini pour la valeur de potentiel et inférieur au seuil prédéfini pour la valeur de potentiel ;

des septième et huitième connexions de variation de potentiel ayant chacune un second poids opposé au premier poids ; et

des neuvième et dixième connexions de variation de potentiel ayant chacune un troisième poids double du second poids.

{0019} Dans ce circuit de calcul de minimum, le premier nœud d'entrée forme le nœud émetteur des première et troisième connexions et le nœud récepteur de la dixième connexion, le second nœud d'entrée forme le nœud émetteur des seconde et quatrième connexions et le nœud récepteur de la neuvième connexion, le premier nœud de sélection
5 forme le nœud émetteur des cinquième, septième et neuvième connexion et le nœud récepteur des première et huitième connexions, le second nœud de sélection forme le nœud émetteur des sixième, huitième et dixième connexions et le nœud récepteur des seconde et septième connexions, et le nœud de sortie forme le nœud récepteur des troisième, quatrième, cinquième et sixième connexions.

10 {0020} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de calcul de maximum, qui comprend lui-même :

des premier et second nœuds d'entrée ;

un nœud de sortie ;

des premier et second nœuds de sélection ;

15 des première, seconde, troisième et quatrième connexions de variation de potentiel ayant chacune un premier poids positif au moins égal à la moitié du seuil prédéfini pour la valeur de potentiel et inférieur au seuil prédéfini pour la valeur de potentiel ; et

des cinquième et sixième connexions de variation de potentiel ayant chacune un second poids égal au double de l'opposé du premier poids.

20 {0021} Dans ce circuit de calcul de maximum, le premier nœud d'entrée forme le nœud émetteur des première et troisième connexions, le second nœud d'entrée forme le nœud émetteur des seconde et quatrième connexions, le premier nœud de sélection forme le nœud émetteur de la cinquième connexion et le nœud récepteur des première et sixième connexions, le second nœud de sélection forme le nœud émetteur de la sixième connexion et
25 le nœud récepteur des seconde et cinquième connexions, et le nœud de sortie forme le nœud récepteur des troisième et quatrième connexions.

{0022} Un autre exemple de dispositif de traitement de données comprend au moins un circuit soustracteur, qui comprend lui-même :

des premier et second nœuds de synchronisation ;

30 des premier et second nœuds d'inhibition ;

des premier et second nœuds de sortie ;

des première, seconde, troisième, quatrième, cinquième et sixième connexions de variation de potentiel ayant chacune un premier poids positif au moins égal au seuil prédéfini pour la valeur de potentiel ;

des septième et huitième connexions de variation de potentiel ayant chacune un
5 second poids égal à la moitié du premier poids ;

des neuvième et dixième connexions de variation de potentiel ayant chacune un troisième poids opposé au premier poids ; et

des onzième et douzième connexions de variation de potentiel ayant chacune un quatrième poids double du troisième poids.

10 [0023] Dans ce circuit soustracteur, le premier nœud de synchronisation forme le nœud émetteur des première, seconde, troisième et neuvième connexions, le second nœud de synchronisation forme le nœud émetteur des quatrième, cinquième, sixième et dixième connexions, le premier nœud d'inhibition forme le nœud émetteur de la onzième connexion et le nœud récepteur des troisième, huitième et dixième connexions, le second nœud
15 d'inhibition forme le nœud émetteur de la douzième connexion et le nœud récepteur des sixième, septième et neuvième connexions, le premier nœud de sortie forme le nœud émetteur de la septième connexion et le nœud récepteur des première, cinquième et onzième connexions, et le second nœud de sortie forme le nœud émetteur de la huitième connexion et le nœud récepteur des seconde, quatrième et douzième connexions. Le premier nœud de
20 synchronisation est configuré pour recevoir, sur au moins une connexion de variation de potentiel ayant le second poids, une première paire d'événements ayant entre eux un premier intervalle de temps représentant un premier opérande. Le second nœud de synchronisation est configuré pour recevoir, sur au moins une connexion de variation de potentiel ayant le second poids, une seconde paire d'événements ayant entre eux un second
25 intervalle de temps représentant un second opérande, de sorte qu'une troisième paire d'événements ayant entre eux un troisième intervalle de temps est délivrée par le premier nœud de sortie si le premier intervalle de temps est plus long que le second intervalle de temps et par le second nœud de sortie si le premier intervalle de temps est plus court que le second intervalle de temps, le troisième intervalle de temps représentant la valeur absolue de
30 la différence entre les premier et second opérande.

[0024] Le circuit soustracteur peut comprendre en outre une logique de détection de zéro incluant au moins un nœud de détection associé à des connexions de détection et

d'inhibition avec les premier et second nœud de synchronisation, l'un des premier et second nœud d'inhibition et l'un des premier et second nœud de sortie. Les connexions de détection et d'inhibition sont plus rapides que les première, seconde, troisième, quatrième, cinquième, sixième, septième, huitième, neuvième, dixième, onzième et douzième connexions, pour
5 inhiber la production d'événements par l'un des premier et second nœuds de sortie lorsque les premier et second intervalles de temps sont sensiblement égaux.

{0025} Dans diverses réalisations du dispositif, l'ensemble de nœuds de traitement comprend au moins un nœud agencé pour faire varier une valeur de courant en fonction d'événements reçus sur au moins une connexion de réglage de courant, et pour faire varier
10 sa valeur de potentiel au cours du temps avec un taux de variation proportionnel à ladite valeur de courant. Un tel nœud de traitement peut notamment être agencé pour remettre à zéro sa valeur de courant lorsqu'il délivre un événement.

{0026} La valeur de courant dans certains au moins des nœuds a une composante constante entre deux événements reçus sur au moins une connexion de réglage de
15 composante constante de courant ayant un poids respectif. Le nœud récepteur d'une connexion de réglage de composante constante de courant est agencé pour réagir à un événement reçu sur cette connexion en ajoutant le poids de la connexion à la composante constante de sa valeur de courant.

{0027} Un autre exemple de dispositif de traitement de données comprend au moins un
20 circuit de mémoire inverseuse, qui comprend lui-même :

un nœud accumulateur ;

des première, seconde et troisième connexions de réglage de composante constante de courant, les première et troisième connexions ayant un même poids positif et la seconde connexion ayant un poids opposé au poids des première et troisième connexions ; et

25 au moins une quatrième connexion,

{0028} Dans ce circuit de mémoire inverseuse, le nœud accumulateur forme le nœud récepteur des première, seconde et troisième connexions et le nœud émetteur de la quatrième connexion, et les première et seconde connexions sont configurées pour adresser respectivement au nœud accumulateur des premier et second événements ayant entre eux un
30 premier intervalle de temps en relation avec un intervalle de temps représentant une grandeur à mémoriser, de sorte que le nœud accumulateur réagit ensuite à un troisième

événement reçu sur la troisième connexion en faisant croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion, les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec le premier intervalle de temps.

5 {0029} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de mémoire, qui comprend lui-même :

des premier et second nœuds accumulateurs ;

des première, seconde, troisième et quatrième connexions de réglage de composante constante de courant, les première, seconde et quatrième connexions ayant chacune un
10 premier poids positif et la troisième connexion ayant un second poids opposé au premier poids ; et

au moins une cinquième connexion.

{0030} Dans ce circuit de mémoire, le premier nœud accumulateur forme le nœud récepteur de la première connexion et le nœud émetteur de la troisième connexion, le second
15 nœud accumulateur forme le nœud récepteur des seconde, troisième et quatrième et cinquième connexions et le nœud émetteur de la cinquième connexion, les première et seconde connexions sont configurées pour adresser respectivement aux premier et second nœuds accumulateurs des premier et second événements ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps représentant une grandeur à
20 mémoriser, de sorte que le second nœud accumulateur réagit ensuite à un troisième événement reçu sur la quatrième connexion en faisant croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la cinquième connexion, les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec le premier intervalle de temps.

25 {0031} Le circuit de mémoire peut en outre comprendre une sixième connexion ayant le premier nœud accumulateur comme nœud émetteur, la sixième connexion délivrant un événement pour signaler la disponibilité en lecture du circuit de mémoire.

{0032} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de synchronisation, qui inclut un nombre $N > 1$ de circuits de mémoire, du type qui
30 vient d'être mentionné, et un nœud de synchronisation. Le nœud de synchronisation est sensible à chaque événement délivré sur la sixième connexion de l'un des N circuits de

mémoire via une connexion de variation de potentiel respective de poids égal au premier poids divisé par N . Le nœud de synchronisation est agencé pour provoquer une réception simultanée des troisièmes événements via les quatrièmes connexions respectives des N de circuits de mémoire.

5 [0033] Un autre exemple de dispositif de traitement de données comprend au moins un circuit de cumul, qui comprend lui-même :

N entrées ayant chacune un coefficient de pondération respectif, N étant un nombre entier supérieur à 1 ;

un nœud accumulateur ;

10 un nœud de synchronisation ;

pour chacune des N entrées du circuit de cumul :

une première connexion de réglage de composante constante de courant ayant un premier poids positif proportionnel au coefficient de pondération respectif de ladite entrée ; et

15 une seconde connexion de réglage de composante constante de courant ayant un second poids opposé au premier poids ;

une troisième connexion de réglage de composante constante de courant ayant un troisième poids positif.

[0034] Dans ce circuit de cumul, le nœud accumulateur forme le nœud récepteur des
20 premières, secondes et troisième connexions, le nœud de synchronisation forme le nœud émetteur de la troisième connexion. Pour chacune des N entrées, les première et seconde connexions sont configurées pour adresser respectivement au nœud accumulateur des premier et second événements ayant entre eux un premier intervalle de temps représentant un opérande respectif fourni sur ladite entrée. Le nœud de synchronisation est configuré
25 pour délivrer un troisième événement une fois que les premier et second événements ont été adressés pour chacune des N entrées, de sorte que le nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement. Les troisième et quatrième événements ont entre eux un second intervalle de temps en relation avec un intervalle de temps représentant une somme pondérée des opérandes fournis sur les N
30 entrées.

[0035] Dans un exemple de dispositif de traitement de données selon l'invention, le

circuit de cumul fait partie d'un circuit de sommation pondérée comprenant en outre :

un second nœud accumulateur ;

une quatrième connexion de réglage de composante constante de courant ayant le troisième poids ; et

5 des cinquième et sixième connexions.

{0036} Dans ce circuit de sommation pondérée, le nœud de synchronisation du circuit de cumul forme le nœud émetteur de la quatrième connexion, le nœud accumulateur du circuit de cumul forme le nœud émetteur de la cinquième connexion, et le second nœud accumulateur forme le nœud récepteur de la quatrième connexion et le nœud émetteur de la

10 sixième connexion. En réponse à la délivrance du troisième événement par le nœud de synchronisation, le nœud accumulateur du circuit de cumul fait croître sa valeur de potentiel jusqu'à délivrance du quatrième événement sur la cinquième connexion, et le second nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un cinquième événement sur la sixième connexion, les quatrième et cinquième événements ayant entre

15 eux un troisième intervalle de temps en relation avec un intervalle de temps représentant une somme pondérée des opérandes fournis sur les N entrées du circuit de cumul.

{0037} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de combinaison linéaire incluant deux circuits de cumul, qui partagent leur nœud de synchronisation, et un circuit soustracteur configuré pour réagir au troisième événement

20 délivré par le nœud de synchronisation partagé et aux quatrième et cinquième événements respectivement délivrés par les nœuds accumulateurs des deux circuits de cumul en délivrant une paire d'événements ayant entre eux un troisième intervalle de temps représentatif de la différence entre la somme pondérée pour l'un des deux circuits de cumul et la somme pondérée pour l'autre des deux circuits de cumul.

25 {0038} Dans un certain nombre de réalisations du dispositif, l'ensemble de nœuds de traitement comprend au moins un nœud dont la valeur de courant a une composante à décroissance exponentielle entre deux événements reçus sur au moins une connexion de réglage de composante de courant à décroissance exponentielle ayant un poids respectif. Le nœud récepteur d'une connexion de réglage de composante de courant à décroissance

30 exponentielle est agencé pour réagir à un événement reçu sur cette connexion en ajoutant le poids de la connexion à la composante à décroissance exponentielle de sa valeur de courant.

{0039} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de calcul de logarithme, qui comprend lui-même :

un nœud accumulateur ;

des première et seconde connexions de réglage de composante constante de courant,
5 la première connexion ayant un poids positif, et la seconde connexion ayant un poids opposé au poids de la première connexion ;

une troisième connexion de réglage de composante de courant à décroissance exponentielle ; et

au moins une quatrième connexion.

10 {0040} Dans ce circuit de calcul de logarithme, le nœud accumulateur forme le nœud récepteur des première, seconde et troisième connexions et le nœud émetteur de la quatrième connexion. Les première et seconde connexions sont configurées pour adresser au nœud accumulateur des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps représentant une grandeur
15 d'entrée du circuit de calcul de logarithme. La troisième connexion est configurée pour adresser au nœud accumulateur un troisième événement simultané ou postérieur au second événement, de sorte que le nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion, les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec un intervalle de
20 temps représentant un logarithme de la grandeur d'entrée.

{0041} Il peut en outre y avoir dans le dispositif de traitement au moins une connexion de désactivation dont le nœud récepteur est un nœud capable d'annuler sa composante de courant à décroissance exponentielle en réponse à un événement reçu sur la connexion de désactivation.

25 {0042} Un autre exemple de dispositif de traitement de données comprend au moins un circuit de calcul d'exponentielle, qui comprend lui-même :

un nœud accumulateur ;

une première connexion de réglage de composante de courant à décroissance exponentielle ;

30 une seconde connexion de désactivation ;

une troisième connexion de réglage de composante constante de courant ; et

au moins une quatrième connexion.

{0043} Dans ce circuit de calcul d'exponentielle, le nœud accumulateur forme le nœud récepteur des première, seconde et troisième connexions et le nœud émetteur de la quatrième connexion. Les première et seconde connexions sont configurées pour adresser au nœud accumulateur des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps représentant une grandeur d'entrée du circuit de calcul d'exponentielle. La troisième connexion est configurée pour adresser au nœud accumulateur un troisième événement simultané ou postérieur au second événement, de sorte que le nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion, les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec un intervalle de temps représentant une exponentielle de la grandeur d'entrée.

{0044} Un autre exemple de dispositif de traitement de données comprend au moins un circuit multiplieur, qui comprend lui-même :

15 des premier, second et troisième nœuds accumulateurs ;
un nœud de synchronisation ;
des première, seconde, troisième, quatrième et cinquième connexions de réglage de composante constante de courant, les première, troisième et cinquième connexions ayant un poids positif, et les seconde et quatrième connexions ayant un poids opposé au poids des première, seconde et cinquième connexions ;

20 des sixième, septième et huitième connexions de réglage de composante de courant à décroissance exponentielle ;
une neuvième connexion de désactivation ; et
au moins une dixième connexion.

25 {0045} Dans ce circuit multiplieur, le premier nœud accumulateur forme le nœud récepteur des première, seconde et sixième connexions et le nœud émetteur de la septième connexion, le second nœud accumulateur forme le nœud récepteur des troisième, quatrième et septième connexions et le nœud émetteur des cinquième et neuvième connexions, le troisième nœud accumulateur forme le nœud récepteur des cinquième, huitième et neuvième connexions et le nœud émetteur de la dixième connexion, et le nœud de synchronisation forme le nœud émetteur des sixième et huitième connexions. Les première et seconde

30

connexions sont configurées pour adresser au premier nœud accumulateur des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps représentant un premier opérande du circuit multiplieur. Les troisième et quatrième connexions sont configurées pour adresser au second nœud
5 accumulateur des troisième et quatrième événements respectifs ayant entre eux un second intervalle de temps en relation avec un intervalle de temps représentant un second opérande du circuit multiplieur. Le nœud de synchronisation est configuré pour délivrer un cinquième événement sur les sixième et huitième connexions une fois que les premier, second, troisième et quatrième événements ont été reçus. De ce fait, le premier nœud accumulateur
10 fait croître sa valeur de potentiel jusqu'à délivrance d'un sixième événement sur la septième connexion puis, en réponse au sixième événement, le second nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un septième événement sur les cinquième et neuvième connexions. En réponse à ce septième événement, le troisième nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un huitième événement
15 sur la dixième connexion, les septième et huitième événements ayant entre eux un troisième intervalle de temps en relation avec un intervalle de temps représentant le produit des premier et second opérandes.

{0046} Une logique de détection de signe peut être associée au circuit multiplieur pour détecter les signes respectifs des premier et second opérandes et faire délivrer deux
20 événements ayant entre eux l'intervalle de temps représentant le produit des premier et second opérandes sur l'une ou l'autre de deux sorties du circuit multiplieur en fonction des signes détectés.

{0047} Dans une réalisation typique du dispositif de traitement, chaque connexion est associée à un paramètre de retard, pour signaler au nœud récepteur de cette connexion
25 d'effectuer un changement d'état avec, par rapport à la réception d'un événement sur la connexion, un retard indiqué par ledit paramètre.

{0048} L'intervalle de temps Δt entre deux événements représentant une grandeur de valeur absolue x peut être, en particulier, de la forme $\Delta t = T_{min} + x.T_{cod}$, où T_{min} et T_{cod} sont des paramètres temporels prédéfinis. Les grandeurs représentées par des intervalles de
30 temps ont par exemple des valeurs absolues x comprises entre 0 et 1.

{0049} Une échelle logarithmique plutôt que linéaire de Δt en fonction de x peut

également convenir à certaines applications. D'autres échelles encore peuvent être utilisées.

[0050] Le dispositif de traitement peut avoir des agencements spéciaux pour manipuler des grandeurs signées. Il peut ainsi comprendre, pour une grandeur d'entrée :

une première entrée comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la première entrée étant agencée pour recevoir deux événements ayant entre eux un intervalle de temps représentant une valeur positive de la grandeur d'entrée ; et

une seconde entrée comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la seconde entrée étant agencée pour recevoir deux événements ayant entre eux un intervalle de temps représentant une valeur négative de la grandeur d'entrée.

10 [0051] Pour une grandeur de sortie, le dispositif de traitement peut comprendre :

une première sortie comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la première sortie étant agencée pour délivrer deux événements ayant entre eux un intervalle de temps représentant une valeur positive de ladite grandeur de sortie ; et

15 une seconde sortie comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la seconde sortie étant agencée pour délivrer deux événements ayant entre eux un intervalle de temps représentant une valeur négative de ladite grandeur de sortie.

[0052] Dans une mise en œuvre du dispositif de traitement, l'ensemble de nœuds de traitement est sous la forme d'au moins un réseau programmable, les nœuds du réseau ayant un modèle de comportement commun en fonction des événements reçus. Ce dispositif comprend en outre une logique de programmation pour régler des poids et des paramètres de retard des connexions entre les nœuds du réseau en fonction d'un programme de calcul, et une unité de commande pour fournir des grandeurs d'entrée au réseau et récupérer des grandeurs de sortie calculées conformément au programme.

25 [0053] D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après, en référence aux dessins annexés, dans lesquels :

- la figure 1 est un schéma d'un circuit de traitement produisant la représentation d'une valeur constante sur demande, selon un mode de réalisation de l'invention ;
- la figure 2 est un schéma d'un dispositif de mémoire inverseuse selon un mode de réalisation de l'invention ;

- la figure 3 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de mémoire inverseuse selon la figure 2 ;
- la figure 4 est un schéma d'un dispositif de mémoire selon un mode de réalisation de l'invention ;
- la figure 5 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de mémoire selon la figure 4 ;
- la figure 6 est un schéma d'un dispositif de mémoire signée selon un mode de réalisation de l'invention ;
- les figures 7(a) et 7(b) sont des diagrammes montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de mémoire signée selon la figure 6 lorsqu'il lui est présenté différentes valeurs d'entrée ;
- la figure 8 est un schéma d'un dispositif de synchronisation selon un mode de réalisation de l'invention ;
- la figure 9 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de synchronisation selon la figure 8 ;
- la figure 10 est un schéma d'un dispositif de synchronisation selon un autre mode de réalisation de l'invention ;
- la figure 11 est un schéma d'un dispositif de calcul de minimum selon un mode de réalisation de l'invention ;
- la figure 12 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de calcul de minimum selon la figure 11 ;
- la figure 13 est un schéma d'un dispositif de calcul de maximum selon un mode de réalisation de l'invention ;
- la figure 14 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de calcul de maximum selon la figure 13 ;

- la figure 15 est un schéma d'un dispositif soustracteur selon un mode de réalisation de l'invention ;
- la figure 16 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif soustracteur selon la figure 5 15 ;
- la figure 17 est un schéma d'une variante du dispositif soustracteur dans laquelle une différence égale à zéro est prise en compte ;
- la figure 18 est un schéma d'un circuit de cumul selon un mode de réalisation de l'invention ;
- 10 - la figure 19 est un schéma d'un dispositif de sommation pondérée selon un mode de réalisation de l'invention ;
- la figure 20 est un schéma d'un dispositif de calcul de combinaison linéaire selon un mode de réalisation de l'invention ;
- la figure 21 est un schéma d'un dispositif de calcul de logarithme selon un mode de 15 réalisation de l'invention ;
- la figure 22 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de calcul de logarithme selon la figure 21 ;
- la figure 23 est un schéma d'un dispositif de calcul d'exponentielle selon un mode de 20 réalisation de l'invention ;
- la figure 24 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif de calcul d'exponentielle selon la figure 23 ;
- la figure 25 est un schéma d'un dispositif multiplieur selon un mode de réalisation de 25 l'invention ;
- la figure 26 est un diagramme montrant l'évolution dans le temps de valeurs de potentiel et la production d'événements dans un dispositif multiplieur selon la figure 25 ;
- la figure 27 est un schéma d'un dispositif multiplieur signé selon un mode de 30 réalisation de l'invention ;

- la figure 28 est un schéma d'un dispositif intérateur selon un mode de réalisation de l'invention ;
- la figure 29 est un schéma d'un dispositif adapté à la résolution d'une équation différentielle du premier ordre dans un exemple de réalisation de l'invention ;
- 5 - les figures 30A et 30B sont des graphiques montrant des résultats de simulation du dispositif de la figure 29 ;
- la figure 31 est un schéma d'un dispositif adapté à la résolution d'une équation différentielle du second ordre dans un exemple de réalisation de l'invention ;
- les figures 32A et 32B sont des graphiques montrant des résultats de simulation du
10 dispositif de la figure 31 ;
- la figure 33 est un schéma d'un dispositif adapté à la résolution d'un système d'équations différentielles non-linéaires à trois variables dans un exemple de réalisation de l'invention ;
- la figure 34 est un graphique montrant des résultats de simulation du dispositif de la
15 figure 33 ;
- la figure 35 est un schéma d'un dispositif de traitement programmable selon un mode de réalisation de l'invention.

[0054] Un dispositif de traitement de données tel que proposé ici procède en représentant les grandeurs traitées non pas comme des amplitudes de signaux électriques ou
20 comme des nombres à codage binaire traités par des circuits logiques, mais comme des intervalles de temps entre événements survenant au sein d'un ensemble de nœuds de traitement ayant des connexions entre eux.

[0055] Dans le cadre du présent exposé, on présente une réalisation du dispositif de traitement de données selon une architecture analogue à celles des réseaux de neurones
25 artificiels. Bien que le dispositif de traitement de données n'ait pas obligatoirement une architecture strictement conforme à ce que des personnes conviennent d'appeler « réseaux de neurones », la description qui suit utilise de manière interchangeable les termes « nœud » et « neurone », de même qu'elle utilise le terme « synapse » pour désigner les connexions entre deux nœuds ou neurones au sein du dispositif.

{0056} Les synapses sont orientées, c'est-à-dire que chaque connexion a un nœud émetteur et un nœud récepteur, et transmet au nœud récepteur des événements générés par le nœud émetteur. Un événement se manifeste typiquement par un pic (« spike ») sur un signal de tension ou de courant délivré le nœud émetteur et influençant le nœud récepteur.

5 {0057} Comme il est usuel dans le cadre des réseaux de neurones artificiels, chaque connexion ou synapse possède un paramètre de poids w qui mesure l'influence que le nœud émetteur exerce sur le nœud récepteur lors d'un événement.

{0058} Une description du comportement de chaque nœud peut être donnée en faisant référence à une valeur de potentiel V correspondant au potentiel de membrane V dans le
10 paradigme des réseaux de neurones artificiels. La valeur de potentiel V d'un nœud varie dans le temps en fonction des événements que le nœud reçoit sur ses connexions entrantes. Lorsque cette valeur de potentiel V atteint ou dépasse un seuil V_t , le nœud émet un événement ("spike") qui est transmis au(x) nœud(s) situé(s) en aval.

{0059} Pour décrire le comportement d'un nœud, ou neurone, dans un exemple de
15 réalisation de l'invention, on peut faire en outre référence à une valeur de courant g ayant une composante g_e et éventuellement une composante g_f .

{0060} La composante g_e est une composante qui reste constante, ou sensiblement constante, entre deux événements que le nœud reçoit sur une synapse particulière qu'on appelle ici connexion de réglage de composante constante de courant.

20 {0061} La composante g_f est une composante à dynamique exponentielle, c'est-à-dire qu'elle varie exponentiellement entre deux événements que le nœud reçoit sur une synapse particulière qu'on appelle ici connexion de réglage de composante de courant à décroissance exponentielle.

{0062} Un nœud qui prend en compte une composante de courant g_f à décroissance
25 exponentielle peut en outre recevoir des événements d'activation et de désactivation de la composante g_f sur une synapse particulière qu'on appelle ici connexion d'activation.

{0063} Dans l'exemple considéré, on peut ainsi exprimer le comportement d'un nœud de traitement de manière générique par un jeu d'équations différentielles :

$$\left\{ \begin{array}{l} \tau_m \cdot \frac{dV}{dt} = g_e + gate \cdot g_f \\ \frac{dg_e}{dt} = 0 \\ \tau_f \cdot \frac{dg_f}{dt} = -g_f \end{array} \right. \quad (1)$$

où :

- t désigne le temps ;
- la composante g_e traduit un courant d'entrée constant qui ne peut être changé que par des événements synaptiques ;
- la composante g_f traduit un courant d'entrée à dynamique exponentielle ;
- $gate$ est un signal binaire d'activation ($gate = 1$) ou de désactivation ($gate = 0$) de la composante de courant g_f à décroissance exponentielle ;
- τ_m est une constante de temps réglant la variation linéaire de la valeur de potentiel V en fonction de la valeur de courant $g = g_e + gate \cdot g_f$;
- et τ_f est une constante de temps réglant la dynamique exponentielle de la décroissance de la composante g_f .

{0064} Dans le système (1), il est considéré qu'il n'y a pas de fuite du potentiel de membrane V , ou que la dynamique de cette fuite est sur une échelle de temps beaucoup plus grande que toutes les autres dynamiques à l'œuvre dans le dispositif.

{0065} Dans ce modèle, on peut distinguer quatre types de synapses influençant le comportement d'un neurone, chaque synapse étant associée un paramètre de poids indiquant un poids synaptique w , positif ou négatif :

- connexions de variation de potentiel, ou V -synapses, qui modifient directement la valeur du potentiel de membrane du neurone : $V \leftarrow V + w$. En d'autres termes, le nœud récepteur réagit à un événement reçu sur une V -synapse en ajoutant à sa valeur de potentiel V le poids w indiqué par le paramètre de poids ;
- connexions de réglage de composante constante de courant, ou g_e -synapses, qui modifient directement le courant d'entrée constant du neurone : $g_e \leftarrow g_e + w$. En d'autres termes, le nœud récepteur réagit à un événement reçu sur une g_e -synapse en ajoutant à la composante constante de sa valeur de courant le poids w indiqué par le paramètre de poids ;

- connexions de réglage de composante de courant à décroissance exponentielle, ou g_f -synapses, qui modifient directement le courant d'entrée à dynamique exponentielle du neurone : $g_f \leftarrow g_f + w$. En d'autres termes, le nœud récepteur réagit à un événement reçu sur une g_f -synapse en ajoutant à la composante à décroissance exponentielle de sa valeur de courant le poids w indiqué par le paramètre de poids ;
- et connexions d'activation, ou $gate$ -synapses, qui activent le neurone en fixant $gate \leftarrow 1$ lorsqu'elles indiquent un poids positif $w = 1$ et désactivent le neurone en fixant $gate \leftarrow 0$ lorsqu'elles indiquent un poids négatif $w = -1$.

[0066] Chaque connexion synaptique est en outre associée à un paramètre de retard qui
10 donne le retard de propagation entre le neurone émetteur et le neurone récepteur.

[0067] Un neurone déclenche un événement, lorsque sa valeur de potentiel V atteint un seuil V_t , soit :

$$V \geq V_t \quad (2)$$

[0068] Le déclenchement de l'événement se traduit par un pic ("spike") délivré sur
15 chaque synapse dont le neurone constitue le nœud émetteur et par la réinitialisation de ses variables d'état à :

$$V \leftarrow V_{reset} \quad (3)$$

$$g_e \leftarrow 0 \quad (4)$$

$$g_f \leftarrow 0 \quad (5)$$

20 $gate \leftarrow 0 \quad (6)$

[0069] Sans perte de généralité, on peut se placer dans le cas où $V_{reset} = 0$.

[0070] Dans la suite, la notation T_{syn} désigne le retard de propagation le long d'une synapse standard, et la notation T_{neu} désigne le temps que met un neurone pour transmettre l'événement en produisant son spike après avoir été déclenché par un événement synaptique
25 d'entrée. T_{neu} peut par exemple refléter le pas de temps d'un simulateur neuronal.

[0071] On définit un poids standard w_e comme le poids d'excitation minimal qu'il faut mettre sur une V -synapse pour déclencher un neurone depuis l'état réinitialisé, et un autre poids standard w_i comme le poids d'inhibition d'effet contraire :

- 21 -

$$w_e = V_t \quad (7)$$

$$w_i = -w_e \quad (8)$$

{0072} Les grandeurs traitées par le dispositif sont représentées par des intervalles de temps entre événements. Deux événements d'une paire d'événements sont séparés par un
5 intervalle de temps Δt qui est fonction de la grandeur x codée par cette paire :

$$\Delta t = f(x) \quad (9)$$

où f est une fonction de codage choisie pour la représentation des données dans le dispositif.

{0073} Les deux événements de la paire codant cette grandeur x peuvent être délivrés par un même neurone n ou par deux neurones distincts.

10 {0074} Quand il s'agit du même neurone n , délivrant des événements à des instants successifs $e_n(i)$, $i = 0, 1, 2$, etc., on peut considérer que ce neurone n code un signal $u(t)$ variant dans le temps, dont des valeurs discrètes sont données par :

$$u(e_n(i)) = f^{-1}(e_n(i+1) - e_n(i)), \forall i = 2p, p \in \mathbb{N}, \quad (10)$$

où f^{-1} est l'inverse fonction de codage choisie et i est un nombre pair.

15 {0075} La fonction de codage $f : \mathbb{R} \rightarrow \mathbb{R}$ peut être choisie en tenant compte des signaux traités dans un système particulier, et adaptée à la précision requise. La fonction f calcule l'intervalle entre spikes associé à une valeur particulière. Dans la suite de la présente description, on illustre des modes de réalisation du dispositif de traitement utilisant une fonction de codage linéaire :

$$20 \quad \Delta t = f(x) = T_{min} + x.T_{cod} \quad (11)$$

avec $x \in [0, 1]$.

{0076} Cette représentation de la fonction $f : [0, 1] \rightarrow [T_{min}, T_{max}]$ permet de coder linéairement toute valeur x comprise entre 0 et 1 par un intervalle de temps compris entre T_{min} et $T_{max} = T_{min} + T_{cod}$. La valeur de T_{min} pourra être nulle. Cependant, il est avantageux
25 qu'elle soit non nulle. En effet, si deux événements représentant une valeur proviennent d'un même neurone ou sont reçus par un même neurone, l'intervalle minimum $T_{min} > 0$ donne à ce neurone le temps de se réinitialiser. D'autre part, un choix $T_{min} > 0$ permet à

certains agencements de neurones de réagir au premier événement d'entrée et de propager un changement d'état avant de recevoir un second événement.

{0077} La forme (11) pour la fonction de codage f n'est pas la seule possible. Un autre choix judicieux est de prendre une fonction logarithmique, permettant de coder une plage de valeurs étendue avec une dynamique convenant à certaines applications, en l'occurrence
5 avec une précision plus faible pour les grandes valeurs.

{0078} Pour représenter des valeurs signées, on peut utiliser deux trajets différents, un pour chaque signe. Des valeurs positives seront alors codées au moyen d'un neurone particulier, et des valeurs négatives au moyen d'un autre neurone. De manière arbitraire, le
10 zéro peut être représenté comme une valeur positive ou une valeur négative. Dans la suite, on le représente comme une valeur positive.

{0079} Ainsi, pour prolonger l'exemple de la forme (11), si une grandeur x a une valeur dans l'intervalle $[-1, +1]$, on la représente par un intervalle de temps $\Delta t = T_{min} + |x|.T_{cod}$ entre deux événements propagés sur le trajet associé aux valeurs positives si $x \geq 0$, et sur le
15 trajet associé aux valeurs négatives si $x < 0$.

{0080} Le choix (9) ou (11) pour la fonction de codage amène à définir deux poids standards pour les g_e -synapses. On définit le poids w_{acc} comme étant la valeur de g_e nécessaire pour faire déclencher un neurone, depuis son état réinitialisé, au bout du temps $T_{max} = T_{min} + T_{cod}$, soit, d'après (1) :

$$20 \quad w_{acc} = V_t \cdot \frac{\tau_m}{T_{max}} \quad (12)$$

{0081} On définit en outre le poids \bar{w}_{acc} comme étant la valeur de g_e nécessaire pour faire déclencher un neurone, depuis son état réinitialisé, au bout du temps T_{cod} , soit :

$$\bar{w}_{acc} = V_t \cdot \frac{\tau_m}{T_{cod}} \quad (13)$$

{0082} Pour les g_e -synapses, on peut se donner un autre poids standard g_{mult} :

$$25 \quad g_{mult} = V_t \cdot \frac{\tau_m}{\tau_f} \quad (14)$$

{0083} Les connexions entre nœuds du dispositif peuvent en outre être associées chacune à un paramètre de retard respectif. Ce paramètre indique un retard avec lequel le

nœud récepteur de la connexion effectue un changement d'état, relativement à l'émission d'un événement sur la connexion. L'indication de valeurs de retards par ces paramètres de retards associés aux synapses permet d'assurer un séquençement adéquat des opérations dans le dispositif de traitement.

5 [0084] Diverses technologies sont utilisables pour implémenter les nœuds de traitement et leurs interconnexions afin qu'ils se comportent de la manière décrite par les équations (1)-(6), notamment les technologies couramment utilisées dans le domaine bien connu des réseaux de neurones artificiels. Chaque nœud peut par exemple être réalisé à l'aide d'une
 10 technologie analogique, avec des éléments résistifs et capacitifs pour conserver et faire varier un niveau de tension et des éléments à transistors pour délivrer des événements lorsque le niveau de tension dépasse le seuil V_t .

[0085] Une autre possibilité est de recourir à des technologies numériques, par exemple à base de FPGA ("field-programmable gate arrays"), qui offrent un moyen commode d'implémenter des neurones artificiels.

15 [0086] Dans la suite, on présente un certain nombre de dispositifs ou circuits de traitement de données réalisés à l'aide de nœuds de traitement interconnectés. Sur les figures 1, 2, 4, 6, 8, 10, 11, 13, 15, 17, 18, 19, 20, 21, 23, 25, 27, 28, 29, 31 et 33 :

- les connexions entre nœuds représentées en trait plein sont des V -synapses ;
- les connexions représentées en trait interrompu sont des g_e -synapses ;
- 20 • les connexions représentées en trait mixte sont des g_f -synapses ;
- les connexions représentées en pointillés sont des $gate$ -synapses ;
- les connexions sont orientées avec un symbole du côté de leurs nœuds récepteurs. Ce symbole est un carré ouvert pour une connexion excitatrice, c'est-à-dire de poids positif, et un carré plein pour une connexion inhibitrice, c'est-à-dire de poids
 25 négatif ;
- la paire de paramètres ($w ; T$) figurant à côté d'une connexion indique le poids w et le retard T associé à la connexion. Parfois, seul le poids w est indiqué.

[0087] Certains des nœuds ou neurones représentés sur ces figures sont nommés de manière à évoquer les fonctions résultant de leur agencement au sein du circuit : 'input'
 30 pour un neurone d'entrée, 'input +' pour l'entrée d'une valeur positive, 'input -' pour

l'entrée d'une valeur négative, 'output' pour un neurone de sortie, 'output +' pour la sortie d'une valeur positive, 'output -' pour la sortie d'une valeur négative, 'recall' pour un neurone servant à récupérer une valeur, 'acc' pour un neurone accumulateur, 'ready' pour un neurone indiquant la disponibilité d'un résultat ou d'une valeur, etc.

5 [0088] La figure 1 montre un circuit très simple 10 utilisable pour produire la représentation d'une valeur constante x sur demande. Les deux V -synapses 11, 12 de poids égaux ou supérieurs à w_e (dans l'exemple représenté, les poids sont pris égaux à w_e) ont chacune un neurone *recall* 15 comme nœud émetteur et un neurone *output* 16 comme nœud récepteur. La synapse 11 est configurée avec un paramètre de retard T_{syn} , tandis que la
10 synapse 12 est configurée avec un paramètre de retard $T_{syn} + f(x)$.

[0089] L'activation du neurone *recall* 15 fait déclencher le neurone *output* 16 aux temps T_{syn} et $T_{syn} + f(x)$, de sorte que le circuit 10 délivre deux événements séparés dans le temps de la valeur $f(x)$ représentant la constante x .

A. Mémoires

15 A.1. Mémoire inverseuse

[0090] La figure 2 montre un circuit de traitement 18 constituant une mémoire inverseuse.

[0091] Ce dispositif 18 mémorise une valeur analogique x codée par une paire de spikes d'entrée fournis à un neurone *input* 21 avec un intervalle $\Delta t_{in} = f(x)$, en utilisant une
20 intégration de courant sur la dynamique g_e dans un neurone *acc* 30. La valeur x est mémorisée dans le potentiel de membrane du neurone *acc* 30 et lue lors de l'activation d'un neurone *recall* 31, ce qui conduit à faire délivrer une paire d'événements séparés par un intervalle de temps Δt_{out} correspondant à la valeur $1 - x$ au niveau du neurone *output* 33, soit
 $\Delta t_{out} = f(1 - x)$.

25 [0092] Le neurone *input* 21 appartient à un groupe de nœuds 20 servant à produire deux événements séparés de $f(x) - T_{min} = x.T_{cod}$ sur des g_e -synapses 26, 27 dirigées vers le neurone *acc* 30. Ce groupe comprend un neurone 'first' 23 et un neurone 'last' 25. Deux V -synapses excitatrices 22, 24 de retard T_{syn} partent du neurone *input* 21 pour aller

respectivement au neurone *first* 23 et au neurone *last* 25. La V -synapse 22 présente un poids w_e , tandis que la V -synapse 24 présente un poids égal à $w_e/2$. Le neurone *first* 23 s'auto-inhibe par une V -synapse 28 de poids w_i et de retard T_{syn} .

{0093} La g_e -synapse excitatrice 26 va du neurone *first* 23 au neurone *acc* 30, et présente le poids w_{acc} et un retard $T_{syn} + T_{min}$. La g_e -synapse inhibitrice 27 va du neurone *last* 25 au neurone *acc* 30, et présente le poids $-w_{acc}$ et un retard T_{syn} . Une V -synapse excitatrice 32 va du neurone *recall* 31 au neurone *output* 33, et présente le poids w_e et un retard $2T_{syn} + T_{neu}$. Une V -synapse excitatrice 34 va du neurone *recall* 31 au neurone *acc* 30, et présente le poids w_{acc} et un retard T_{syn} . Finalement, une V -synapse excitatrice 35 va du neurone *acc* 30 au neurone *output* 33, et présente le poids w_e et un retard T_{syn} .

{0094} Le fonctionnement du dispositif de mémoire inverseuse 18 est illustré par la figure 3.

{0095} L'émission d'un premier événement (spike) au temps t_{in}^1 au niveau du neurone *input* 21 déclenche un événement en sortie du neurone *first* 23 au bout du temps $T_{syn} + T_{neu}$, soit au temps t_{first}^1 sur la figure 3, et fait monter à $V_i/2$ la valeur de potentiel du neurone *last* 25. Le neurone *first* 23 s'inhibe alors via la synapse 28 en donnant la valeur $-V_i$ à son potentiel de membrane, et il fait démarrer l'accumulation par le neurone *acc* 30 après $T_{syn} + T_{min}$, soit au temps t_{st}^1 , via la g_e -synapse 26.

{0096} L'émission du second spike au temps $t_{in}^2 = t_{in}^1 + T_{min} + x.T_{cod}$ au niveau du neurone *input* 21 amène le neurone *last* 25 au potentiel seuil V_i . Un événement est alors produit au temps $t_{last}^1 = t_{in}^2 + T_{syn} + T_{neu}$ sur la g_e -synapse inhibitrice 27. Le second spike provoque également la remise à zéro du potentiel du neurone *first* 23 via la synapse 22. L'événement transporté par la g_e -synapse 27 en réponse au second spike stoppe l'accumulation réalisée par le neurone *acc* 30 au temps $t_{end}^1 = t_{st}^1 + x.T_{cod}$.

{0097} À ce stade, la valeur de potentiel $V_t \cdot x \cdot \frac{T_{cod}}{T_{max}}$ est stockée dans le neurone *acc* 30 pour conserver la valeur x . Son complément $1 - x$ peut ensuite être lu en activant le neurone *recall* 31, ce qui a lieu au temps t_{recall}^1 sur la figure 3. Cette activation fait redémarrer le processus d'accumulation dans le neurone *acc* 30 au temps $t_{st}^2 = t_{recall}^1 + T_{syn}$ et provoque un événement au temps $t_{out}^1 = t_{recall}^1 + 2T_{syn} + 2T_{neu}$ sur le neurone *output* 33. L'accumulation se poursuit dans le neurone *acc* 30 jusqu'au temps t_{end}^2 où sa valeur de

potentiel atteint le seuil V_t , soit $t_{end}^2 = t_{st}^2 + T_{max} - x.T_{cod}$. Un événement est émis sur la V-synapse 35 au temps $t_{end}^2 + T_{neu}$ et provoque un autre événement sur le neurone *output* 33 au temps $t_{out}^2 = t_{end}^2 + T_{syn} + 2T_{neu} = t_{recall}^1 + 2T_{syn} + 2T_{neu} + T_{min} + (1 - x).T_{cod}$.

[0098] Finalement, les deux événements délivrés par le neurone *output* 33 sont séparés
5 par un intervalle de temps $\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + (1 - x).T_{cod} = f(1 - x)$.

[0099] On remarque que la valeur x est mémorisée dans le neurone *acc* 30 dès réception des deux spikes d'entrée, et immédiatement disponible pour être lue en activant le neurone *recall* 31.

[00100] Puisque le poids standard w_e a été défini comme le poids d'excitation minimal
10 qu'il faut mettre sur une V-synapse pour déclencher un neurone depuis l'état réinitialisé, on note que le circuit de traitement 18 de la figure 2 fonctionne similairement si certains poids sont choisis de la manière suivante : la V-synapse 22 présente un poids w égal ou supérieur à w_e , la V-synapse 24 présente un poids au moins égal à $w_e/2$ et inférieur à V_t , le neurone *first* 23 s'auto-inhibe par une V-synapse 28 de poids $-w$, la V-synapse excitatrice 32 présente un
15 poids égal ou supérieur à w_e et la V-synapse excitatrice 35 présente un poids égal ou supérieur à w_e . Cette remarque s'étend aux circuits de traitement suivants.

A.2. Mémoire

[00101] La figure 4 montre un circuit de traitement 40 constituant une mémoire.

[00102] Ce dispositif 40 mémorise une valeur analogique x codée par une paire de spikes
20 d'entrée fournis à un neurone *input* 21 avec un intervalle $\Delta t_{in} = f(x)$, en utilisant une intégration de courant sur la dynamique g_e dans deux neurones *acc* en cascade 42, 44 pour fournir une sortie non-inverseuse avec une paire d'événements séparés par un intervalle de temps $\Delta t_{out} = f(x)$.

[00103] Le circuit de mémoire 40 a un neurone *input* 21 pour recevoir la valeur à
25 mémoriser, une entrée de commande de lecture constituée par un neurone *recall* 48, un neurone *ready* 47 indiquant à partir de quand une commande de lecture peut être présentée neurone *recall* 48, et un neurone *output* 50 pour restituer la valeur mémorisée. Toutes les synapses de ce circuit de mémoire présentent le retard T_{syn} .

{00104} Le neurone *input* 21 appartient à un groupe de nœuds 20 semblable à celui décrit en référence à la figure 2, avec un neurone *first* 23 et un neurone *last* 25 pour séparer les deux événements produits avec un intervalle de $f(x) = T_{min} + x.T_{cod}$ par le neurone *input* 21.

{00105} Une g_e -synapse 41 va du neurone *first* 25 au premier neurone *acc* 42, et présente le poids w_{acc} . Le neurone *acc* 42 démarre ainsi une accumulation au temps $t_{st}^1 = t_{in}^1 + 2.T_{syn} + T_{neu}$ (figure 5). Une g_e -synapse 43 va du neurone *last* 25 au second neurone *acc* 44, et présente le poids w_{acc} . Le neurone *acc* 44 démarre ainsi une accumulation au temps $t_{st1}^1 = t_{in}^2 + 2.T_{syn} + T_{neu}$. En sortie du neurone *acc* 42, une autre g_e -synapse 45 de poids w_{acc} va au neurone *acc* 44, et une V -synapse 46 de poids w_e va au neurone *ready* 47.

10 {00106} L'accumulation sur le neurone *acc* 42 se poursuit jusqu'au temps $t_{end}^1 = t_{st}^1 + T_{max}$ où le potentiel du neurone *acc* 42 atteint le seuil V_t , ce qui provoque l'émission d'un spike au temps $t_{acc}^1 = t_{end}^1 + T_{neu}$ sur la g_e -synapse 45 (figure 5). Ce spike stoppe l'accumulation sur le neurone *acc* 44 au temps $t_{end2}^1 = t_{acc}^1 + T_{syn} = t_{in}^1 + 3.T_{syn} + 2.T_{neu} + T_{max}$. Le déclenchement du neurone *acc* 42 provoque également un événement sur
15 le neurone *ready* 47 au temps $t_{ready}^1 = t_{acc}^1 + T_{syn} + T_{neu}$.

{00107} À ce stade, la valeur de potentiel stockée dans le neurone *acc* 44 est $\frac{V_t}{T_{max}} \cdot (t_{end2}^1 - t_{st2}^1) = V_t \cdot \left(1 - \frac{f(x) - T_{syn} - T_{neu}}{T_{max}}\right)$, ce qui permet de conserver la valeur x . La lecture peut alors intervenir en activant le neurone *recall* 48, ce qui a lieu au temps t_{recall}^1 sur la figure 5.

20 {00108} L'activation du neurone *recall* 48 provoque un événement au temps $t_{out}^1 = t_{recall}^1 + T_{syn} + T_{neu}$ sur le neurone *output* 50 via la V -synapse 49, et fait redémarrer le processus d'accumulation dans le neurone *acc* 44 via la g_e -synapse 51 au temps $t_{st2}^2 = t_{recall}^1 + T_{syn}$. L'accumulation se poursuit dans le neurone *acc* 44 jusqu'au temps t_{end2}^2 où sa valeur de potentiel atteint le seuil V_t , soit $t_{end2}^2 = t_{st2}^2 + f(x) - T_{syn} - T_{neu}$. Un
25 événement est émis sur la V -synapse 52 au temps $t_{acc2}^1 = t_{end2}^2 + T_{neu}$ et provoque un autre événement sur le neurone *output* 50 au temps $t_{out}^2 = t_{acc2}^1 + T_{syn} + T_{neu} = t_{recall}^1 + T_{syn} + T_{neu} + f(x)$.

{00109} Finalement, les deux événements délivrés par le neurone *output* 50 sont séparés par un intervalle de temps $\Delta T_{out} = t_{out}^2 - t_{out}^1 = f(x)$.

[00110] On remarque que le neurone *acc* 42 de la figure 4 pourrait être éliminé en configurant des retards $T_{syn} + T_{max}$ sur certaines synapses. Ceci peut être intéressant pour réduire le nombre de neurones, mais peut poser une difficulté dans une implantation à l'aide de circuits intégrés spécifiques (ASIC) à cause de l'allongement des retards entre neurones
5 voisins.

[00111] On remarque encore que le circuit de mémoire 40 fonctionne pour un codage quelconque de la grandeur x par un intervalle de temps compris entre T_{min} et T_{max} , sans être limité à la forme (11) ci-dessus.

A.3. Mémoire signée

10 [00112] La figure 6 montre un circuit de traitement 60 constituant une mémoire pour une valeur signée, c'est-à-dire comprise entre -1 et $+1$. Sa valeur absolue est codée par un intervalle $\Delta t_m = f(|x|)$ entre deux événements qui, si $x \geq 0$, sont fournis par le neurone *input+* 61 puis restitués par le neurone *output+* 81 et, si $x < 0$, sont fournis par le neurone *input-* 62 puis restitués par le neurone *output-* 82. Toutes les synapses de ce circuit de mémoire
15 présentent le retard T_{syn} .

[00113] Le circuit de mémoire signée 60 repose sur un circuit de mémoire 40 du type représenté sur les figures 4A-B. Les neurones *input+* et *input-* 61, 62 sont respectivement reliés au neurone *input* 21 du circuit 40 par des V -synapses excitatrices 63, 64 de poids w_e . Ainsi, celui des deux neurones 61, 62 qui reçoit les deux spikes représentant $|x|$ active deux
20 fois le neurone *input* 21 du circuit 40, de sorte que l'intervalle de temps $f(|x|)$ sera restitué sur le neurone *output* 50 du circuit 40.

[00114] En outre, les neurones 61, 62 sont respectivement reliés à des neurones *ready+* et *ready-* 65, 66 par des V -synapses excitatrices 67, 68 de poids $w_e/4$. Le circuit de mémoire signée a un neurone *recall* 70 relié aux des neurones *ready+* et *ready-* 65, 66 par des
25 V -synapses excitatrices respectives 71, 72 de poids $w_e/2$. Chacun des neurones *ready+* et *ready-* 65, 66 est relié au neurone *recall* 48 du circuit 40 par des V -synapses excitatrices respectives 73, 74 de poids w_e . Une V -synapse inhibitrice 75 de poids $w_i/2$ va du neurone *ready+* 65 au neurone *ready-* 66, et réciproquement une V -synapse inhibitrice 76 de poids $w_i/2$ va du neurone *ready-* 66 au neurone *ready+* 65. Le neurone *ready+* 65 est relié au
30 neurone *output-* 82 du circuit de mémoire signée par une V -synapse inhibitrice 77 de poids

$2w_i$. Le neurone *ready*- 66 est relié au neurone *output*+ 81 du circuit de mémoire signée par une *V*-synapse inhibitrice 78 de poids $2w_i$.

{00115} Le neurone *output* 50 du circuit 40 est relié aux des neurones *output*+ et *output*- 81, 82 par des *V*-synapses excitatrices respectives 79, 80 de poids w_e .

5 {00116} La sortie du circuit de mémoire signée 60 comporte un neurone *ready* 84 qui est le nœud récepteur d'une *V*-synapse excitatrice 85 de poids w_e provenant du neurone *ready* 47 du circuit de mémoire 40.

{00117} La figure 7 montre le comportement des neurones du circuit de mémoire signée 60 (a) dans le cas d'une entrée positive et (b) dans le cas d'une entrée négative.

10 {00118} L'apparition des deux événements aux temps t_{in}^1 et $t_{in}^2 = t_{in}^1 + f(x)$ sur l'un des neurones 61, 62 fait monter en deux étapes le potentiel du neurone *ready*+ 65 ou *ready*- 66 à la valeur $V_i/2$. Parallèlement, le circuit de mémoire 40 a son neurone *acc* 44 qui se charge à la valeur $V_t \cdot \left(1 - \frac{f(|x|) - T_{syn} - T_{neu}}{T_{max}}\right)$ et son neurone *ready* 47 qui produit un événement au temps t_{ready}^1 , comme décrit précédemment.

15 {00119} Une fois que le neurone *ready* 47 a produit son événement, le neurone *recall* 70 peut être activé pour lire la donnée signée, ce qui a lieu au temps t_{recall}^1 sur la figure 7.

{00120} L'activation du neurone *recall* 70 déclenche le neurone *ready*+ 65 ou *ready*- 66 via la *V*-synapse 70 ou 71, et ce déclenchement remet l'autre neurone *ready*- 66 ou *ready*+ 65 à zéro via la *V*-synapse 75 ou 76. L'événement délivré par le neurone *ready*+ 65 ou *ready*- 66 inhibe le neurone de sortie le neurone *output*- 82 ou *output*+ 81 via la *V*-synapse 20 77 ou 78 en amenant son potentiel à $-2V_i$.

{00121} L'événement délivré par le neurone *ready*+ 65 ou *ready*- 66 au temps t_{sign}^1 est fourni au via la *V*-synapse 73 ou 74. Ceci provoque l'émission d'une paire de spikes séparés d'un intervalle de temps égal à $f(|x|)$ par le neurone *output* 50 du circuit 40. Cette paire de 25 spikes communiquée aux neurones *output*+ et *output*- 81, 82 via les *V*-synapses 79, 80 fait déclencher deux fois, aux temps t_{out}^1 et $t_{out}^2 = t_{out}^1 + f(|x|)$, celui des neurones *output*+ et *output*- 81, 82 qui correspond au signe de la donnée d'entrée x , et remet à zéro la valeur de potentiel de l'autre neurone 81, 82.

{00122} On remarque que le circuit de mémoire signée 60 représenté sur la figure 6 n'est pas optimisé en termes de nombre de neurones, puisqu'on peut :

- se dispenser du neurone *input* 21 du circuit de mémoire 40, en envoyant les V -synapses 63 et 64 directement sur le neurone *first* 23 du circuit 40 représenté sur la figure 4 (à la place de la V -synapse 22), et en ajoutant des V -synapses excitatrices de poids $w_e/2$ des neurones *input+* et *input-* 61, 62 vers le neurone *last* 25 (à la place de la V -synapse 24) ;
- se dispenser du neurone *output* 50 du circuit de mémoire 40, en envoyant la g_e -synapse 52 directement sur les neurones *output+* et *output-* 81, 82 (à la place des V -synapses 79, 80) ; et
- se dispenser du neurone *recall* 48 du circuit de mémoire 40, en envoyant les V -synapses 73 et 74 directement sur les neurones *output+* et *output-* 81, 82 (à la place de la V -synapse 49), et en ajoutant des g_e -synapses excitatrices de poids w_{acc} depuis les neurones *ready+* et *ready-* 65, 66 vers le neurone *acc* 44 du circuit 40 (à la place de la g_e -synapse 51).

A.4. Synchroniseur

{00123} La figure 8 montre un circuit de traitement 90 servant à synchroniser les signaux reçus sur un nombre N d'entrées ($N \geq 2$). Toutes les synapses de ce circuit de synchronisation présentent le retard T_{syn} .

20 {00124} Chaque signal code une valeur x_k pour $k = 0, 1, \dots, N - 1$ et se présente sous la forme d'une paire de spikes survenant à des instants t_{ink}^1 et $t_{ink}^2 = t_{ink}^1 + \Delta t_k$ avec $\Delta t_k = f(x_k) \in [T_{min}, T_{max}]$. Ces signaux sont restitués en sortie du circuit 90 de manière synchronisée, c'est-à-dire qu'on retrouve chaque signal codant une valeur x_k en sortie sous la forme d'une paire de spikes survenant à des instants t_{outk}^1 et $t_{outk}^2 = t_{outk}^1 + \Delta t_k$ avec

25 $t_{out0}^1 = t_{out1}^1 = \dots = t_{outN-1}^1$, comme le montre la figure 9 dans un cas où $N = 2$.

{00125} Le circuit 90 représenté sur la figure 8 comporte N neurones *input* $91_0, \dots, 91_{N-1}$ et N neurones *output* $92_0, \dots, 92_{N-1}$. Chaque neurone *input* 91_k est le nœud émetteur d'une V -synapse 93_k de poids w_e dont le nœud récepteur est le neurone *input* 21_k d'un circuit de mémoire respectif 40_k . Le neurone *output* 50_k de chaque circuit de mémoire 40_k est le nœud

émetteur d'une V -synapse 94_k de poids w_e dont le nœud récepteur est le neurone *output* 92_k du circuit de synchronisation 90.

{00126} Le circuit de synchronisation 90 comporte un neurone *sync* 95 qui est le nœud récepteur de N V -synapses excitatrices $96_0, \dots, 96_{N-1}$ de poids w_e/N dont les nœuds émetteurs sont respectivement les neurones *ready* $47_0, \dots, 47_{N-1}$ des circuits de mémoire 5 $40_0, \dots, 40_{N-1}$. Le circuit 90 comporte encore V -synapses excitatrices $97_0, \dots, 97_{N-1}$ de poids w_e ayant le neurone *sync* 95 pour nœud émetteur et, respectivement, les neurones *recall* $48_0, \dots, 48_{N-1}$ des circuits de mémoire $40_0, \dots, 40_{N-1}$ pour nœuds récepteurs.

{00127} Le neurone *sync* 95 reçoit les événements produits par les neurones *ready* $47_0, \dots, 47_{N-1}$ au fur et à mesure que les N signaux d'entrée sont chargés dans les circuits de mémoire $40_0, \dots, 40_{N-1}$, soit aux temps t_{rdy0}^1, t_{rdy1}^1 sur la figure 9. Quand le dernier de ces N événements a été reçu, le neurone *sync* 95 délivre un événement T_{syn} plus tard, c'est-à-dire au temps t_{sync}^1 sur la figure 9. Ceci déclenche, via les synapses $97_0, \dots, 97_{N-1}$ et les synapses 49 des circuits de mémoire $40_0, \dots, 40_{N-1}$, l'émission d'un premier spike synchronisé 15 ($t_{out0}^1 = \dots = t_{outN-1}^1$) sur chaque neurone *output* $92_0, \dots, 92_{N-1}$. Puis chaque circuit de mémoire 40_k produit son second spike respectif au temps t_{outk}^2 .

{00128} La présentation du circuit de synchronisation en référence à la figure 8 est donnée pour faciliter l'explication, mais on notera que plusieurs simplifications sont possibles en supprimant certains neurones. Par exemple, les neurones *input* $91_0, \dots, 91_{N-1}$ et 20 *output* $92_0, \dots, 92_{N-1}$ sont optionnels, puisque les entrées peuvent être fournies directement par les neurones *input* $21_0, \dots, 21_{N-1}$ des circuits de mémoire $40_0, \dots, 40_{N-1}$ et les sorties directement par les neurones *output* $50_0, \dots, 50_{N-1}$ des circuits de mémoire $40_0, \dots, 40_{N-1}$. Les V -synapses 46 des circuits de mémoire $40_0, \dots, 40_{N-1}$ peuvent aller directement au neurone *sync* 95, sans passer par un neurone *ready* $47_0, \dots, 47_{N-1}$. Les synapses $97_0, \dots, 25$ 97_{N-1} peuvent attaquer directement les neurones *output* $50_0, \dots, 50_{N-1}$ des circuits de mémoire (remplaçant ainsi leurs synapses 49), et le neurone *sync* 95 peut également constituer le nœud émetteur des g_e -synapses 51 des circuits de mémoire $40_0, \dots, 40_{N-1}$ pour commander le redémarrage d'accumulation dans les neurones *acc* 44 (figures 4 et 5).

{00129} D'autre part, il est possible de ne sortir qu'un seul événement, au temps 30 $t_{out}^1 = t_{out0}^1 = t_{out1}^1 = \dots = t_{outN-1}^1$, en tant que premier événement de toutes les paires formant les signaux de sortie synchronisés. Le neurone *sync* 95 commande alors directement

l'émission du premier spike sur une sortie particulière du circuit (qui peut être l'un des neurones *output* $92_0, \dots, 92_{N-1}$ ou un neurone spécifique), puis le second spike de chaque paire en réactivant les neurones *acc* 44 des circuits de mémoire $40_0, \dots, 40_{N-1}$ via une g_e -synapse. En d'autres termes, le neurone *sync* 95 joue le rôle des neurones *recall* 48 des différents circuits de mémoire.

[00130] Un tel circuit synchroniseur 98 est illustré dans le cas où $N = 2$ par la figure 10 où, de nouveau, toutes les synapses présentent le retard T_{syn} . Le neurone *sync* 95 est excité par deux V -synapses 46 de poids $w_e/2$ venant directement des neurones *acc* 42 des deux circuits de mémoire, et il est le nœud émetteur des g_e -synapses 51 pour faire redémarrer l'accumulation dans les neurones *acc* 44. Dans cet exemple, un neurone spécifique 99, noté '*output ref*', délivre le premier événement de chacune des deux paires de sortie au temps $t_{out}^1 = t_{sync}^1 + T_{syn}$, en réponse à une excitation reçue du neurone *sync* 95 via la V -synapse 97. le rôle de ce neurone *output ref* 99 pourrait, en variante, être tenu par l'un des deux neurones *output* $92_0, 92_1$.

[00131] Il est à noter que, dans l'exemple de la figure 10, les deux événements codant la valeur d'une grandeur de sortie du circuit 98 sont produits par deux neurones différents (par exemple les neurones 99 et 92_1 pour la grandeur x_1).

[00132] Plus généralement, dans le cadre de la présente invention, il n'est pas nécessaire que les deux événements d'une paire représentant la valeur d'une grandeur proviennent d'un unique nœud (dans le cas d'une grandeur de sortie) ou soient reçus par un unique nœud (dans le cas d'une grandeur d'entrée).

B. Opérations logiques

B.1. Minimum

[00133] La figure 11 montre un circuit de traitement 100 qui calcule le minimum entre deux valeurs reçues de façon synchronisée sur deux nœuds d'entrée 101, 102 et délivre ce minimum sur un nœud de sortie 103.

[00134] Outre les neurones *input* 101, 102 et le neurone *output* 103, ce circuit 100 comprend deux neurones '*smaller*' 104, 105. Une V -synapse excitatrice 106, de poids $w_e/2$,

va du neurone *input* 101 au neurone *smaller* 104. Une *V*-synapse excitatrice 107, de poids $w_e/2$, va du neurone *input* 102 au neurone *smaller* 105. Une *V*-synapse excitatrice 108, de poids $w_e/2$, va du neurone *input* 101 au neurone *output* 103. Une *V*-synapse excitatrice 109, de poids $w_e/2$, va du neurone *input* 102 au neurone *output* 103. Une *V*-synapse excitatrice 110, de poids $w_e/2$, va du neurone *smaller* 104 au neurone *output* 103. Une *V*-synapse excitatrice 111, de poids $w_e/2$, va du neurone *smaller* 105 au neurone *output* 103. Une *V*-synapse inhibitrice 112, de poids $w_i/2$, va du neurone *smaller* 104 au neurone *smaller* 105. Une *V*-synapse inhibitrice 113, de poids $w_i/2$, va du neurone *smaller* 105 au neurone *smaller* 104. Une *V*-synapse inhibitrice 114, de poids w_i , va du neurone *smaller* 104 au neurone *input* 102. Une *V*-synapse inhibitrice 115, de poids w_i , va du neurone *smaller* 105 au neurone *input* 101. Toutes les synapses 106-115 représentées sur la figure 11 sont associées à un retard T_{syn} , sauf les synapses 108, 109 pour lesquelles le retard est de $2.T_{syn} + T_{neu}$.

[00135] L'émission du premier spike sur chaque neurone *input* 101, 102 au temps $t_{in1}^1 = t_{in2}^1$ (figure 12) amène chacun des neurones *smaller* 104, 105 à une valeur de potentiel $V_i/2$ au temps $t_{in1}^1 + T_{syn}$, et déclenche un premier événement sur le neurone *output* 103 au temps $t_{out}^1 = t_{in1}^1 + 2.T_{syn} + 2.T_{neu}$. L'émission du second spike sur le neurone *input* ayant la plus petite valeur, à savoir le neurone 101 au temps $t_{in1}^2 = t_{in1}^1 + \Delta t_1$ dans l'exemple de la figure 12, amène l'un des neurones *smaller* à la tension de seuil V_i , à savoir le neurone 104 dans cet exemple, ce qui entraîne un événement au temps $t_{smaller1}^2 = t_{in1}^2 + T_{syn} + T_{neu}$ en sortie de ce neurone 104. De ce fait, la synapse 114 inhibe l'autre neurone *input* 102, qui ne produira pas son second spike au temps $t_{in2}^2 = t_{in2}^1 + \Delta t_2$, et la synapse 112 inhibe l'autre neurone *smaller* 105 dont le potentiel est remis à zéro. Le déclenchement du neurone *smaller* 104 provoque en outre le second déclenchement du neurone *output* 103 au temps $t_{out1}^2 = t_{smaller1}^2 + T_{syn} + T_{neu} = t_{in1}^2 + 2.T_{syn} + 2.T_{neu}$.

[00136] Finalement, le neurone *output* 103 restitue bien, entre les événements qu'il délivre, l'intervalle de temps minimum $t_{out}^2 - t_{out}^1 = t_{in1}^2 - t_{in1}^1 = \Delta t_1$ entre les événements des deux paires produites par les neurones *input* 101, 102. Ce minimum est disponible en sortie du circuit 100 dès réception du second événement de la paire qui le représente en entrée.

[00137] Le circuit de calcul de minimum 100 de la figure 11 fonctionne dès lors que la fonction f telle que $\Delta t = f(x)$ est une fonction croissante.

B.2. Maximum

{00138} La figure 13 montre un circuit de traitement 120 qui calcule le maximum entre deux valeurs reçues de façon synchronisée sur deux nœuds d'entrée 121, 122 et délivre ce maximum sur un nœud de sortie 123.

5 {00139} Outre les neurones *input* 121, 122 et le neurone *output* 123, ce circuit 120 comprend deux neurones '*larger*' 124, 125. Une *V*-synapse excitatrice 126, de poids $w_e/2$, va du neurone *input* 121 au neurone *larger* 124. Une *V*-synapse excitatrice 127, de poids $w_e/2$, va du neurone *input* 122 au neurone *larger* 125. Une *V*-synapse excitatrice 128, de poids $w_e/2$, va du neurone *input* 121 au neurone *output* 123. Une *V*-synapse excitatrice 129,
10 de poids $w_e/2$, va du neurone *input* 122 au neurone *output* 123. Une *V*-synapse inhibitrice 132, de poids w_i , va du neurone *larger* 124 au neurone *larger* 125. Une *V*-synapse inhibitrice 133, de poids w_i , va du neurone *larger* 125 au neurone *larger* 124. Toutes les synapses représentées sur la figure 13 sont associées à un retard T_{syn} .

{00140} Les premiers spikes émis de façon synchronisée ($t_{in1}^1 = t_{in2}^1$) par les neurones
15 *input* 121, 122 amènent les neurones *larger* 124, 125 à une valeur de potentiel $V_i/2$ au temps $t_{in1}^1 + T_{syn}$, et déclenchent un premier événement sur le neurone *output* 123 au temps $t_{out}^1 = t_{in1}^1 + T_{syn} + T_{neu}$, (figure 14). L'émission du second spike sur le neurone *input* ayant la plus petite valeur, à savoir le neurone 121 au temps $t_{in1}^2 = t_{in1}^1 + \Delta t_1$ dans l'exemple de la figure 14, amène l'un des neurones *larger* à la tension de seuil V_i , à savoir le
20 neurone 124 dans cet exemple, ce qui entraîne un événement au temps $t_{larger2}^1 = t_{in1}^1 + T_{syn} + T_{neu}$ en sortie de ce neurone 124. De ce fait, la synapse 132 inhibe l'autre neurone *larger* 125 dont le potentiel passe à la valeur $-V_i/2$. Lorsque le second spike est émis par l'autre neurone *input* 122 au temps $t_{in2}^2 = t_{in2}^1 + \Delta t_2$ (avec $\Delta t_2 > \Delta t_1$), le potentiel du neurone *larger* 125 est remis à zéro via la synapse 127, et le neurone *output* 123 est
25 déclenché via la synapse 129 au temps $t_{out}^2 = t_{in2}^2 + T_{syn} + T_{neu}$.

{00141} Finalement, le neurone *output* 123 restitue bien, entre les événements qu'il délivre, l'intervalle de temps maximum $t_{out}^2 - t_{out}^1 = t_{in2}^2 - t_{in2}^1 = \Delta t_2$ entre les événements des deux paires produites par les neurones *input* 121, 122. Ce maximum est disponible en sortie du circuit 120 dès réception du second événement de la paire qui le
30 représente en entrée.

{00142} Le circuit de calcul de maximum 120 de la figure 13 fonctionne dès lors que la fonction f telle que $\Delta t = f(x)$ est une fonction croissante.

C. Opérations linéaires

C.1. Soustraction

- 5 {00143} La figure 15 montre un circuit de soustraction 140 qui calcule la différence entre deux valeurs x_1, x_2 reçues de façon synchronisée sur deux nœuds d'entrée 141, 142 et délivre le résultat $x_1 - x_2$ sur un nœud de sortie 143 s'il est positif et sur un autre nœud de sortie 144 s'il est négatif. On suppose ici que la fonction f telle que $\Delta t_1 = f(x_1)$ et $\Delta t_2 = f(x_2)$ est une fonction linéaire, comme c'est le cas avec la forme (11).
- 10 {00144} Outre les neurones *input* 141, 142 et les neurones *output+* 143 et *output-* 144, le circuit de soustraction 140 comprend deux neurones *sync* 145, 146 et deux neurones '*inb*' 147, 148. Une V -synapse excitatrice 150, de poids $w_e/2$, va du neurone *input* 141 au neurone *sync* 145. Une V -synapse excitatrice 151, de poids $w_e/2$, va du neurone *input* 142 au neurone *sync* 146. Trois V -synapses excitatrices 152, 153, 154, chacune de poids w_e , vont du neurone *sync* 145 au neurone *output+* 143, au neurone *output-* 144 et au neurone *inb* 147, respectivement. Trois V -synapses excitatrices 155, 156, 157, chacune de poids w_e , vont du neurone *sync* 146 au neurone *output-* 144, au neurone *output+* 143 et au neurone *inb* 148, respectivement. Une V -synapse inhibitrice 158, de poids w_i , va du neurone *sync* 145 au neurone *inb* 148. Une V -synapse inhibitrice 159, de poids w_i , va du neurone *sync* 146 au neurone *inb* 147. Une V -synapse excitatrice 160, de poids $w_e/2$, va du neurone *output+* 143 au neurone *inb* 148. Une V -synapse excitatrice 161, de poids $w_e/2$, va du neurone *output-* 144 au neurone *inb* 147. Une V -synapse inhibitrice 162, de poids $2w_i$, va du neurone *inb* 147 au neurone *output+* 143. Une V -synapse inhibitrice 163, de poids $2w_i$, va du neurone *inb* 163 au neurone *output-* 144. Les synapses 150, 151, 154 et 157-163 sont associées à un retard de T_{syn} . Les synapses 152 et 155 sont associées à un retard de $T_{min} + 3.T_{syn} + 2.T_{neu}$. Les synapses 153 et 156 sont associées à un retard de $3.T_{syn} + 2.T_{neu}$.
- 25 {00145} Le fonctionnement du circuit de soustraction 140 selon la figure 15 est illustré par la figure 16 dans le cas où le résultat $x_1 - x_2$ est positif. Les choses se passent symétriquement si le résultat est négatif.

{00146} Les premiers spikes émis de façon synchronisée ($t_{in1}^1 = t_{in2}^1$) par les neurones *input* 141, 142 amènent les neurones *sync* 145, 146 à la valeur de potentiel $V_i/2$ au temps $t_{in1}^1 + T_{syn}$. L'émission du second spike sur le neurone *input* fournissant la plus petite valeur, à savoir le neurone 142 au temps $t_{in2}^2 = t_{in2}^1 + \Delta t_2$ dans l'exemple de la figure 16 où $\Delta t_2 < \Delta t_1$, amène l'un des neurones *sync* à la tension de seuil V_i , à savoir le neurone 146 dans cet exemple, ce qui entraîne un événement au temps $t_{sync2}^1 = t_{in2}^2 + T_{syn} + T_{neu}$ en sortie de ce neurone 146. De ce fait :

- la synapse 159 inhibe le neurone *inb* 147 dont le potentiel passe à la valeur $-V_i$ au temps $t_{sync2}^1 + T_{syn} = t_{in2}^2 + 2.T_{syn} + T_{neu}$;
- 10 • la synapse 157 excite le neurone *inb* 148 qui délivre un événement au temps $t_{inb2}^1 = t_{sync2}^1 + T_{syn} + T_{neu} = t_{in2}^2 + 2.T_{syn} + 2.T_{neu}$, lequel événement inhibe à son tour, via la synapse 163, le neurone *output-* 144 dont le potentiel passe à la valeur $-2V_i$ au temps $t_{in2}^2 + 3.T_{syn} + 2.T_{neu}$;
- la synapse 155 ré-excite ensuite le neurone *output-* 144 dont le potentiel passe à la valeur $-V_i$ au temps $t_{in2}^2 + T_{min} + 4.T_{syn} + 3.T_{neu}$;
- 15 • la synapse 156 excite le neurone *output+* 143 qui délivre un événement au temps $t_{out}^1 = t_{sync2}^1 + 3.T_{syn} + 3.T_{neu} = t_{in2}^2 + 4.T_{syn} + 4.T_{neu}$, lequel événement excite à son tour le neurone *inb* 148 dont le potentiel, remis à zéro suite au précédent événement émis au temps t_{inb2}^1 , passe à la valeur $V_i/2$ au temps $t_{out}^1 + T_{syn} + T_{neu} = t_{in2}^2 + 5.T_{syn} + 5.T_{neu}$.
- 20

{00147} Ensuite, l'émission du second spike sur l'autre neurone *input* 141 au temps $t_{in1}^2 = t_{in1}^1 + \Delta t_1$ amène l'autre neurone *sync* 145 à la tension de seuil V_i , ce qui entraîne un événement au temps $t_{sync1}^1 = t_{in1}^2 + T_{syn} + T_{neu}$ en sortie de ce neurone 145. De ce fait :

- la synapse 158 inhibe le neurone *inb* 148 dont le potentiel passe à la valeur $-V_i/2$ au temps $t_{sync1}^1 + T_{syn} = t_{in1}^2 + 2.T_{syn} + T_{neu}$;
- 25 • la synapse 154 excite le neurone *inb* 147 qui remet à zéro son potentiel de membrane ;
- la synapse 152 excite le neurone *output+* 143 qui délivre un événement au temps $t_{out}^2 = t_{sync1}^1 + T_{min} + 3.T_{syn} + 3.T_{neu} = t_{in1}^2 + T_{min} + 4.T_{syn} + 4.T_{neu}$, lequel

événement excite à son tour le neurone *inb* 148 dont le potentiel est remis à zéro au temps $t_{out}^2 + T_{syn} + T_{neu} = t_{in1}^2 + T_{min} + 5.T_{syn} + 5.T_{neu}$.

- la synapse 153 excite le neurone *output-* 144 dont le potentiel est remis à zéro au temps $t_{sync1}^1 + 3.T_{syn} + 2.T_{neu} = t_{in1}^2 + 4.T_{syn} + 3.T_{neu}$.

5 [00148] Les deux événements excitateurs reçus par le neurone *output-* 144, aux temps $t_{in2}^2 + T_{min} + 4.T_{syn} + 3.T_{neu}$ et $t_{in1}^2 + 4.T_{syn} + 3.T_{neu}$ sont bien postérieurs à l'événement inhibiteur reçu au temps $t_{in2}^2 + 3.T_{syn} + 2.T_{neu}$. Il en résulte que ce neurone 144 n'émet aucun événement lorsque $\Delta t_2 < \Delta t_1$, de sorte que le signe du résultat est convenablement signalé.

10 [00149] Finalement, le neurone *output+* 143 délivre deux événements ayant entre eux un intervalle de temps Δt_{out} entre les événements des deux paires produites par les neurones *input* 141, 142, avec :

$$\begin{aligned} \Delta t_{out} &= (t_{in1}^2 + T_{min} + 4.T_{syn} + 4.T_{neu}) - (t_{in2}^2 + 4.T_{syn} + 4.T_{neu}) \\ &= \Delta t_1 - \Delta t_2 + T_{min} \\ &= T_{min} + (x_1 - x_2).T_{cod} \end{aligned} \quad (15)$$

15

[00150] On obtient bien, sur le neurone *output* de bon signe en sortie du circuit soustracteur 140, deux événements ayant entre eux l'intervalle de temps $\Delta t_{out} = f(x_1 - x_2)$. Ce résultat est disponible en sortie du circuit dès réception du second événement de la paire d'entrée ayant la plus grande valeur absolue.

20 [00151] Lorsque deux valeurs égales lui sont présentées en entrée, le circuit soustracteur 140 représenté sur la figure 15 active les deux trajets parallèles et le résultat est délivré sur les deux neurones *output+* 143 et *output-* 144, les neurones *inb* 147, 148 n'ayant pas le temps de sélectionner un trajet gagnant. Pour éviter cela, il est possible d'ajouter au circuit soustracteur un neurone *zero* 171 et des *V*-synapses rapides 172-178 pour former un circuit
25 soustracteur 170 selon la figure 17.

[00152] Sur la figure 17, les références numériques des neurones et synapses agencés de la même manière que sur la figure 15 ne sont pas reportées. Le neurone *zero* 171 est le nœud récepteur de deux *V*-synapses excitatrices 172, 173 de poids $w_e/2$ et de retard T_{neu} , l'une

venant du neurone *sync* 145 et l'autre du neurone *sync* 146. Il est d'autre part le nœud récepteur de deux *V*-synapses inhibitrices 174, 175 de poids $w_i/2$ et de retard $2.T_{neu}$, l'une venant du neurone *sync* 145 et l'autre du neurone *sync* 146. Le neurone *zero* 171 s'auto-excite par une *V*-synapse 176 de poids w_e et de retard T_{neu} . Il est d'autre part le nœud émetteur de deux *V*-synapses inhibitrices de retard T_{neu} , l'une 177 de poids w_i dirigée vers le neurone *inb* 148 et l'autre 178 de poids $2w_i$ dirigée vers le neurone *output-* 144.

{00153} Le neurone *zero* 171 agit comme un détecteur de coïncidence entre les événements délivrés par les neurones *sync* 145, 146. Étant donné que ces deux neurones ne délivrent des événements qu'au moment du second spike de codage de leur entrée associée, détecter cette coïncidence temporelle est équivalent à détecter l'égalité des deux valeurs d'entrée, dès lors que celles-ci sont correctement synchronisées. Le neurone *zero* 171 ne produit un événement que s'il reçoit deux événements séparés par un intervalle de temps inférieur à T_{neu} en provenance des neurones *sync* 145, 146. Dans ce cas, il inhibe directement le neurone *output-* 144 via la synapse 178, et désactive le neurone *inb* 148 via la synapse 177.

{00154} En conséquence, deux valeurs d'entrée égales fournies au circuit soustracteur de la figure 17 donnent lieu à deux événements séparés par un intervalle de temps égal à T_{min} , c'est-à-dire codant une différence nulle, en sortie du neurone *output+* 143, et à aucun événement sur le neurone *output-* 144. Si les valeurs d'entrée ne sont pas égales, le neurone *zero* 171 n'est pas activé et le soustracteur fonctionne de la même manière que celui de la figure 15.

C.2. Cumul

{00155} La figure 18 montre un circuit 180 de cumul de grandeurs d'entrée positives avec des pondérations. Son objet est de charger dans un neurone *acc* 184 une valeur de potentiel en rapport avec une somme pondérée :

$$s = \sum_{k=0}^{N-1} \alpha_k \cdot x_k \quad (16)$$

où $\alpha_0, \alpha_1, \dots, \alpha_{N-1}$ sont des coefficients de pondération positifs ou nuls et les grandeurs d'entrée x_0, x_1, \dots, x_{N-1} sont positives ou nulles.

{00156} Pour chaque valeur d'entrée x_k ($0 \leq k < N$), le circuit 180 comporte un neurone *input* 181_k et *input-* 182_k faisant chacun partie d'un groupe respectif 20 de neurones agencés

de la même manière que dans le groupe 20 décrit précédemment en référence à la figure 2.

[00157] Les connexions sortantes des neurones *first* et *last* de ces N groupes de neurones 20 sont configurées en fonction des coefficients α_k de la somme pondérée à calculer.

[00158] Le neurone *first* relié au neurone *input* 181 _{k} ($0 \leq k < N$) est le nœud émetteur
5 d'une g_e -synapse excitatrice 182 _{k} de poids $\alpha_k \cdot w_{acc}$ et de retard $T_{min} + T_{syn}$. Le neurone *last* relié au neurone *input* 181 _{k} est le nœud émetteur d'une g_e -synapse inhibitrice 183 _{k} de poids $-\alpha_k \cdot w_{acc}$ et de retard T_{syn} .

[00159] Le neurone *acc* 184 accumule les termes $\alpha_k \cdot x_k$. Ainsi, pour chaque entrée k , le
10 neurone *acc* 187 est le nœud récepteur de la g_e -synapse excitatrice 182 _{k} et de la g_e -synapse inhibitrice 183 _{k} .

[00160] Le circuit 180 comporte en outre un neurone *sync* 185 qui est le nœud récepteur
de N V -synapses, chacune de poids w_e/N et de retard T_{syn} , respectivement issues des
neurones *last* reliés aux N neurones *input* 181 _{k} ($0 \leq k < N$). Le neurone *sync* 185 est le nœud
émetteur d'une g_e -synapse excitatrice 186 de poids w_{acc} et de retard T_{syn} , dont le nœud
15 récepteur est le neurone *acc* 184.

[00161] Pour chaque entrée présentant deux spikes séparés de $\Delta t_k = T_{min} + x_k \cdot T_{cod}$ sur le
neurone *input* 181 _{k} , le neurone *acc* 184 intègre la quantité $\alpha_k \cdot V_i / T_{max}$ sur une durée
 $\Delta t_k - T_{min} = x_k \cdot T_{cod}$.

[00162] Une fois que tous les seconds spikes des k signaux d'entrée ont été reçus, le
20 neurone *sync* 185 est déclenché et excite le neurone *acc* 184 via la g_e -synapse 186. Le
potentiel du neurone *acc* 184 continue à croître pendant une durée résiduelle égale à
 $T_{max} - \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod}$. À ce moment-là, le seuil V_i est atteint par le neurone *acc* 184 qui
déclenche un événement.

[00163] Le retard de cet événement par rapport à celui qu'a délivré le neurone *sync* 185
25 est de $T_{max} - \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod} = f(1 - \sum_{k=0}^{N-1} \alpha_k \cdot x_k) = f(1 - s)$. La somme pondérée s
n'est rendue accessible par le circuit 180 que dans sa forme inversée $(1 - s)$.

[00164] Le circuit 180 fonctionne de la manière qui vient d'être décrite à condition
qu'on ait $T_{cod} \cdot \sum_{k=0}^{N-1} \alpha_k \cdot x_k < T_{max}$. On peut normaliser les coefficients α_k pour que cette

condition soit remplie pour toutes les valeurs possibles des x_k , c'est-à-dire de façon que

$$\sum_{k=0}^{N-1} \alpha_k < \frac{T_{max}}{T_{cod}}.$$

C.3. Sommation pondérée

{00165} Un circuit de sommation pondérée 190 peut avoir la structure représentée sur la
5 figure 19.

{00166} Pour obtenir la représentation de la somme pondérée s selon (16), un circuit de cumul pondéré 180 du type de celui décrit en référence à la figure 18 est associé à un autre neurone *acc* 188 et à un neurone *output* 189.

{00167} Le neurone *acc* 188 est le nœud récepteur d'une g_e -synapse excitatrice 191 de
10 poids w_{acc} et de retard T_{syn} , et le nœud émetteur d'une V -synapse excitatrice 192 de poids w_e et de retard $T_{min} + T_{syn}$. Le neurone *output* 189 est également le nœud récepteur d'une V -synapse excitatrice 193 de poids w_e et de retard T_{syn} .

{00168} L'accumulation à dynamique linéaire démarre sur le neurone *acc* 188 au même
15 moment qu'elle redémarre sur le neurone *acc* 184 du circuit 180, les deux neurones *acc* 184, 188 étant excités sur les g_e -synapses 186, 191 par le même événement provenant du neurone *sync* 185. Leurs durées résiduelles d'accumulation, jusqu'à atteindre le seuil V_t sont respectivement de $T_{max} - \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod}$ et de T_{max} . Du fait que la synapse 192 présente un retard relatif de T_{min} , les deux événements déclenchés sur le neurone *output* 189 ont entre eux l'intervalle de temps $T_{min} + \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod} = f(s)$.

{00169} La somme pondérée attendue est bien représentée en sortie du circuit 190.
20 Quand $N=2$ et $\alpha_0 = \alpha_1 = 1/2$, ce circuit 190 se ramène à un simple circuit additionneur, avec un facteur d'échelle 1/2 pour éviter les débordements dans le neurone *acc* 184.

C.4. Combinaison linéaire

{00170} Le cas plus général de combinaison linéaire s'exprime aussi par l'équation (16)
25 ci-dessus, mais les coefficients α_k peuvent être positifs ou négatifs, de même que les grandeurs d'entrée x_k . Sans perte de généralité, on ordonne les coefficients et grandeurs d'entrée de sorte que les coefficients $\alpha_0, \alpha_1, \dots, \alpha_{M-1}$ soient positifs ou nuls et les coefficients $\alpha_{M+1}, \alpha_{M+2}, \dots, \alpha_{N-1}$ soient négatifs ($N \geq 2, M \geq 0, N - M \geq 0$).

{00171} Pour prendre en compte les valeurs positives ou négatives, le circuit de calcul de combinaison linéaire 200 représenté sur la figure 20 comporte deux circuits de cumul 180A, 180B du type de celui décrit en référence à la figure 18.

{00172} Les neurones *input* 181_k du circuit de cumul 180A sont respectivement associés aux coefficients α_k pour $0 \leq k < M$ et aux coefficients inversés $-\alpha_k$ pour $M \leq k < N$. Ces neurones *input* 181_k pour $0 \leq k < M$ reçoivent une paire de spikes représentant x_k quand $x_k \geq 0$ et forment donc des neurones de type *input+* pour ces grandeurs x_0, \dots, x_{M-1} . Les neurones *input* 181_k du circuit 180A pour $M \leq k < N$ reçoivent une paire de spikes représentant x_k quand $x_k < 0$ et forment donc des neurones de type *input-* pour ces grandeurs x_M, \dots, x_{N-1} .

{00173} Les neurones *input* 181_k du circuit de cumul pondéré 180B sont respectivement associés aux coefficients inversés $-\alpha_k$ pour $0 \leq k < M$ et aux coefficients α_k pour $M \leq k < N$. Ces neurones *input* 181_k pour $0 \leq k < M$ reçoivent une paire de spikes représentant x_k quand $x_k < 0$ et forment donc des neurones de type *input-* pour ces grandeurs x_0, \dots, x_{M-1} . Les neurones *input* 181_k du circuit 180B pour $M \leq k < N$ reçoivent une paire de spikes représentant x_k quand $x_k \geq 0$ et forment donc des neurones de type *input+* pour ces grandeurs x_M, \dots, x_{N-1} .

{00174} Les deux circuits de cumul 180A, 180B partagent leur neurone *sync* 185 qui est ainsi le nœud récepteur de $2N$ V -synapses, chacune de poids w_e/N et de retard T_{syn} , en provenance des neurones *last* couplés aux $2N$ neurones *input* 181_k. Le neurone *sync* 185 du circuit de calcul de combinaison linéaire 200 est donc déclenché une fois que les N grandeurs d'entrée x_0, \dots, x_{N-1} , positives ou négatives, ont été reçues sur les neurones 181_k.

{00175} Un temps $\Delta T_A = T_{max} - \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| \cdot T_{cod} = f(1 - \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k|)$ s'écoule entre les événements respectivement délivrés par le neurone *sync* 185 et le neurone *acc* 184 du circuit 180A.

{00176} Un temps $\Delta T_B = T_{max} - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \cdot T_{cod} = f(1 - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k|)$ s'écoule entre les événements respectivement délivrés par le neurone *sync* 185 et le neurone *acc* 184 du circuit 180B.

{00177} Un circuit soustracteur 170 qui peut être du genre de celui représenté sur la figure 17 se charge ensuite de combiner les intervalles de temps ΔT_A et ΔT_B pour produire la

représentation de $|s| = \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k|$ sur une sortie indicative du signe de s . Le circuit de calcul de combinaison linéaire 200 de la figure 20 comporte pour cela deux V -synapses excitatrices 198, 199, de poids w_e et de retard $T_{min} + T_{syn}$, dirigées vers les neurones *input* 141, 142 du circuit soustracteur 170. Par ailleurs, une V -synapse excitatrice 201 de poids w_e et de retard T_{syn} va du neurone *acc* 184 du circuit 180A au neurone *input* 141 du circuit soustracteur 170. Une V -synapse excitatrice 202 de poids w_e et de retard T_{syn} va du neurone *acc* 184 du circuit 180B à l'autre neurone *input* 142 du circuit soustracteur 170.

[00178] Les neurones *output-* 144 et *output+* 143 du circuit soustracteur 170 sont respectivement reliés, via des V -synapses excitatrices 205, 206 de poids w_e et de retard T_{syn} , à deux autres neurones *output+* 203 et *output-* 204 qui constituent les sorties du circuit de calcul de combinaison linéaire 200.

[00179] Celui de ces deux neurones qui est déclenché indique le signe du résultat s de la combinaison linéaire. Il délivre une paire d'événements séparés par l'intervalle de temps $\Delta t_{out} = T_{min} + \Delta T_A - \Delta T_B = f(|\sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k||) = f(|s|)$.

[00180] La disponibilité de ce résultat est indiquée à l'extérieur par un neurone '*start*' 207 recevant deux V -synapses excitatrices 208, 209, de poids w_e et de retard T_{syn} , en provenance des neurones *output+* 143 et *output-* 144 du circuit soustracteur 170. Le neurone *start* 207 s'auto-inhibe au moyen d'une V -synapse 210, de poids w_i et de retard T_{syn} . Le neurone *start* 204 délivre un spike simultanément au premier spike du neurone *output+* 203 ou *output-* 204 activé.

[00181] On peut normaliser les coefficients α_k pour que les conditions $\sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| \cdot T_{cod} < T_{max}$ et $\sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \cdot T_{cod} < T_{max}$ soient remplies pour toutes les valeurs possibles des x_k , c'est-à-dire de façon que $\sum_{k=0}^{N-1} |\alpha_k| < \frac{T_{max}}{T_{cod}}$, afin que le circuit de calcul de combinaison linéaire 200 fonctionne comme décrit ci-dessus. Il faut alors tenir compte du facteur de normalisation dans le résultat.

D. Opérations non-linéaires

D.1. Logarithme

{00182} La figure 21 montre un circuit 210 de calcul du logarithme népérien d'un nombre $x \in]0, 1]$ dont une représentation codée est produite par un neurone *input* 211 sous forme de deux événements survenant à des temps t_{in}^1 et $t_{in}^2 = t_{in}^1 + \Delta t$ (figure 22) avec $\Delta t = f(x) = T_{min} + x.T_{cod}$.

5 {00183} Le neurone *input* 211 appartient à un groupe de nœuds 20 semblable à celui décrit en référence à la figure 2. Le neurone *first* 213 de ce groupe 20 est le nœud émetteur d'une g_e -synapse excitatrice 212 de poids \bar{w}_{acc} et de retard $T_{min} + T_{syn}$, tandis que le neurone *last* 215 est le nœud émetteur d'une g_e -synapse inhibitrice 214 de poids $-\bar{w}_{acc}$ et de retard T_{syn} . Les deux g_e -synapses 212, 214 ont un même neurone *acc* 216 comme nœud récepteur.
10 Du neurone *last* 215 au neurone *acc* 216, il y a aussi une g_f -synapse 217 de poids $g_{mult} = V_t \cdot \frac{\tau_m}{\tau_f}$ et de retard T_{syn} , et une *gate*-synapse 218 de poids 1 et de retard T_{syn} .

{00184} Le circuit 210 comporte en outre un neurone *output* 220 qui est le nœud récepteur d'une V -synapse excitatrice 221 de poids w_e et de retard $2.T_{syn}$ provenant du neurone *last* 215, et d'une V -synapse excitatrice 222 de poids w_e et de retard $T_{min} + T_{syn}$
15 provenant du neurone *acc* 216.

{00185} Le fonctionnement du circuit de calcul de logarithme 210 selon la figure 21 est illustré par la figure 22.

{00186} L'émission du premier spike au temps t_{in}^1 au niveau du neurone *input* 211 déclenche un événement en sortie du neurone *first* 213 au temps $t_{first}^1 = t_{in}^1 + T_{syn} + T_{neu}$.
20 Le neurone *first* 213 fait démarrer l'accumulation par le neurone *acc* 216 au temps $t_{st}^1 = t_{in}^1 + T_{min} + 2.T_{syn} + T_{neu}$ via la g_e -synapse 212.

{00187} L'émission du second spike au temps $t_{in}^2 = t_{in}^1 + T_{min} + x.T_{cod}$ au niveau du neurone *input* 211 amène le neurone *last* 215 à délivrer un événement au temps $t_{last}^1 = t_{in}^2 + T_{syn} + T_{neu}$. Cet événement transporté par la g_e -synapse 214 stoppe
25 l'accumulation réalisée par le neurone *acc* 216 au temps $t_{end}^1 = t_{last}^1 + T_{syn} = t_{st}^1 + x.T_{cod}$. À ce moment, la valeur de potentiel $V_t \cdot x$ est stockée dans le neurone *acc* 216.

{00188} Par l'intermédiaire des synapses 217 et 218, le neurone *last* 215 active en outre la dynamique exponentielle sur le neurone *acc* 216 au même instant t_{end}^1 via la g_f -synapse 217 et la *gate*-synapse 218. Il est à noter qu'en variante, l'événement transporté par la

g_f -synapse 217 pourrait aussi arriver plus tard au neurone *acc* 216 s'il est souhaité de mémoriser dans celui-ci la valeur de potentiel $V_t \cdot x$ pendant que d'autres opérations interviennent dans le dispositif.

[00189] Après activation par les synapses 217 et 218, la composante g_f du neurone *acc*
5 216 évolue selon :

$$g_f(t) = V_t \cdot \frac{\tau_m}{\tau_f} \cdot e^{-\frac{t-t_{end}^1}{\tau_f}} \quad (17)$$

et son potentiel de membrane selon :

$$V(t) = V_t \cdot \left(1 + x - e^{-\frac{t-t_{end}^1}{\tau_f}} \right) \quad (18)$$

[00190] Ce potentiel $V(t)$ atteint le seuil V_t et provoque un événement sur la V -synapse
10 222 au temps $t_{acc}^1 = t_{end}^1 - \tau_f \cdot \log(x)$.

[00191] Un premier événement est déclenché sur le neurone *output* 220 du fait de la
 V -synapse 221 au temps $t_{out}^1 = t_{last}^1 + 2T_{syn} + T_{neu} = t_{end}^1 + T_{syn} + T_{neu}$. Le second
événement déclenché par la synapse 222 intervient au temps $t_{out}^2 = t_{acc}^1 + T_{min} + T_{syn} +$
 $T_{neu} = t_{out}^1 + T_{min} - \tau_f \cdot \log(x)$.

15 [00192] Finalement, les deux événements délivrés par le neurone *output* 220 sont séparés
par un intervalle de temps $\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} - \tau_f \cdot \log(x) = f\left(-\frac{\tau_f}{T_{cod}} \cdot \log(x)\right)$.

[00193] On obtient bien en sortie la représentation d'un nombre proportionnel au
logarithme népérien $\log(x)$ de la valeur d'entrée x . Comme $0 < x \leq 1$, le logarithme $\log(x)$ est
négatif.

20 [00194] Si on note $A = e^{-\frac{T_{cod}}{\tau_f}}$, le circuit 210 de la figure 21 délivre la représentation de
 $\log_A(x)$ lorsqu'il reçoit la représentation d'un nombre réel x tel que $A \leq x \leq 1$, où $\log_A(\cdot)$
désigne l'opération logarithme de base A . En admettant que, dans la forme (11), l'intervalle
de temps entre les deux événements délivrés par le neurone *output* 220 puisse dépasser T_{max} ,
le circuit 210 délivre la représentation de $\log_A(x)$ pour tout nombre x tel que $0 < x \leq 1$.

{00195} La figure 23 montre un circuit 230 de calcul d'exponentielle d'un nombre $x \in [0, 1]$ dont une représentation codée est produite par un neurone *input* 231 sous forme de deux événements survenant à des temps t_{in}^1 et $t_{in}^2 = t_{in}^1 + \Delta t$ (figure 24) avec $\Delta t = f(x) = T_{min} + x.T_{cod}$.

5 {00196} Le neurone *input* 231 appartient à un groupe de nœuds 20 semblable à celui décrit en référence à la figure 2. Le neurone *first* 233 de ce groupe 20 est le nœud émetteur d'une g_f -synapse 232 de poids g_{mult} et de retard $T_{min} + T_{syn}$, ainsi que d'une *gate*-synapse excitatrice 234 de poids 1 et de retard $T_{min} + T_{syn}$. Le neurone *last* 235 du groupe 20 est le nœud émetteur d'une *gate*-synapse inhibitrice 236 de poids -1 et de retard T_{syn} , ainsi que
10 d'une g_e -synapse excitatrice 237 de poids \bar{w}_{acc} et de retard T_{syn} . Les synapses ont un même neurone *acc* 238 pour nœud récepteur.

{00197} Le circuit 230 comporte en outre un neurone *output* 240 qui est le nœud récepteur d'une V -synapse excitatrice 241 de poids w_e et de retard $2.T_{syn}$ provenant du neurone *last* 235, et d'une V -synapse excitatrice 242 de poids w_e et de retard $T_{min} + T_{syn}$
15 provenant du neurone *acc* 238.

{00198} Le fonctionnement du circuit de calcul d'exponentielle 230 selon la figure 23 est illustré par la figure 24.

{00199} L'émission du premier spike au temps t_{in}^1 au niveau du neurone *input* 231 déclenche un événement en sortie du neurone *first* 233 au temps $t_{first}^1 = t_{in}^1 + T_{syn} + T_{neu}$.
20 Le neurone *first* 233 fait démarrer une accumulation à dynamique exponentielle sur le neurone *acc* 238 au temps $t_{st}^1 = t_{in}^1 + T_{min} + 2.T_{syn} + T_{neu}$ via la g_f -synapse 232 et la *gate*-synapse 234.

{00200} La composante g_f du neurone *acc* 238 évolue alors selon :

$$g_f(t) = V_t \cdot \frac{\tau_m}{\tau_f} \cdot e^{-\frac{t-t_{st}^1}{\tau_f}} \quad (19)$$

25 et son potentiel de membrane selon :

$$V(t) = V_t \cdot \left(1 - e^{-\frac{t-t_{st}^1}{\tau_f}} \right) \quad (20)$$

{00201} L'émission du second spike au temps $t_{in}^2 = t_{in}^1 + T_{min} + x.T_{cod}$ au niveau du neurone *input* 231 amène le neurone *last* 235 à délivrer un événement au temps $t_{last}^1 = t_{in}^2 + T_{syn} + T_{neu}$. Cet événement transporté par la *gate*-synapse 236 stoppe l'accumulation à dynamique exponentielle réalisée par le neurone *acc* 238 au temps $t_{end}^1 = t_{last}^1 + T_{syn} =$
 5 $t_{st}^1 + x.T_{cod}$. À ce moment, la valeur de potentiel $V_t.(1 - A^x)$ est stockée dans le neurone *acc* 238, où, comme précédemment, $A = e^{-\frac{T_{cod}}{\tau_f}}$. Par l'intermédiaire de la *g_e*-synapse 237, le neurone *last* 235 active en outre la dynamique linéaire de poids \bar{w}_{acc} sur le neurone *acc* 238 au même instant t_{end}^1 .

{00202} Le potentiel de membrane du neurone 238 évolue alors selon :

$$10 \quad V(t) = V_t \cdot \left(1 - A^x + \frac{t - t_{end}^1}{T_{cod}} \right) \quad (21)$$

{00203} Ce potentiel $V(t)$ atteint le seuil V_t et provoque un événement sur la *V*-synapse 222 au temps $t_{acc}^1 = t_{end}^1 + A^x.T_{cod}$.

{00204} Un premier événement est déclenché sur le neurone *output* 240 du fait de la *V*-synapse 241 au temps $t_{out}^1 = t_{last}^1 + 2T_{syn} + T_{neu} = t_{end}^1 + T_{syn} + T_{neu}$. Le second
 15 événement déclenché par la synapse 242 intervient au temps $t_{out}^2 = t_{acc}^1 + T_{min} + T_{syn} + T_{neu} = t_{out}^1 + T_{min} + A^x.T_{cod}$.

{00205} Finalement, les deux événements délivrés par le neurone *output* 240 sont séparés par un intervalle de temps de $\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + A^x.T_{cod} = f(A^x)$.

{00206} Le circuit 230 de la figure 23 délivre donc la représentation de A^x lorsqu'il reçoit la représentation d'un nombre x compris entre 0 et 1. Ce circuit peut admettre des valeurs
 20 d'entrée x supérieures à 1 ($\Delta t > T_{max}$) et délivrer encore la représentation de A^x sur son neurone *output* 240.

{00207} Le circuit 230 de la figure 23 réalise l'inversion de l'opération effectuée par le circuit 210 de la figure 21.

25 {00208} On peut tirer parti de cela pour implémenter divers calculs non-linéaires à l'aide d'opérations simples entre des circuits de calcul de logarithme et de calcul d'exponentielle. Par exemple, la somme de deux logarithmes permet d'implémenter une multiplication, leur soustraction permet d'implémenter une division, la somme de n fois le logarithme permet

d'élever un nombre x à une puissance entière n , etc.

D.3. Multiplication

{00209} La figure 25 montre un circuit multiplieur 250 qui calcule le produit de deux valeurs x_1, x_2 dont des représentations codées sont respectivement produites par deux neurones *input* 251₁, 251₂ sous forme de deux paires d'événements survenant à des temps t_{in1}^1 et $t_{in1}^2 = t_{in1}^1 + \Delta t_1$ pour la valeur x_1 et à des temps t_{in2}^1 et $t_{in2}^2 = t_{in2}^1 + \Delta t_2$ pour la valeur x_2 (figure 25) avec $\Delta t_1 = f(x_1) = T_{min} + x_1 \cdot T_{cod}$ et $\Delta t_2 = f(x_2) = T_{min} + x_2 \cdot T_{cod}$.

{00210} Chaque neurone *input* 251 _{k} ($k = 1$ ou 2) appartient à un groupe de nœuds 20 _{k} semblable à celui décrit en référence à la figure 2. Le neurone *first* 253 _{k} de ce groupe 20 _{k} est le nœud émetteur d'une g_e -synapse excitatrice 252 _{k} de poids \bar{w}_{acc} et de retard $T_{min} + T_{syn}$, tandis que le neurone *last* 255 _{k} est le nœud émetteur d'une g_e -synapse inhibitrice 254 _{k} de poids $-\bar{w}_{acc}$ et de retard T_{syn} . Les deux g_e -synapses 252 _{k} , 254 _{k} issues du groupe de nœuds 20 _{k} ont comme nœud récepteur un même neurone *acc* 256 _{k} qui joue un rôle similaire au neurone *acc* 216 de la figure 21.

{00211} Le circuit 250 comporte en outre un neurone *sync* 260 qui est le nœud récepteur de deux V -synapses excitatrices 261₁, 261₂ de poids $w_e/2$ et de retard T_{syn} provenant respectivement des neurones *last* 255₁, 255₂. Une g_f -synapse 262 de poids g_{mult} et de retard T_{syn} et une *gate*-synapse excitatrice 264 de poids 1 et de retard T_{syn} vont du neurone *sync* 260 au neurone *acc* 256₁.

{00212} Une g_f -synapse 265 de poids g_{mult} et de retard T_{syn} et une *gate*-synapse excitatrice 266 de poids 1 et de retard T_{syn} vont du neurone *acc* 256₁ au neurone *acc* 256₂.

{00213} Le circuit 250 comporte un autre neurone *acc* 268 qui joue un rôle similaire au neurone *acc* 238 de la figure 23. Le neurone *acc* 268 est le nœud récepteur d'une g_f -synapse 269, de poids g_{mult} et de retard $3T_{syn}$, et d'une *gate*-synapse excitatrice 270, de poids 1 et de retard $3T_{syn}$, provenant toutes deux du neurone *sync* 260. En outre, le neurone *acc* 268 est le nœud récepteur d'une *gate*-synapse inhibitrice 271, de poids -1 et de retard T_{syn} , et d'une g_e -synapse excitatrice 272, de poids \bar{w}_{acc} et de retard T_{syn} , provenant toutes deux du neurone *acc* 256₂.

{00214} Le circuit 250 possède enfin un neurone *output* 274 qui est le nœud récepteur

d'une V -synapse excitatrice 275, de poids w_e et de retard $2T_{syn}$, provenant du neurone acc 256₂ et d'une V -synapse excitatrice 276, de poids w_e et de retard $T_{syn} + T_{syn}$, provenant du neurone acc 268.

5 [00215] Le fonctionnement du circuit multiplieur 250 selon la figure 25 est illustré par la figure 26.

[00216] Chacun des deux neurones acc 256₁, 256₂ se comporte initialement comme le neurone acc 216 de la figure 21, avec une progression linéaire 278₁, 278₂ de poids \bar{w}_{acc} sur une première période de durée respective $x_1.T_{cod}$, $x_2.T_{cod}$, conduisant à stocker les valeurs de potentiel V_{t,x_1} et V_{t,x_2} dans les neurones acc 256₁, 256₂.

10 [00217] L'émission du second spike au temps $t_{in2}^2 = t_{in2}^1 + T_{min} + x_2.T_{cod}$ au niveau du neurone $input$ présentant la plus petite valeur (le neurone $input$ 251₂ dans l'exemple représenté sur la figure 26 où on a $x_1 > x_2$) stoppe l'accumulation à dynamique linéaire sur le neurone acc correspondant 256₂ via la g_e -synapse 254₂ au temps $t_{last2}^1 + T_{syn} = t_{in2}^2 + 2T_{syn} + T_{neu}$. Le potentiel de membrane de ce neurone acc 256₂ présente alors un plateau
15 279 qui dure jusqu'à sa réactivation via les synapses 265, 266. Au temps $t_{last2}^1 + T_{syn} = t_{in2}^2 + 2T_{syn} + T_{neu}$, le potentiel du neurone sync 260 passe à la valeur $V_t/2$ du fait de l'événement reçu du neurone $last$ 255₂ via la V -synapse 261₂.

[00218] L'émission du second spike au temps $t_{in1}^2 = t_{in1}^1 + T_{min} + x_1.T_{cod}$ au niveau du neurone $input$ présentant la plus grande valeur (le neurone $input$ 251₁ dans le cas de la figure
20 26) stoppe l'accumulation à dynamique linéaire sur le neurone acc correspondant 256₁ via la g_e -synapse 254₁ au temps $t_{last1}^1 + T_{syn} = t_{in1}^2 + 2T_{syn} + T_{neu}$. Au même moment, le potentiel de ce neurone $sync$ 260 atteint la valeur V_t du fait de l'événement reçu sur la V -synapse 261₁. Il en résulte l'émission d'un événement au temps $t_{sync}^1 = t_{in1}^2 + 2T_{syn} + 2T_{neu}$ sur les synapses 262 et 264. La dynamique exponentielle 280₁ est alors activée sur le
25 neurone acc 256₁ à la place de la dynamique linéaire 278₁ au temps $t_{st1}^1 = t_{sync}^1 + T_{syn}$. Parallèlement, les synapses 269, 270 activent la dynamique exponentielle 281 sur le neurone acc 268 au temps $t_{st3}^1 = t_{sync}^1 + 3T_{syn}$.

[00219] Le potentiel du neurone acc 256₁ atteint le seuil V_t et provoque un événement sur les synapses 265, 266 au temps $t_{log1}^1 = t_{st1}^1 - \tau_f \cdot \log(x_1)$.

[00220] La dynamique exponentielle 280₁ est alors activée sur le neurone *acc* 256₂ au temps $t_{st2}^1 = t_{log1}^1 + T_{syn}$. Le potentiel de ce neurone *acc* 256₂ atteint le seuil V_t et provoque un événement sur les synapses 271, 272, 275 au temps $t_{log2}^1 = t_{st2}^1 - \tau_f \cdot \log(x_2) = t_{sync}^1 - \tau_f \cdot \log(x_1 \cdot x_2) + 2T_{syn}$. La *gate*-synapse 271 désactive la dynamique exponentielle 281 sur le neurone *acc* 268 au temps $t_{end3}^1 = t_{log2}^1 + T_{syn}$, et simultanément la dynamique linéaire 282 du neurone *acc* 268 est activée via la g_e -synapse 272 à partir de la valeur :

$$V_t \cdot \left(1 - e^{-\frac{t_{end3}^1 - t_{st3}^1}{\tau_f}} \right) = V_t \cdot (1 - x_1 \cdot x_2) \quad (22)$$

[00221] La V -synapse 275 provoque l'émission d'un premier spike sur le neurone *output* 274 au temps $t_{out}^1 = t_{log2}^1 + 2T_{syn} + T_{neu}$.

10 [00222] Le neurone *acc* 268 atteint le seuil V_t et provoque un événement sur la V -synapse 276 au temps $t_{exp}^1 = t_{end3}^1 + x_1 \cdot x_2 \cdot T_{cod}$. Il en résulte, au niveau du neurone *output* 274 l'émission d'un second spike au temps $t_{out}^2 = t_{exp}^1 + T_{min} + T_{syn} + T_{neu}$.

[00223] Finalement, les deux événements délivrés par le neurone *output* 268 sont séparés par un intervalle de temps de $\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + x_1 \cdot x_2 \cdot T_{cod} = f(x_1 \cdot x_2)$.

15 [00224] Le circuit 250 de la figure 25 délivre donc sur son neurone *output* 268 la représentation du produit $x_1 \cdot x_2$ des deux nombres x_1, x_2 compris entre A et 1 dont il reçoit les représentations respectives sur ses neurones *input* 251₁, 251₂.

[00225] Pour cela, les paires d'événements n'ont pas eu à être reçus synchronisées sur neurones *input* 251₁, 251₂, le neurone *sync* 260 se chargeant de la synchronisation.

20 D.4. Multiplication signée

[00226] La figure 27 montre un circuit multiplieur 290 qui calcule le produit de deux valeurs signées x_1, x_2 . Toutes les synapses représentées sur la figure 27 présentent le retard T_{syn} .

25 [00227] Pour chaque valeur d'entrée x_k ($1 \leq k \leq 2$), le circuit multiplieur 290 comporte un neurone *input+* 291_k et un neurone *input-* 292_k qui sont les nœuds émetteurs de deux V -synapses respectives 293_k et 294_k de poids w_e . Les V -synapses 293₁ et 294₁ sont dirigées vers un neurone *input* 251₁ d'un circuit multiplieur 250 du genre représenté sur la figure 25,

tandis que les V -synapses 293_1 et 294_1 sont dirigées vers l'autre neurone *input* 251_2 du circuit 250.

{00228} Le circuit multiplieur 290 possède un neurone *output+* 295 et un neurone *output-* 296 qui sont les nœuds récepteurs de deux V -synapses excitatrices respectives 297 et 298 de poids w_e provenant du neurone *output* 274 du circuit 250.

{00229} Le circuit multiplieur 290 comporte encore quatre neurones *sign* 300-303 connectés pour former une logique de sélection du signe du résultat de la multiplication. Chaque neurone *sign* 300-303 est le nœud récepteur de deux V -synapses excitatrices respectives de poids $w_e/4$ provenant de deux des quatre neurones *input* 291_k , 292_k . Le neurone *sign* 300 relié aux neurones *input+* 291_1 , 291_2 détecte la réception de deux entrées x_1 , x_2 positives. Il forme le nœud émetteur d'une V -synapse inhibitrice 305 de poids $2w_i$ allant au neurone *output-* 296. Le neurone *sign* 303 relié aux neurones *input-* 292_1 , 292_2 détecte la réception de deux entrées x_1 , x_2 négatives. Il forme le nœud émetteur d'une V -synapse inhibitrice 308 de poids $2w_i$ allant au neurone *output-* 296. Le neurone *sign* 301 relié aux neurones *input-* 292_1 et *input+* 292_1 détecte la réception d'une entrée x_1 négative et d'une entrée x_2 positive. Il forme le nœud émetteur d'une V -synapse inhibitrice 306 de poids $2w_i$ allant au neurone *output+* 295. Le neurone *sign* 302 relié aux neurones *input+* 291_1 et *input-* 292_2 détecte la réception d'une entrée x_1 positive et d'une entrée x_2 négative. Il forme le nœud émetteur d'une V -synapse inhibitrice 307 de poids $2w_i$ allant au neurone *output+* 295.

{00230} Des V -synapses inhibitrices sont agencées entre les neurones *sign* 300-303 pour assurer qu'un seul d'entre eux intervienne pour inhiber l'un des neurones *output+* 295 et *output-* 296. Chaque neurone *sign* 300-303 correspondant à un signe (+ ou -) du produit est ainsi le nœud émetteur de deux V -synapses inhibitrices de poids $w_e/2$ allant respectivement vers les deux neurones *sign* correspondant au signe opposé.

{00231} Ainsi agencé, le circuit 290 de la figure 27 délivre deux événements séparés de l'intervalle de temps $f(|x_1.x_2|)$ sur l'une de ses sorties 295, 296, conformément au signe de $x_1.x_2$, lorsque les deux nombres x_1 , x_2 sont présentés avec leurs signes respectifs sur les entrées 291_k , 292_k .

{00232} On peut y adjoindre une logique de détection de zéro sur l'une des entrées, comme dans le cas de la figure 17, pour assurer qu'une entrée nulle produira l'intervalle de

temps T_{min} entre deux événements produits sur le neurone *output+* 295 et non pas le neurone *output-* 296.

E. Résolution d'équations différentielles

E.1. Intégration

5 {00233} La figure 28 montre un circuit 310 qui reconstruit un signal à partir de ses dérivées fournies sous forme signée sur un neurone d'une paire de neurones *input+* 311 et *input-* 312. Le signal intégré est présenté, en fonction de son signe, par un neurone d'une paire de neurones *output+* 313 et *output-* 314. Les synapses 321-332 représentées sur la figure 28 sont toutes des V -synapses excitatrices de poids w_e . Elles présentent toutes le retard T_{syn} sauf la synapse 329 dont le retard est $T_{min} + T_{syn}$.

{00234} Pour réaliser l'intégration, le circuit 310 utilise un circuit de combinaison linéaire 200 du genre de celui représenté sur la figure 20, avec $N = 2$ et des coefficients $\alpha_0 = 1$ et $\alpha_1 = dt$, où dt est le pas d'intégration choisi.

15 {00235} Les neurones *input+* 311 et *input-* 312 sont respectivement reliés aux neurones *input+* et *input-* 181₁ du circuit 200 associés au coefficient $\alpha_1 = dt$ par deux V -synapses 321, 322.

{00236} Les autres neurones *input+* et *input-* 181₁ du circuit 200, associés au coefficient $\alpha_0 = 1$, sont respectivement reliés par deux V -synapses 323, 324 à deux neurones *output+* 315 et *output-* 316 d'un circuit 217 dont le rôle est de fournir une valeur d'initialisation x_0 pour le processus d'intégration. Le circuit 317 est essentiellement constitué de la paire de neurones *output+* 315 et *output-* 316 reliés à un même neurone *recall* 15 de la manière représentée sur la figure 1.

25 {00237} Un autre neurone *init* 318 du circuit d'intégration 310 est le nœud émetteur d'une synapse 325 dont le nœud récepteur est le neurone *recall* 15 du circuit 317. Le neurone *init* 318 charge l'intégrateur avec sa valeur initiale x_0 stockée dans le circuit 317.

{00238} De synapses 326, 327 sont agencées pour faire rétroagir, respectivement, le neurone *output+* 143 du circuit de combinaison linéaire 200 sur son neurone *input+* 181₀ et le neurone *output-* 144 du circuit d'intégration 200 sur son neurone *input-* 181₀.

{00239} Un neurone *start* 319 est le nœud émetteur de deux synapses 328, 329 qui présentent une valeur nulle sous forme de deux événements séparés de l'intervalle de temps T_{min} sur le neurone *input+* 181₁ du circuit d'intégration 180.

{00240} Les neurones *output+* 143 et *output-* 144 du circuit de combinaison linéaire 200
5 sont les nœuds émetteurs respectifs de deux synapses 330, 331 dont les nœuds récepteurs sont respectivement les neurones *output+* 313 et *output-* 314 du circuit d'intégration 310.

{00241} Le circuit d'intégration 310 possède enfin un neurone *new input* 320 qui est le nœud récepteur d'une synapse 332 provenant du neurone *start* 207 du circuit de combinaison linéaire 200.

10 {00242} La valeur initiale x_0 est, selon son signe, délivrée sur le neurone *output+* 313 ou *output-* 314 une fois que le neurone *init* 318 puis le neurone *start* 319 ont été activés. Au même moment, un événement est délivré par le neurone *new input* 320. Cet événement signale à l'environnement du circuit 310 que la valeur de dérivée $g'(k.dt)$, avec $k = 0$, peut être fournie. Dès que cette valeur de dérivée $g'(k.dt)$ est présentée sur le neurone *input+* 311
15 ou *input-* 312, une nouvelle valeur d'intégrale est délivrée par le neurone *output+* 313 ou *output-* 314 et un nouvel événement délivré par le neurone *new input* 320 signale à l'environnement du circuit 310 que la prochaine valeur de dérivée $g'((k+1).dt)$ peut être fournie. Ce processus se répète autant de fois que des valeurs de dérivée $g'(k.dt)$ sont fournies ($k = 0, 1, 2, \text{etc.}$).

20 {00243} Après fourniture d'une $(k+1)$ -ième valeur de dérivée $g'(k.dt)$ au circuit intégrateur 310, on trouve en sortie la représentation de la valeur :

$$x_0 + \sum_{i=0}^k g'(i.dt).dt \quad (23)$$

qui, à une constante additive près, est une approximation de $g(T) = \int_0^T g'(t).dt$, avec $T = (k + 1).dt$.

25 {00244} Les circuits décrits précédemment en référence aux figures 1-28 peuvent être assemblés et configurés pour exécuter de nombreux types de calculs dans lesquels les grandeurs manipulées, en entrée et/ou sortie sont représentées par des intervalles de temps entre événements reçus ou délivrés par des neurones.

{00245} En particulier, les figures 29, 31 et 33 illustrent des exemples de dispositifs de traitement selon l'invention servant à résoudre des équations différentielles. Des calculs ont été réalisés avec des circuits construits comme sur ces figures, avec des paramètres choisis purement à titre d'exemple de la façon suivante : $\tau_m = 100$ s, $\tau_f = 20$ ms, $V_t = 10$ mV,
 5 $T_{min} = 10$ ms et $T_{cod} = 100$ ms.

E.2. Équation différentielle du premier ordre

{00246} La figure 29 montre un dispositif de traitement qui implémente la résolution de l'équation différentielle :

$$\tau \cdot \frac{dX}{dt} + X(t) = X_\infty \quad (24)$$

10 où τ et X_∞ sont des paramètres pouvant prendre différentes valeurs. Les synapses représentées sur la figure 29 sont toutes des V -synapses excitatrices de poids w_e et de retard T_{syn} .

{00247} Pour résoudre l'équation (24), le dispositif de la figure 29 utilise :

- un circuit de combinaison linéaire 200 tel que représenté sur la figure 20, avec $N = 2$
 15 et des coefficients $\alpha_0 = -1/\tau$ et $\alpha_1 = +1/\tau$;
- un circuit intégrateur 310 tel que représenté sur la figure 28, avec un pas d'intégration dt ; et
- un circuit 317 de fourniture de la constante X_∞ , semblable au circuit 317 décrit en référence à la figure 28, sous forme de l'intervalle de temps $f(|X_\infty|)$ entre deux spikes
 20 délivrés soit par son neurone *output+* 315, soit par son neurone *output-* 316, selon le signe de X_∞ .

{00248} La constante X_∞ est fournie à l'un des neurones *input+* et *input-* 181₁ associés au coefficient $\alpha_1 = 1/\tau$ dans le circuit de combinaison linéaire 200 après chaque activation du neurone *recall* 15 qui est le nœud récepteur d'une synapse 340 provenant du neurone
 25 *new input* 320 du circuit intégrateur 310. Deux synapses 341, 342 font rétroagir la sortie *output+* 313 du circuit intégrateur 310 sur l'autre entrée *input+* 181₀ du circuit de combinaison linéaire 200 et, respectivement, la sortie *output-* 314 du circuit 310 sur l'autre entrée *input-* 181₀ du circuit 200. Deux synapses 343, 344 vont de la sortie *output+* 203 du

circuit de combinaison linéaire 200 à l'entrée *input+* 311 du circuit intégrateur 310 et, respectivement, de la sortie *output+* 204 du circuit 200 à l'entrée *input-* 312 du circuit 310.

{00249} Le dispositif de la figure 29 a une paire de neurones *output+* 346 et *output-* 347 qui sont les nœuds récepteurs de deux synapses issues des neurones *output+* 313 et *output-* 314 du circuit intégrateur 310.

{00250} Les neurones *init* 348 et *start* 349 permettent d'initialiser et de faire démarrer le processus d'intégration. Le neurone *init* 348 doit être déclenché avant le processus d'intégration pour charger la valeur initiale dans le circuit intégrateur 310. Le neurone *start* 349 est déclenché pour délivrer la première valeur à partir du circuit 310.

10 {00251} Le dispositif de la figure 29 est réalisé à l'aide de 118 neurones si on utilise les composants tels que décrits en référence aux figures précédentes. Ce nombre de neurones peut être réduit par optimisation.

{00252} Des résultats de simulation de ce dispositif avec différents jeux de paramètres τ , X_∞ et avec un pas d'intégration $dt = 0,5$ sont présentés sur la figure 30A pour différentes valeurs de τ et sur la figure 30B pour différentes valeurs de X_∞ ($X_\infty = -0,2$, $X_\infty = 0,1$ et $X_\infty = -0,4$). Chaque point des courbes C1-C3, C'1-C'3 montrées sur les figures 30A et 30B correspond à une valeur de sortie respective codée par une paire de spikes délivrée par le neurone *output+* 346 ou le neurone *output-* 347. On voit que les courbes ainsi obtenues pour la solution $X(t)$ de l'équation différentielle (24) sont conformes à ce qu'on attend (par
20 résolution analytique).

E.3. Équation différentielle du second ordre

{00253} La figure 31 montre un dispositif de traitement qui implémente la résolution de l'équation différentielle :

$$\frac{1}{\omega_0^2} \cdot \frac{d^2X}{dt^2} + \frac{\xi}{\omega_0} \cdot \frac{dX}{dt} + X(t) = X_\infty \quad (25)$$

25 où ξ et ω_0 sont des paramètres pouvant prendre différentes valeurs. Les synapses représentées sur la figure 31 sont toutes des V-synapses excitatrices de poids w_e et de retard T_{syn} . Comme les grandeurs manipulées dans cet exemple sont toutes positives, il n'est pas

nécessaire de prévoir deux trajets distincts pour les valeurs positives et pour les valeurs négatives. Seul le trajet relatif aux valeurs positives est donc inclus.

{00254} Pour résoudre l'équation (25), le dispositif de la figure 31 utilise :

- un circuit de combinaison linéaire 200 tel que représenté sur la figure 20, avec $N = 3$ et des coefficients $\alpha_0 = \alpha_2 = \omega_0^2$ et $\alpha_1 = -\xi \cdot \omega_0$;
- deux circuits intégrateurs 310A, 310B tels que celui représenté sur la figure 28, avec un pas d'intégration dt ; et
- un circuit 317 de fourniture de la constante X_∞ , semblable au circuit décrit en référence à la figure 1, sous forme de l'intervalle de temps $f(X_\infty)$ entre deux spikes délivrés par son neurone *output* 16 ($X_\infty > 0$).

{00255} La constante X_∞ est fournie au neurone *input* 181₂ associé au coefficient $\alpha_2 = \omega_0^2$ dans le circuit de combinaison linéaire 200 après chaque activation du neurone *recall* 15 qui est le nœud récepteur d'une synapse 350 provenant du neurone *new input* 320 du second circuit intégrateur 310B. Deux synapses 351, 352 font rétroagir la sortie *output* 313 du second circuit intégrateur 310B sur l'entrée *input* 181₁ du circuit de combinaison linéaire 200 associée au coefficient $\alpha_1 = -\xi \cdot \omega_0$ et, respectivement, la sortie *output* 313 du premier circuit intégrateur 310A sur l'autre entrée *input* 181₀ du circuit 200 associée au coefficient $\alpha_0 = \omega_0^2$. Une synapse 353 va de la sortie *output* 203 du circuit de combinaison linéaire 200 à l'entrée *input* 311 du premier circuit intégrateur 310A. Une synapse 354 va de la sortie *output* 313 du premier circuit intégrateur 310A à l'entrée *input* 311 du second circuit intégrateur 310B.

{00256} Le dispositif de la figure 31 a un neurone *output* 356 qui est le nœud récepteur d'une synapse issue du neurone *output* 313 du second circuit intégrateur 310B.

{00257} Les neurones *init* 358 et *start* 359 permettent d'initialiser et de faire démarrer le processus d'intégration. Le neurone *init* 358 doit être déclenché avant le processus d'intégration pour charger les valeurs initiales dans les circuits intégrateurs 310A, 310B. Le neurone *start* 359 est déclenché pour délivrer la première valeur à partir du second circuit intégrateur 310B.

{00258} Le dispositif de la figure 31 est réalisé à l'aide de 187 neurones si on utilise les composants tels que décrits en référence aux figures précédentes. Ce nombre de neurones peut être réduit par optimisation.

{00259} Des résultats de simulation de ce dispositif avec différents jeux de paramètres ξ , ω_0 et avec un pas d'intégration $dt = 0,2$ et $X_\infty = 0,5$ sont présentés sur la figure 32A pour différentes valeurs de ω_0 et sur la figure 32B pour différentes valeurs de ξ . Chaque point sur les courbes D1-D3, D'1-D'3 montrées sur les figures 32A et 32B correspond à une valeur de sortie respective codée par une paire de spikes délivrée par le neurone *output* 356. On voit que les courbes ainsi obtenues pour la solution $X(t)$ de l'équation différentielle (25) sont de nouveau conformes à ce qu'on attend.

E.4. Résolution d'un système d'équations différentielles non-linéaires

{00260} La figure 33 montre un dispositif de traitement qui implémente la résolution du système d'équations différentielles non-linéaires proposées par E. Lorenz pour la modélisation d'un écoulement non périodique déterministe ("Deterministic Nonperiodic Flow", *Journal of the Atmospheric Sciences*, Vol. 20, No. 2, pages 130-141, mars 1963) :

$$\begin{cases} \frac{dX}{dt} = \sigma(Y(t) - X(t)) \\ \frac{dY}{dt} = \rho \cdot X(t) - Y(t) - X(t) \cdot Z(t) \\ \frac{dZ}{dt} = X(t) \cdot Y(t) - \beta \cdot Z(t) \end{cases} \quad (26)$$

{00261} Pour assurer que le système modélisé ait un comportement chaotique, le dispositif de la figure 33 a été simulé avec le choix de paramètres $\sigma = 10$, $\beta = 8/3$ et $\rho = 28$. Les variables étaient mises à l'échelle pour obtenir des variables d'état X , Y et Z évoluant chacune dans l'intervalle $[0, 1]$ de façon qu'elles puissent être représentées sous la forme (11) ci-dessus. L'état initial du système était fixé à $X = -0,15$, $Y = -0,20$, et $Z = 0,20$. Le pas d'intégration utilisé était $dt = 0,01$.

{00262} Les synapses représentées sur la figure 33 sont toutes des V -synapses excitatrices de poids w_e et de retard T_{syn} . Pour alléger le dessin, un seul trajet est représenté, mais il faut entendre qu'il y a à chaque fois un trajet pour les valeurs positives des variables et, en parallèle, un trajet pour leurs valeurs négatives.

{00263} Pour résoudre le système (26), le dispositif de la figure 33 utilise :

- deux circuits multiplieurs signés 290A, 290B tels que celui représenté sur la figure 27 pour calculer les non-linéarités contenues dans les dérivées de X , Y et Z ;
 - trois circuits de combinaison linéaire 200A, 200B, 200C tels que celui représenté sur la figure 20 pour calculer les dérivées de X , Y et Z ;
- 5 • un circuit synchroniseur signé 90 du type de celui représenté sur la figure 8 avec $N = 3$ pour attendre que les trois dérivées soient calculées avant de faire évoluer l'état du système ;
- trois circuits intégrateurs 310A, 310B, 310C de pas dt tels que celui représenté sur la figure 28 pour calculer le nouvel état à partir des dérivées de X , Y et Z .
- 10 {00264} Le circuit de combinaison linéaire 200A est configuré $N = 2$ et des coefficients $\alpha_0 = \sigma$ et $\alpha_1 = -\sigma$. Son neurone *input* 181A₀ est excité depuis le neurone *output* 313A du circuit intégrateur 310A, et son neurone *input* 181A₁ depuis le neurone *output* 313B du circuit intégrateur 310B. Son neurone *output* 203A est le nœud émetteur d'une synapse allant au neurone *input* 91₀ du circuit synchroniseur 90.
- 15 {00265} Le circuit de combinaison linéaire 200B est configuré $N = 3$ et des coefficients $\alpha_0 = \rho$ et $\alpha_1 = \alpha_2 = -1$. Son neurone *input* 181B₀ est excité depuis le neurone *output* 313B du circuit intégrateur 310B, son neurone *input* 181B₁ depuis le neurone *output* 313A du circuit intégrateur 310A, et son neurone *input* 181B₂ depuis le neurone *output* 295A du circuit multiplieur 290A. Son neurone *output* 203B est le nœud émetteur d'une synapse allant au
- 20 neurone *input* 91₁ du circuit synchroniseur 90.
- {00266} Le circuit de combinaison linéaire 200C est configuré $N = 2$ et des coefficients $\alpha_0 = 1$ et $\alpha_1 = -\beta$. Son neurone *input* 181C₀ est excité depuis le neurone *output* 295B du circuit multiplieur 290B, et son neurone *input* 181C₁ depuis le neurone *output* 313C du circuit intégrateur 310C. Son neurone *output* 203C est le nœud émetteur d'une synapse
- 25 allant au neurone *input* 91₂ du circuit synchroniseur 90.
- {00267} Trois synapses vont respectivement du neurone *output* 92₀ du circuit synchroniseur 90 au neurone *input* 311A du circuit intégrateur 310A, du neurone *output* 92₁ du circuit 90 au neurone *input* 311B du circuit intégrateur 310B, et du neurone *output* 92₂ du circuit 90 au neurone *input* 311C du circuit intégrateur 310C.

{00268} Le neurone *input* 291A₁ du circuit multiplieur 290A est excité depuis le neurone *output* 313A du circuit intégrateur 310A, et son neurone *input* 291A₂ depuis le neurone *output* 313C du circuit intégrateur 310C. Le neurone *input* 291B₁ du circuit multiplieur 290B est excité depuis le neurone *output* 313A du circuit intégrateur 310A, et son neurone
5 *input* 291B₂ depuis le neurone *output* 313B du circuit intégrateur 310B.

{00269} Le dispositif de la figure 33 possède trois neurones *output* 361, 362 et 363 qui sont les nœuds récepteurs de trois *V*-synapses excitatrices respectives provenant des neurones *output* 313A, 313B et 313C des circuits intégrateurs 310A, 310B, 310C. Ces trois neurones *output* 361-363 délivrent des paires d'événements dont les intervalles représentent
10 des valeurs de la solution $\{X(t), Y(t), Z(t)\}$ calculée pour le système (26).

{00270} Le dispositif de la figure 33 est réalisé à l'aide de 549 neurones si on utilise les composants tels que décrits en référence aux figures précédentes. Ce nombre de neurones peut être significativement réduit par optimisation.

{00271} Les points sur la figure 34 correspondent chacun à un triplet $\{X(t), Y(t), Z(t)\}$ de
15 valeurs de sortie codé par trois paires de spikes respectivement délivrées par les trois neurones *output* 361-363, dans un graphe à trois dimensions illustrant une simulation du dispositif représenté sur la figure 33. Le point P représente les valeurs $X(0), Y(0), Z(0)$ d'initialisation de la simulation. Les autres points représentent des triplets calculés par le dispositif de la figure 33.

20 {00272} Le système se comporte de la manière attendue, en conformité avec l'attracteur étrange décrit par Lorenz.

F. Discussion

{00273} On a montré que l'architecture de calcul proposée, avec la représentation des
25 données sous forme d'intervalles de temps entre événements au sein d'un ensemble de nœuds de traitement, permet de concevoir des circuits relativement simples pour réaliser des fonctions élémentaires de manière très efficace et rapide. En général, les résultats des calculs sont disponibles dès que les différentes données d'entrée ont été fournies (à quelques retards synaptiques près).

{00274} Ces circuits peuvent ensuite être assemblés pour exécuter des calculs plus sophistiqués. Ils forment des sortes de briques à partir desquelles on peut construire des structures de calcul performantes. Des exemples en ont été montrés en ce qui concerne la résolution d'équations différentielles.

5 {00275} Lorsque les circuits élémentaires sont assemblés, il est possible d'optimiser le nombre de neurones utilisés. Par exemple, certains des circuits ont été décrits avec des neurones *input*, et/ou des neurones *output* et/ou des neurones *first*, *last*. Dans la pratique, on peut souvent se passer de ces neurones aux interfaces entre circuits élémentaires sans changer la fonctionnalité remplie.

10 {00276} Les nœuds de traitement sont typiquement organisés en matrice. Ceci se prête bien notamment à une implémentation à l'aide de FPGA.

{00277} Un réseau programmable 400 constituant l'ensemble de nœuds de traitement, ou une partie de cet ensemble, dans un exemple de mise en œuvre du dispositif de traitement est illustré schématiquement sur la figure 35. Le réseau 400 est constitué de multiples
15 neurones ayant tous le même modèle de comportement en fonction des événements reçus sur leurs connexions. Par exemple, le comportement peut être modélisé par les équations (1) indiquées ci-dessus, avec des paramètres τ_m et τ_f identiques pour les différents nœuds du réseau.

{00278} Une logique de programmation ou de configuration 420 est associée au réseau
20 400 pour régler les poids synaptiques et les paramètres de retard des connexions entre les nœuds du réseau 400. Cette configuration est opérée de manière analogue à ce qui est couramment pratiqué dans le domaine des réseaux de neurones artificiels. Dans le présent contexte, la configuration des paramètres des connexions est effectuée en fonction du programme de calcul qu'il s'agit d'exécuter et en tenant compte de la relation employée
25 entre les intervalles de temps et les grandeurs qu'ils représentent, par exemple la relation (11). Si le programme est décomposé en opérations élémentaires, la configuration peut résulter d'un assemblage de circuits du genre de ceux qui ont été décrits précédemment. Cette configuration est réalisée sous le contrôle d'une unité de commande 410 munie d'une interface homme-machine.

30 {00279} Un autre rôle de l'unité de commande 410 est de fournir les grandeurs d'entrée au réseau programmable 400, sous forme d'événements séparés par des intervalles de temps

appropriés, pour que les nœuds de traitement du réseau 400 exécutent le calcul et délivrent les résultats. Ces résultats sont rapidement récupérés par l'unité de commande 410 pour être présentés à un utilisateur ou à une application qui les utilise.

{00280} Cette architecture de calcul convient bien à une exécution rapide de calculs
5 massivement parallèles.

{00281} En outre, il est relativement facile d'avoir une organisation en pipeline des calculs pour l'exécution d'algorithmes qui se prêtent bien à ce type d'organisation.

{00282} Les modes de réalisation décrits ci-dessus sont des illustrations de la présente invention. Diverses modifications peuvent leur être apportées sans sortir du cadre de
10 l'invention qui ressort des revendications annexées.

REVENDICATIONS

1. Dispositif de traitement de données, comprenant un ensemble de nœuds de traitement et des connexions entre les nœuds,
dans lequel chaque connexion a un nœud émetteur et un nœud récepteur parmi
5 l'ensemble de nœuds de traitement et est configurée pour transmettre au nœud récepteur des événements délivrés par le nœud émetteur,
dans lequel chaque nœud est agencé pour faire varier une valeur de potentiel respective (V) en fonction d'événements reçus par ledit nœud et pour délivrer un événement lorsque la valeur de potentiel atteint un seuil prédéfini (V_t),
10 dans lequel au moins une grandeur d'entrée (x) du dispositif de traitement de données est représentée par un intervalle de temps (Δt) entre deux événements reçus par au moins un nœud,
et dans lequel au moins une grandeur de sortie du dispositif de traitement de données est représentée par un intervalle de temps entre deux événements délivrés par au moins un
15 nœud.
2. Dispositif selon la revendication 1,
dans lequel chaque nœud de traitement est agencé pour réinitialiser sa valeur de potentiel lorsqu'il délivre un événement.
3. Dispositif selon l'une quelconque des revendications précédentes,
20 dans lequel les connexions entre les nœuds comprennent des connexions de variation de potentiel ayant chacune un poids respectif,
et dans lequel le nœud récepteur d'une connexion de variation de potentiel est agencé pour réagir à un événement reçu sur ladite connexion de variation de potentiel en ajoutant à sa valeur de potentiel (V) le poids de ladite connexion de variation de potentiel.
- 25 4. Dispositif selon la revendication 3,

dans lequel l'ensemble de nœuds de traitement comprend au moins un premier nœud (23) formant le nœud récepteur d'une première connexion de variation de potentiel (22) ayant un premier poids positif au moins égal au seuil prédéfini (V_t) pour la valeur de potentiel, et au moins un second nœud (25) formant le nœud récepteur d'une seconde connexion de variation de potentiel (24) de poids au moins égal à la moitié du seuil prédéfini pour la valeur de potentiel et inférieur au seuil prédéfini (V_t) pour la valeur de potentiel, dans lequel le premier nœud (23) forme en outre le nœud émetteur et le nœud récepteur d'une troisième connexion de variation de potentiel (28) de poids égal à l'opposé du premier poids,

10 dans lequel le premier nœud (23) forme en outre le nœud émetteur d'une quatrième connexion (26) et le second nœud (25) forme en outre le nœud émetteur d'une cinquième connexion (27),

et dans lequel les première et seconde connexions de variation de potentiel (22, 24) sont configurées pour recevoir chacune deux événements séparés par un premier intervalle de temps (Δt) représentant une grandeur d'entrée de sorte que les quatrième et cinquième connexions (26, 27) transportent des événements respectifs ayant entre eux un second intervalle de temps en rapport avec le premier intervalle de temps (Δt).

5. Dispositif selon la revendication 3, comprenant au moins un circuit de calcul de minimum (100),

20 dans lequel le circuit de calcul de minimum comprend :

des premier et second nœuds d'entrée (101, 102) ;

un nœud de sortie (103) ;

des premier et second nœuds de sélection (104, 105) ;

25 des première, seconde, troisième, quatrième, cinquième et sixième connexions de variation de potentiel (106-111) ayant chacune un premier poids positif au moins égal à la moitié du seuil prédéfini (V_t) pour la valeur de potentiel et inférieur au seuil prédéfini (V_t) pour la valeur de potentiel ;

des septième et huitième connexions de variation de potentiel (112-113) ayant chacune un second poids opposé au premier poids ; et

des neuvième et dixième connexions de variation de potentiel (114-115)
ayant chacune un troisième poids double du second poids,

dans lequel le premier nœud d'entrée (101) forme le nœud émetteur des première et
troisième connexions (106, 108) et le nœud récepteur de la dixième connexion (115),

5 dans lequel le second nœud d'entrée (102) forme le nœud émetteur des seconde et
quatrième connexions (107, 109) et le nœud récepteur de la neuvième connexion (114),

dans lequel le premier nœud de sélection (104) forme le nœud émetteur des
cinquième, septième et neuvième connexions (110, 112, 114) et le nœud récepteur des
première et huitième connexions (106, 113),

10 dans lequel le second nœud de sélection (105) forme le nœud émetteur des sixième,
huitième et dixième connexions (111, 113, 115) et le nœud récepteur des seconde et
septième connexions (107, 112),

et dans lequel le nœud de sortie (103) forme le nœud récepteur des troisième,
quatrième, cinquième et sixième connexions (108-111).

15 6. Dispositif selon la revendication 3, comprenant au moins un circuit de calcul de
maximum (120),

dans lequel le circuit de calcul de maximum comprend :

des premier et second nœuds d'entrée (121, 122) ;

un nœud de sortie (123) ;

20 des premier et second nœuds de sélection (124, 125) ;

des première, seconde, troisième et quatrième connexions de variation de
potentiel (126-129) ayant chacune un premier poids positif au moins égal à la
moitié du seuil prédéfini (V_l) pour la valeur de potentiel et inférieur au seuil
prédéfini (V_l) pour la valeur de potentiel ; et

25 des cinquième et sixième connexions de variation de potentiel (132-133)
ayant chacune un second poids égal au double de l'opposé du premier poids,

dans lequel le premier nœud d'entrée (121) forme le nœud émetteur des première et
troisième connexions (126, 128),

30 dans lequel le second nœud d'entrée (122) forme le nœud émetteur des seconde et
quatrième connexions (127, 129),

dans lequel le premier nœud de sélection (104) forme le nœud émetteur de la cinquième connexion (132) et le nœud récepteur des première et sixième connexions (126, 133),

dans lequel le second nœud de sélection (105) forme le nœud émetteur de la sixième
5 connexion (133) et le nœud récepteur des seconde et cinquième connexions (127, 132),

et dans lequel le nœud de sortie (123) forme le nœud récepteur des troisième et quatrième connexions (128, 129).

7. Dispositif selon la revendication 3, comprenant au moins un circuit soustracteur (140, 170),

10 dans lequel le circuit soustracteur (140, 170) comprend :

des premier et second nœuds de synchronisation (145, 146) ;

des premier et second nœuds d'inhibition (147, 148) ;

des premier et second nœuds de sortie (143, 144) ;

15 des première, seconde, troisième, quatrième, cinquième et sixième connexions de variation de potentiel (152-157) ayant chacune un premier poids positif au moins égal au seuil prédéfini (V_i) pour la valeur de potentiel ;

des septième et huitième connexions de variation de potentiel (160, 161) ayant chacune un second poids égal à la moitié du premier poids ;

20 des neuvième et dixième connexions de variation de potentiel (158, 159) ayant chacune un troisième poids opposé au premier poids ; et

des onzième et douzième connexions de variation de potentiel (162, 163) ayant chacune un quatrième poids ($2w_i$) double du troisième poids,

dans lequel le premier nœud de synchronisation (145) forme le nœud émetteur des première, seconde, troisième et neuvième connexions (152, 153, 154, 158),

25 dans lequel le second nœud de synchronisation (146) forme le nœud émetteur des quatrième, cinquième, sixième et dixième connexions (155, 156, 157, 159),

dans lequel le premier nœud d'inhibition (147) forme le nœud émetteur de la onzième connexion (162) et le nœud récepteur des troisième, huitième et dixième connexions (154, 161, 159),

dans lequel le second nœud d'inhibition (148) forme le nœud émetteur de la douzième connexion (163) et le nœud récepteur des sixième, septième et neuvième connexions (157, 160, 158),

5 dans lequel le premier nœud de sortie (143) forme le nœud émetteur de la septième connexion (160) et le nœud récepteur des première, cinquième et onzième connexions (152, 156, 162),

dans lequel le second nœud de sortie (144) forme le nœud émetteur de la huitième connexion (161) et le nœud récepteur des seconde, quatrième et douzième connexions (153, 155, 163),

10 et dans lequel le premier nœud de synchronisation (145) est configuré pour recevoir, sur au moins une connexion de variation de potentiel (150) ayant le second poids, une première paire d'événements ayant entre eux un premier intervalle de temps (Δt_1) représentant un premier opérande (x_1), et le second nœud de synchronisation (146) est configuré pour recevoir, sur au moins une connexion de variation de potentiel (151) ayant le
15 second poids, une seconde paire d'événements ayant entre eux un second intervalle de temps (Δt_2) représentant un second opérande (x_2), de sorte qu'une troisième paire d'événements ayant entre eux un troisième intervalle de temps (Δt_{out}) est délivrée par le premier nœud de sortie (143) si le premier intervalle de temps (Δt_1) est plus long que le second intervalle de temps (Δt_2) et par le second nœud de sortie (144) si le premier
20 intervalle de temps (Δt_1) est plus court que le second intervalle de temps (Δt_2), le troisième intervalle de temps (Δt_{out}) représentant la valeur absolue de la différence entre les premier et second opérande (x_1, x_2).

8. Dispositif selon la revendication 7,

25 dans lequel le circuit soustracteur (170) comprend en outre une logique de détection de zéro incluant au moins un nœud de détection (171) associé à des connexions de détection et d'inhibition (172-178) avec les premier et second nœud de synchronisation (145, 146), l'un des premier et second nœud d'inhibition (147, 148) et l'un des premier et second nœud de sortie (143, 144),

30 et dans lequel les connexions de détection et d'inhibition (172-178) sont plus rapides que les première, seconde, troisième, quatrième, cinquième, sixième, septième, huitième, neuvième, dixième, onzième et douzième connexions (152-163),

pour inhiber la production d'événements par l'un des premier et second nœuds de sortie (143, 144) lorsque les premier et second intervalles de temps (Δt_1 , Δt_2) sont sensiblement égaux.

9. Dispositif selon l'une quelconque des revendications 3 à 8,
5 dans lequel l'ensemble de nœuds de traitement comprend au moins un nœud agencé pour faire varier une valeur de courant en fonction d'événements reçus sur au moins une connexion de réglage de courant, et pour faire varier sa valeur de potentiel au cours du temps avec un taux de variation proportionnel à ladite valeur de courant.
10. Dispositif selon la revendication 9,
10 dans lequel un nœud de traitement agencé pour faire varier une valeur de courant est agencé pour remettre à zéro ladite valeur de courant lorsqu'il délivre un événement.
11. Dispositif selon la revendication 9 ou la revendication 10,
dans lequel la valeur de courant dans au moins un nœud a une composante (g_e) constante entre deux événements reçus sur au moins une connexion de réglage de
15 composante constante de courant ayant un poids respectif,
et dans lequel le nœud récepteur d'une connexion de réglage de composante constante de courant est agencé pour réagir à un événement reçu sur ladite connexion en ajoutant le poids de ladite connexion à la composante constante (g_e) de sa valeur de courant.
12. Dispositif selon la revendication 11, comprenant au moins un circuit de mémoire
20 inverseuse (18),
dans lequel le circuit de mémoire inverseuse comprend :
un nœud accumulateur (30) ;
des première, seconde et troisième connexions de réglage de composante constante de courant, les première et troisième connexions (26, 34) ayant un
25 même poids positif (w_{acc}) et la seconde connexion (27) ayant un poids ($-w_{acc}$) opposé au poids des première et troisième connexions ; et
au moins une quatrième connexion (35),

dans lequel le nœud accumulateur (30) forme le nœud récepteur des première, seconde et troisième connexions (26, 27, 34) et le nœud émetteur de la quatrième connexion (35),

5 et dans lequel les première et seconde connexions (26, 27) sont configurées pour adresser respectivement au nœud accumulateur (30) des premier et second événements ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps représentant une grandeur à mémoriser, de sorte que le nœud accumulateur (30) réagit ensuite à un troisième événement reçu sur la troisième connexion (34) en faisant croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion
10 (35), les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec le premier intervalle de temps.

13. Dispositif selon la revendication 12, comprenant au moins un circuit de mémoire (40),

dans lequel le circuit de mémoire comprend :

15 des premier et second nœuds accumulateurs (42, 44) ;

des première, seconde, troisième et quatrième connexions de réglage de composante constante de courant, les première, seconde et quatrième connexions (41, 43, 51) ayant chacune un premier poids positif (w_{acc}) et la troisième connexion (45) ayant un poids ($-w_{acc}$) opposé au poids des première, seconde et
20 quatrième connexions ; et

au moins une cinquième connexion (52),

dans lequel le premier nœud accumulateur (42) forme le nœud récepteur de la première connexion (41) et le nœud émetteur de la troisième connexion (45),

25 dans lequel le second nœud accumulateur (44) forme le nœud récepteur des seconde, troisième et quatrième et cinquième connexions (43, 45, 51) et le nœud émetteur de la cinquième connexion (52),

et dans lequel les première et seconde connexions (41, 43) sont configurées pour adresser respectivement aux premier et second nœuds accumulateurs (42, 44) des premier et second événements ayant entre eux un premier intervalle de temps en relation avec un
30 intervalle de temps représentant une grandeur à mémoriser, de sorte que le second nœud accumulateur (44) réagit ensuite à un troisième événement reçu sur la quatrième connexion

(51) en faisant croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la cinquième connexion (52), les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec le premier intervalle de temps.

14. Dispositif selon la revendication 13,

5 dans lequel le circuit de mémoire (40) comprend une sixième connexion (46) ayant le premier nœud accumulateur (42) comme nœud émetteur, la sixième connexion délivrant un événement pour signaler la disponibilité en lecture du circuit de mémoire.

15. Dispositif selon la revendication 14, comprenant au moins un circuit de synchronisation (90, 98) incluant un nombre $N > 1$ de circuits de mémoire ($40_1, \dots, 40_{N-1}$) et
10 un nœud de synchronisation (95),

dans lequel le nœud de synchronisation (95) est sensible à chaque événement délivré sur la sixième connexion de l'un des N circuits de mémoire ($40_1, \dots, 40_{N-1}$) via une connexion de variation de potentiel respective ($46 ; 96_0, \dots, 96_{N-1}$) de poids égal au premier poids divisé par N ,

15 et dans lequel le nœud de synchronisation (95) est agencé pour provoquer une réception simultanée des troisième événements via les quatrième connexions (51) respectives des N de circuits de mémoire ($40_1, \dots, 40_{N-1}$).

16. Dispositif selon la revendication 11, comprenant au moins un circuit de cumul (180), dans lequel le circuit de cumul comprend :

20 N entrées ($181_0, \dots, 181_{N-1}$) ayant chacune un coefficient de pondération respectif ($\alpha_0, \dots, \alpha_{N-1}$), N étant un nombre entier supérieur à 1 ;

un nœud accumulateur (184) ;

un nœud de synchronisation (185) ;

pour chacune des N entrées du circuit de cumul (180) :

25 une première connexion de réglage de composante constante de courant ($182_0, \dots, 182_{N-1}$) ayant un premier poids positif ($\alpha_0 w_{acc}, \dots, \alpha_{N-1} w_{acc}$) proportionnel au coefficient de pondération respectif de ladite entrée ; et

une seconde connexion de réglage de composante constante de courant ($183_0, \dots, 183_{N-1}$) ayant un second poids ($-\alpha_0 w_{acc}, -\alpha_{N-1} w_{acc}$) opposé au premier poids ; et

5 une troisième connexion de réglage de composante constante de courant (186) ayant un troisième poids positif (w_{acc}),

dans lequel le nœud accumulateur (184) forme le nœud récepteur des premières, secondes et troisième connexions ($181_0, \dots, 181_{N-1}, 182_0, \dots, 182_{N-1}, 186$),

dans lequel le nœud de synchronisation (185) forme le nœud émetteur de la troisième connexion (186),

10 dans lequel, pour chacune des N entrées, les première et seconde connexions ($181_0, \dots, 181_{N-1}, 182_0, \dots, 182_{N-1}$) sont configurées pour adresser respectivement au nœud accumulateur (184) des premier et second événements ayant entre eux un premier intervalle de temps représentant un opérande respectif fourni sur ladite entrée,

15 dans lequel le nœud de synchronisation (185) est configuré pour délivrer un troisième événement une fois que les premier et second événements ont été adressés pour chacune des N entrées, de sorte que le nœud accumulateur (184) fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement, les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec un intervalle de temps représentant une somme pondérée des opérandes fournis sur les N entrées.

20 17. Dispositif selon la revendication 16,

dans lequel le circuit de cumul (180) fait partie d'un circuit de sommation pondérée (190) comprenant en outre :

un second nœud accumulateur (188) ;

25 une quatrième connexion de réglage de composante constante de courant (191) ayant le troisième poids (w_{acc}) ; et

des cinquième et sixième connexions (193, 192),

dans lequel le nœud de synchronisation (185) du circuit de cumul forme le nœud émetteur de la quatrième connexion (191),

30 dans lequel le nœud accumulateur (184) du circuit de cumul forme le nœud émetteur de la cinquième connexion (193),

dans lequel le second nœud accumulateur (188) forme le nœud récepteur de la quatrième connexion (191) et le nœud émetteur de la sixième connexion (192),

dans lequel, en réponse à la délivrance du troisième événement par le nœud de synchronisation (185), le nœud accumulateur (184) du circuit de cumul fait croître sa valeur de potentiel jusqu'à délivrance du quatrième événement sur la cinquième connexion (193),
5 et le second nœud accumulateur (188) fait croître sa valeur de potentiel jusqu'à délivrance d'un cinquième événement sur la sixième connexion (192), les quatrième et cinquième événements ayant entre eux un troisième intervalle de temps en relation avec un intervalle de temps représentant une somme pondérée des opérandes fournis sur les N entrées du
10 circuit de cumul (180).

18. Dispositif selon la revendication 16, comprenant deux circuits de cumul (180A, 180B) assemblés dans un circuit de combinaison linéaire (200),

dans lequel les deux circuits de cumul (180A, 180B) partagent leur nœud de synchronisation (184),

15 dans lequel le circuit de combinaison linéaire comprend en outre un circuit soustracteur (170) configuré pour réagir au troisième événement délivré par le nœud de synchronisation partagé (185) et aux quatrième événements respectivement délivrés par les nœuds accumulateurs (184) des deux circuits de cumul (180A, 180B) en délivrant une paire d'événements ayant entre eux un troisième intervalle de temps représentatif de la différence
20 entre la somme pondérée pour l'un des deux circuits de cumul et la somme pondérée pour l'autre des deux circuits de cumul.

19. Dispositif selon l'une quelconque des revendications 11 à 18,

dans lequel la valeur de courant dans au moins un nœud a une composante (g_f) à décroissance exponentielle entre deux événements reçus sur au moins une connexion de
25 réglage de composante de courant à décroissance exponentielle ayant un poids respectif,

et dans lequel le nœud récepteur d'une connexion de réglage de composante de courant à décroissance exponentielle est agencé pour réagir à un événement reçu sur ladite connexion en ajoutant le poids de ladite connexion à la composante à décroissance exponentielle (g_f) de sa valeur de courant.

20. Dispositif selon la revendication 19, comprenant au moins un circuit de calcul de logarithme (210),

dans lequel le circuit de calcul de logarithme comprend :

un nœud accumulateur (216) ;

5 des première et seconde connexions de réglage de composante constante de courant, la première connexion (212) ayant un poids positif (\bar{w}_{acc}), et la seconde connexion (214) ayant un poids ($-\bar{w}_{acc}$) opposé au poids de la première connexion ;

10 une troisième connexion de réglage de composante de courant à décroissance exponentielle (217) ; et

au moins une quatrième connexion (222),

dans lequel le nœud accumulateur (216) forme le nœud récepteur des première, seconde et troisième connexions (212, 214, 217) et le nœud émetteur de la quatrième connexion (222),

15 dans lequel les première et seconde connexions (212, 214) sont configurées pour adresser au nœud accumulateur (216) des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps (Δt) représentant une grandeur d'entrée (x) du circuit de calcul de logarithme (210),

20 dans lequel la troisième connexion (217) est configurée pour adresser au nœud accumulateur (216) un troisième événement simultané ou postérieur au second événement, de sorte que le nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion (222), les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec un intervalle de temps (Δt_{out}) représentant un logarithme de ladite grandeur d'entrée.

25 21. Dispositif selon la revendication 19,

dans lequel au moins un nœud (238 ; 268) prenant en compte une composante de courant (g_f) à décroissance exponentielle est le nœud récepteur d'une connexion de désactivation (236 ; 271) pour recevoir des événements de désactivation de la composante à décroissance exponentielle.

22. Dispositif selon la revendication 21, comprenant au moins un circuit de calcul d'exponentielle (230),

dans lequel le circuit de calcul d'exponentielle comprend :

un nœud accumulateur (238) ;

5 une première connexion de réglage de composante de courant à décroissance exponentielle (232) ;

une seconde connexion de désactivation (236) ;

une troisième connexion de réglage de composante constante de courant (237) ; et

10 au moins une quatrième connexion (242),

dans lequel le nœud accumulateur (238) forme le nœud récepteur des première, seconde et troisième connexions (232, 236, 237) et le nœud émetteur de la quatrième connexion (242),

15 dans lequel les première et seconde connexions (232, 236) sont configurées pour adresser au nœud accumulateur (238) des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps (Δt) représentant une grandeur d'entrée (x) du circuit de calcul d'exponentielle (230),

20 dans lequel la troisième connexion (237) est configurée pour adresser au nœud accumulateur (238) un troisième événement simultané ou postérieur au second événement, de sorte que le nœud accumulateur fait croître sa valeur de potentiel jusqu'à délivrance d'un quatrième événement sur la quatrième connexion (242), les troisième et quatrième événements ayant entre eux un second intervalle de temps en relation avec un intervalle de temps (Δt_{out}) représentant une exponentielle de ladite grandeur d'entrée.

23. Dispositif selon la revendication 21, comprenant au moins un circuit multiplieur (250),

dans lequel le circuit multiplieur comprend :

des premier, second et troisième nœuds accumulateurs (256₁, 256₂, 268) ;

un nœud de synchronisation (260) ;

30 des première, seconde, troisième, quatrième et cinquième connexions de réglage de composante constante de courant, les première, troisième et cinquième

connexions (252₁, 252₂, 272) ayant un premier poids positif (\bar{w}_{acc}), et les seconde et quatrième connexions (254₁, 254₂) ayant un second poids ($-\bar{w}_{acc}$) opposé au premier poids ;

5 des sixième, septième et huitième connexions de réglage de composante de courant à décroissance exponentielle (262, 265, 269) ;

une neuvième connexion de désactivation (271) ; et

au moins une dixième connexion (276),

10 dans lequel le premier nœud accumulateur (256₁) forme le nœud récepteur des première, seconde et sixième connexions (252₁, 254₁, 262) et le nœud émetteur de la septième connexion (265),

dans lequel le second nœud accumulateur (256₂) forme le nœud récepteur des troisième, quatrième et septième connexions (252₂, 254₂, 265) et le nœud émetteur des cinquième et neuvième connexions (272, 271),

15 dans lequel le troisième nœud accumulateur (268) forme le nœud récepteur des cinquième, huitième et neuvième connexions (272, 269, 271) et le nœud émetteur de la dixième connexion (276),

dans lequel le nœud de synchronisation (260) forme le nœud émetteur des sixième et huitième connexions (272, 271),

20 dans lequel les première et seconde connexions (252₁, 254₁) sont configurées pour adresser au premier nœud accumulateur (256₁) des premier et second événements respectifs ayant entre eux un premier intervalle de temps en relation avec un intervalle de temps (Δt_1) représentant un premier opérande (x_1) du circuit multiplieur (250),

25 dans lequel les troisième et quatrième connexions (252₂, 254₂) sont configurées pour adresser au second nœud accumulateur (256₂) des troisième et quatrième événements respectifs ayant entre eux un second intervalle de temps en relation avec un intervalle de temps (Δt_2) représentant un second opérande (x_2) du circuit multiplieur (250),

dans lequel le nœud de synchronisation (260) est configuré pour délivrer un cinquième événement sur les sixième et huitième connexions une fois que les premier, second, troisième et quatrième événements ont été reçus, de sorte :

30 que le premier nœud accumulateur (256₁) fait croître sa valeur de potentiel jusqu'à délivrance d'un sixième événement sur la septième connexion (265) ;

qu'en réponse au sixième événement, le second nœud accumulateur (256₂) fait croître sa valeur de potentiel jusqu'à délivrance d'un septième événement sur les cinquième et neuvième connexions (272, 271) ;

5 qu'en réponse au septième événement, le troisième nœud accumulateur (268) fait croître sa valeur de potentiel jusqu'à délivrance d'un huitième événement sur la dixième connexion (276), les septième et huitième événements ayant entre eux un troisième intervalle de temps en relation avec un intervalle de temps (Δt_{out}) représentant le produit des premier et second opérandes (x_1, x_2).

24. Dispositif selon la revendication 23, comprenant en outre une logique de détection
10 de signe (300-303) associée au circuit multiplieur (250) pour détecter les signes respectifs des premier et second opérandes (x_1, x_2) et faire délivrer deux événements ayant entre eux l'intervalle de temps (Δt_{out}) représentant le produit des premier et second opérandes sur l'une ou l'autre de deux sorties du circuit multiplieur (250) en fonction des signes détectés.

25. Dispositif selon l'une quelconque des revendications précédentes,
15 dans lequel chaque connexion est associée à un paramètre de retard, pour signaler au nœud récepteur de ladite connexion d'effectuer un changement d'état avec, par rapport à la réception d'un événement sur ladite connexion, un retard indiqué par ledit paramètre.

26. Dispositif selon l'une quelconque des revendications précédentes,
dans lequel l'intervalle de temps Δt entre deux événements représentant une
20 grandeur de valeur absolue x est de la forme $\Delta t = T_{min} + x.T_{cod}$, où T_{min} et T_{cod} sont des paramètres temporels prédéfinis.

27. Dispositif selon la revendication 26,
dans lequel les grandeurs représentées par des intervalles de temps ont des valeurs
absolues x comprises entre 0 et 1.

28. Dispositif selon l'une quelconque des revendications précédentes, comprenant, pour
25 une grandeur d'entrée (x) :

une première entrée comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la première entrée étant agencée pour recevoir deux événements ayant entre eux un intervalle de temps (Δt) représentant une valeur positive de ladite grandeur d'entrée (x) ; et

5 une seconde entrée comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la seconde entrée étant agencée pour recevoir deux événements ayant entre eux un intervalle de temps (Δt) représentant une valeur négative de ladite grandeur d'entrée (x).

29. Dispositif selon l'une quelconque des revendications précédentes, comprenant, pour
10 une grandeur de sortie (x) :

 une première sortie comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la première sortie étant agencée pour délivrer deux événements ayant entre eux un intervalle de temps (Δt) représentant une valeur positive de ladite grandeur de sortie (x) ; et

15 une seconde sortie comportant un nœud ou deux nœuds parmi l'ensemble de nœuds de traitement, la seconde sortie étant agencée pour délivrer deux événements ayant entre eux un intervalle de temps (Δt) représentant une valeur négative de ladite grandeur de sortie (x).

30. Dispositif selon l'une quelconque des revendications précédentes,
 dans lequel l'ensemble de nœuds de traitement est sous la forme d'au moins un
20 réseau programmable (400), les nœuds du réseau ayant un modèle de comportement commun en fonction des événements reçus, le dispositif comprenant en outre une logique de programmation (420) pour régler des poids et des paramètres de retard des connexions entre les nœuds du réseau en fonction d'un programme de calcul, et une unité de commande (410) pour fournir des grandeurs d'entrée au réseau et récupérer des grandeurs de sortie calculées
25 conformément au programme.

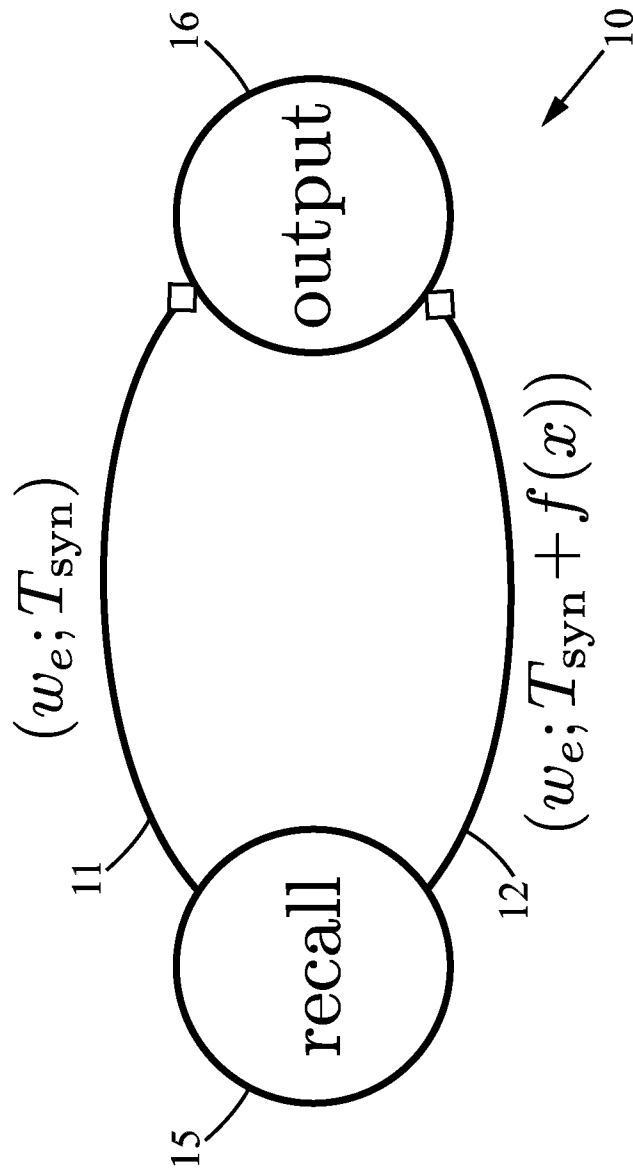
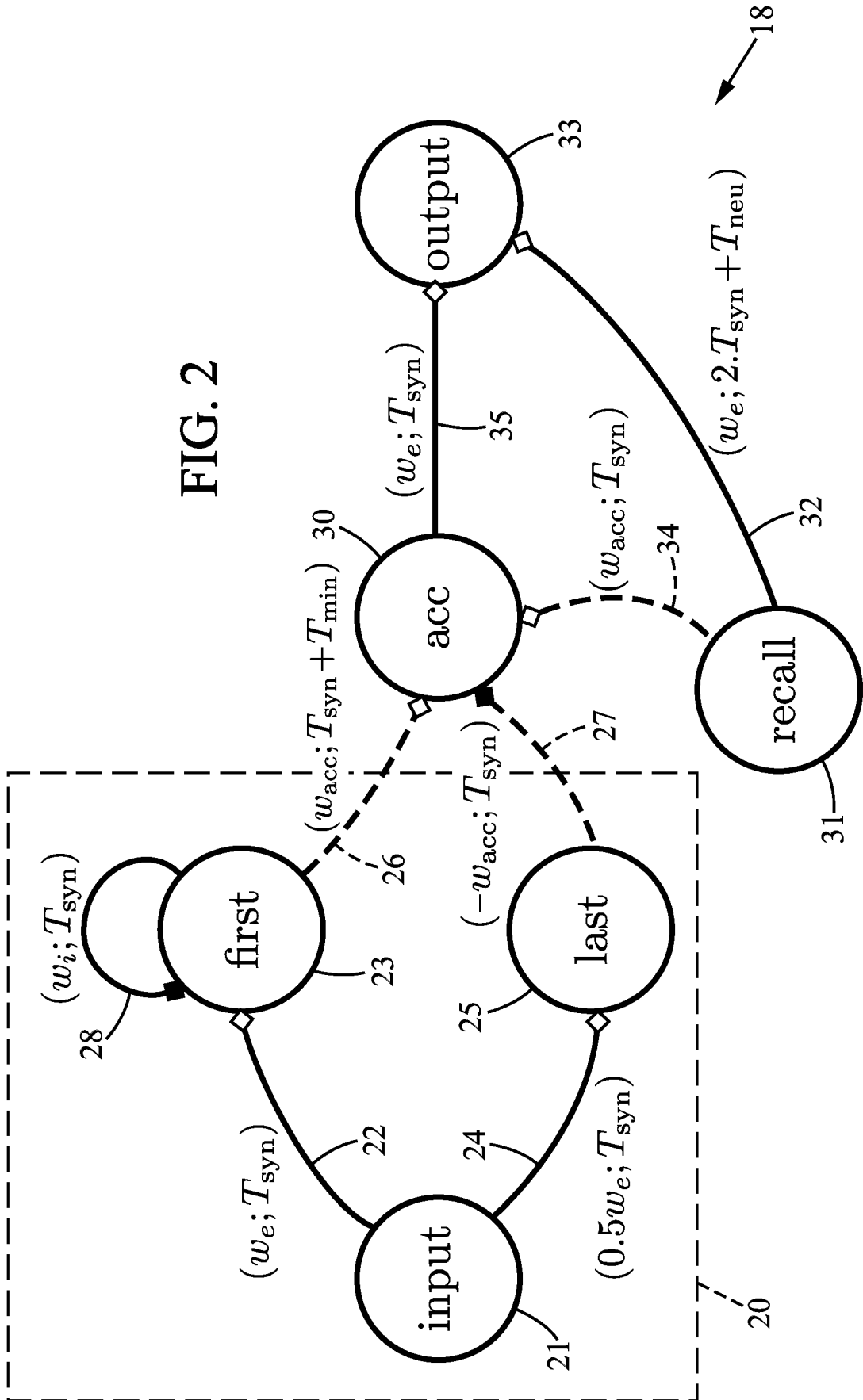


FIG. 1

FIG. 2



18

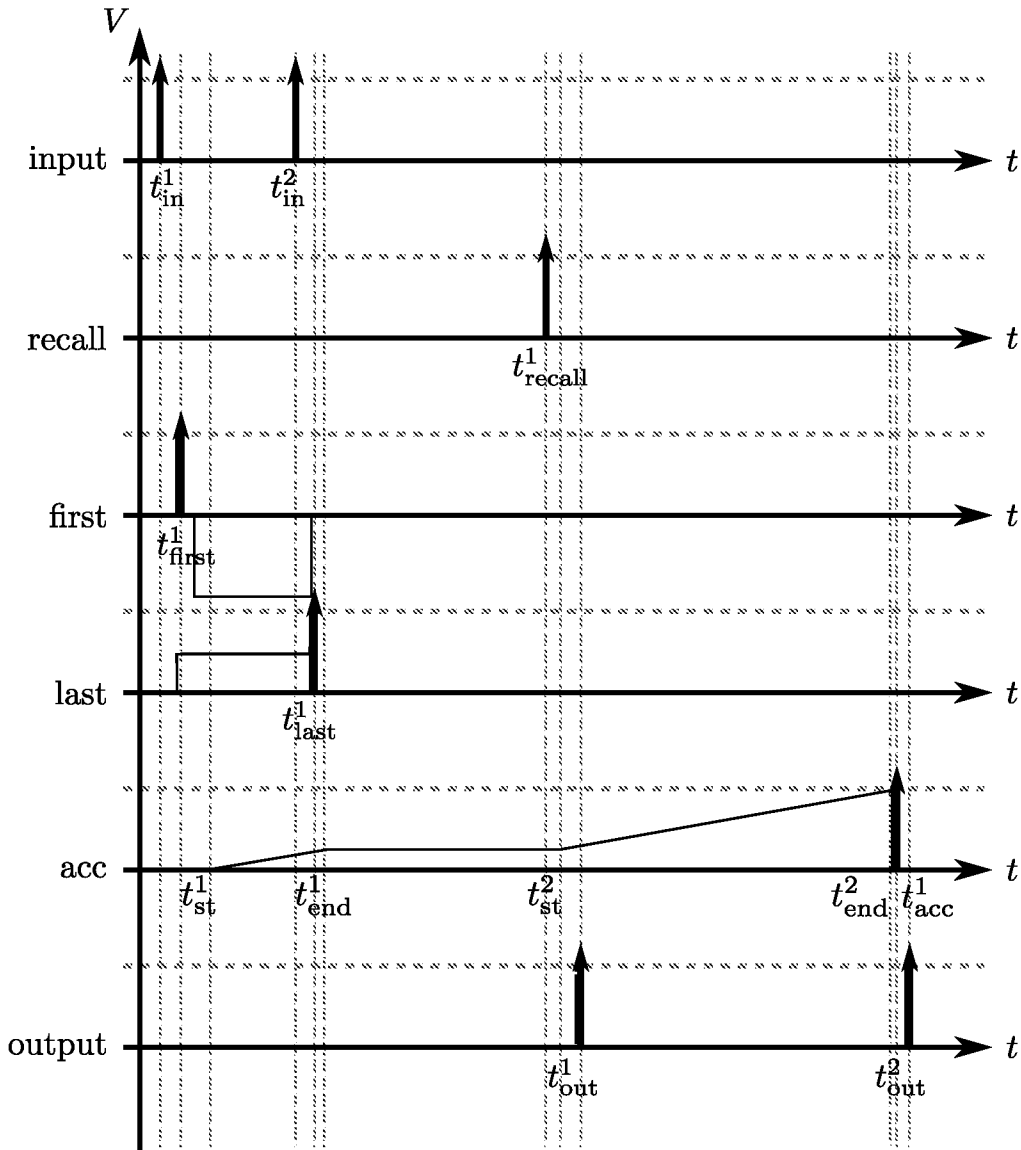


FIG. 3

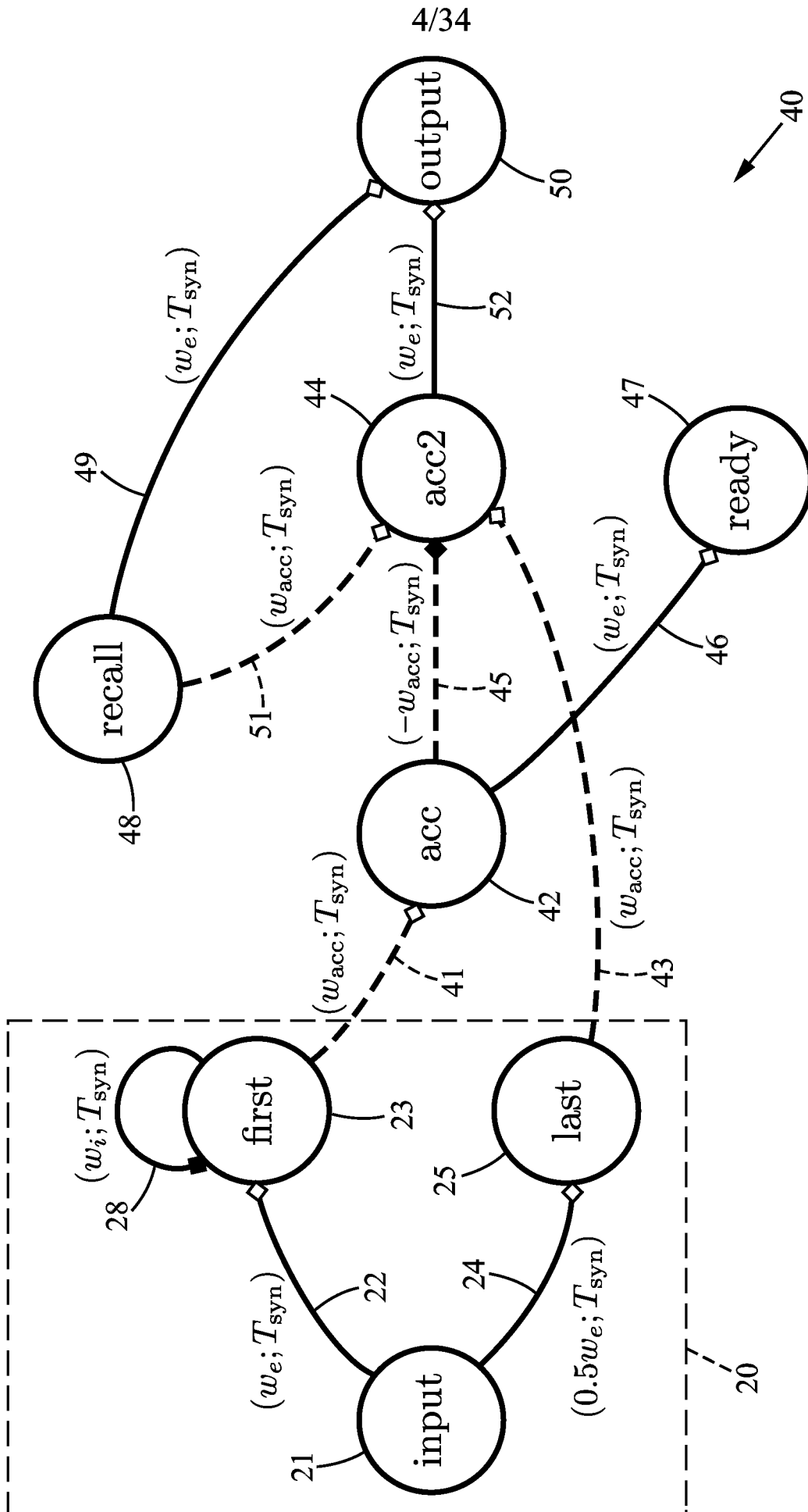


FIG. 4

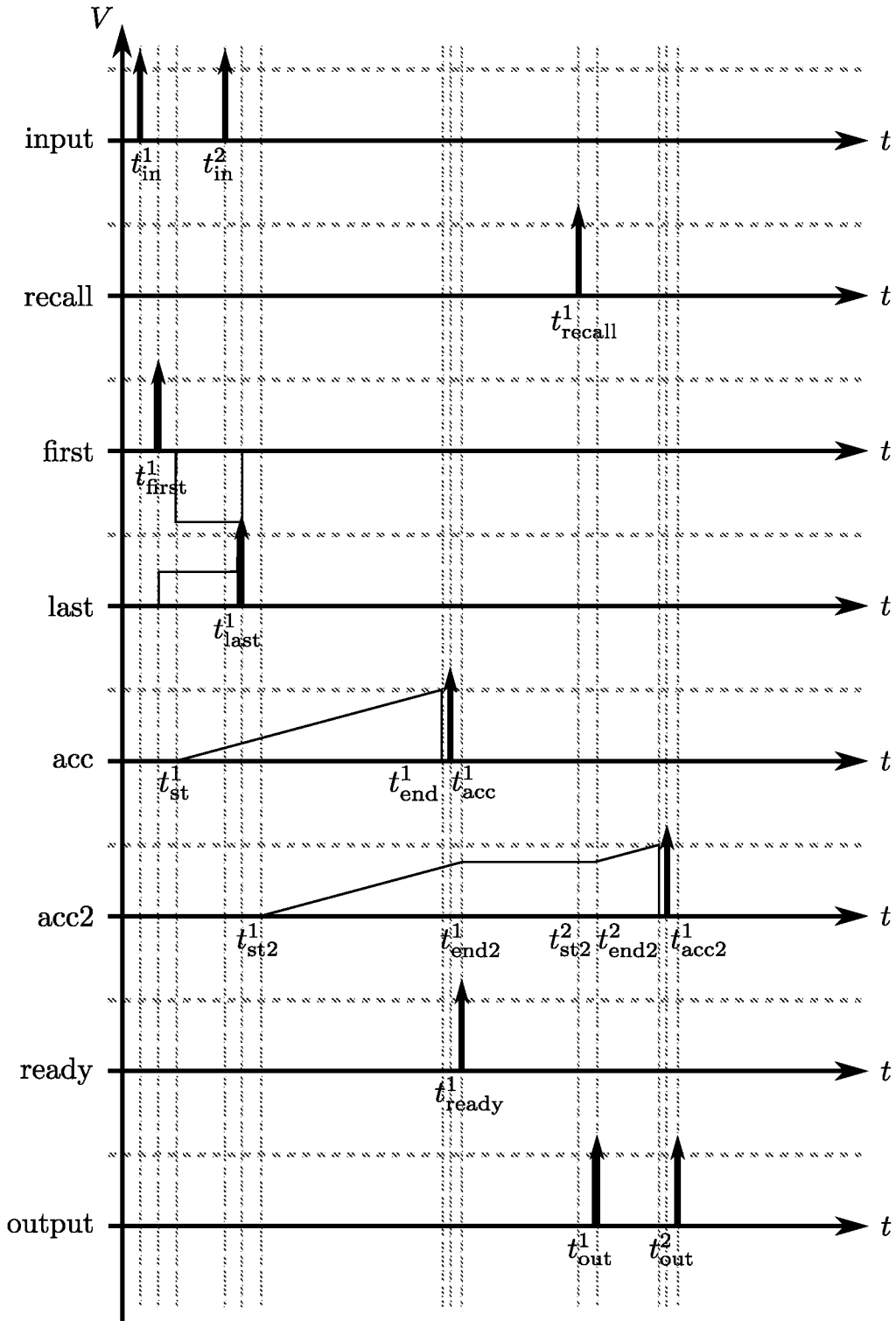


FIG. 5

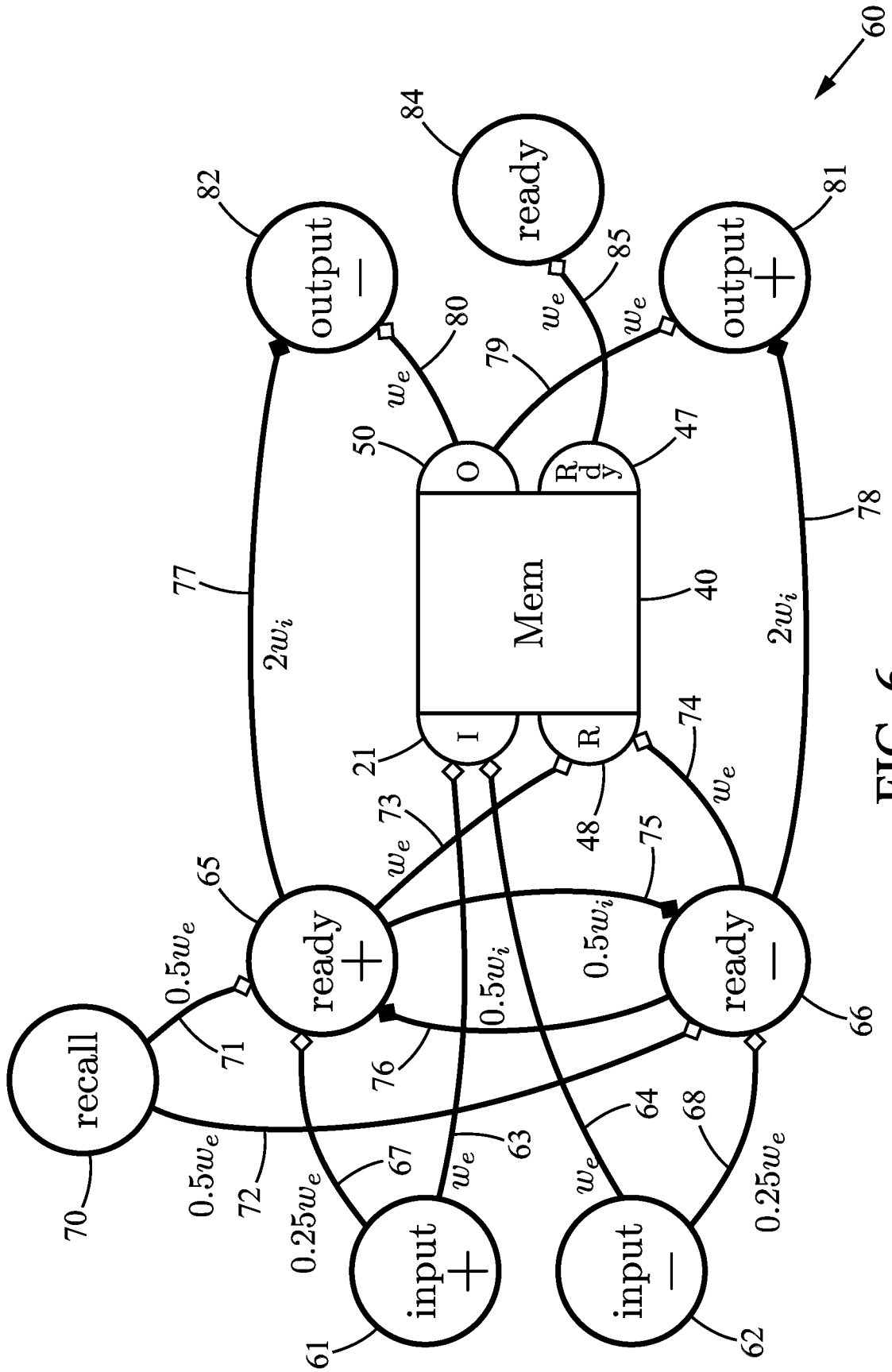


FIG. 6

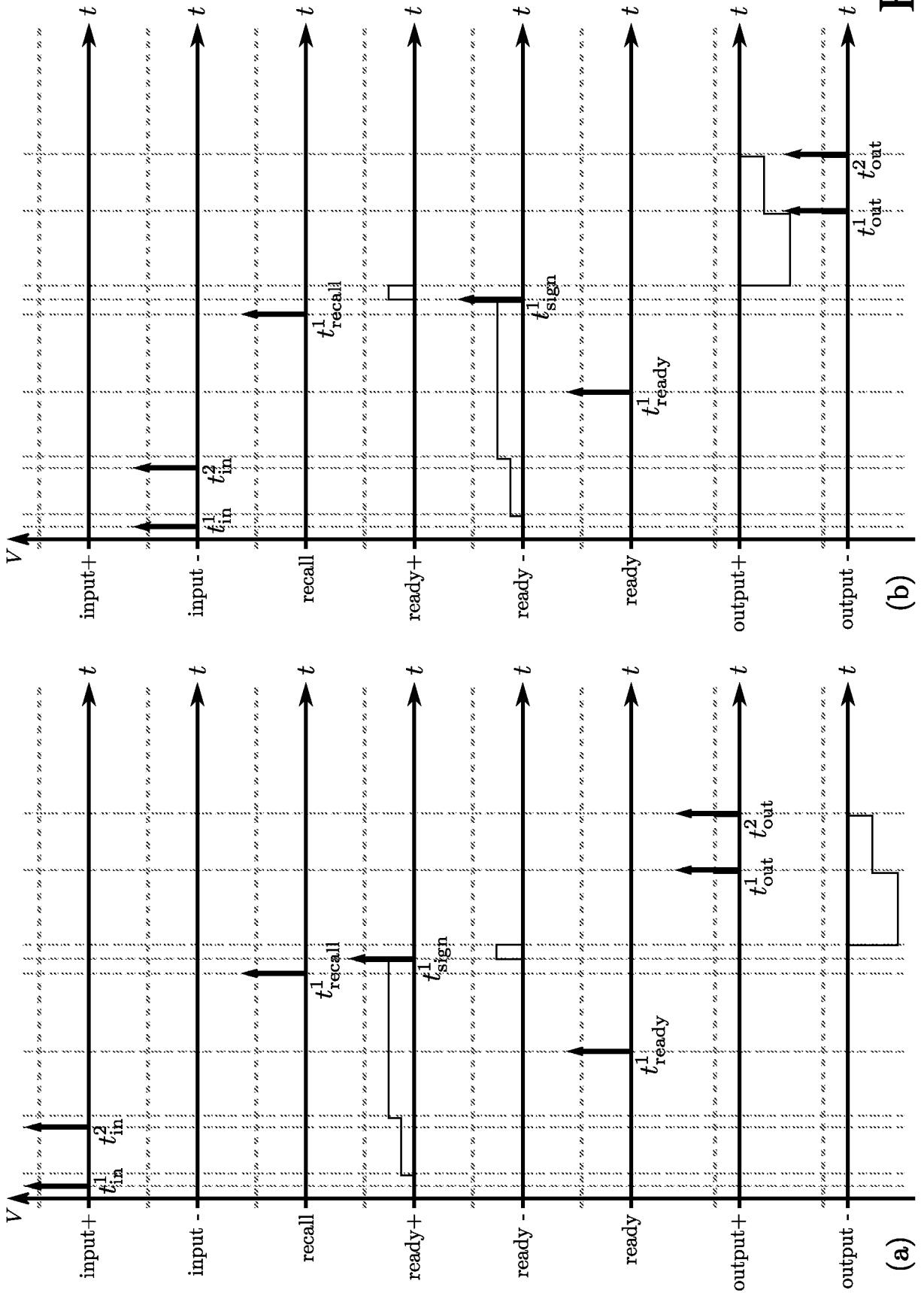


FIG. 7

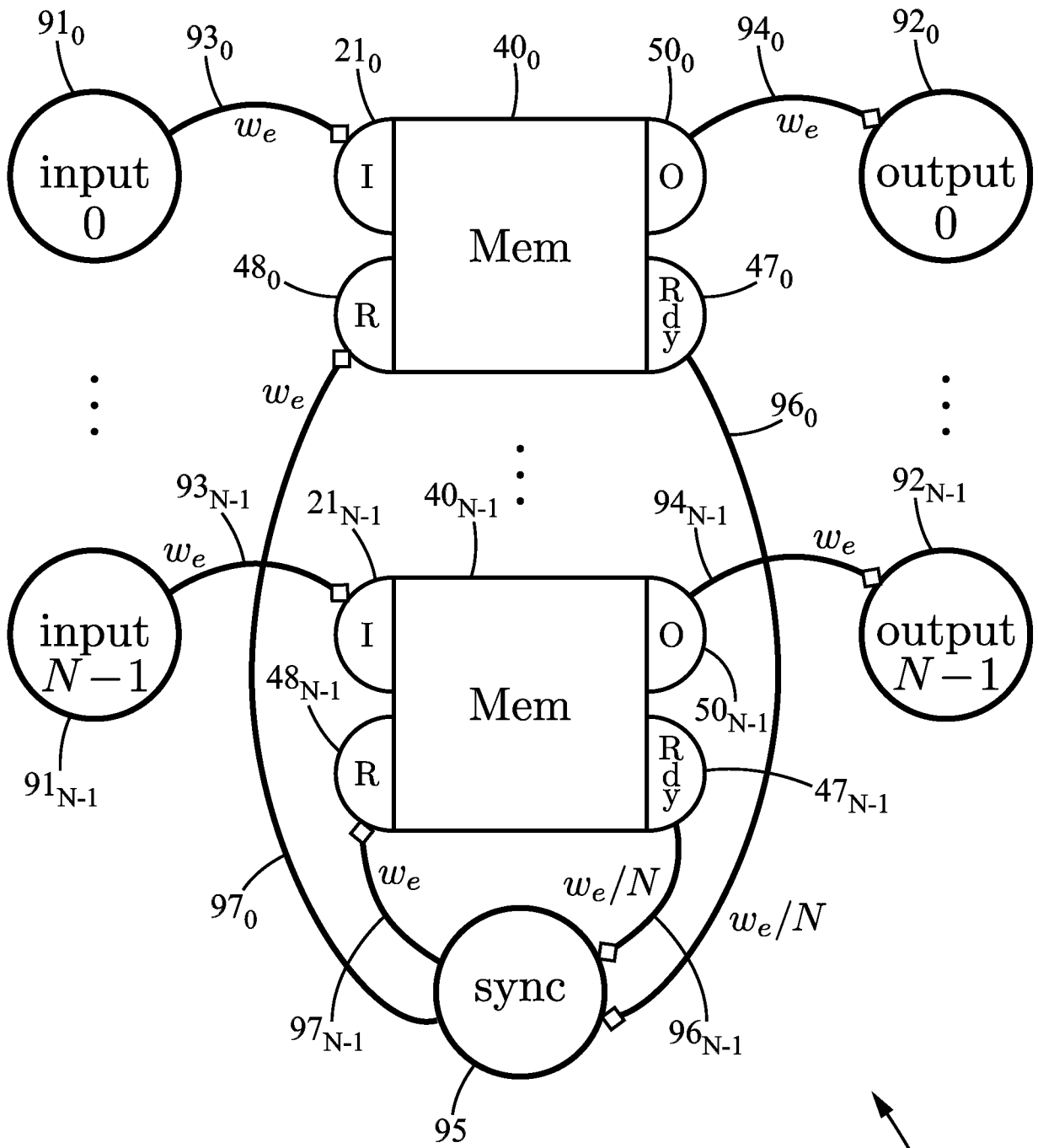


FIG. 8



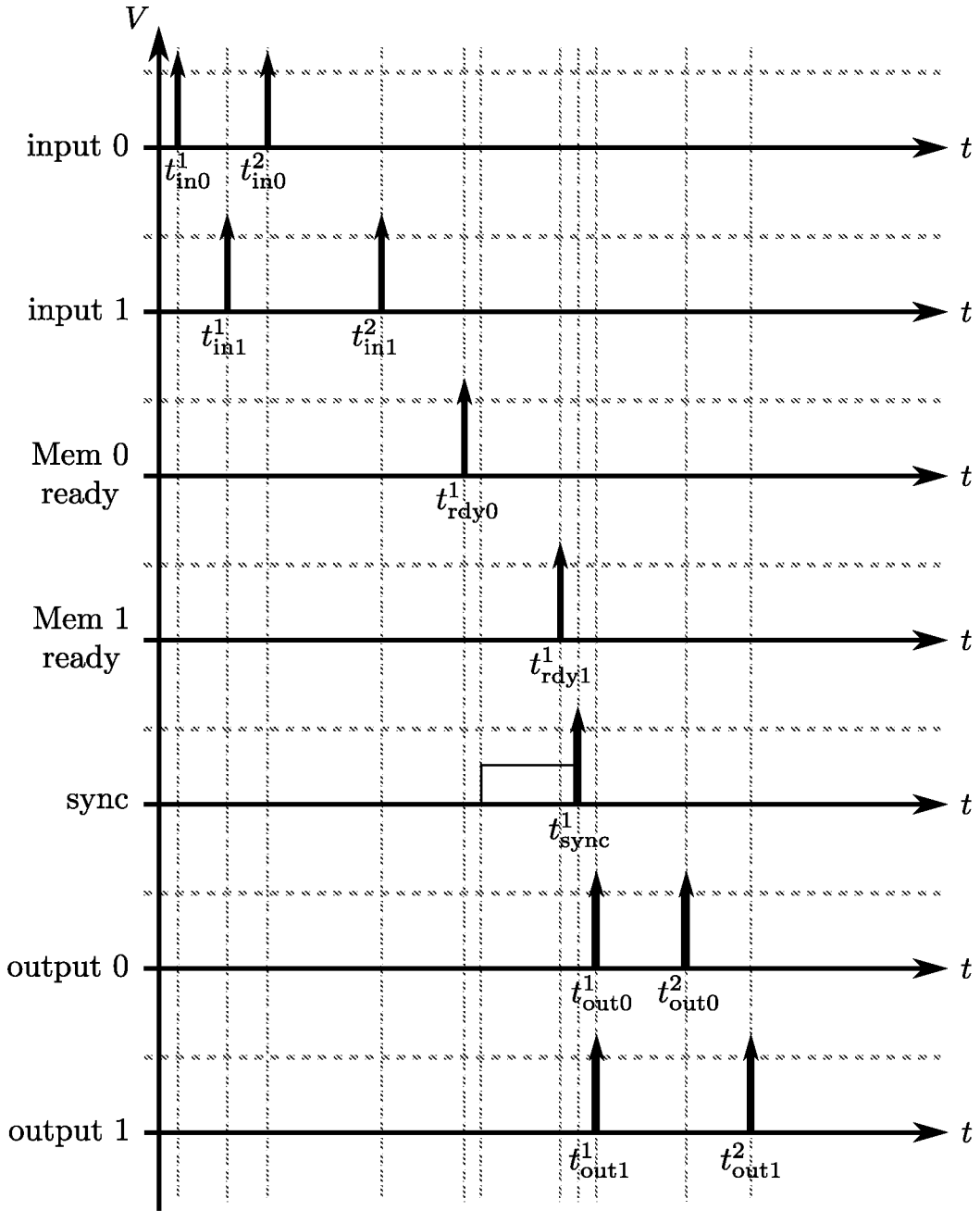


FIG. 9

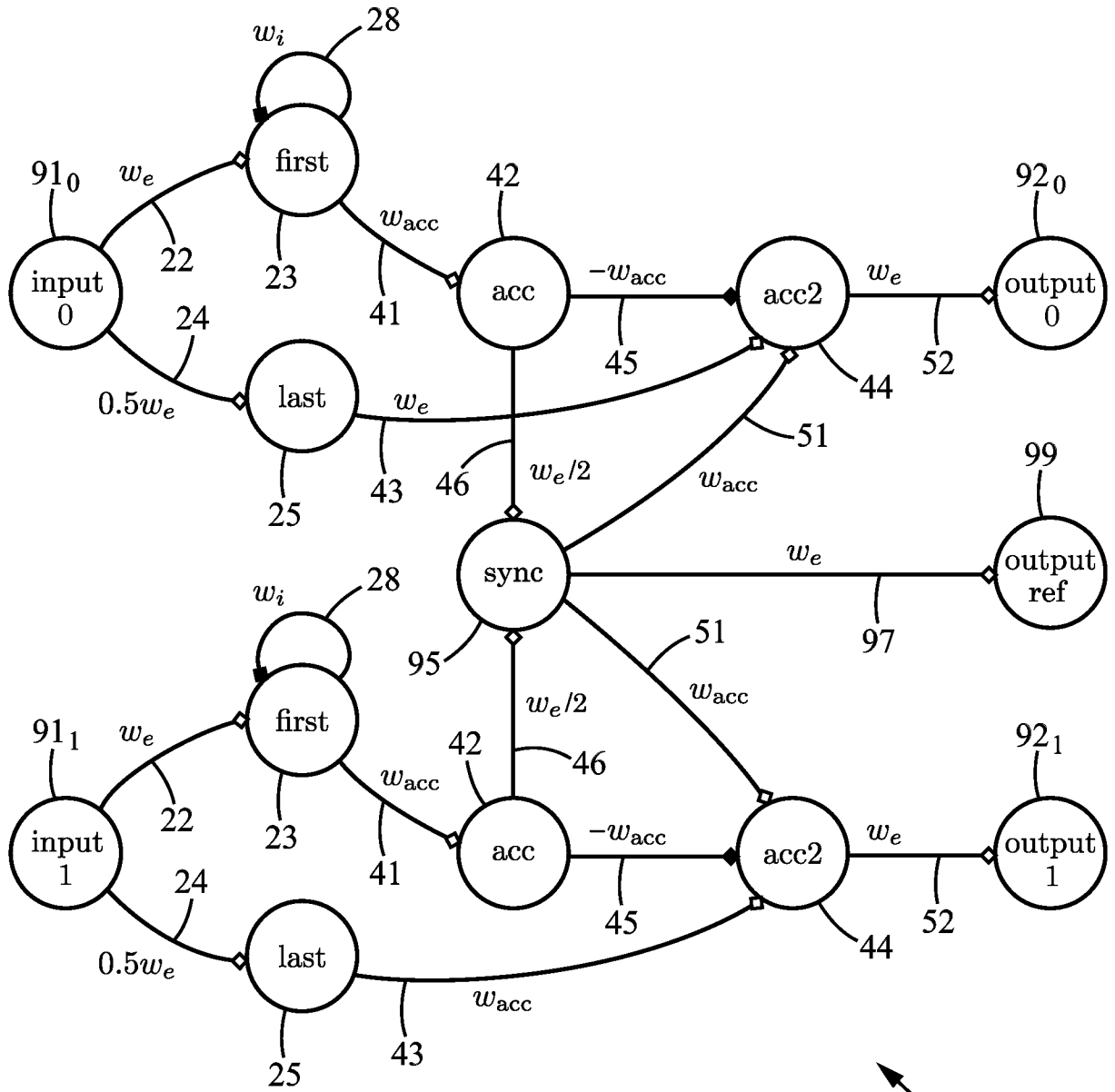


FIG. 10

98

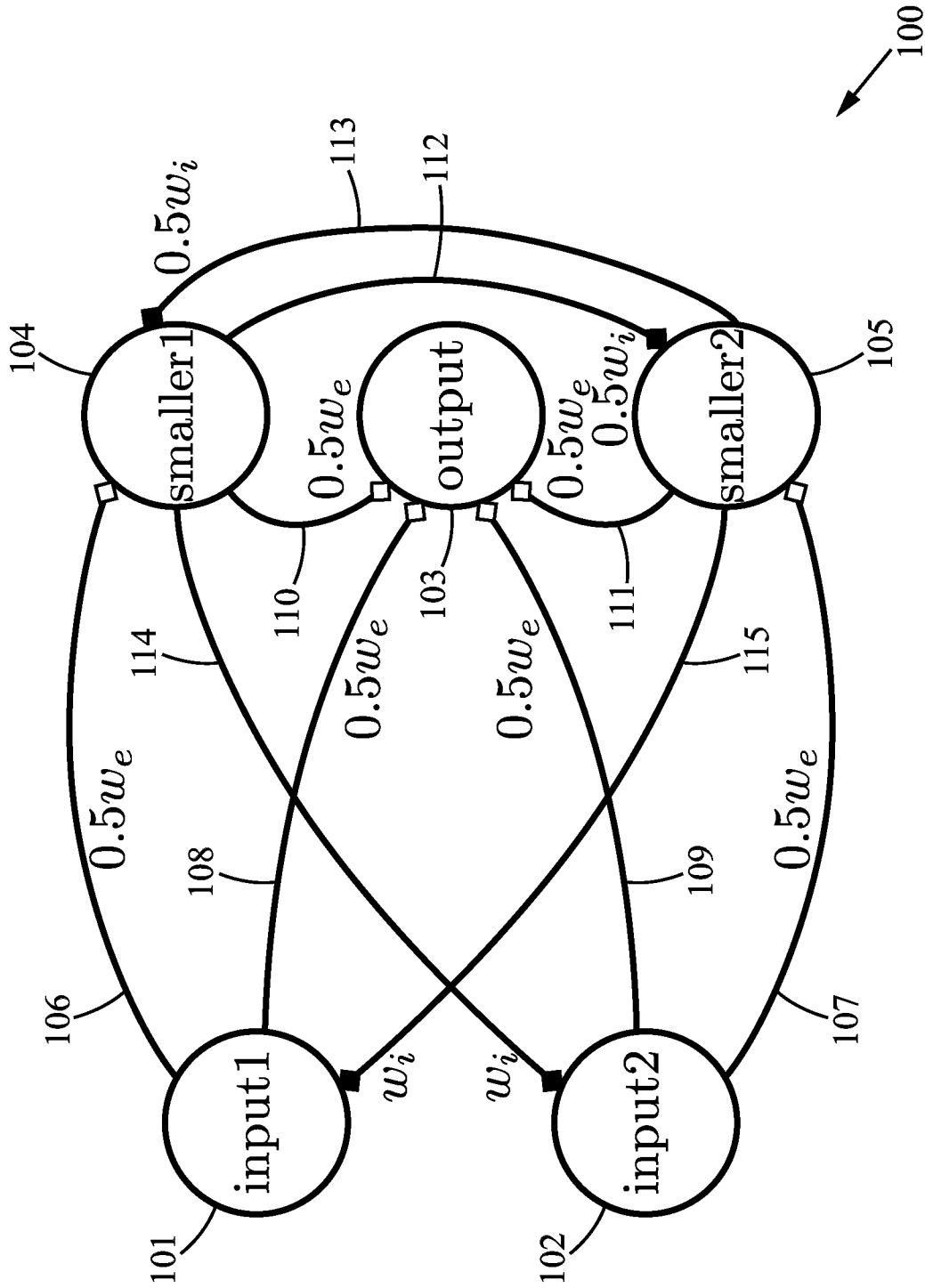


FIG. 11

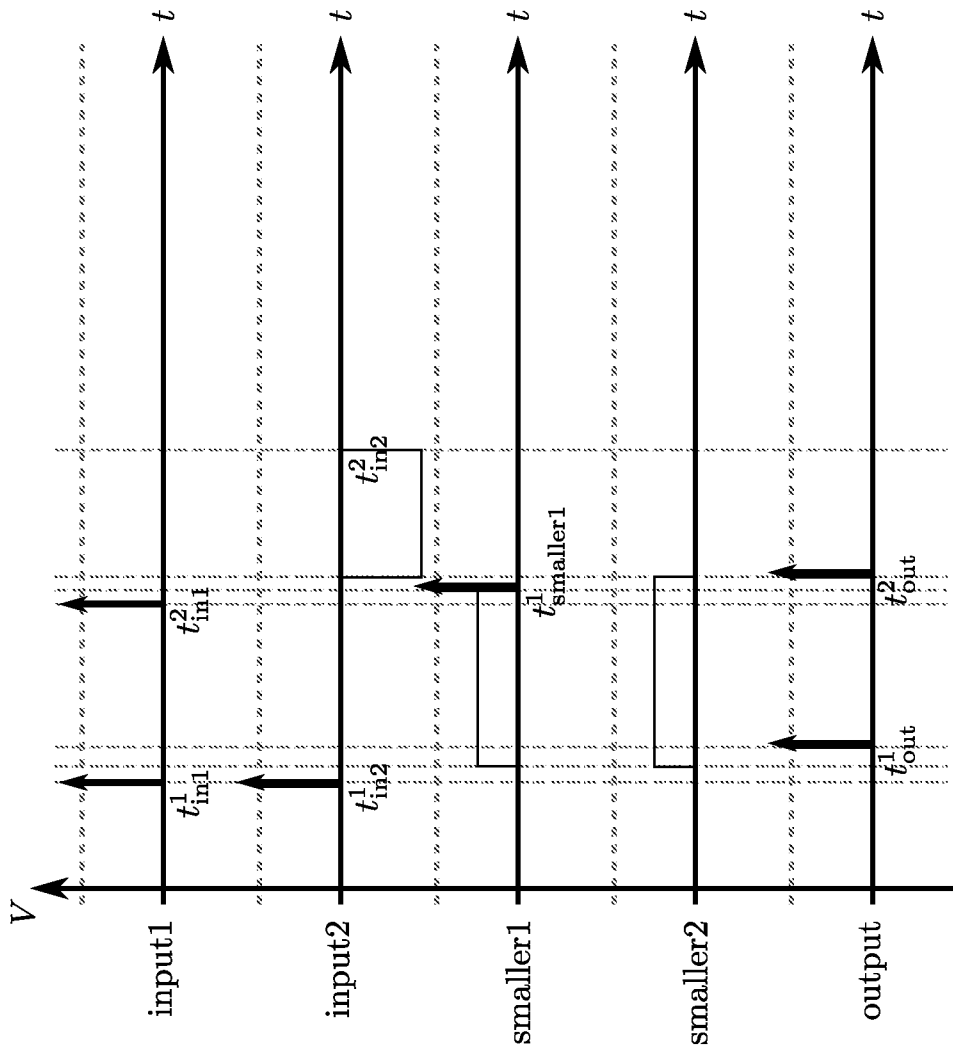


FIG. 12

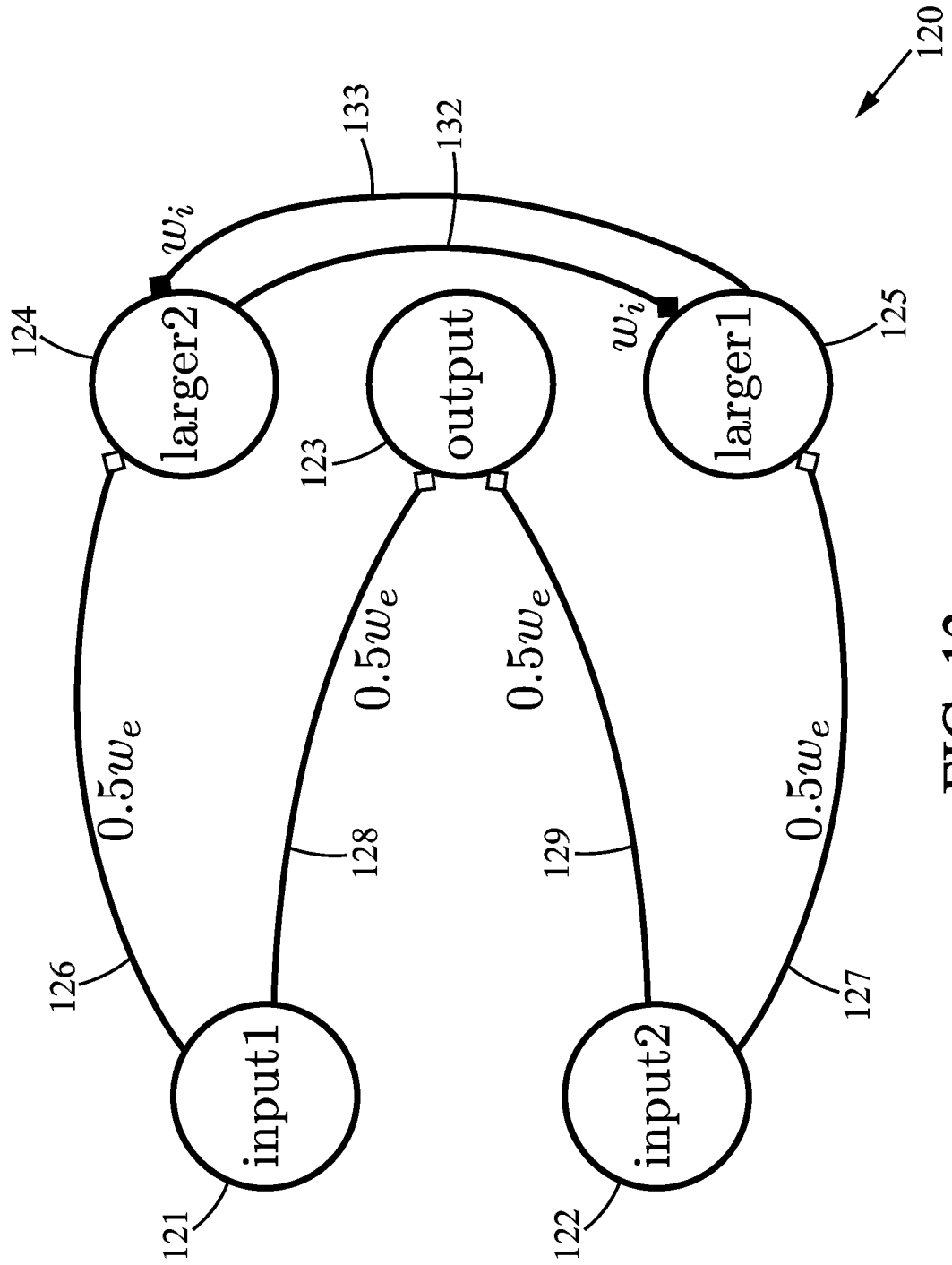


FIG. 13

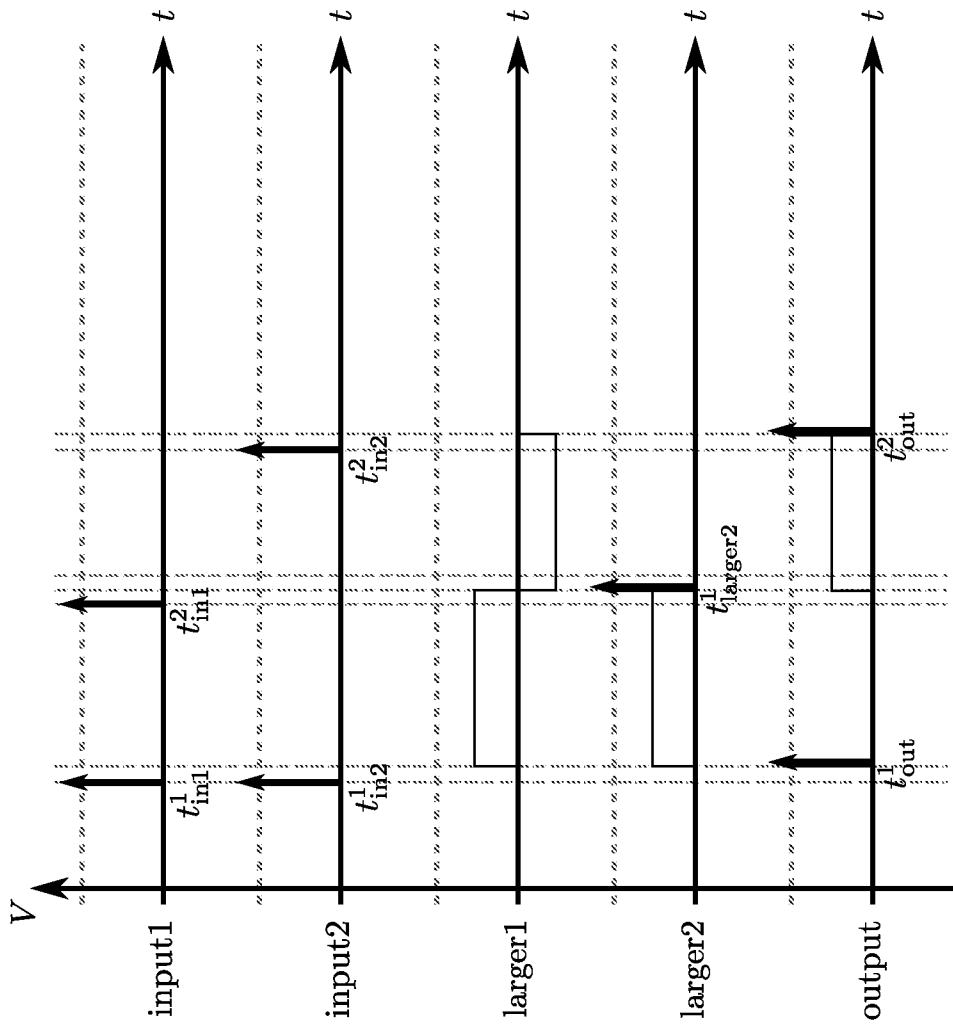


FIG. 14

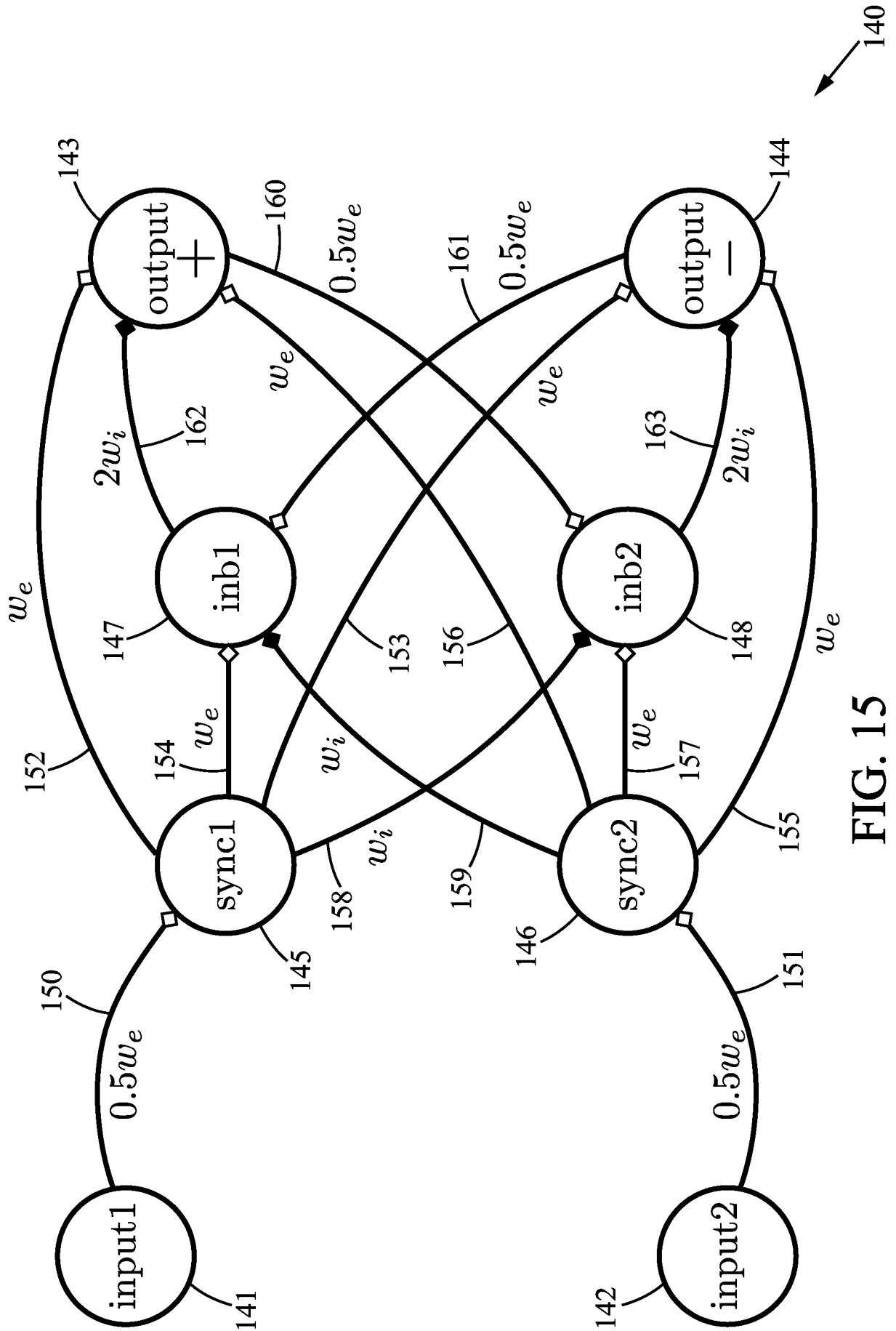


FIG. 15

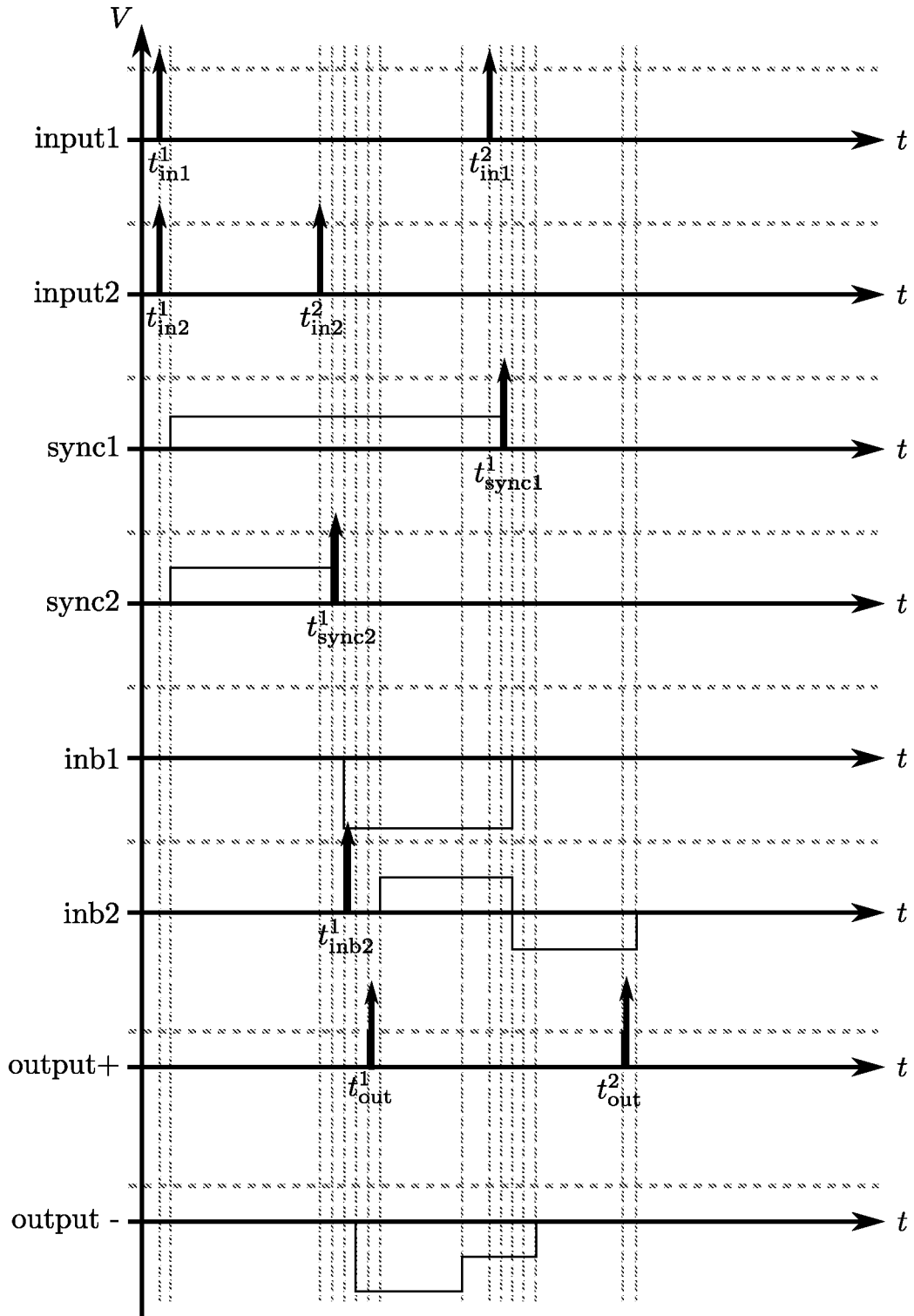


FIG. 16

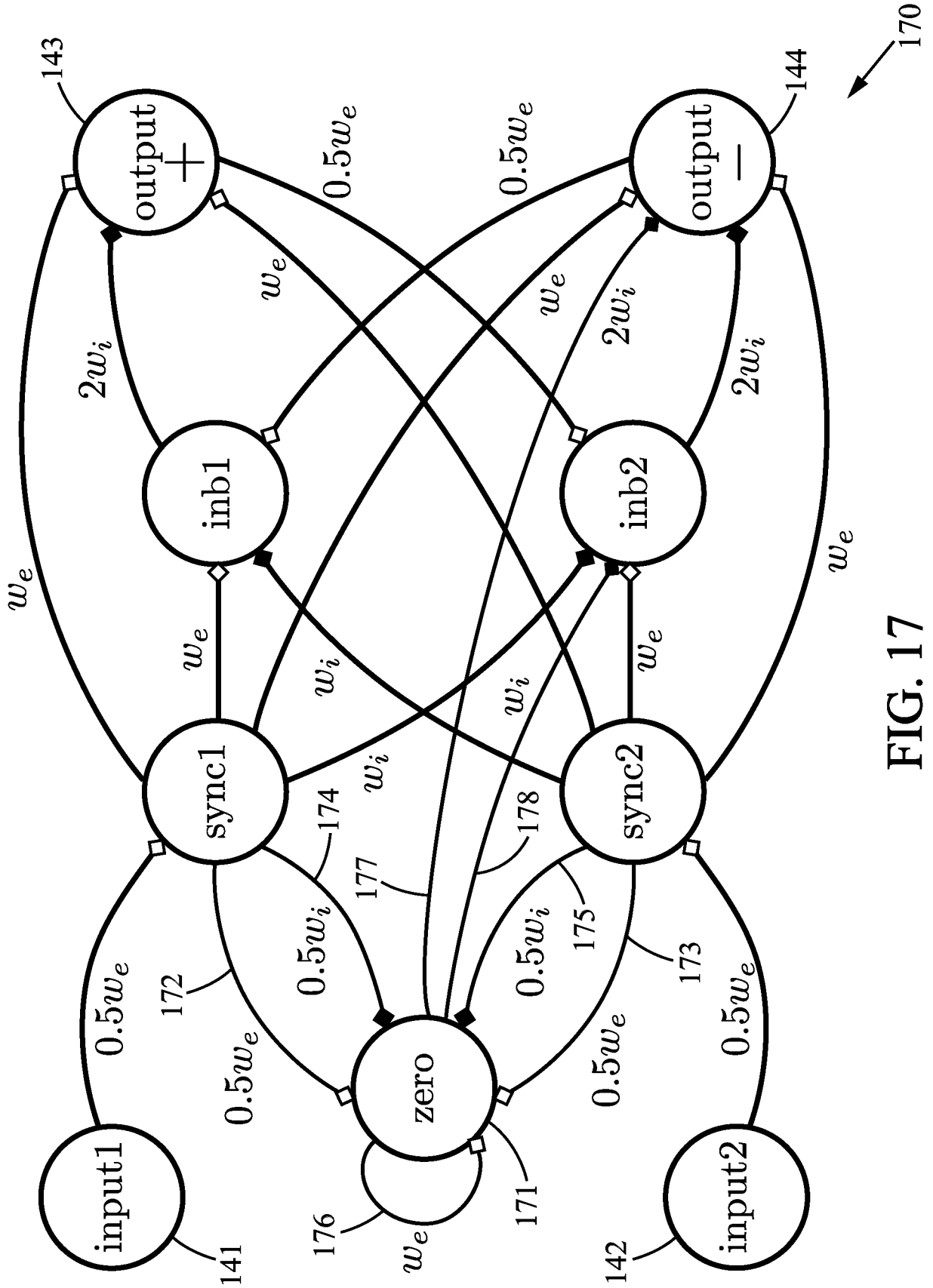


FIG. 17

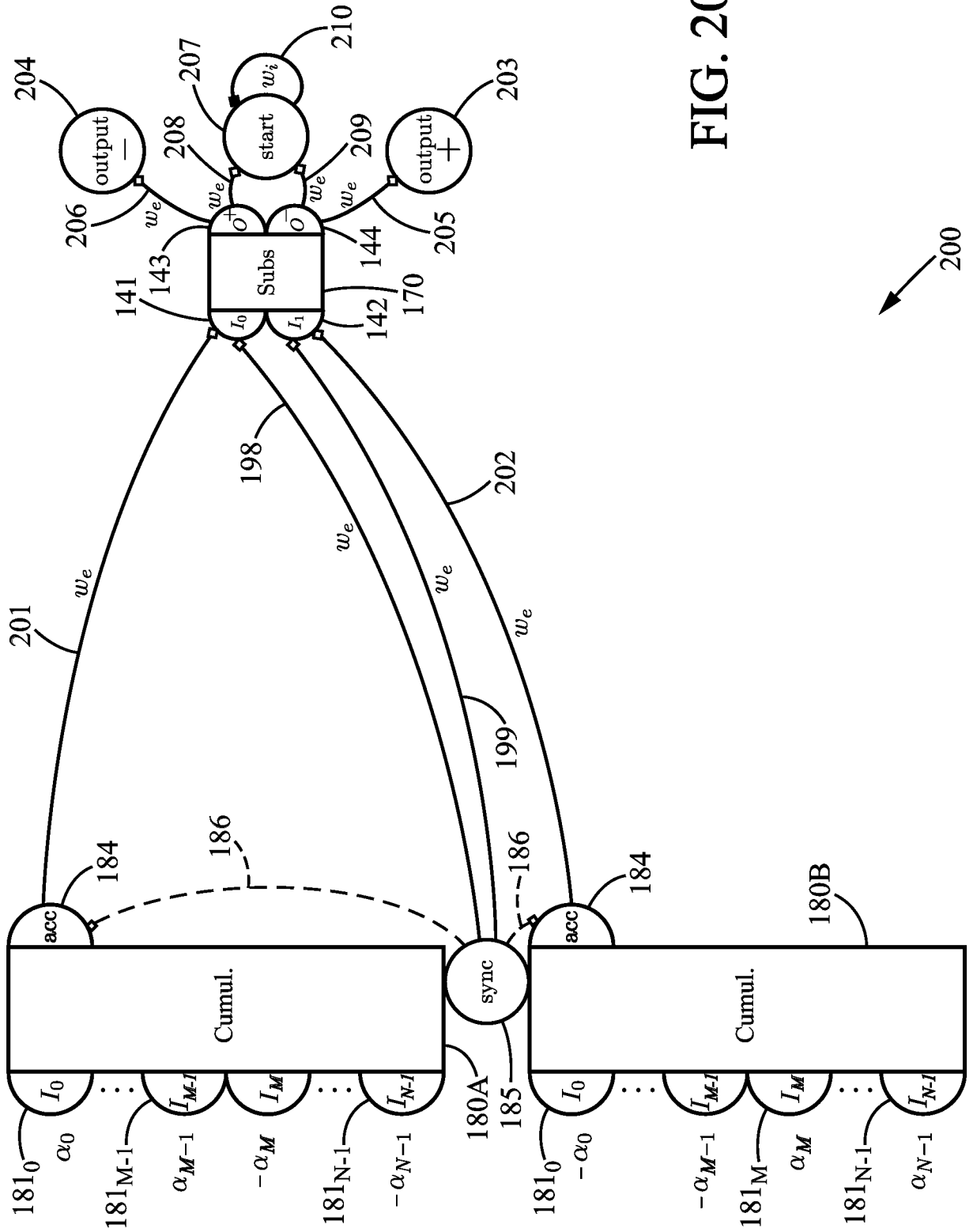
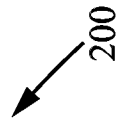


FIG. 20



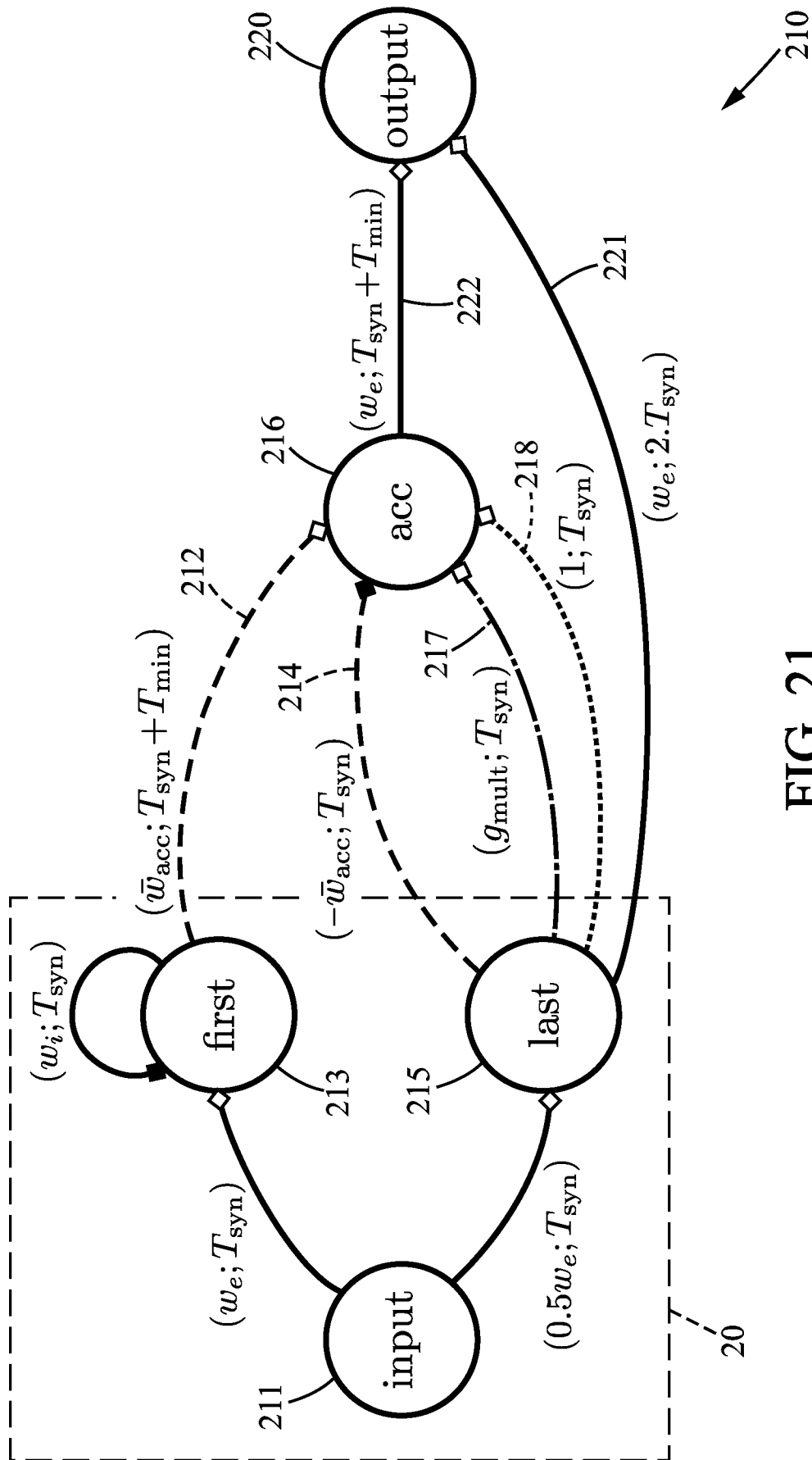


FIG. 21

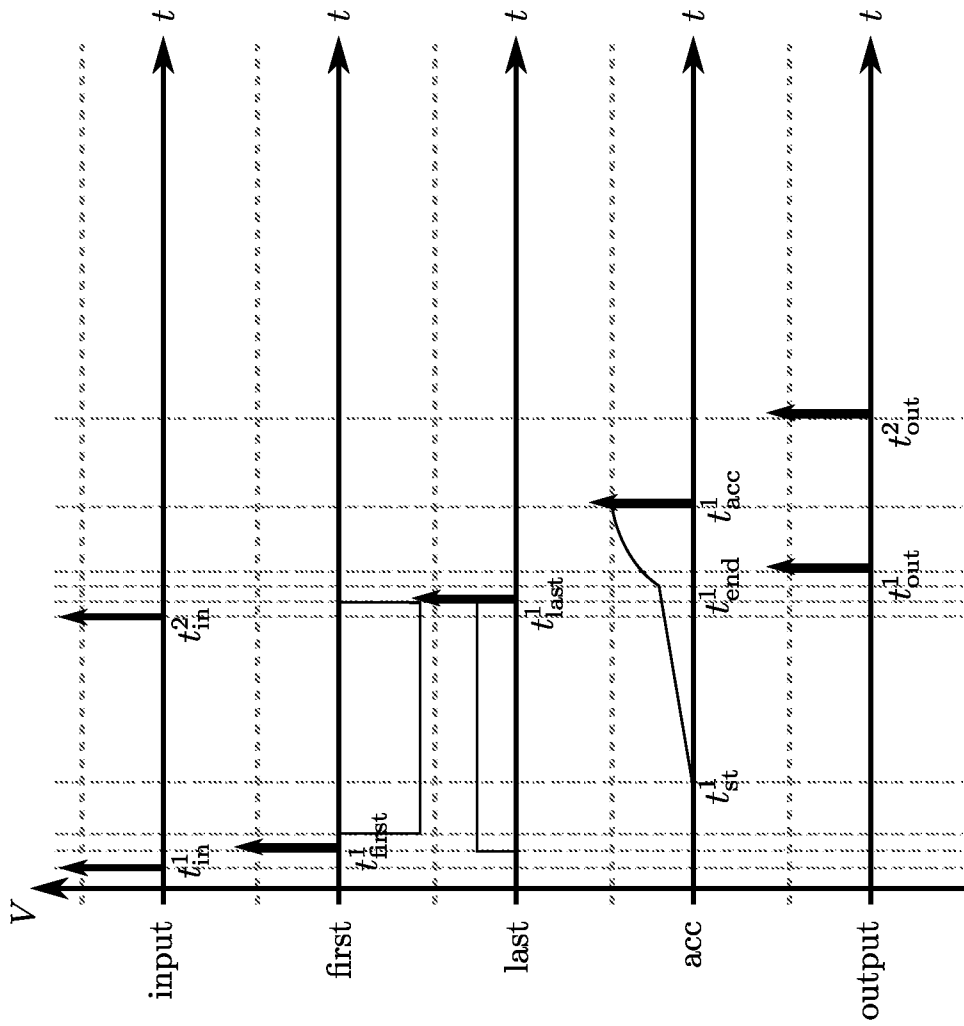


FIG. 22

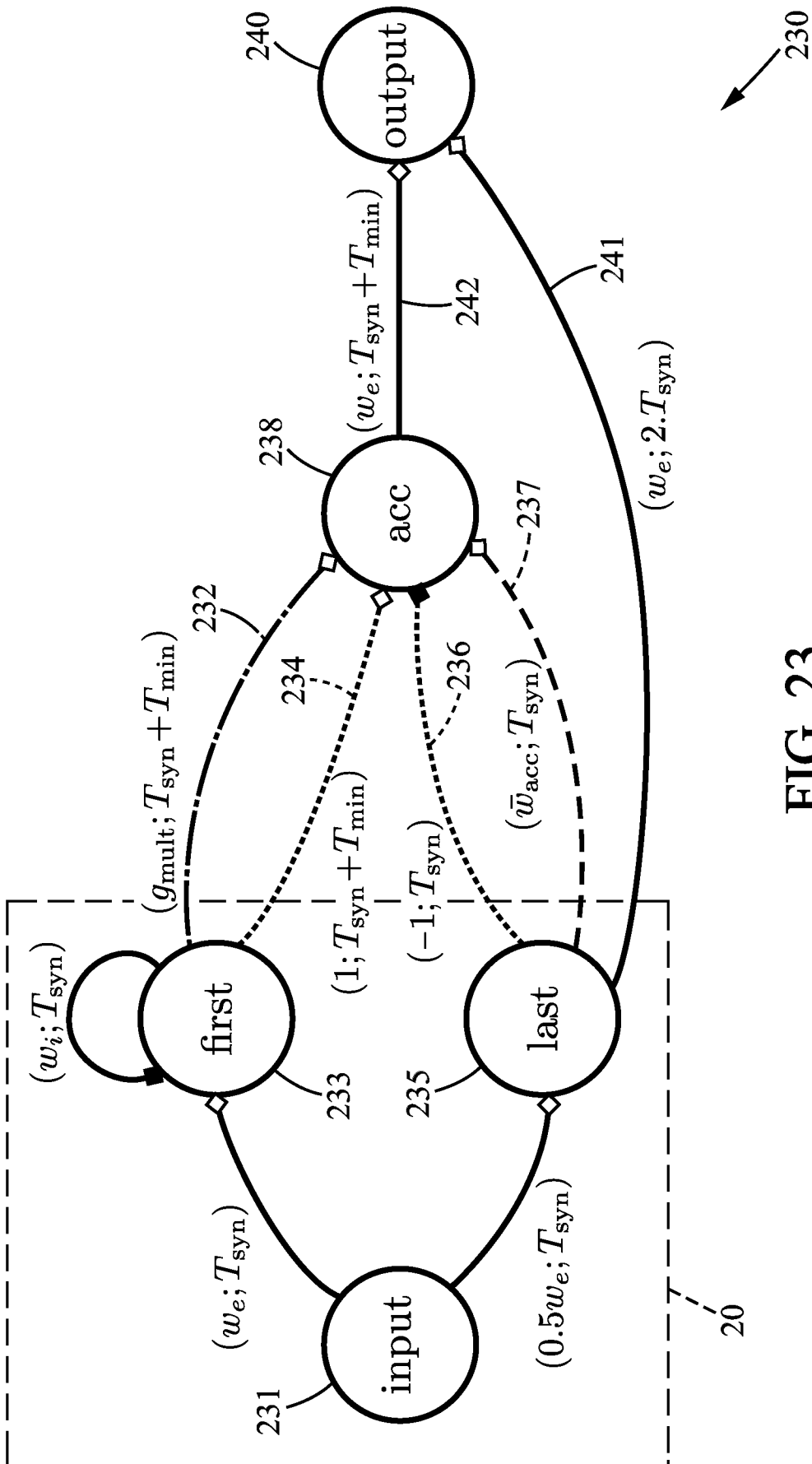


FIG. 23

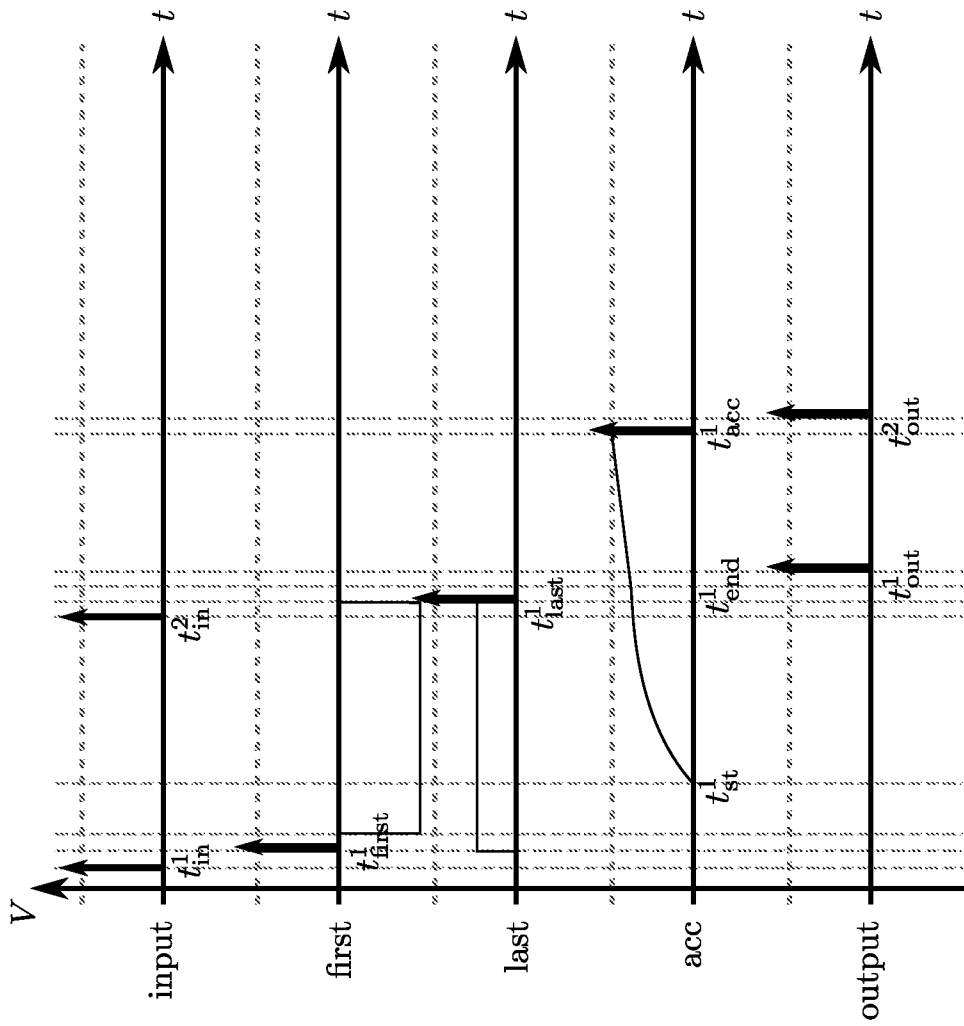
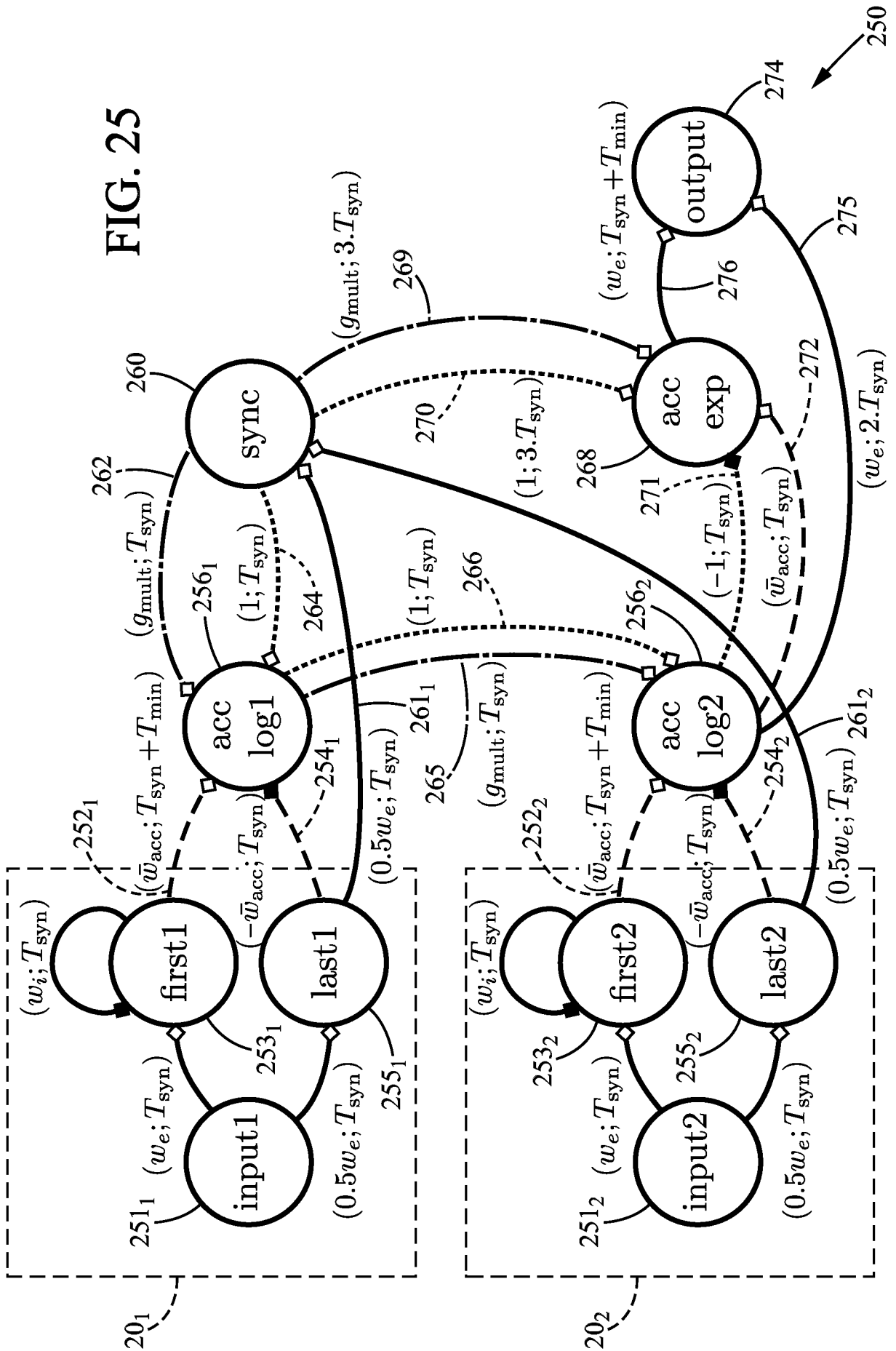


FIG. 24

FIG. 25



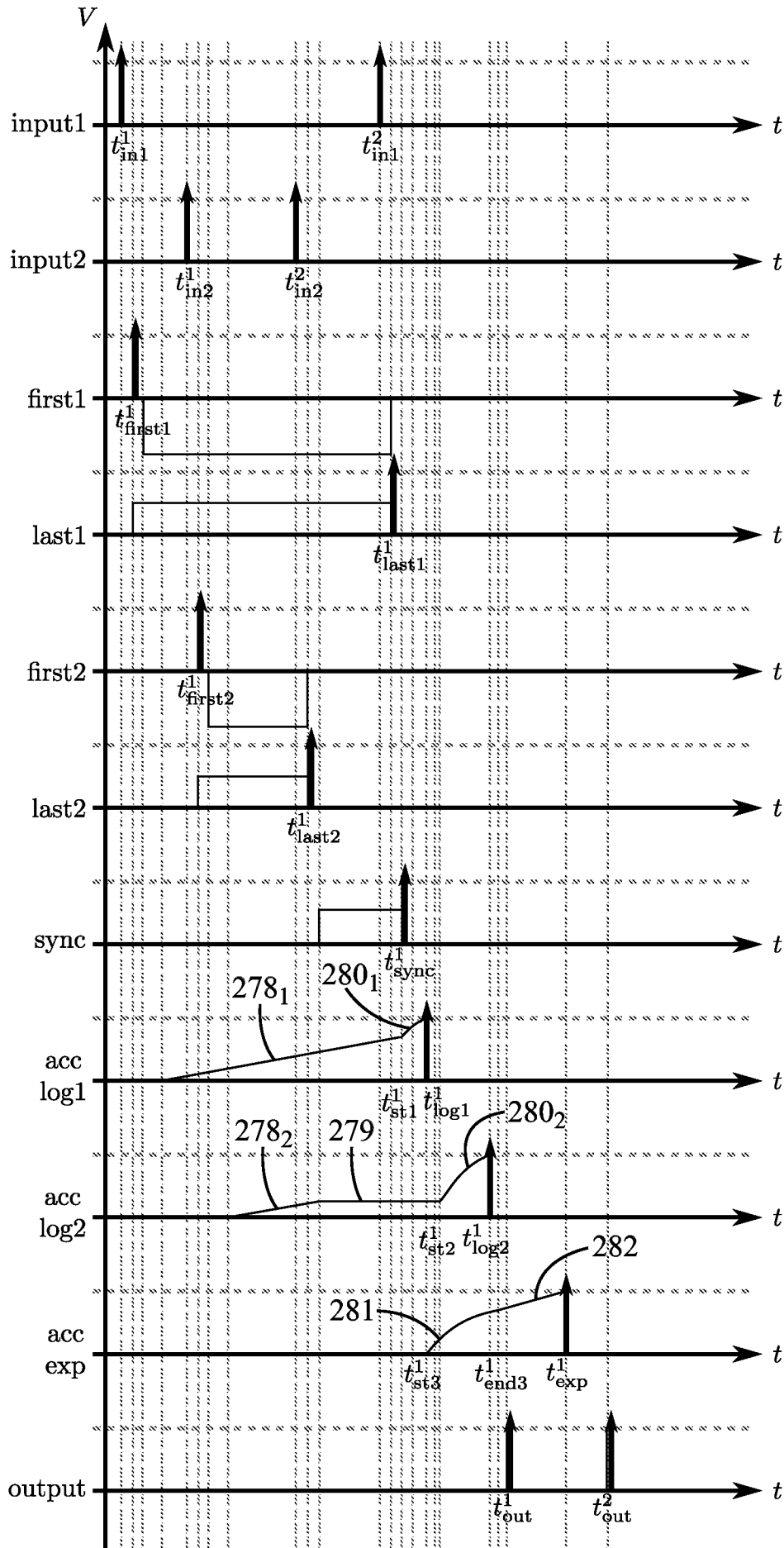


FIG. 26

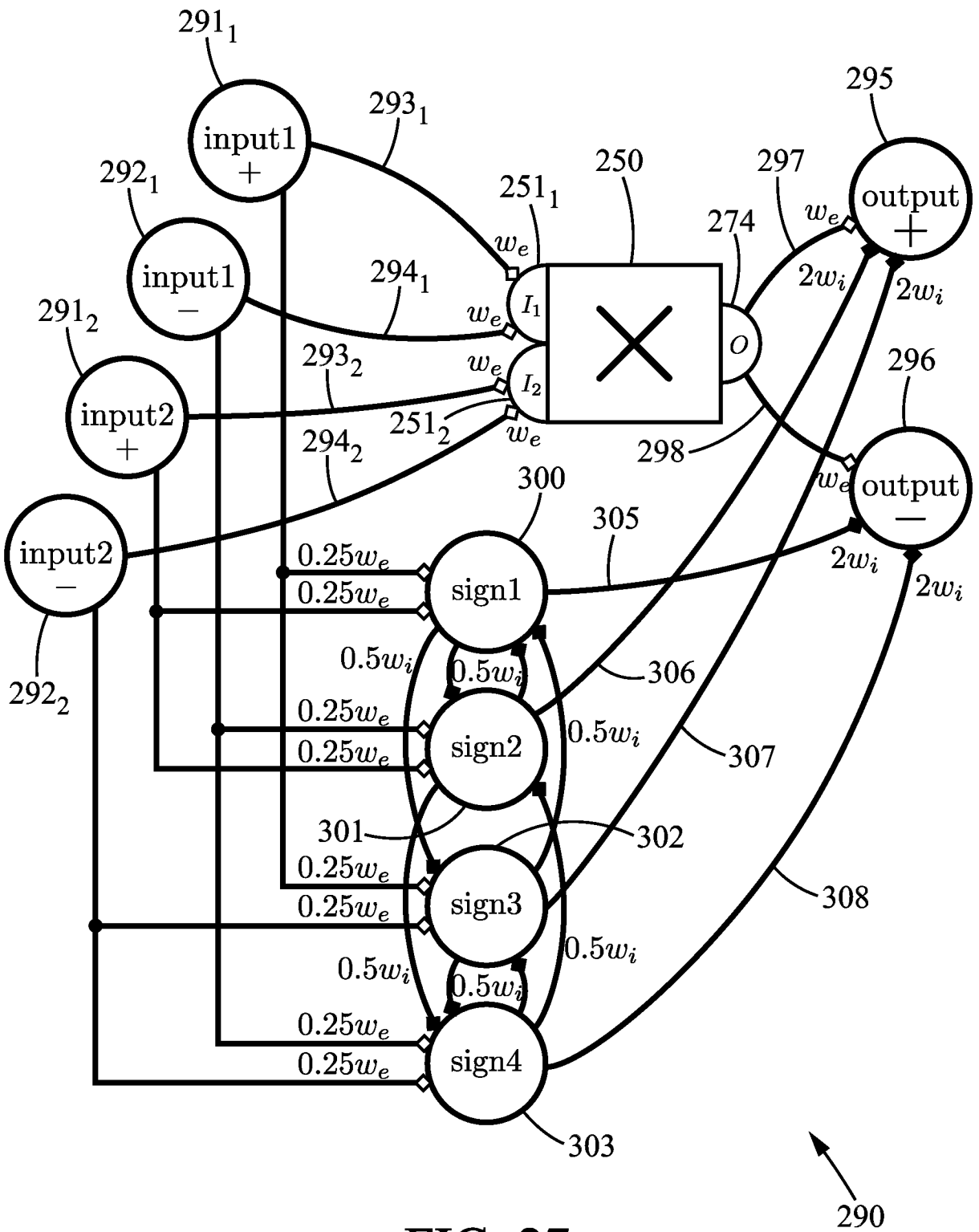


FIG. 27

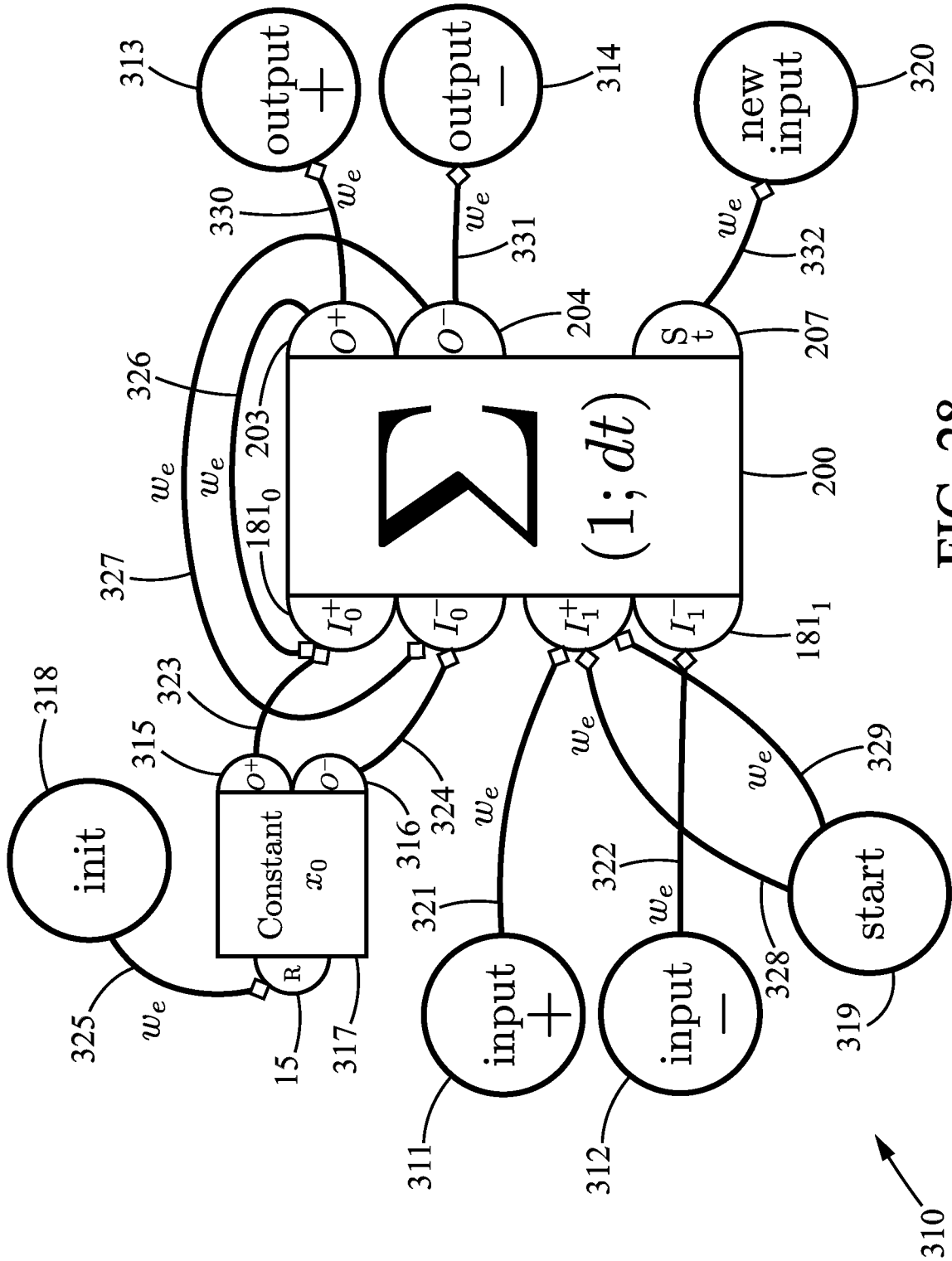


FIG. 28

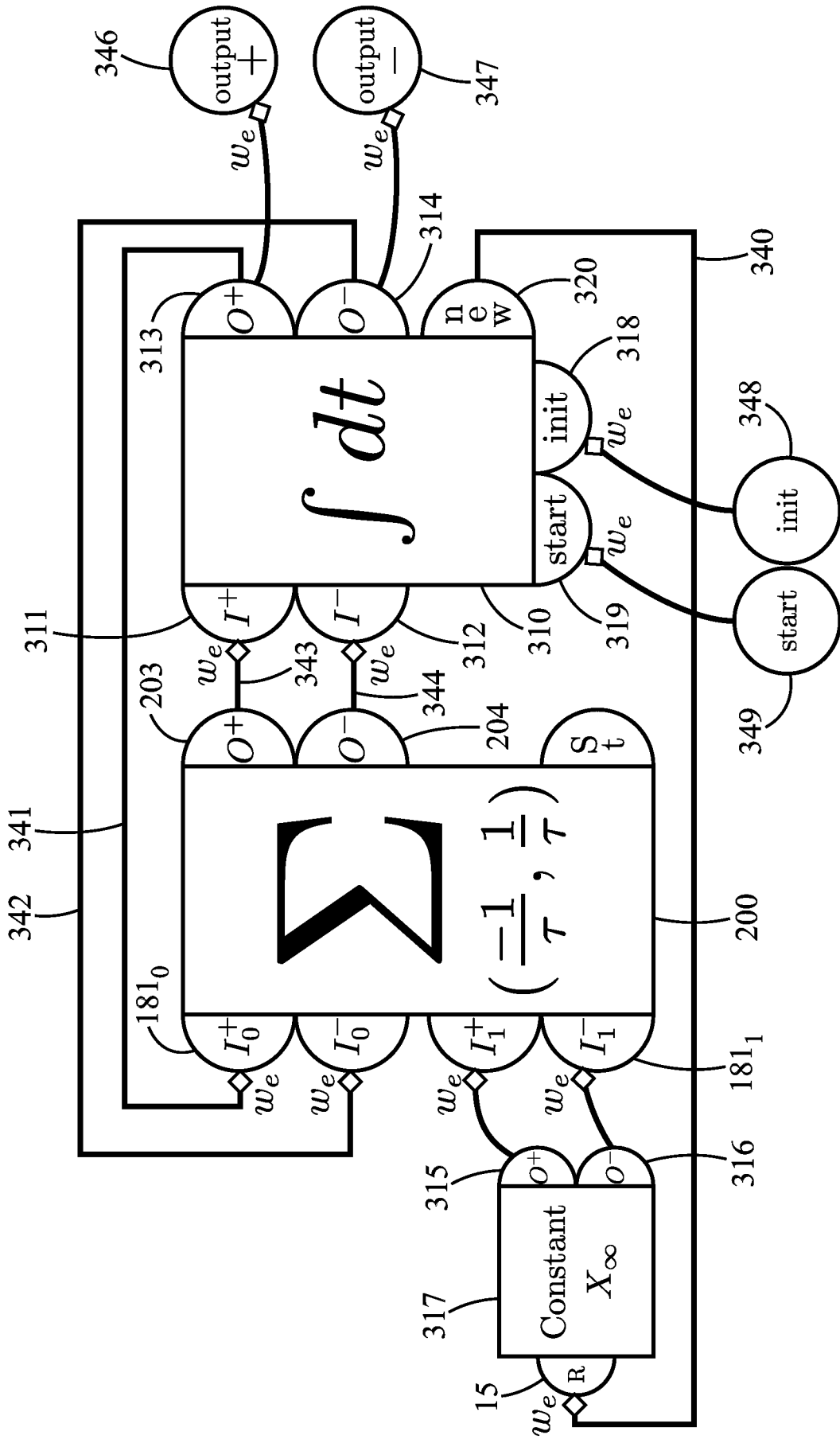


FIG. 29

FIG. 30A

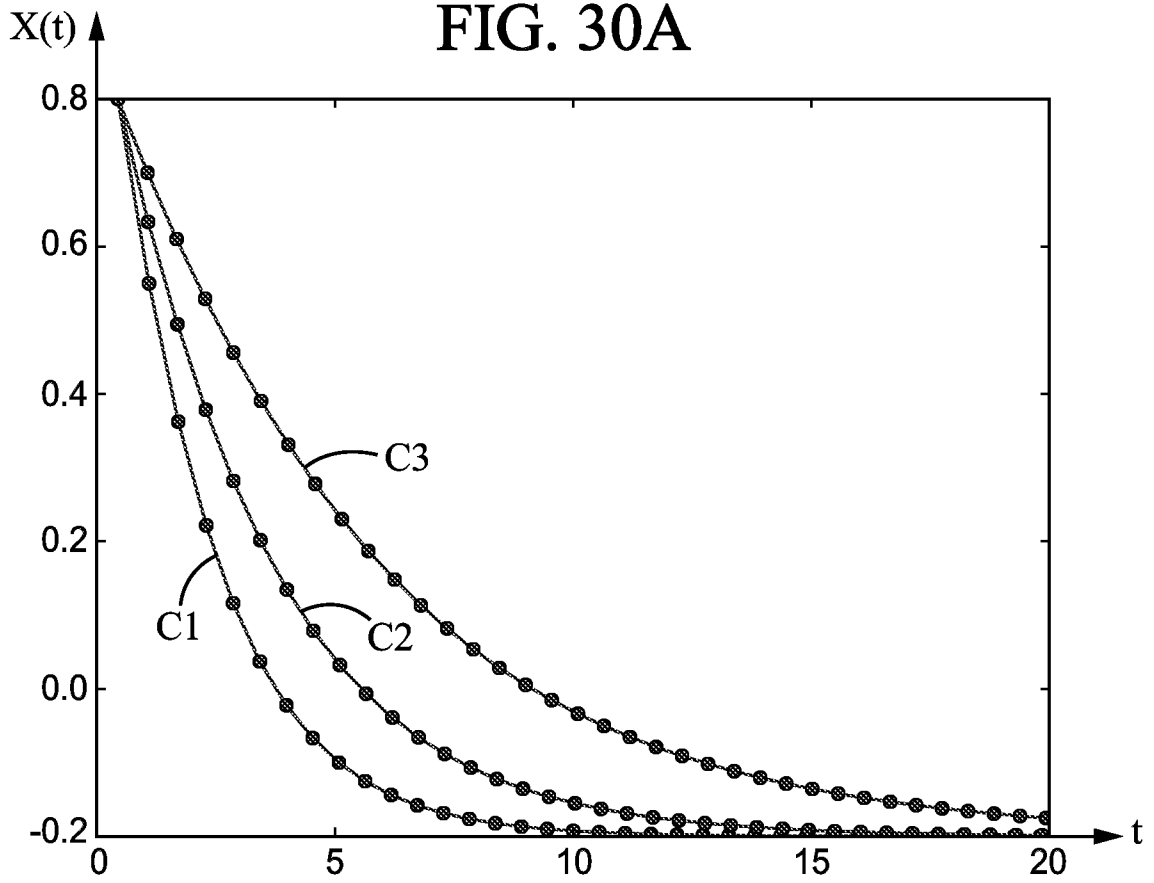
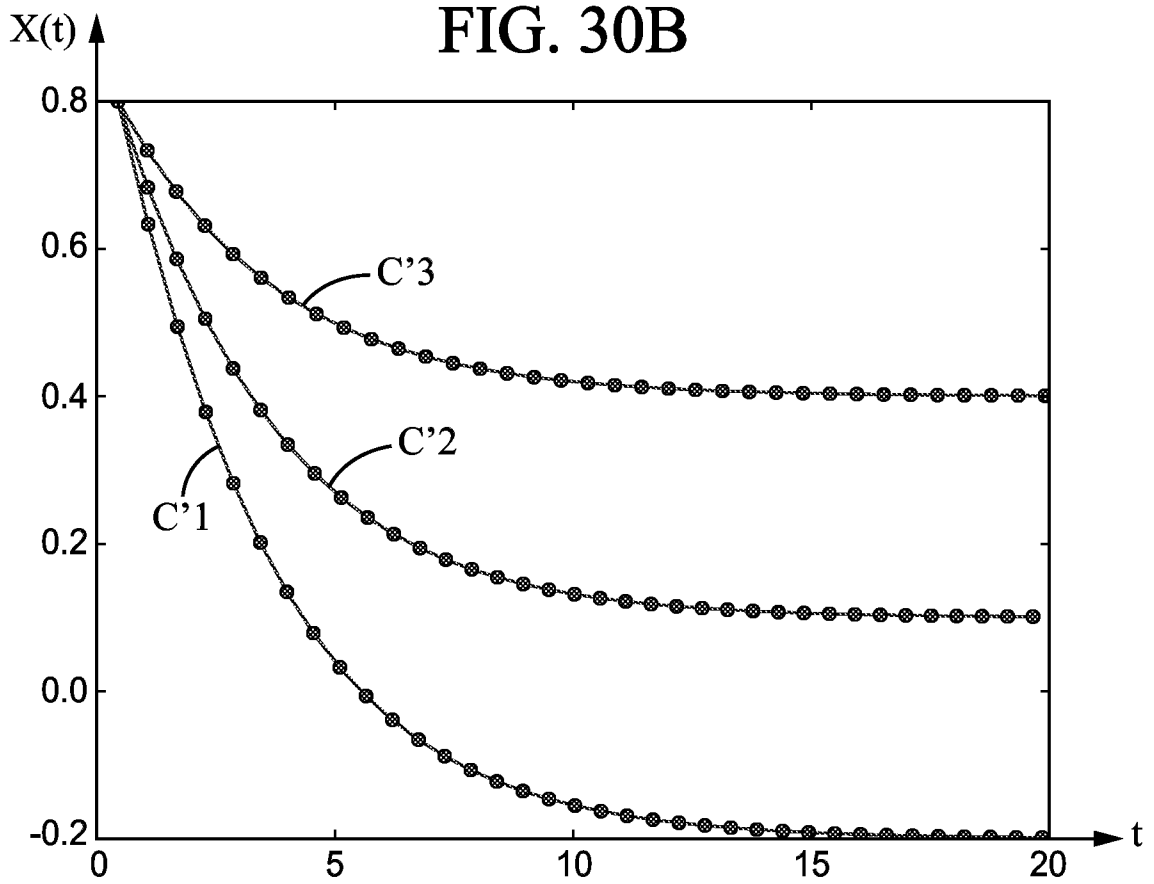


FIG. 30B



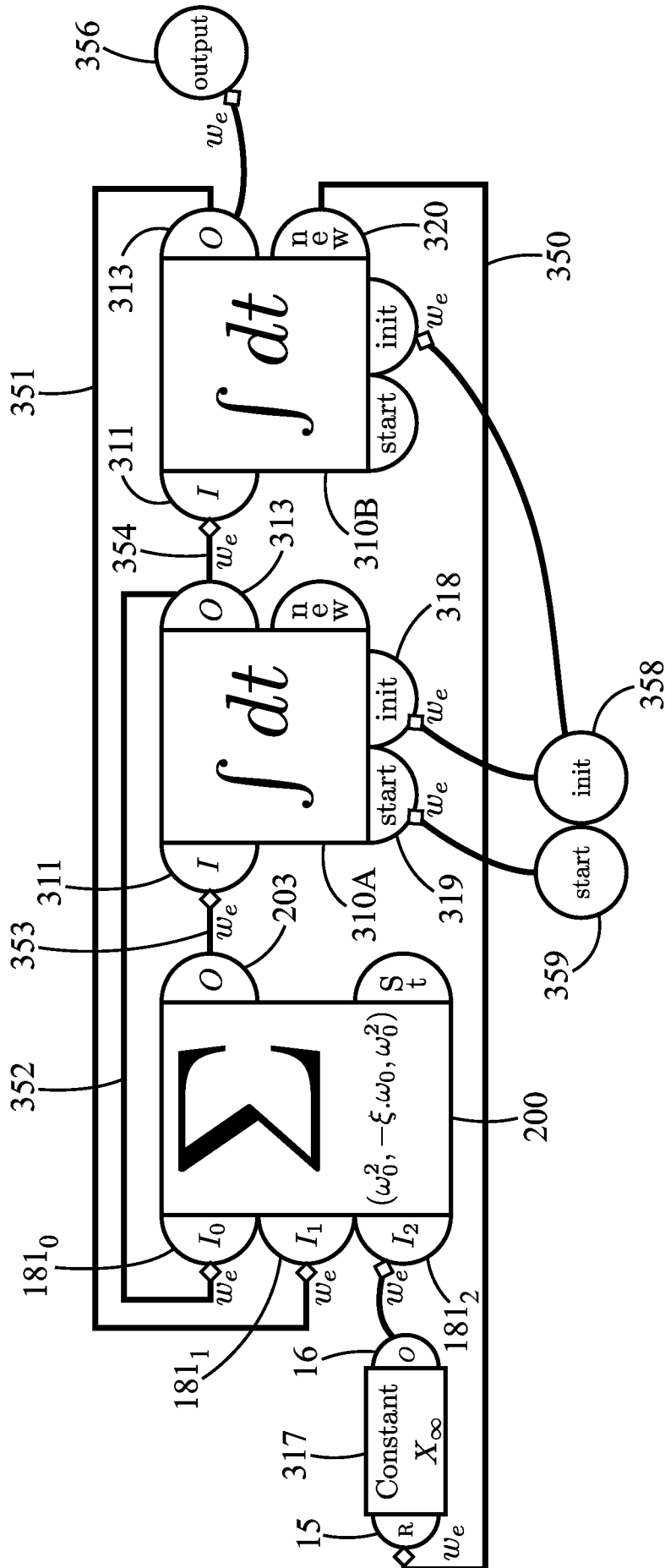


FIG. 31

FIG. 32A

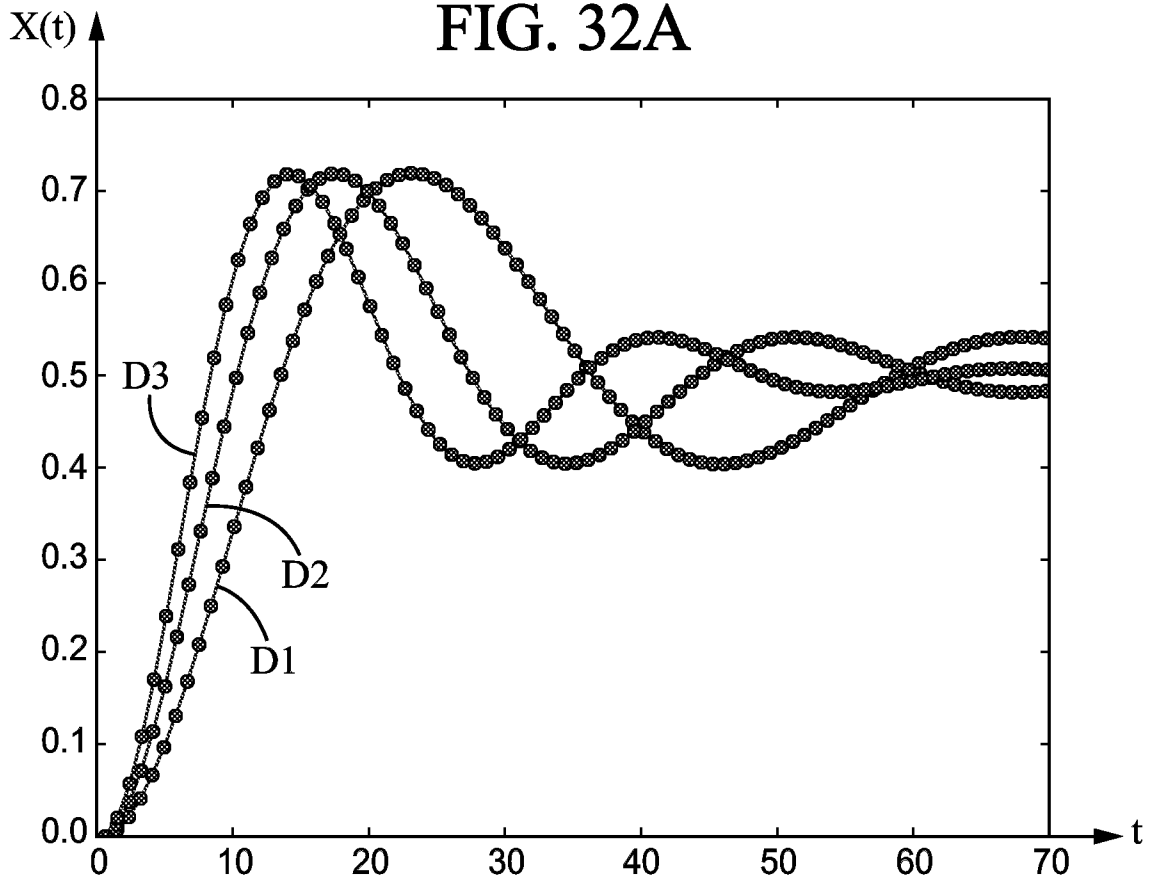
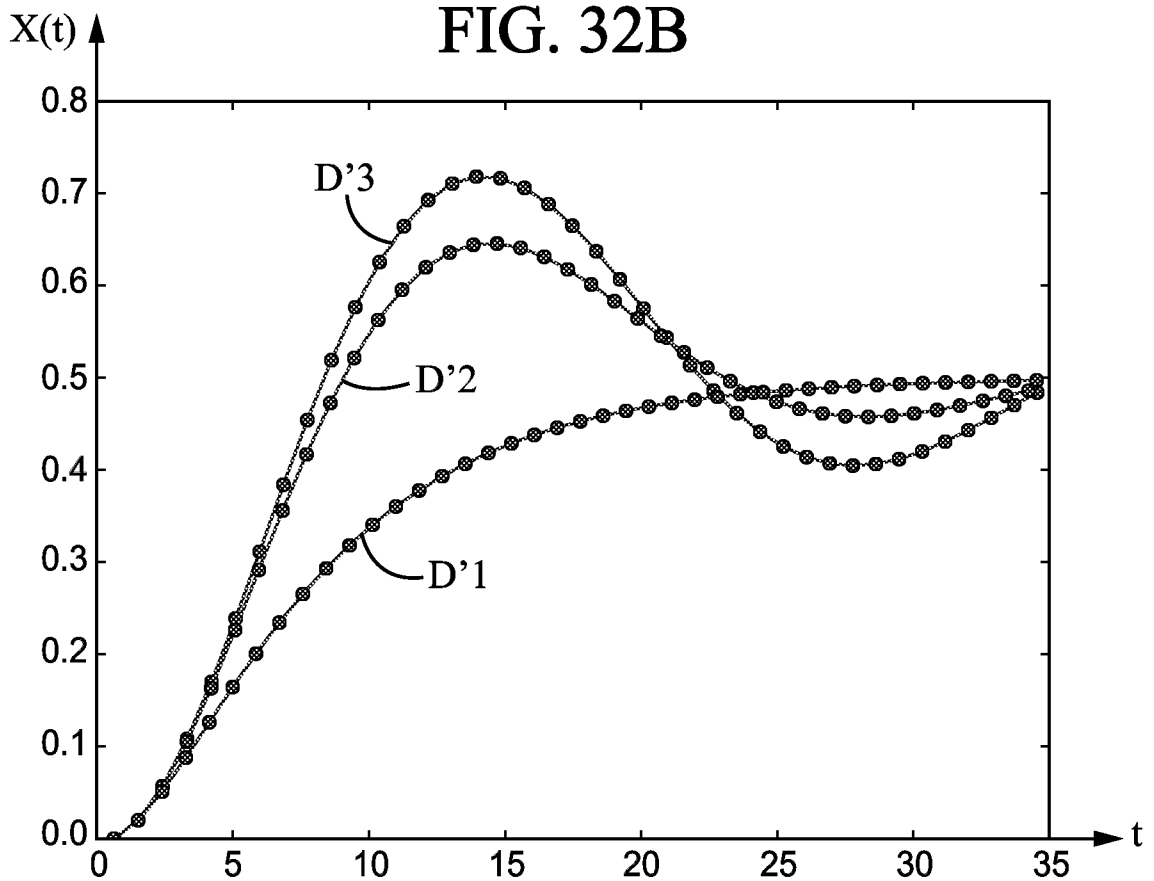


FIG. 32B



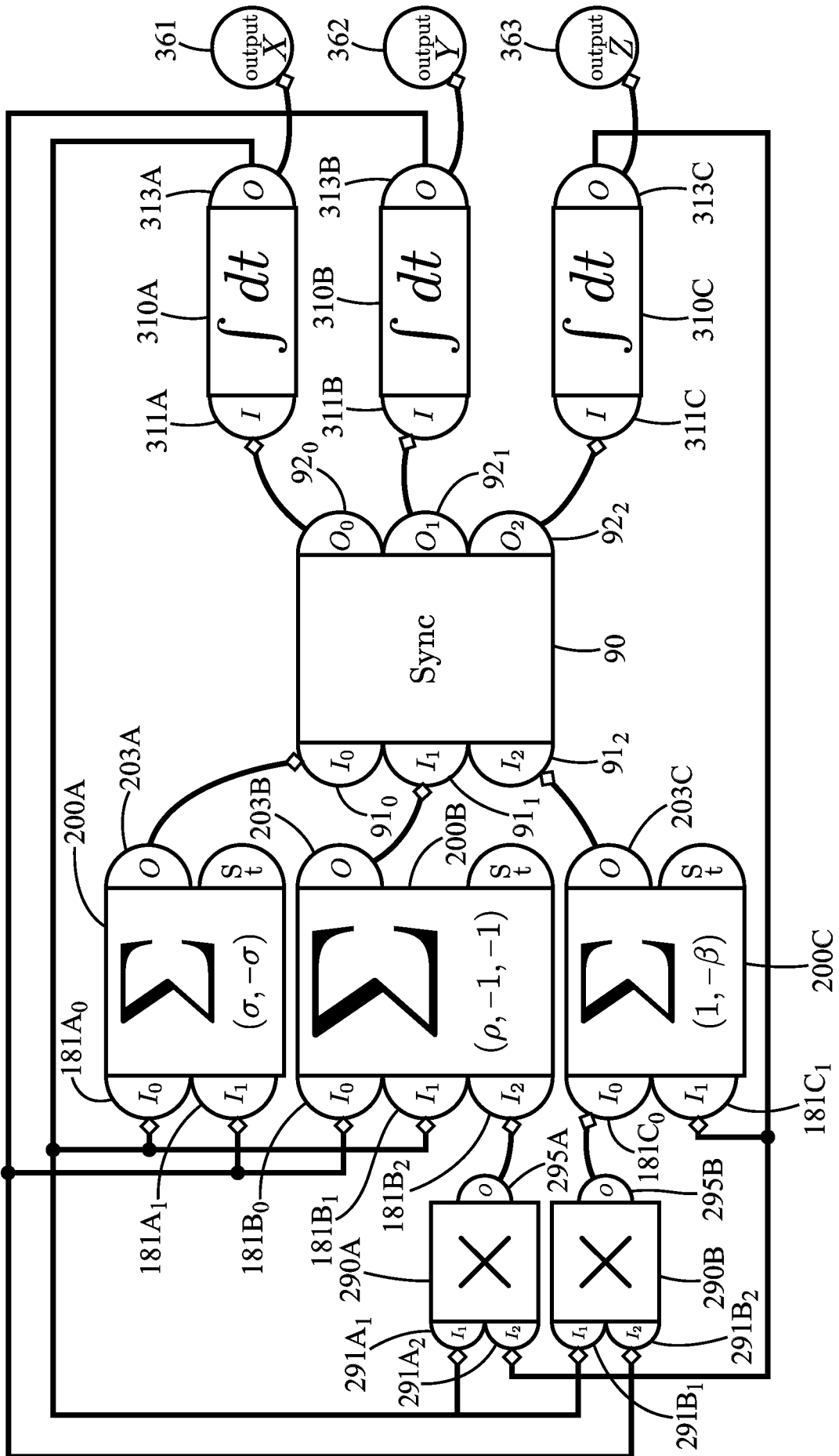


FIG. 33

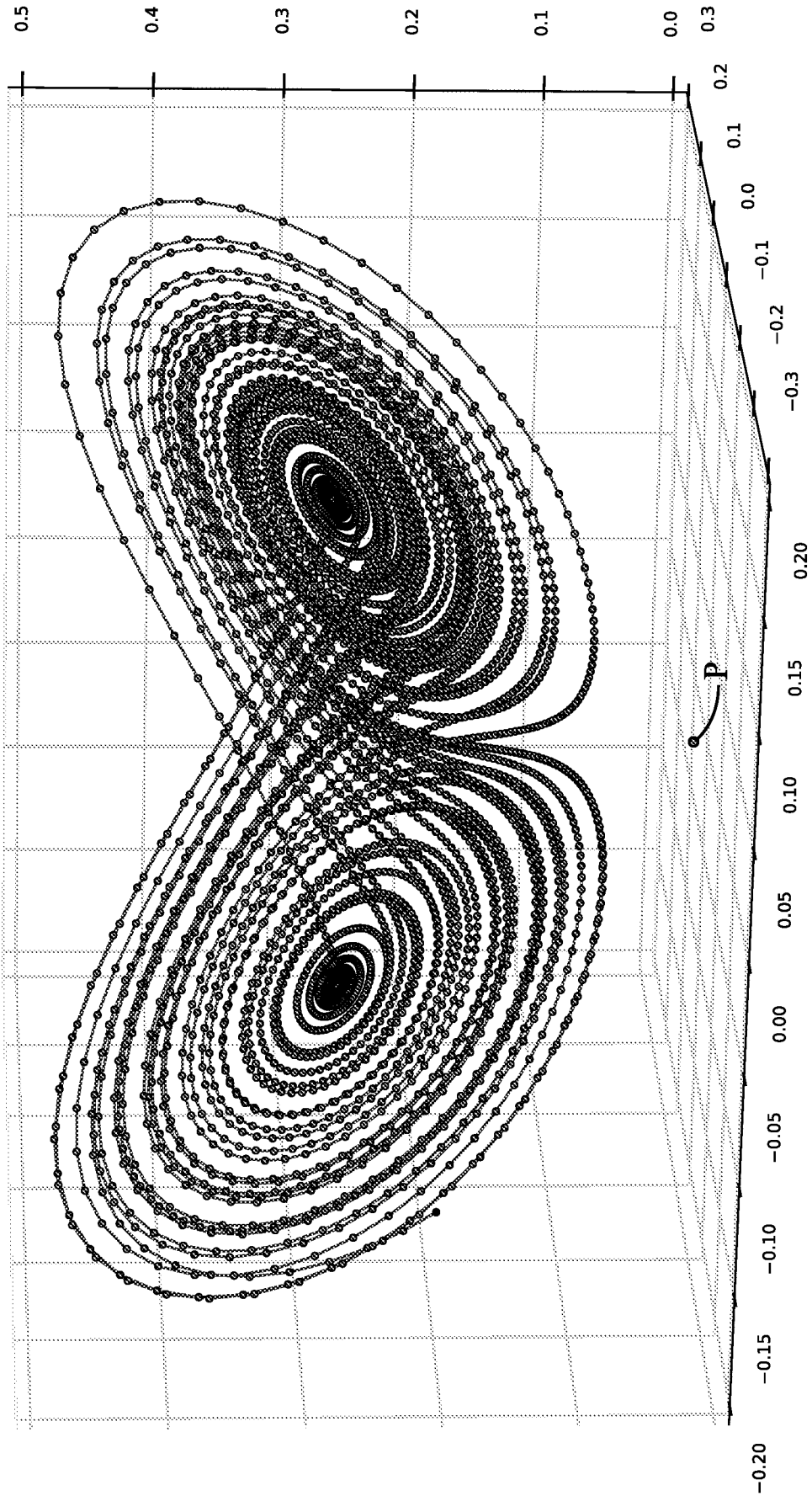


FIG. 34

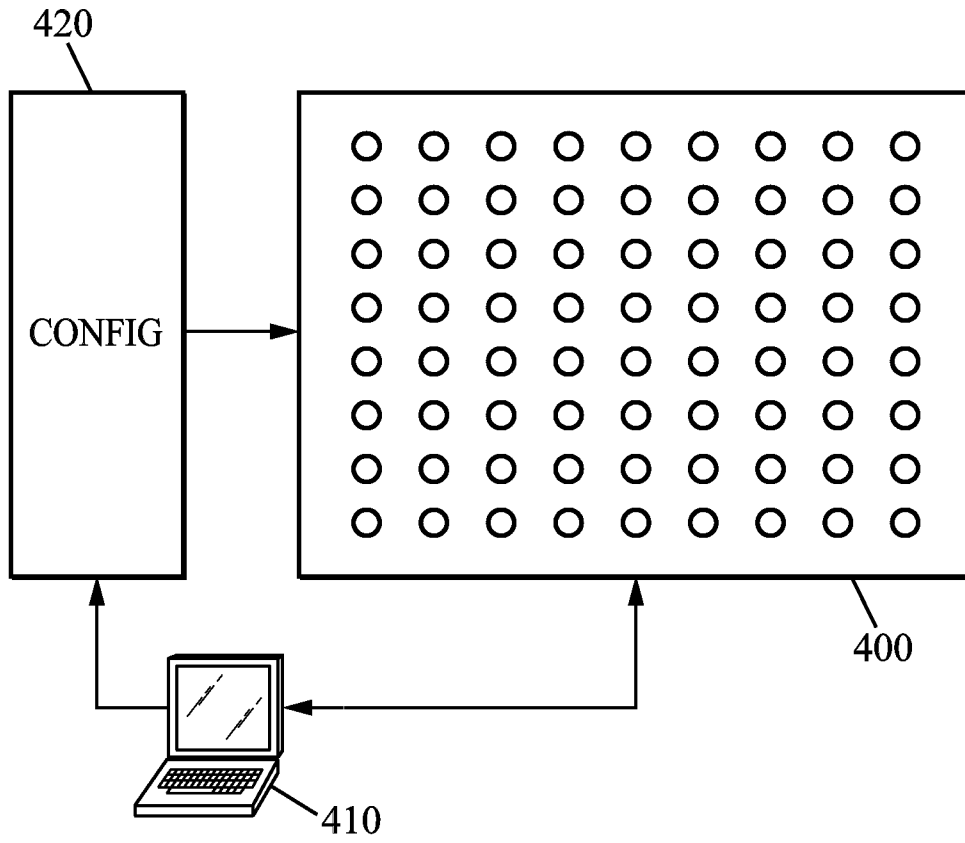


FIG. 35

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2016/051717

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06N3/04
ADD.
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
G06N
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	B. BELHADJ ET AL: "Continuous real-world inputs can open up alternative accelerator designs", PROCEEDINGS OF THE 40TH ANNUAL INTERNATIONAL SYMPOSIUM ON COMPUTER ARCHITECTURE (ISCA'13), 23 June 2013 (2013-06-23), XP058021223, DOI: 10.1145/2485922.2485923 sections 1 et 2 ----- -/--	1-30

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
---	---

Date of the actual completion of the international search 4 October 2016	Date of mailing of the international search report 13/10/2016
--	---

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Douarche, Nicolas
--	--

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2016/051717

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>A. S. CASSIDY ET AL: "Cognitive computing building block: a versatile and efficient digital neuron model for neurosynaptic cores", PROCEEDINGS OF THE 2013 INTERNATIONAL JOINT CONFERENCE ON NEURAL NETWORKS (IJCNN'13), 4 August 2013 (2013-08-04), XP032542126, DOI: 10.1109/IJCNN.2013.6707077 sections II et III</p> <p style="text-align: center;">-----</p>	1-30
A	<p>D. PECEVSKI ET AL: "NEVESIM: event-driven simulation of networks of spiking neurons", FRONTIERS IN NEUROINFORMATICS, vol. 8, 70, 14 August 2014 (2014-08-14), XP055264389, DOI: 10.1162/neco.2007.19.12.3226 sections 2 et 3</p> <p style="text-align: center;">-----</p>	1-30

<p>A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G06N3/04 ADD.</p>		
<p>Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB</p>		
<p>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</p>		
<p>Documentation minimale consultée (système de classification suivi des symboles de classement) G06N</p>		
<p>Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche</p>		
<p>Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data, INSPEC</p>		
<p>C. DOCUMENTS CONSIDERES COMME PERTINENTS</p>		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	<p>B. BELHADJ ET AL: "Continuous real-world inputs can open up alternative accelerator designs", PROCEEDINGS OF THE 40TH ANNUAL INTERNATIONAL SYMPOSIUM ON COMPUTER ARCHITECTURE (ISCA'13), 23 juin 2013 (2013-06-23), XP058021223, DOI: 10.1145/2485922.2485923 sections 1 et 2</p> <p style="text-align: center;">----- -/--</p>	1-30
<p><input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe</p>		
<p>* Catégories spéciales de documents cités:</p> <p>"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>"E" document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> <p>"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément</p> <p>"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</p> <p>"&" document qui fait partie de la même famille de brevets</p>		
<p>Date à laquelle la recherche internationale a été effectivement achevée</p> <p style="text-align: center;">4 octobre 2016</p>		<p>Date d'expédition du présent rapport de recherche internationale</p> <p style="text-align: center;">13/10/2016</p>
<p>Nom et adresse postale de l'administration chargée de la recherche internationale</p> <p style="text-align: center;">Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016</p>		<p>Fonctionnaire autorisé</p> <p style="text-align: center;">Douarche, Nicolas</p>

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	<p>A. S. CASSIDY ET AL: "Cognitive computing building block: a versatile and efficient digital neuron model for neurosynaptic cores", PROCEEDINGS OF THE 2013 INTERNATIONAL JOINT CONFERENCE ON NEURAL NETWORKS (IJCNN'13), 4 août 2013 (2013-08-04), XP032542126, DOI: 10.1109/IJCNN.2013.6707077 sections II et III</p> <p style="text-align: center;">-----</p>	1-30
A	<p>D. PECEVSKI ET AL: "NEVESIM: event-driven simulation of networks of spiking neurons", FRONTIERS IN NEUROINFORMATICS, vol. 8, 70, 14 août 2014 (2014-08-14), XP055264389, DOI: 10.1162/neco.2007.19.12.3226 sections 2 et 3</p> <p style="text-align: center;">-----</p>	1-30