



(12) 发明专利

(10) 授权公告号 CN 102484106 B

(45) 授权公告日 2015. 10. 07

(21) 申请号 201080039645. 6

H01L 21/68(2006. 01)

(22) 申请日 2010. 07. 06

(56) 对比文件

(30) 优先权数据

US 5353195 A, 1994. 10. 04,

102009032219. 1 2009. 07. 06 DE

US 5353195 A, 1994. 10. 04,

(85) PCT国际申请进入国家阶段日

US 5111278 A, 1992. 05. 05, 说明书第 6 栏第 16-20 行及附图 2.

2012. 03. 06

CN 1568546 A, 2005. 01. 19, 说明书第 46 页

(86) PCT国际申请的申请数据

第 10 行至第 47 页第 14 行及附图 63.

PCT/EP2010/059647 2010. 07. 06

US 5465217 A, 1995. 11. 07, 说明书第 1 栏第 15-19 行及附图 1、4.

(87) PCT国际申请的公布数据

W02011/003910 DE 2011. 01. 13

CN 1625926 A, 2005. 06. 08, 说明书第 3 页第 29 行至第 8 页第 30 行及附图 1A-1P.

(73) 专利权人 斯图加特微电子研究所

CN 1914730 A, 2007. 02. 14, 全文.

地址 德国斯图加特

DE 10334577 B3, 2005. 02. 10, 全文.

(72) 发明人 约阿希姆·布尔加尔茨

审查员 肖箫

克里斯蒂娜·阿朗特

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 张春水 田军锋

(51) Int. Cl.

H01L 23/498(2006. 01)

H01L 23/538(2006. 01)

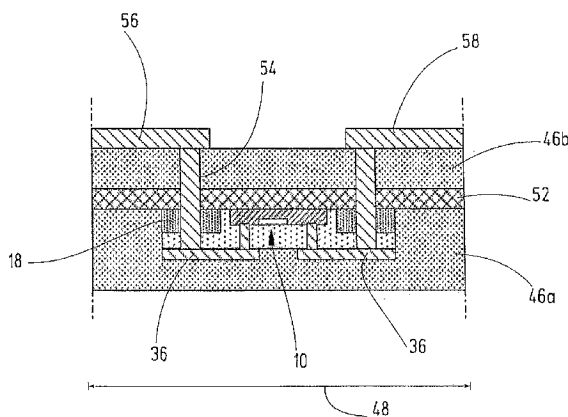
权利要求书2页 说明书9页 附图4页

(54) 发明名称

用于制造集成电路的方法和产生的膜芯片

(57) 摘要

通过将半导体衬底 (12) 设置在膜件 (18) 的凹槽 (22) 中的方式, 将具有第一表面延伸的半导体衬底 (12) 与具有第二表面延伸的柔性膜件 (18) 组合。半导体衬底 (12) 具有借助光刻工艺步骤产生的电路结构 (14)。在将半导体衬底 (12) 设置在膜件 (18) 的凹槽 (22) 中之后, 借助光刻工艺步骤在半导体衬底 (12) 和膜件 (18) 之上产生由导电材料组成的结构化层 (36)。结构化层 (36) 从半导体衬底 (12) 延伸至柔性的膜件 (18) 并且形成在半导体衬底 (12) 和膜件 (18) 之间的导电接触轨 (38, 40)。



1. 用于制造集成电路的方法,所述方法具有如下步骤:

- 提供具有第一表面延伸 (16) 的半导体衬底 (12),其中所述半导体衬底 (12) 具有第一衬底表面 (32) 和第二衬底表面,所述第二衬底表面平行于所述第一衬底表面 (32),
- 借助光刻工艺步骤在所述半导体衬底 (12) 中产生电路结构 (14),
- 提供柔性的第一膜件 (18),所述柔性的第一膜件具有大于所述第一表面延伸 (16) 的第二表面延伸 (20),并且所述柔性的第一膜件在所述表面延伸中具有凹槽 (22),其中所述柔性的第一膜件 (18) 具有第一膜件表面 (28) 和平行于所述第一膜件表面 (28) 的第二膜件表面 (34),
- 将所述半导体衬底 (12) 和所述柔性的第一膜件 (18) 设置在保持体 (24) 上,其中所述半导体衬底 (12) 设置在所述凹槽 (22) 中,
- 借助浇注材料 (30) 将所述第二衬底表面和所述第二膜件表面浇注成组合的膜芯片 (10),
- 将所述组合的膜芯片 (10) 从所述共同的保持体 (24) 剥离,

借助光刻工艺步骤在所述半导体衬底 (12) 和所述柔性的第一膜件 (18) 上产生由导电材料组成的结构化层 (36),其中所述结构化层 (36) 从所述半导体衬底 (12) 延伸至所述柔性的第一膜件 (18) 并且形成在所述半导体衬底和所述柔性的第一膜件 (18) 之间的多个导电接触轨 (38,40),其特征在于,所述保持体 (24) 是平坦的保持体 (24),并且所述第一衬底表面 (32) 和所述第一膜件表面 (28) 共同设置在平坦的保持体 (24) 上,以便将所述第一衬底表面 (32) 和所述第一膜件表面 (28) 平面平行地定向,

其中所述组合的膜芯片 (10) 从所述共同的保持体 (24) 剥离,使得所述半导体衬底 (12) 和所述柔性的第一膜件 (18) 的平面平行的表面能直接接近,

其中直接在半导体衬底 (12) 和所述柔性的第一膜件 (18) 上产生所述结构化层 (36),其中所述半导体衬底 (12) 和所述柔性的第一膜件 (18) 无接触孔地电连接。

2. 根据权利要求 1 所述的方法,其中所述浇注材料 (30) 是聚合物材料。

3. 根据权利要求 1 或 2 所述的方法,其中提供具有显著地大于所述第二表面延伸 (20) 的第三表面延伸 (48) 的另一柔性膜件 (46),其中将所述膜芯片 (10) 固定在所述另一柔性膜件 (46) 上,并且其中所述结构化层 (36) 与构成在所述另一柔性膜件 (46) 上的其他带状导线 (56,58) 接触。

4. 根据权利要求 3 所述的方法,其中借助于厚膜工艺步骤在所述另一柔性膜件 (46) 上产生所述其他带状导线 (56,58)。

5. 根据权利要求 1 所述的方法,其中所述结构化层 (36) 形成扇状的接触轨 (38,40),所述接触轨从所述半导体衬底 (12) 径向向外延伸并且径向地从内部向外部展宽。

6. 根据权利要求 1 所述的方法,其中所述柔性的第一膜件 (18) 是聚合物薄膜。

7. 具有集成电路 (14) 的膜芯片,所述膜芯片具有:带有第一表面延伸 (16) 的半导体衬底 (12),在所述半导体衬底中借助光刻工艺步骤产生电路结构 (14);带有第二表面延伸 (20) 的柔性的第一膜件 (18),所述第二表面延伸大于所述第一表面延伸 (16);以及在所述第二表面延伸 (20) 中的凹槽 (22),其中将所述半导体衬底 (12) 设置在所述凹槽 (22) 中;以及在所述半导体衬底 (12) 和所述柔性的第一膜件 (18) 之上的由导电材料组成的结构化层 (36),所述结构化层从所述半导体衬底 (12) 延伸至所述柔性的第一膜件 (18) 并且形成

在所述半导体衬底(12)和所述柔性的第一膜件(18)之间的多个导电的接触轨(38,40),其中所述结构化层(36)借助光刻工艺步骤来产生,其特征在于,直接在半导体衬底(12)和所述柔性的第一膜件(18)上产生所述结构化层(36),其中所述半导体衬底(12)和所述柔性的第一膜件(18)无接触孔地电连接。

## 用于制造集成电路的方法和产生的膜芯片

### 技术领域

[0001] 本发明涉及一种用于制造集成电路的方法,即具有集成到半导体本体中的多个电子器件的电路。更确切地说,本发明涉及一种方法,以便将例如以常规的硅技术来制造的所谓的半导体芯片与有机电子技术的器件组合。

### 背景技术

[0002] 长期以来,已知基于在很大程度上刚性的半导体材料来制造集成电路,所述半导体材料主要出自于元素周期的 IV 族,或者是来自元素周期的 II 族和 V 族的组合材料。已知的材料尤其是硅、锗、砷化镓等等。借助现代的光刻工艺步骤可以在刚性的半导体衬底之中或者之上由这种材料产生极其精细的结构。光刻工艺步骤通常包括借助曝光或刻蚀步骤来在半导体衬底上产生掩模结构,以及将杂质材料沉积和 / 或引入到半导体衬底之中或者之上。当然,光刻工艺技术极其复杂并且昂贵,使得集成电路的制造在极其大的件数和高的集成密度的情况下才回本。然而,制造借助光刻工艺步骤以刚性半导体材料制造的集成电路是广泛普遍的。

[0003] 此外,已长期争取使用所谓的有机半导体材料来制造电子电路。电子器件在此主要,但是并不仅仅由有机材料产生和 / 或在由机材料组成的膜、尤其是聚合物膜上来产生。通常,借助相对低成本的压印方法来在这种膜上来产生电路结构,尤其是在最终产品应为大面积的,如在图形显示器的情况下那样,这保证相对于常规半导体技术更加经济的优点。相对于可以借助“经典的”光刻技术在硅和其他的刚性半导体材料上产生的极其精细的结构,压印技术通常导致较粗糙的结构。这两种技术,即基于硅和其他刚性半导体材料的集成的半导体工艺和使用压印技术的有机电子技术,关于单位面积上的电路的成本、集成度和电路的功率在一定程度上是互补的。

[0004] 因此,期望的是,将这两个工艺的优点结合到混合方法中。为此需要的是,将设置在刚性半导体衬底之上或者之中的集成电路与通常为柔性的有机的支承材料连接。在此,难度首先是在刚性半导体衬底上的易损结构的电接触,因为借助已知的压印技术在有机支承材料上产生的结构不能够如此精细地实现。另一方面,常规的光刻工艺以刚性材料为前提。

[0005] EP 0 452 506 B1 公开了一种用于制造柔性的膜件的方法,在所述膜件上设置集成半导体电路。在实施例,柔性的膜件是聚合物膜。膜在一侧上设有导电结构,所述结构在用于集成的半导体电路的安装位置的区域中具有塞状的突出部。突出部穿过膜并且在第二膜侧上突出于膜。此处,突出部接触所谓的接合垫,所述接合垫是构成在集成的半导体电路的边缘区域中的特别的接触面。将半导体电路借助接合垫置放到并且焊接到塞状的突出部的自由端部上。EP 0 452 506 B1 因此公开了一种方法,以便使在很大程度上刚性的半导体芯片在柔性膜件处被以机械方式固定并且被电接触。然而,已知的方法需要在半导体芯片上的相对大的接触面,即显著大于在芯片中的各个器件的电路结构的接触面。因此,损失了用于制造集成电路结构的有价值的芯片面积。实现接触面越小,在将半导体芯片定位到

塞状的突出部上时的耗费就越高。这些缺点在如下情况下特别强地起作用：带有集成电路的半导体芯片例如是用于大面积的显示器的激励或驱动电路，该显示器将借助柔性膜件上的有机电子装置来实现。对于这种激励或驱动电路需要极大数量的接触面，使得对于接触需要相对大的芯片面积。

[0006] DE 42 28 274 A1 公开了一种用于接触由在很大程度上刚性的半导体材料组成的光电子器件的方法。在一个实施例中，器件是由砷化镓组成的发光二极管。将器件固定、例如焊接或者粘接在保持体上。代替已知的接合线，DE 42 28 274 A1 提出，在支承体本体和器件上设置聚合物膜，在所述膜中引入接触孔。接下来，在聚合物膜上沉积金属层，其中金属还渗入到接触孔中并且以这种方式将器件和支承体本体电连接。

## 发明内容

[0007] 相对于所述背景，本发明的目的是提出一种方法，以便将由硅和 / 或在很大程度上刚性的半导体材料制造的常规的半导体芯片简单地并且低成本地与尤其由有机半导体材料组成的柔性膜件组合。

[0008] 因此，根据本发明的一个方面提出了一种用于制造集成电路的方法，具有下述步骤：

[0009] - 提供具有第一表面延伸的半导体衬底，

[0010] - 借助光刻工艺步骤在半导体衬底中产生电路结构，

[0011] - 提供柔性的第一膜件，所述第一膜件具有大于第一表面延伸的第二表面延伸，并且在表面延伸中具有凹槽，

[0012] - 将半导体衬底设置在凹槽中，并且

[0013] - 借助光刻工艺步骤在所述半导体衬底和所述柔性的第一膜件上产生由导电材料组成的结构化层，其中结构化层从半导体衬底延伸至柔性的第一膜件并且形成在半导体衬底和第一膜件之间的多个导电接触轨。

[0014] 根据另一方面，提出了一种膜芯片，其具有：集成的电子电路；带有第一表面延伸的半导体衬底，在所述半导体衬底中借助光刻工艺步骤产生电路结构；带有第二表面延伸的柔性的膜件，所述第二表面延伸大于第一表面延伸；以及在表面延伸中的凹槽，其中将半导体衬底设置在凹槽中；以及在半导体衬底和膜件之上的由导电材料组成的结构化层，所述结构化层从半导体衬底延伸至膜件并且形成在半导体衬底和所述膜件之间的多个导电的接触轨，其中结构化层借助光刻工艺步骤来产生。

[0015] 在新的膜芯片中的借助光刻工艺步骤产生的结构化层的特征尤其在于，层的结构化是易损的，使得其只可以借助光刻工艺步骤来产生。换言之，例如带状导线或者接触面的各个结构元件的横向尺寸比借助包括已知的压印技术的厚膜工艺步骤可以产生的横向尺寸更小并且更易损，其中厚膜工艺步骤包括已知的压印技术。新的方法不仅将已知的光刻工艺步骤用于制造在通常相当刚性的半导体衬底中的电路结构，而且还用于制造电接触轨，所述电接触轨从相当刚性的半导体衬底引向与其相比相当柔性的支承材料。因此，借助新的方法制造的新的膜芯片具有在半导体衬底和柔性的膜件之上的共同的、连续的接触层。由于光刻工艺步骤，可以将该接触层比可以借助已知的压印技术产生的接触层显著更精细地来结构化。因此可能的是，省去在半导体衬底上相对较大的接触面。在半导体衬底

中的集成电路结构和柔性的膜件之间的导电连接的建立借助新型的方法而可以极其节约空间。

[0016] 此外,新的方法和基于此的膜芯片具有下述优点,在将半导体衬底和膜件相对彼此设置之后,才在半导体衬底和柔性膜件之间产生导电接触轨。因此,该方法对于将半导体衬底相对于膜件放置时的公差是较不敏感的。导电接触轨将半导体衬底和膜件连接为如其实际上相对彼此定位的那样。因此可以相对简单并且低成本地实现新的方法,特别是因为总归需要并且保持用于产生电路结构的光刻工艺步骤。

[0017] 在优选的实施例中,半导体衬底具有小于  $50\ \mu\text{m}$  的层厚度,优选是小于  $20\ \mu\text{m}$  的层厚度,即半导体衬底形成具有一定固有柔性的极其薄的半导体芯片。这样薄的芯片可以有利地层压为  $0.5\text{mm}$  和更小厚度的薄膜,如同其继续在下面根据优选实施例详细地示出。

[0018] 在任何情况下,半导体衬底的供使用的芯片面积可以最佳地充分用于产生电路结构,因为可以省去在半导体衬底上的相对大的接触面。尽管如此当然可能的是,将例如扩大的测试面设置在半导体衬底上,例如设置在每个带状导线中,以便在将半导体衬底和柔性的膜件组合之前,实现集成电路结构的电子测试。然而,这些测试面可以小于常规接触垫。在优选的实施例中,在无特殊且(关于电路结构的横向尺寸)大的接触面或者接合垫的情况下实现在半导体衬底中的电路结构,以便最优地使用供使用的芯片面积。如后面根据优选实施例阐明的是,可以通过在柔性膜件上的大的接触面以简单并且低成本的方式来测试集成的电路结构。

[0019] 在将半导体衬底与柔性的膜件组合之前,优选地在半导体衬底中产生电路结构。然而原则上,可以在将半导体衬底与膜件组合之后完全或者部分地产生电路结构。因此,上述说明的关于产生电路结构的方法步骤的顺序不是强制的。

[0020] 完全实现了上面说明的目的。

[0021] 在本发明的一个优选实施例中,半导体衬底具有第一衬底表面并且柔性的膜件具有第一膜件表面,其中第一衬底表面和第一膜件表面平面平行地定向。

[0022] 在该扩展方案中,第一衬底表面和第一膜件表面位于相同的高度上并且平行与彼此。因此,可以更加简单地制造共同的、连续的接触层。此外,接触层可以相对于替选的扩展方案更均匀地并且更薄地来实现,在该替选的扩展方案中,所述接触层中必须补偿在半导体衬底和膜件表面之间的高度差。

[0023] 在另一扩展方案中,将第一衬底表面和第一膜件表面共同地设置在平坦的保持体上,以便第一衬底表面和第一膜件表面平面平行地定向。

[0024] 在该扩展方案中,由半导体衬底和第一膜件组成的组合位于优选刚性的保持体上,而产生带有导电接触轨的结构化层。在优选的实施例中,保持体是刚性半导体衬底,例如衬底晶圆。该扩展形式实现到工艺流程中简单的集成,所述工艺流程在借助光刻工艺步骤制造集成电路时被保证。此外,在后续的光刻工艺步骤期间可以简单地并且以高精度实现衬底表面和膜件表面的平面平行的定向。

[0025] 在另一扩展方案中,保持体作为运输体保留为在半导体衬底和柔性的膜件上。

[0026] 在该扩展方案中,保持体不仅在制造过程中用于定向和保持半导体衬底和柔性膜件,而且保持体还在制造过程之后继续使用为保持体。该扩展方案的保持体尤其用作为运输介质,所述运输介质实现新的膜芯片的简单的并且可靠的运输,例如从制造商到客户。此

外,保持体原则上还持久地保留在膜芯片上并且例如用作为用于其他电路结构的支承体。

[0027] 在另一扩展方案中,半导体衬底具有大约平行与第一衬底表面的第二衬底表面,并且柔性的膜件具有大约平行于第一膜件表面的第二膜件表面,其中第二衬底表面和第二膜件表面借助浇注材料浇注成组合的膜芯片。在该扩展方案的尤其优选的变型方案中,浇注材料是聚合物材料。

[0028] 在该扩展方案中,半导体衬底和膜件不仅与导电的接触轨连接,而且它们还机械地结合成单独的构件。因此,得到膜芯片,所述膜芯片具有由在很大程度上刚性的半导体材料组成的芯和由柔性的材料组成的至少部分环绕的膜边缘。

[0029] 该扩展方案具有下述优点,即稳定在半导体衬底和膜件之间的借助光刻工艺步骤产生的接触轨并且保护不受由于半导体衬底和膜件的相对运动所引起的损害。此外,可以将新的膜芯片作为集成构件极其简单地与其他的构件组合成复杂的电路,其中可以尤其远离半导体衬底或者仅在柔性边缘上接触膜芯片本身。

[0030] 在另一扩展方案中将半导体衬底和膜件连同浇注材料一起从共同的保持体剥离,以便在第一衬底表面和第一膜件表面之上产生导电层。

[0031] 在该扩展方案中,保持体(至少首先)仅用于将衬底表面和膜件表面尽可能平面平行地定向。这是极其简单的,其方式为将半导体衬底和膜件借助其各自的表面置于在平坦的保持体上。在本发明的一些扩展方案中,将导电接触轨基本直接设置到相对于彼此定向的表面上。为此要求的是,实现直接接近两个表面,这极其简单地实现,其方式为将膜芯片从整个保持体剥离并且例如以反转的方式置放在第二保持体上(或者在同一保持体上)。该扩展形式尤其实现将半导体衬底和膜件无接触孔地彼此电连接。因此该扩展形式实现极其薄的、基本匀质且稳定的层结构。

[0032] 而在另一扩展方案中,产生穿过浇注材料延伸到半导体衬底的接触孔,其中借助优选金属的导电材料来填充接触孔,以便将半导体衬底与导电层连接。

[0033] 该扩展方案导致复杂的层结构并且导致新的膜芯片的较大一些的层厚度。然而,该扩展方具有下述优点,即膜芯片可以在产生导电接触轨时保留在保持体上。因此,扩展形式关于机械的处理步骤(夹紧,定位,置放等)更加简单。降低了在处理流程中以机械方式处理膜芯片时会形成的误差影响和损坏。

[0034] 在另一扩展方案中提供具有显著大于第二表面延伸第三表面延伸的柔性的膜件,其中将膜芯片固定在其他膜件上,并且其中结构化层与构成在其他柔性膜件上的其他带状导线接触。

[0035] 在该扩展方案中,将膜芯片与其他膜状的膜件组合。在优选的实施例中,该其他膜件是聚合物膜,在所述聚合物膜上设置有已经或者要借助厚膜工艺步骤来制造的电子器件。该扩展方案从新的方法的基本的优点中以特别大的程度来获利,因为该扩展方案实现相对小的、高集成度的半导体芯片与大平面的有机半导体材料极其简单的组合。借助该扩展方案例如可以以极其简单并且低成本的方式实现具有有机发光二极管(OLED)和集成的激励和驱动电路的大平面的显示器。尤其优选的是:将新的膜芯片层压到大的聚合物膜中,如其继续在下面根据优选的实施例示出的那样。

[0036] 在另一扩展方案中,借助厚膜工艺步骤在其他膜件上产生其他带状导线。

[0037] 如之前已经表明,该扩展方案实现有机的和常规的半导体电路的互补的特征的最

优组合。在两种工艺之间通常的、尤其与相应结构的横向尺寸有关地可觉察的差异可以借助于新的方法以极其简化并且恰当的方式来克服,其方式为将相对大的接触面(关于在半导体衬底中的电路结构的横向尺寸)仅设置在第一膜件区域中并且将全部其他的接触部从那里起引向其他的膜件。

[0038] 在另一扩展方案中,半导体衬底在膜芯片中完全地由浇注材料所围绕。

[0039] 在扩展方案中,通过浇注材料来在周围保护具有集成电路结构的半导体衬底。因此,不管在将所述膜芯片在集成到大面积的聚合物膜中还是在其他的应用和加工步骤中,该扩展方案均实现新的膜芯片的鲁棒性的处理。因此降低了损坏敏感电路结构的危险。

[0040] 在另一扩展方案中,结构化层形成扇状的接触轨,所述接触轨从半导体衬底径向向外延伸并且径向从内部向外部展宽。可替换或者补充的是,可以在第一膜件的区域中设置接触面,所述接触面特别地构成用于以厚膜技术来电连接带状导线和/或用于电连接可焊接的接触部。

[0041] 该扩展方案实现使“大的”导电结构简单且成本低廉地电连接至半导体衬底中的易损电路结构,而没有浪费在半导体衬底中的高价值的芯片面积。即使没有将新的膜芯片与大面积的有机电子装置结合起来,该扩展方案仍然有助于低成本并且可多方面应用的半导体芯片。具有扇状构成的接触轨的结构化层相对于特别的、邻接的接触面具有较小接触电阻的优点。

[0042] 在另一扩展方案中,柔性的第一膜件是聚合物膜。

[0043] 该扩展方案实现新的膜芯片的低成本和可多样化使用的实现方式,并且该扩展方案使将新的膜芯片集成到具有有机的半导体元件的大面积的膜中变得容易。

#### 附图说明

[0044] 要理解的是,上面所述的和下面还要阐明的特征不只可以以相应说明的组合,而且还可以以其他组合中或者单独地来使用,而没有偏离本发明的范围。

[0045] 在附图中示出并且在下面的说明中详细地阐明本发明的实施例。其中:

[0046] 图 1-3 示出在根据新的方法的一个实施例制造集成电路时的半成品,

[0047] 图 4 和 5 示出在根据新的方法的另一实施例制造集成电路时的半成品,

[0048] 图 6 示出膜芯片,其借助根据按照图 1-3 的实施例的方法来制造并且集成到大面积的聚合物膜中,

[0049] 图 7 示出膜芯片的实施例的俯视图,所述膜芯片根据新的方法来制造,和

[0050] 图 8 示出新的膜芯片的另一实施例。

#### 具体实施方式

[0051] 在图 1 至 3 中,新的膜芯片的一个实施例在其整体上以附图标记 10 表示。图 1 至 3 示出用于制造膜芯片 10 的各个方法步骤。

[0052] 在图 1 中示出具有附图标记 12 的半导体衬底。半导体衬底在此已经具有集成的电路结构,所述电路结构以附图标记 14 来表示。附图并不合乎比例。在一个实施例中,电路结构 14 是复杂的电路结构,其形成用于大面积显示器的激励和驱动电路。然而,电路结构 14 还可以构成用于其他的任务。



[0053] 如本领域的技术人员已知的是,电路结构 14 可以包括多个晶体管,所述晶体管一起和 / 或借助其他的集成器件确定电路结构的功能。在该实施例中,以前述工艺步骤在半导体衬底中产生电路结构 14,所述工艺步骤在此由于简化性没有示出。典型地,这些工艺步骤包括借助曝光和刻蚀工艺在半导体衬底表面上产生掩膜结构,以及通过掩膜将杂质引入和 / 或沉积在半导体衬底的表面上。通常,这种具有集成电路结构的半导体衬底称为半导体芯片。在此,半导体芯片以尤其是硅的自身刚性的半导体材料来实现。基本上,具有集成电路结构 14 的半导体衬底 12 是“裸”半导体芯片,其在常规的方法中浇注到塑料的刚性芯片壳体中或者例如以倒装片工艺装配到构件支承体上。根据新的方法,将半导体芯片 12 以后续说明的方式与柔性的支承体材料组合成膜芯片 10。

[0054] 半导体衬底 12 具有第一表面延伸 16,其例如可以是具有 2mm 的棱边长度的正方形的表面延伸。在优选的实施例中,垂直于表面延伸 16 的芯片厚度  $d$  小于  $50\ \mu\text{m}$  并且尤其在  $20\ \mu\text{m}$  的范围中。这种薄的半导体芯在优选的实施例中借助在 WO 2007/104443 中说明的方法来制造。该参考文献的公开内容通过引用完全地结合于此。

[0055] 半导体衬底或者半导体芯片 12 在此与柔性的膜件 18 组合。柔性的膜件 18 在优选的实施例中是具有比半导体衬底 12 的表面延伸 16 大一些的表面延伸 20 的聚合物膜。优选的是,表面延伸 20 的棱边长度位于在 5mm 至 20mm 之间的量级中。垂直于其表面延伸的膜厚度在优选的实施例中小于  $0.5\text{mm}$  并且尤其位于大约  $20\ \mu\text{m}$  至大约  $100\ \mu\text{m}$  的范围中。膜 18 具有凹槽 22,所述凹槽可以是盲孔(在此没有示出)或者可以是穿通开口(如示出的)。凹槽 22 的内部直径稍微大于半导体衬底 12 的相应的外直径,使得可以将半导体衬底 12 设置在凹槽 22 中。

[0056] 在图 1 中,将半导体衬底 12 和膜 18 共同地设置在平坦的保持体 24 上。半导体衬底具有第一衬底表面 26,所述第一衬底表面平面地置放在保持体 24 的平坦的上侧上。膜 18 在这种情况下同心地围绕半导体衬底 12 并且借助其膜件表面 28 同样平面地置放在保持体 24 上。因此,衬底表面 26 和膜件表面 28 平面平行地彼此定向。在一些实施例中,保持体 24 仅仅用于在制造新的膜芯片时定向和保持半导体衬底 12 和膜 18,这就是说保持体 24 在制造工艺结束时被移除。在另一些实施例中,保持体 24 可以用作为“运输支承体”,在所述运输支承体上将膜芯片从制造商运输给客户。此外可能的是,将保持体持久地使用为支承体本体和 / 或用于容纳其他的电路结构。

[0057] 根据图 2,现在,半导体衬底 12 和膜 18 借助浇注材料 30 来浇注成膜芯片 10'。在优选的实施例中,浇注材料 30 同样由聚合物材料组成。如根据图 2 可以简单地看到,浇注材料 30 在此位于从上部置放到半导体衬底 12 和膜 18 上,即,浇注材料 30 相应地附着在背离保持体 24 的表面上。

[0058] 根据图 3,接下来,产生在半导体衬底 12 和膜 18 之上的并且在(硬化的)浇注材料 30 上的由导电材料组成的结构化层 36。在优选的实施例中,导电材料是金属,因此层 36 后面称作金属化层。金属化层 36 形成导电的接触轨 38、40,所述接触轨从半导体衬底 12 延伸至膜件 18。

[0059] 在一个实施例中,在产生金属化层 36 之前产生穿过浇注材料 30 的穿通孔 42。将至少一些穿通孔 42 设置在半导体衬底 12 的区域中,以便接触半导体衬底 12 和在那里集成的电路结构 14。穿通孔 42 在产生金属化层时借助导电材料来填充,并且所述穿通孔因此形

成从金属化层 36 到置于其下的半导体衬底 12 的接触轨。

[0060] 根据本发明的一个方面,金属化层 36 在此借助光刻工艺步骤在膜芯片 10' 上产生。工艺步骤包括曝光和刻蚀步骤以及将金属或其他导电材料沉积或者引入到膜芯片 10' 的曝光的、通过刻蚀步骤暴露的表面区域上。原则上可能,然而不是在任何情况下都必需的是,还在膜 18 的区域中设置接触孔 42,以便产生穿过浇注材料 30 到达膜 18 的电接触轨。

[0061] 在产生包括多个分立的接触轨 38、40 的结构化的金属化层 36 之后,膜芯片 10 可供用于其他的加工。尤其其可以集成到具有有机器件的大面积的聚合物膜中,如这接下来在下面根据用于一个优选实施例的图 6 阐明的那样。为了这种进一步加工,在产生结构化的金属层 36 之后将膜芯片 10 从保持体 24 剥离。原则上可能的是,膜芯片 10' 已经在产生结构化的金属化层 36 之前从保持体 24 剥离,因为保持体 24 对于产生金属化层 36 不是强制必需的。然而,所述保持体简化了膜芯片 10' 的处理。

[0062] 图 4 和 5 借助所选择的半成品示出新的方法的另一实施例。相同的附图标记表示如之前的相同的元件。

[0063] 图 4 示出具有集成电路结构 14 的半导体衬底 12 和膜 18,所述半导体衬底和膜芯片借助浇注材料 30 组成成膜芯片 10'。然而,不同于根据图 1 至 3 的方法,在此半导体衬底 12 通过其上部的衬底表面 32 设置在保持体 24 上。这在图 4 中示意地根据电路结构 14 来表明。换言之,半导体芯片 12 在方法的这个实施例中正好相对于根据图 1 至 3 的实施例反转。

[0064] 在该实施例中,膜芯片 10' 在浇注之后,连同浇注材料 30 一起从保持体 24 剥离,使得平面平行的表面 32、28 可被直接接近。然而,在该优选的实施例中,将膜芯片 10' 重新设置在保持体上,以便使得后续产生结构化的金属化层 36 变得容易。原则上,其可以为同一保持体 24,即在该保持体上仅以旋转 180° 的方式放置膜芯片 10',或者其可以为另一保持体 44,借助该另一保持体将膜芯片 10' 从第一保持体 24 剥离。本领域技术人员在此已知用于处理(还未制成的)膜芯片 10' 的不同的替选方案。

[0065] 根据图 5,在该实施例中直接在半导体衬底 12 和膜 18 上产生结构化的金属化层 36。当然,这不排除在此还可以存在中间层,所述中间层出于工艺技术原因或者出于其他原因而在金属化层 36 和半导体衬底 12 之间的或者在金属化层 36 和膜 18 之间是需要或不可避免的。例如,在具有集成电路结构的半导体衬底的表面上经常产生用于钝化并且作为保护层的 SiO<sub>2</sub> 层。当然,该 SiO<sub>2</sub> 层必须在下述位置上移除,其中在所述位置上金属化层 36 导电地接触集成电路结构 14,这根据本发明的一个方面借助光刻工艺步骤来进行。然而在此,不同于图 1 至 3 的实施例,金属化层 36 设置在背离浇注材料 30 的衬底表面 32 和膜件表面 28 上。根据图 4 和 5 的实施例使得形成在膜芯片中没有穿通孔 42 的实现方式。然而,必须在产生金属化层 36 之前将膜芯片 10' 从保持体 24 剥离。

[0066] 在未在此特别示出的其他实施例中,可以考虑,在半导体衬底 12 和膜 18 之上产生结构化的金属化层 36,而没有之前将半导体衬底 12 和膜 18 以平面平行的表面来定向。还可能的是,将膜 18 和半导体衬底 32 的表面 28、32 以与在此借助保持体 24 提出的方式不同的其他方式平面平行地定向。在一些情况中还可以考虑,直接在半导体衬底 12 和膜 18 之上产生结构化的金属化层 36,而没有将半完成的膜芯片 10' 从保持体 24 剥离。

[0067] 图 6 示出新的方法的尤其优选的实施例,其中膜芯片 10 与尤其为大面积的聚合物

膜的其他柔性膜件组合。相同的附图标记表示如之前的相同的元件。要理解的是,代替根据图 1 至 3 的实施例制造的膜芯片 10,还可以将根据按照图 4 和 5 的方法的膜芯片与大面积的其他柔性膜件组合。

[0068] 在图 6 中,其他的柔性膜件是具有显著大于第一和第二平面延伸 16、20 的表面延伸 48 的聚合物膜 46。在一些实施例中,表面延伸位于  $25\text{cm}^2$  或更大的量级中,即表面延伸 48 例如具有 5cm 或者更大的棱边长度或者直径。在根据图 6 的实施例中,将具有金属化层 36 的膜芯片 10 设置在膜 46a 上并且借助另一膜 46b 和粘合剂 52 来层压。在此,两个膜 46a、46b 和粘合剂 52 形成具有大的表面延伸 48 的其他的柔性膜件。

[0069] 在层压膜芯片 10 之后,借助激光钻孔或者其他合适的方法产生穿过膜 46 的穿透孔 54。穿透孔 54 伸至结构化的金属化层 36。此外,在膜 46 的上侧和 / 或下侧产生由导电材料组成的其他的接触轨 56、58。接触轨 56、58 穿过穿透孔 54 与结构化层 36 导电连接。这可以例如通过借助尤其是金属的导电材料填充穿透孔 54 来进行。在优选的实施例中,借助厚膜工艺步骤、尤其借助压印技术产生接触轨 56、58。因此可达到的结构尺寸显著地大于可借助光刻工艺步骤产生的结构尺寸。然而,根据新的方法足够将外部的接触轨 56、58 与结构化层 36 的被层压的接触轨导电连接,其中结构化层 36 的内部的接触轨以有利的方式负责尺寸匹配。

[0070] 如可以根据图 6 看到,在新的方法的优选的实施例中制造新的膜芯片 10,所述膜芯片具有带有集成电路结构 14 的半导体芯片 12 和膜边缘 18。这种膜芯片 10 可以以极其简单并且低成本的方式与其他的膜组合并且导电连接,其中第一膜边缘 18 提供相对大的接触面积,而没有显著地损害在半导体衬底 12 之内的芯片面积。

[0071] 图 7 示出新的膜芯片 10 的实施例的俯视示意图。相同的附图标记表示如之前的相同的元件。

[0072] 如可以根据图 7 看到,新的方法对于在将半导体衬底 12 相对于第一膜件 18 定位时的公差是较为鲁棒性的,因为在定位半导体衬底 12 和膜件 18 之后才借助光刻工艺步骤产生接触轨 38、40。因此,可以在产生具有接触轨 38、40 的结构化层 36 时考虑可能的定位公差。此外,如结合图 7 可以看到,在该实施例中的膜芯片 10 具有扇状构成的接触轨 38、40,所述接触轨径向从内部向外部展宽。该实施例以这种方式实现在相对宽阔的接触面上低阻地接触易损的电路结构 14。

[0073] 图 8 示出膜芯片的另一实施例,所述膜芯片根据新的方法来制造。在该实施例中,膜芯片在柔性膜 18 中具有接触面 60,所述接触面在此矩形地并且尤其正方形地构成。在膜边缘 18 上的各个接触面 60 通过易损的接触轨 38、40 与在半导体衬底 12 中的电路结构 14 连接。借助该实施例得到“常规的接合垫”60,然而其现在设置在新的膜芯片的柔性的膜边缘 18 上。在此,相对大的接触面并没有降低在半导体衬底 12 中的可用的芯片面积。可以考虑,不仅将接触面 60 设置在柔性膜 18 的外部边缘,还设置在围绕半导体衬底 12 的整个面区域中,其中必须然后将相应的接触轨 38、40 引导穿过各个接触面 60 之间。这种实施例实现提供很多大的接触面;这尤其对于制造图形显示器是有利的。

[0074] 在本发明的全部实施例中,半导体衬底 12 不具有或者仅具有极其少数量的常规的、相对大的接触面。为了测试的目的可以在半导体衬底上设置较少数量的常规的、大的接触面。此外,将该半导体衬底与尤其是膜边缘的柔性膜件组合,在所述膜边缘上构成相对大

的接触面。借助光刻工艺步骤在新的膜芯片上产生提供从半导体衬底到大的接触面的接触轨的导电结构化层,以便将半导体衬底和在那里集成的电路结构与在膜件上的接触面导电连接。因此,半导体衬底的(将近)整个面积可供集成电路使用。此外,新的膜芯片可以极其简单并且低成本地与有机半导体器件连接,其方式为借助厚膜工艺步骤产生相对粗糙的接触轨。有利地仅借助光刻工艺步骤建立在半导体衬底和膜边缘之间的接口。在一些优选的实施例中,半导体衬底完全被聚合物层围绕,所述聚合物层保护集成电路结构免受外部环境的影响并且例如实现“从卷”安装新的膜芯片。

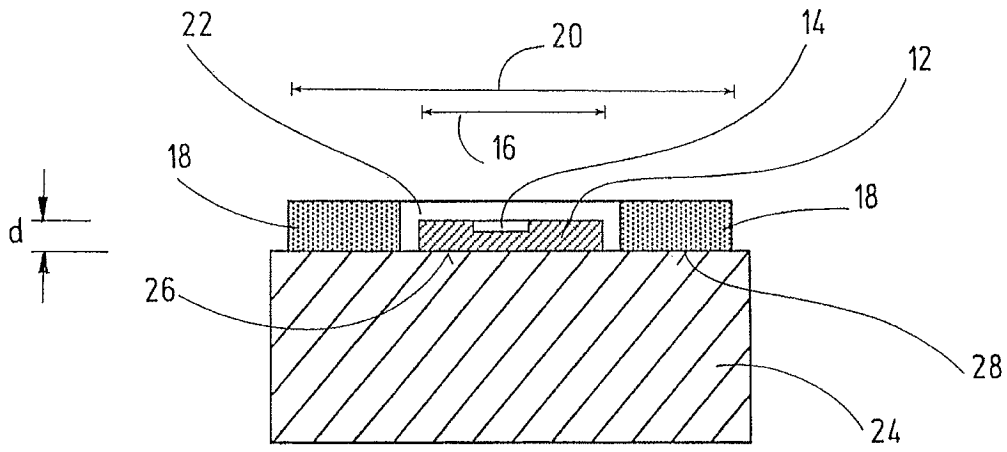


图 1

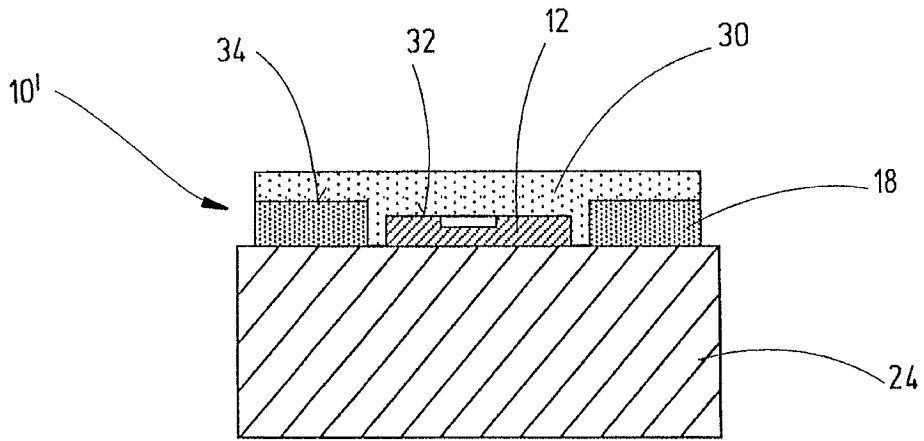


图 2

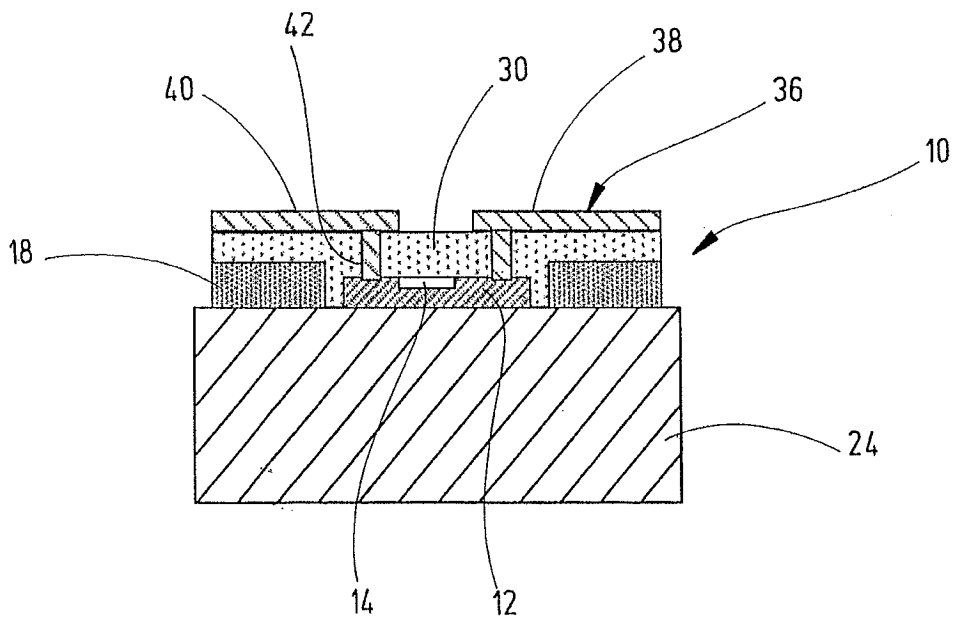


图 3

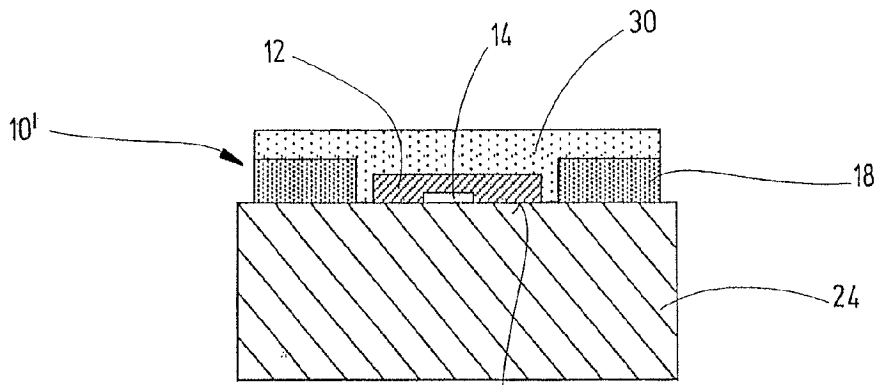


图 4

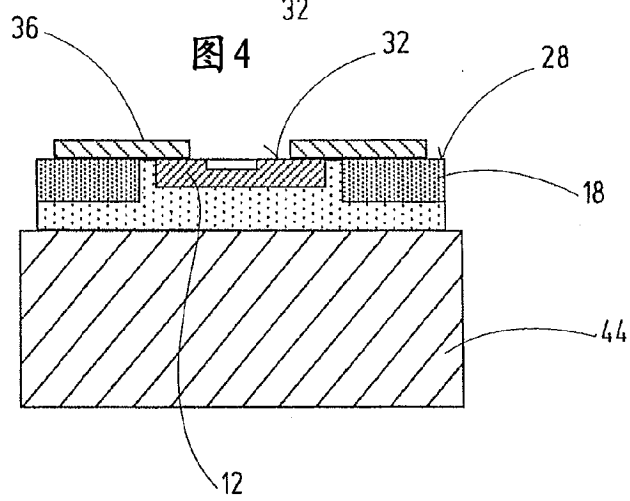


图 5

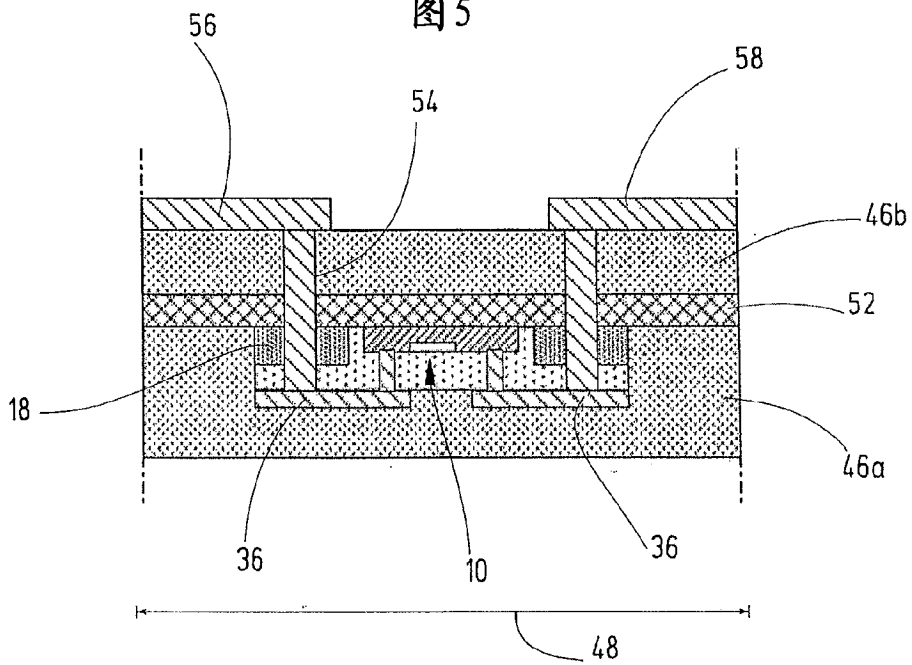


图 6

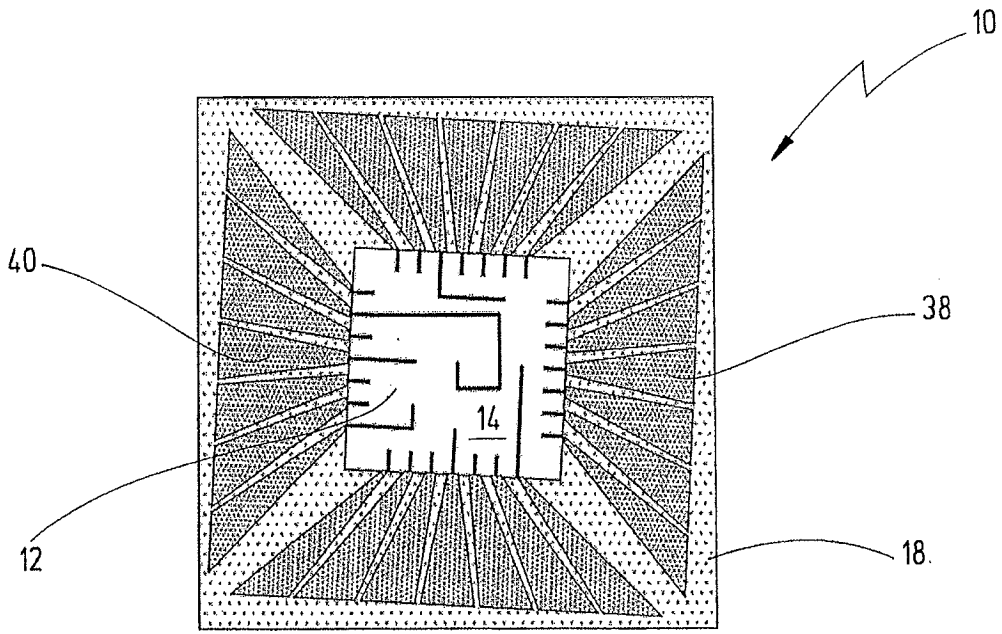


图 7

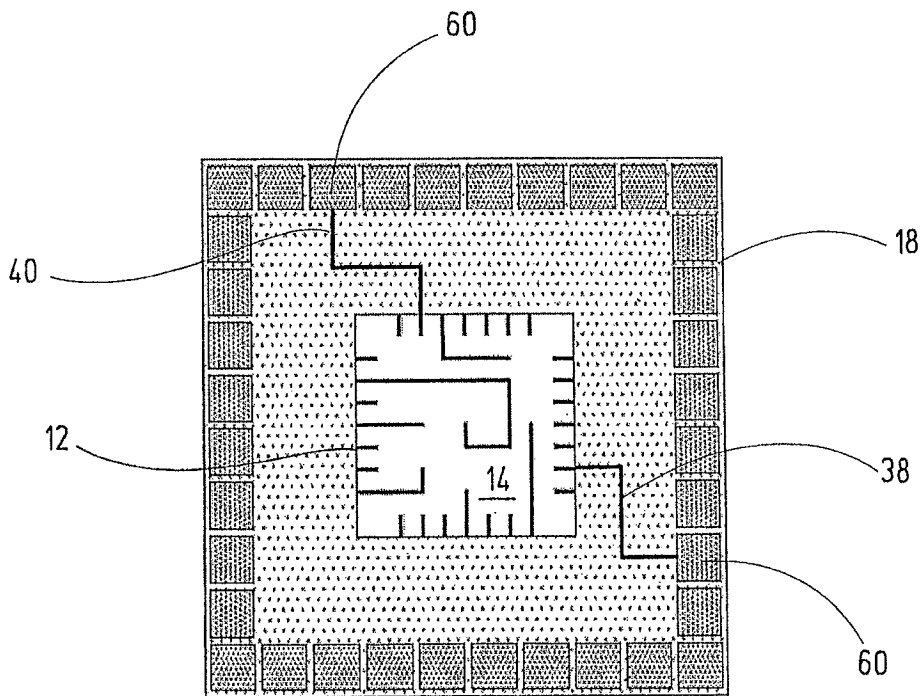


图 8