

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4351990号
(P4351990)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl. F I
 H O 1 L 21/8246 (2006.01) H O 1 L 27/10 4 4 4 B
 H O 1 L 27/105 (2006.01)

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2004-355243 (P2004-355243)	(73) 特許権者	000005821
(22) 出願日	平成16年12月8日(2004.12.8)		パナソニック株式会社
(62) 分割の表示	特願2002-224451 (P2002-224451) の分割		大阪府門真市大字門真1006番地
原出願日	平成14年8月1日(2002.8.1)	(74) 代理人	100077931
(65) 公開番号	特開2005-94038 (P2005-94038A)		弁理士 前田 弘
(43) 公開日	平成17年4月7日(2005.4.7)	(74) 代理人	100094134
審査請求日	平成17年4月11日(2005.4.11)		弁理士 小山 廣毅
(31) 優先権主張番号	特願2001-296855 (P2001-296855)	(74) 代理人	100110939
(32) 優先日	平成13年9月27日(2001.9.27)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

前記上部電極を覆うように設けられ、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、

前記第2の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を連続的に覆うように形成されており、

前記上部電極は、前記キャパシタ列毎に分割して形成されていることを特徴とする強誘電体メモリ装置。

【請求項 2】

前記上部電極と前記第2の水素バリア膜との間に形成され、前記上部電極の周縁部に形成される段差を緩和する段差緩和膜をさらに備え、

前記段差緩和膜は、前記一対のキャパシタ列を連続的に覆うように形成されていることを特徴とする請求項1に記載の強誘電体メモリ装置。

【請求項 3】

前記上部電極は、前記一方向に並ぶ前記複数の強誘電体キャパシタに共通に形成されて

10

20

いることを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 4】

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成された導電性水素バリア膜をさらに備えていることを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 5】

前記共通の上部電極と前記第 2 の水素バリア膜との間に形成され、前記共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜をさらに備えていることを特徴とする請求項 3 に記載の強誘電体メモリ装置。

【請求項 6】

前記導電性水素バリア膜は、Ti と Al との合金膜、Ti と Al との合金の窒化物膜若しくは酸窒化物膜、又は TiN 膜よりなることを特徴とする請求項 4 に記載の強誘電体メモリ装置。

【請求項 7】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、
前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第 2 の水素バリア膜を、前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの一方に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を連続的に覆うように形成する工程とを備えていることを特徴とする強誘電体メモリ装置の製造方法。

【請求項 8】

前記下部電極を形成する工程よりも前に、前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に介在する導電性水素バリア膜を形成する工程をさらに備えていることを特徴とする請求項 7 に記載の強誘電体メモリ装置の製造方法。

【請求項 9】

前記上部電極を形成する工程と前記第 2 の水素バリア膜を形成する工程との間に、前記上部電極と前記第 2 の水素バリア膜との間に介在し、前記上部電極の周縁部に形成される段差を緩和する段差緩和膜を形成する工程をさらに備えていることを特徴とする請求項 7 に記載の強誘電体メモリ装置の製造方法。

【請求項 10】

前記導電性水素バリア膜は、Ti と Al との合金膜、Ti と Al との合金の窒化物膜若しくは酸窒化物膜、又は TiN 膜よりなることを特徴とする請求項 8 に記載の強誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上に順次形成された、下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向にマトリクス状に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体メモリ装置としては、例えば $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (以下、SBT と記す) 又は $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (以下、PZT と記す) 等のヒステリシス特性を有する強誘電体材料膜よりなる容量絶縁膜を有する不揮発性の強誘電体メモリ装置が開発されて

10

20

30

40

50

いる。このような強誘電体メモリ装置に用いられるS B T及びP Z T等の強誘電体材料は強誘電体酸化物である。

【0003】

このため、複数の強誘電体キャパシタの上に層間絶縁膜を介してアルミ配線を形成した後に、半導体基板に形成されているM O Sトランジスタの特性を確保するために行なわれる水素を含む雰囲気中での熱処理、又は半導体メモリ装置の微細化に伴うアスペクト比が高いコンタクトホールにタンゲステン膜を埋め込むために行なわれるC V D法において、強誘電体酸化物が還元性雰囲気、特に水素雰囲気に曝されると、強誘電体酸化物は還元される。このため、強誘電体酸化物の結晶組成が崩れてしまうので、容量絶縁膜の絶縁特性又は強誘電体酸化物の特性が大きく劣化してしまう。

10

【0004】

そこで、強誘電体キャパシタを形成した後に、該強誘電体キャパシタに対して水素雰囲気中での熱処理を施しても、強誘電体キャパシタの容量絶縁膜が水素に曝されて還元されることがないように、容量絶縁膜への水素の侵入を防止する水素バリア膜を強誘電体キャパシタを覆うように形成する。

【0005】

ところが、強誘電体キャパシタと該強誘電体キャパシタの上に形成される層間絶縁膜との間に水素バリア膜を設ける場合、水平方向からの水素の侵入を遮断するためには、水素バリア膜の面積を強誘電体キャパシタの面積よりも少なくとも数 μm 以上大きくする必要がある。また、水素バリア膜は層間絶縁膜に埋め込まれたコンタクトプラグの上にも形成されるため、コンタクトプラグをC V D法により形成されるタンゲステン膜により形成する場合には、水素バリア膜が有する容量絶縁膜への水素の侵入を防止する効果は低減する。

20

【0006】

特に、近年、強誘電体メモリ装置の微細化に伴って強誘電体キャパシタの面積の縮小化($1\mu\text{m}^2$ 以下)が図られているが、前述の理由により、水素バリア膜により強誘電体キャパシタを覆うだけでは、容量絶縁膜への水素の侵入を確実に防止することができない。

【0007】

そこで、特許文献1においては、図6に示すような構造を有する強誘電体メモリ装置が提案されている。

30

【0008】

以下、従来例として、図6に示す強誘電体メモリ装置について説明する。

【0009】

シリコン基板10の表面部には、素子分離領域11が形成されていると共にソース又はドレインとなる不純物拡散層12が形成されている。シリコン基板10の上における不純物拡散領域12同士の間には、ゲート絶縁膜を介してゲート電極13が形成されており、これらゲート電極13及び不純物拡散層12により電界効果型トランジスタが構成されている。

【0010】

電界効果型トランジスタ及び素子分離領域11の上には第1の層間絶縁膜14が形成されており、該第1の層間絶縁膜14の上における素子分離領域11の上方には第1の絶縁性水素バリア膜15が形成されている。第1の絶縁性水素バリア膜15の上には、下部電極16、強誘電体膜よりなる容量絶縁膜17及び上部電極18から構成される強誘電体キャパシタが形成されている。上部電極18の上には導電性水素バリア膜19が形成され、該導電性水素バリア膜19の上面、並びに下部電極16、容量絶縁膜17及び上部電極18の側面を覆うように第2の絶縁性水素バリア膜20が形成されており、強誘電体キャパシタは、第1の絶縁性水素バリア膜15、導電性水素バリア膜19及び第2の絶縁性水素バリア膜20により完全に覆われている。

40

【0011】

第1の層間絶縁膜14及び第2の絶縁性水素バリア膜20の上には第2の層間絶縁膜2

50

1が形成されている。第2の層間絶縁膜21の上には金属配線22が形成されており、該金属配線22は、第1の層間絶縁膜14及び第2の層間絶縁膜21に埋め込まれたコンタクトプラグ23と接続している。

【特許文献1】特開平11-135736号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

前述のように、強誘電体キャパシタは、第1の絶縁性水素バリア膜15、導電性水素バリア膜19及び第2の絶縁性水素バリア膜20により完全に覆われているため、容量絶縁膜17に水素が侵入する事態は防止できる。

10

【0013】

ところが、前記従来の強誘電体メモリ装置においては、第2の絶縁性水素バリア膜20をパターニングする際のマスクずれにより、第2の絶縁性水素バリア膜20の側部が消滅してしまったり、膜厚が薄くなってしまったりする事態が発生する。

【0014】

そこで、第2の絶縁性水素バリア膜20の膜厚を厚くすると共に、第2の絶縁性水素バリア膜20をパターニングするためのマスクのマージンを大きくする必要がある。

【0015】

このため、強誘電体キャパシタ同士の間隔を大きくする必要があるので、強誘電体メモリ装置の微細化が困難になるという問題がある。

20

【0016】

前記に鑑み、本発明は、強誘電体キャパシタの容量絶縁膜に水素が侵入する事態の確実な防止と、強誘電体メモリ装置の微細化との両立を図ることを目的とする。

【課題を解決するための手段】

【0017】

前記の目的を達成するため、本発明の請求項1に係る強誘電体メモリ装置は、半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられ、Si₃N₄膜、SiON膜、Al₂O₃膜、TiO₂膜、TiN膜若しくはTiとAlとの合金膜、又はTiとAlとの合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第2の水素バリア膜を備え、前記第1の水素バリア膜は、ワード線方向及びビット線方向のうちの一方に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成されている。

30

【0018】

このようにすると、第2の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタよりなる一対のキャパシタ列同士の間において寸法マージンを確保する必要がないので、一対のキャパシタ列同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確保することができる。

40

【0019】

また、本発明の請求項2に係る強誘電体メモリ装置によると、共通の上部電極を覆うように第2の水素バリア膜が形成されているため、強誘電体キャパシタを形成した後ににおいて水素雰囲気中での熱処理が施された場合、強誘電体キャパシタの容量絶縁膜に対して上方から侵入する水素を防止できるので、容量絶縁膜を構成する強誘電体膜の還元を防止することができる。

【0020】

50

本発明の請求項 3 に係る強誘電体メモリ装置によると、請求項 1 に記載の強誘電体メモリ装置において、前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に導電性水素バリア膜が形成されていることが好ましい。

【 0 0 2 1 】

このようにすると、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施された場合、強誘電体キャパシタの容量絶縁膜に対して下方から侵入する水素を防止できるので、容量絶縁膜を構成する強誘電体膜の還元を防止することができる。

【 0 0 2 2 】

本発明の請求項 4 に係る強誘電体メモリ装置によると、請求項 1 に記載の強誘電体メモリ装置において、前記共通の上部電極と前記導電性水素バリア膜との間に形成され、前記共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜が形成されていることが好ましい。

10

【 0 0 2 3 】

このようにすると、パターニングされた上部電極の周端部に形成される角張った段差が緩和されるため、第 2 の水素バリア膜の上部電極の周端部におけるカバレッジを向上させることができる。

【 0 0 2 4 】

本発明の請求項 5 に係る強誘電体メモリ装置によると、請求項 3 に記載の強誘電体メモリ装置において、導電性水素バリア膜としては、Ti と Al との合金膜、Ti と Al との合金の窒化物膜若しくは酸窒化物膜、又は TiN 膜を用いることができる。

20

【 0 0 2 5 】

本発明の請求項 6 に係る強誘電体メモリ装置の製造方法は、

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に上部電極を形成する工程と、

Si₃N₄ 膜、SiON 膜、Al₂O₃ 膜、TiO₂ 膜、TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなる第 2 の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの一方に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成する工程とを備えている。

30

【 0 0 2 6 】

このようにすると、第 2 の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタよりなる一対のキャパシタ列同士の間において寸法マージンを確保する必要がないので、一対のキャパシタ列同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後

40

にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確保することができる。

【 0 0 2 7 】

本発明の請求項 7 に係る強誘電体メモリ装置の製造方法は、請求項 6 に記載の強誘電体メモリ装置の製造方法において、下部電極を形成する工程よりも前に、層間絶縁膜に形成されているコンタクトプラグと下部電極との間に介在する導電性水素バリア膜を形成する工程をさらに備えていることが好ましい。

【 0 0 2 8 】

このようにすると、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施された場合、強誘電体キャパシタの容量絶縁膜に対して下方から侵入する水素を防止

50

できるので、容量絶縁膜を構成する強誘電体膜の還元を防止することができる。

【0029】

本発明の請求項8に係る強誘電体メモリ装置の製造方法は、請求項6に係る強誘電体メモリ装置の製造方法において、共通の上部電極を形成する工程と第2の水素バリア膜を形成する工程との間に、共通の上部電極と第2の水素バリア膜との間に介在し、共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜を形成する工程をさらに備えていることが好ましい。

【0030】

このようにすると、パターンニングされた上部電極の周端部に形成される角張った段差が緩和されるので、第2の水素バリア膜の上部電極の周端部におけるカバレッジを向上させることができる。

10

【0031】

本発明の請求項9に係る強誘電体メモリ装置の製造方法は、請求項7に係る強誘電体メモリ装置の製造方法において、導電性水素バリア膜は、TiとAlとの合金膜、TiとAlとの合金の窒化物膜若しくは酸窒化物膜、又はTiN膜を用いることができる。

【発明の効果】

【0032】

本発明に係る強誘電体メモリ装置及びその製造方法によると、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の上に絶縁性の第2の水素バリア膜が埋め込まれているため、絶縁性の第2の水素バリア膜における、一方向に並ぶ複数の強誘電体キャパシタの下部電極同士の上の領域ではパターンニングする必要はない。このため、パターンニングを行なうためのマスクの位置ずれを考慮して、下部電極同士の上に寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。

20

【発明を実施するための最良の形態】

【0033】

以下、本発明の一実施形態に係る強誘電体メモリ装置の構造について、図1及び図2を参照しながら説明する。

【0034】

本発明の一実施形態に係る強誘電体メモリ装置は、ワード線方向及びビット線方向にマトリックス状に配置された複数のメモリセルよりなるメモリセルアレイを備えている。図1は強誘電体メモリ装置におけるワード線に平行な面の断面構造を示し、図2は強誘電体メモリ装置におけるビット線に平行な面の断面構造を示している。

30

【0035】

図1及び図2に示すように、シリコンよりなる半導体基板100の表面部には素子分離領域101が形成されており、半導体基板100上における素子分離領域101により囲まれた領域には、ゲート絶縁膜を介してゲート電極102が形成されている。半導体基板100の表面部におけるゲート電極102の両側には、ソース又はドレインとなる第1の高濃度不純物拡散層103A、103Bが形成されており、ゲート電極102及び第1の不純物拡散層103A、103Bによって電界効果型トランジスタが構成されている。尚、半導体基板100の表面部におけるメモリセルアレイの周縁部には、第2の高濃度不純物拡散層104が形成されている。

40

【0036】

半導体基板100の上には、電界効果型トランジスタを覆うように第1の層間絶縁膜105が形成されている。第1の層間絶縁膜105には、第1のコンタクトプラグ106及び第2のコンタクトプラグ107がそれぞれ埋め込まれており、第1のコンタクトプラグ106の下端は第1の高濃度不純物拡散層103Aに接続されていると共に、第2のコンタクトプラグ107の下端は第2の高濃度不純物拡散層104に接続されている。

【0037】

第1の層間絶縁膜105の上には、第1のコンタクトプラグ106の上端又は第2のコン

50

ンタクトプラグ１０７の上端と接続するように導電性の第２の水素バリア膜１０８がそれぞれ形成されており、第１のコンタクトプラグ１０６の上に位置する導電性水素バリア膜１０８の上には下部電極１０９が形成されていると共に、第２のコンタクトプラグ１０７の上に位置する導電性水素バリア膜１０８の上には上部電極中継部１１０が形成されている。

【００３８】

第１の層間絶縁膜１０５の上には、下部電極１０９及び上部電極中継部１１０を取り囲むように絶縁性の第３の水素バリア膜１１１が形成されており、下部電極１０９の上面、上部電極中継部１１０の上面及び絶縁性の第３の水素バリア膜１１１の上面は、ほぼ面一に形成されている。本実施形態においては、図１に示すように、ワード線方向に並ぶ下部電極１０９同士の間には絶縁性の第３の水素バリア膜１１１が隙間なく埋め込まれているが、図２に示すように、ビット線方向に並ぶ下部電極１０９同士の間には形成されている絶縁性の第３の水素バリア膜１１１同士の間には隙間が形成されている。

10

【００３９】

ワード線方向に並ぶ下部電極１０９及び絶縁性の第３の水素バリア膜１１１の上には、強誘電体膜よりなり、ワード線方向に並ぶ強誘電体キャパシタに共通の容量絶縁膜１１２が形成されており、該容量絶縁膜１１２における上部電極中継部１１０の上には開口部が形成されている。容量絶縁膜１１２の上には、ワード線方向に並ぶ強誘電体キャパシタに共通の上部電極１１３が形成されており、該上部電極１１３は容量絶縁膜の開口部を介して上部電極中継部１１０と接続している。以上説明した、下部電極１０９、容量絶縁膜１１２及び上部電極１１３によって強誘電体キャパシタが構成されていると共に、容量絶縁膜１１２及び上部電極１１３は、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列に共通に設けられている。

20

【００４０】

上部電極１１３の上には、段差緩和膜１１４を介して第１の水素バリア膜１１５が形成されており、該第１の水素バリア膜１１５の周縁部は絶縁性の第３の水素バリア膜１１１の上面と接続している。これによって、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列は、導電性の第２の水素バリア膜１０８、絶縁性の第３の水素バリア膜１１１及び第１の水素バリア膜１１５によって完全に覆われている。

【００４１】

30

第１の層間絶縁膜１０５の上には、第１の水素バリア膜１１５を覆うように第２の層間絶縁膜１１６が形成され、該第２の層間絶縁膜１１６の上には第１の金属配線１１７及び第２の金属配線１１８が形成されている。第１の金属配線１１７と第１の高濃度不純物拡散層１０３Ｂとは、第１の層間絶縁膜１０５及び第２の層間絶縁膜１１６に埋め込まれた第３のコンタクトプラグ１１９によって接続されていると共に、第２の金属配線１１８と第２の高濃度不純物拡散層１０４とは第１の層間絶縁膜１０５及び第２の層間絶縁膜１１６に埋め込まれた第４のコンタクトプラグ１２０によって接続されている。

【００４２】

本発明の一実施形態に係る強誘電体メモリ装置によると、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極１０９同士の間には絶縁性の第３の水素バリア膜１１１が埋め込まれている構造であって、絶縁性の第３の水素バリア膜１１１における、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極１０９同士の間の領域ではパターンニングする必要はない。このため、パターンニングを行なうためのマスクの位置ずれを考慮して、下部電極１０９同士の間には寸法マージンを確保する必要がないので、強誘電体キャパシタ同士の間隔を狭くしてメモリセルアレイの面積を低減することができる。

40

【００４３】

また、ワード線方向に並ぶ複数の強誘電体キャパシタよりなるキャパシタ列は、導電性の第２の水素バリア膜１０８、絶縁性の第３の水素バリア膜１１１及び第１の水素バリア膜１１５によって完全に覆われているため、強誘電体キャパシタを形成した後において水素雰囲気中での熱処理が施されても、強誘電体キャパシタの容量絶縁膜１１２に水素が侵

50

入する事態を確実に防止することができる。このため、容量絶縁膜 112 を構成する強誘電体膜の還元が防止されるので、容量絶縁膜 112 の特性の劣化を防止することができる。

【0044】

以下、本発明の一実施形態の変形例に係る強誘電体メモリ装置について、図3を参照しながら説明する。尚、該変形例においては、本発明の一実施形態と共通する部材については同一の符号を付すことにより、説明を省略する。

【0045】

本発明の一実施形態においては、図2に示すように、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列同士の間には隙間が形成されており、該隙間に第2の層間絶縁膜 116 が埋め込まれている構造であったが、変形例においては、第3のコンタクトプラグ 119 を介することなくビット線方向に隣り合う一対のキャパシタ列同士の間には隙間が形成されておらず、該一対のキャパシタ列同士の間においては、絶縁性の第3の水素バリア膜 111、段差緩和膜 114 及び第1の水素バリア膜 115 は連続している。

【0046】

本発明の一実施形態の変形例に係る強誘電体メモリ装置によると、絶縁性の第3の水素バリア膜 111 における、ビット線方向に隣り合う強誘電体キャパシタの下部電極 109 同士の間においてもパターンニングする必要はない。このため、ビット線方向に隣り合う下部電極 109 同士の間隔をも小さくしてメモリセルアレイの面積を一層低減することができる。

【0047】

また、強誘電体メモリ装置の選択用トランジスタの近傍に、水素バリア膜が形成されていない領域が存在するため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確保することができる。特に、強誘電体キャパシタをトランジスタの上に形成するスタック型強誘電体メモリ装置の場合、水素が選択トランジスタに拡散するための経路をトランジスタ形成領域の近傍に設けることが可能となる。このため、金属配線を形成した後にトランジスタの特性を回復するために行なう水素雰囲気中での熱処理において、水素が選択トランジスタに拡散するための経路を確実に確保できるので、トランジスタの特性確保をも実現できる。

【0048】

以下、本発明の一実施形態に係る強誘電体メモリ装置の製造方法について、図4(a)~(c)及び図5(a)~(c)を参照しながら説明する。

【0049】

まず、図4(a)に示すように、周知のSTI (Shallow Trench Isolation) 技術等により、シリコンよりなる半導体基板 100 の表面部に素子分離領域 101 を形成した後、周知のCMOSプロセスにより、半導体基板 100 上における素子分離領域 101 で囲まれた領域に、ゲート絶縁膜を介してゲート電極 102 を形成し(図2を参照)、その後、半導体基板 100 の表面部におけるゲート電極 102 の両側に、ソース又はドレインとなる第1の高濃度不純物拡散層 103A、103Bを形成すると共に、半導体基板 100 の表面部におけるメモリセルアレイの周縁部に第2の高濃度不純物拡散層 104 を形成する。これにより、ゲート電極 102 及び第1の不純物拡散層 103A、103Bよりなる電界効果型トランジスタが形成される。

【0050】

次に、半導体基板 100 の上に、電界効果型トランジスタを覆うように、BPSG膜よりなる第1の層間絶縁膜 105 を形成した後、第1の層間絶縁膜 105 に、下端が第1の高濃度不純物拡散層 103A に接続される第1のコンタクトホール及び下端が第2の高濃度不純物拡散層 104 に接続される第2のコンタクトホールを形成する。次に、第1のコンタクトホール及び第2のコンタクトホールの壁面及び底面に、スパッタリング法による 10nm の厚さを持つチタン膜とCVD法による 10nm の厚さを持つ窒化チタン膜とを

10

20

30

40

50

順次堆積した後、CVD法により、第1及び第2のコンタクトホール内部並びに第1の層間絶縁膜105の上に全面に亘ってタングステン膜を堆積し、その後、CMP法により、タングステン膜における第1の層間絶縁膜105の上に露出している部分をポリッシュバックすることにより、第1のコンタクトプラグ106及び第2のコンタクトプラグ107を形成する。

【0051】

次に、スパッタリング法により、第1の層間絶縁膜105の上に例えば40nmの厚さを有するTiとAlとの合金の窒化物膜を堆積した後、スパッタリング法により、窒化物膜の上に、例えば100nmの厚さを有するIr膜、50nmの厚さを有するIrO₂膜及び100nmの厚さを有するPt膜よりなる積層膜を堆積し、その後、これら積層膜及び窒化物膜をパターニングして、図4(b)に示すように、TiとAlとの合金の窒化物膜よりなる導電性の第2の水素バリア膜108、Ir膜、IrO₂膜及びPt膜の積層膜よりなる下部電極109及び上部電極中継部110を形成する。尚、導電性の第2の水素バリア膜108となる膜としては、TiとAlとの合金の窒化物膜に代えて、TiとAlとの合金膜、TiとAlとの合金金の酸窒化物膜又はTiN膜を用いてもよい。

【0052】

次に、CVD法により、下部電極109、上部電極中継部110及び第1の層間絶縁膜105の上に全面に亘って、400nmの厚さを有するSi₃N₄膜を堆積した後、CMP法によりSiN膜を平坦化して、図4(c)に示すように、下部電極109同士の間及び下部電極109と上部電極中継部110との間に絶縁性の第3の水素バリア膜111を埋め込むと共に、絶縁性の第3の水素バリア膜111の上面を、下部電極109の上面及び上部電極中継部110の上面とほぼ面一にする。尚、絶縁性の第3の水素バリア膜111となる膜としては、Si₃N₄膜に代えて、SiON膜、Al₂O₃膜、TiO₂膜、又はTiとAlとの合金の酸化物膜若しくは酸窒化物膜を用いることができる。

【0053】

次に、図5(a)に示すように、スピン塗布法により、下部電極109、上部電極中継部110及び絶縁性の第3の水素バリア膜111の上に、例えばSBT膜よりなり100nmの厚さを有する強誘電体膜を堆積した後、該強誘電体膜をパターニングすることにより、ワード線方向に並ぶ下部電極109及び絶縁性の第3の水素バリア膜111の上に共通に形成され且つ上部電極中継部110の上に開口部を有する容量絶縁膜112を形成する。次に、スパッタリング法により、容量絶縁膜112の上に100nmの厚さを有するPt膜を堆積した後、該Pt膜をパターニングして、容量絶縁膜112の上に上部電極113を形成する。これにより、下部電極109、容量絶縁膜112及び上部電極113よりなる強誘電体キャパシタがワード線方向に並ぶキャパシタ列が形成されると共に、該キャパシタ列に共通の容量絶縁膜112及び上部電極113が形成される。

【0054】

次に、図5(b)に示すように、上部電極113及び絶縁性の第3の水素バリア膜111の上に全面に亘って150nmの厚さを有するNSG膜を堆積した後、該NSG膜を、該NSG膜がワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列及び該キャパシタ列の端部に位置する上部電極中継部110を完全に覆うようにパターニングして、NSG膜よりなる段差緩和膜114を形成する。

【0055】

次に、段差緩和膜114及び絶縁性の第3の水素バリア膜111の上に全面に亘って、100nmの厚さを有する第1の水素バリア膜115を堆積した後、第1の水素バリア膜115及び第2の水素バリア膜111を、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列及び該キャパシタ列の端部に位置する上部電極中継部110が覆われるようにパターニングする。このようにすると、パターニングされた第1の水素バリア膜115の周縁部とパターニングされた絶縁性の第3の水素バリア膜111の周縁部とが接続していることにより、ワード線方向に並ぶ強誘電体キャパシタよりなるキャパシタ列は導電性の第2の水素バリア膜108、第1の水素バリア膜115及び絶縁性の第3の水素バリア

ア膜 1 1 1 により完全に覆われる。

【 0 0 5 6 】

第 1 の水素バリア膜 1 1 5 としては、水素の侵入を防止できる膜、例えば、 Si_3N_4 膜、 SiON 膜、 Al_2O_3 膜、 TiO_2 膜、 TiN 膜若しくは Ti と Al との合金膜、又は Ti と Al との合金の酸化物膜、窒化物膜若しくは酸窒化物膜を用いることができる。

【 0 0 5 7 】

ところで、段差緩和膜 1 1 4 は、パターニングにより形成された容量絶縁膜 1 1 2 及び上部電極 1 1 3 の周端部に形成される角張った段差を緩和して、第 1 の水素バリア膜 1 1 5 の容量絶縁膜 1 1 2 及び上部電極 1 1 3 の周端部におけるカバレッジを向上させるために設けられている。

10

【 0 0 5 8 】

従って、第 1 の水素バリア膜 1 1 5 として、 SiN 膜、 SiON 膜、 Al_2O_3 膜、 TiO 膜又は Ti と Al との合金の酸化物膜等のようにカバレッジに優れた膜を用いる場合には、段差緩和膜 1 1 4 を省略することも可能である。

【 0 0 5 9 】

次に、図 5 (c) に示すように、第 1 の層間絶縁膜 1 0 5 の上に、パターニングされた第 1 の水素バリア膜 1 1 5 を覆うように、 NSG 膜よりなる第 2 の層間絶縁膜 1 1 6 を堆積した後、該第 2 の層間絶縁膜 1 1 6 を平坦化する。

【 0 0 6 0 】

20

次に、第 1 の層間絶縁膜 1 0 5 及び第 2 の層間絶縁膜 1 1 6 に、第 1 の高濃度不純物拡散層 1 0 3 B (図 2 を参照) に接続される第 3 のコンタクトホール及び第 2 の高濃度不純物拡散層 1 0 4 に接続される第 4 のコンタクトホールを形成した後、第 3 のコンタクトホール及び第 4 のコンタクトホールにタングステン膜を埋め込んで、第 3 のコンタクトプラグ 1 1 9 (図 2 を参照) 及び第 4 のコンタクトプラグ 1 2 0 を形成する。

【 0 0 6 1 】

次に、第 2 の層間絶縁膜 1 1 6 の上に Al 合金膜を堆積した後、該 Al 合金膜をパターニングして、第 1 の金属配線 1 1 7 及び第 2 の金属膜 1 1 8 を形成すると、本発明の一実施形態に係る強誘電体メモリ装置が得られる。

【 0 0 6 2 】

30

尚、本発明の一実施形態においては、複数の強誘電体キャパシタのうち、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極 1 0 9 同士の間絶縁性の第 3 の水素バリア膜 1 1 1 が埋め込まれ、ワード線方向に並ぶ複数の強誘電体キャパシタの下部電極 1 0 9 及び絶縁性の第 3 の水素バリア膜 1 1 1 の上に、ワード線方向に並ぶ複数の強誘電体キャパシタに共通の容量絶縁膜 1 1 2 が形成され、共通の容量絶縁膜 1 1 2 の上に、ワード線方向に並ぶ複数の強誘電体キャパシタに共通の上部電極 1 1 3 が形成され、共通の上部電極 1 1 1 3 を覆うように第 1 の水素バリア膜 1 1 5 が形成されていたが、これに代えて、複数の強誘電体キャパシタのうち、ビット線方向に並ぶ複数の強誘電体キャパシタの下部電極 1 0 9 同士の間絶縁性の第 3 の水素バリア膜 1 1 1 が埋め込まれ、ビット線方向に並ぶ複数の強誘電体キャパシタの下部電極 1 0 9 及び絶縁性の第 3 の水素バリア膜 1 1 1 の上に、ビット線方向に並ぶ複数の強誘電体キャパシタに共通の容量絶縁膜 1 1 2 が形成され、共通の容量絶縁膜 1 1 2 の上に、ビット線方向に並ぶ複数の強誘電体キャパシタに共通の上部電極 1 1 3 が形成され、共通の上部電極 1 1 1 3 を覆うように第 1 の水素バリア膜 1 1 5 が形成されている構造であってもよい。

40

【 産業上の利用可能性 】

【 0 0 6 3 】

本発明に係る強誘電体メモリ装置及びその製造方法によると、強誘電体キャパシタ同士の間隔を狭くして、メモリセルアレイひいては強誘電体メモリ装置の面積を低減することができる。

【 図面の簡単な説明 】

50

【 0 0 6 4 】

【図 1】本発明の一実施形態に係る強誘電体メモリ装置のワード線方向の断面図である。

【図 2】本発明の一実施形態に係る強誘電体メモリ装置のビット線方向の断面図である。

【図 3】本発明の一実施形態の変形例に係る強誘電体メモリ装置のビット線方向の断面図である。

【図 4】(a) ~ (c) は、本発明の一実施形態に係る強誘電体メモリ装置の製造方法の各工程を示す断面図である。

【図 5】(a) ~ (c) は、本発明の一実施形態に係る強誘電体メモリ装置の製造方法の各工程を示す断面図である。

【図 6】従来の強誘電体メモリ装置の断面図である。

10

【符号の説明】

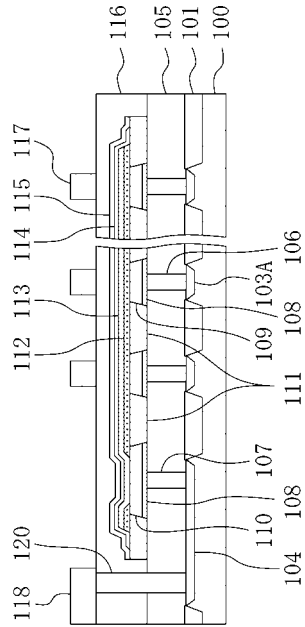
【 0 0 6 5 】

- 1 0 0 半導体基板
- 1 0 1 素子分離領域
- 1 0 2 ゲート電極
- 1 0 3 A , 1 0 3 B 第 1 の高濃度不純物拡散層
- 1 0 4 第 2 の高濃度不純物拡散層
- 1 0 5 第 1 の層間絶縁膜
- 1 0 6 第 1 のコンタクトプラグ
- 1 0 7 第 2 のコンタクトプラグ
- 1 0 8 導電性の第 3 の水素バリア膜
- 1 0 9 下部電極
- 1 1 0 上部電極中継部
- 1 1 1 絶縁性の第 2 の水素バリア膜
- 1 1 2 容量絶縁膜
- 1 1 3 上部電極
- 1 1 4 段差緩和膜
- 1 1 5 第 1 の水素バリア膜
- 1 1 6 第 2 の層間絶縁膜
- 1 1 7 第 1 の金属配線
- 1 1 8 第 2 の金属配線
- 1 1 9 第 3 のコンタクトプラグ
- 1 2 0 第 4 のコンタクトプラグ

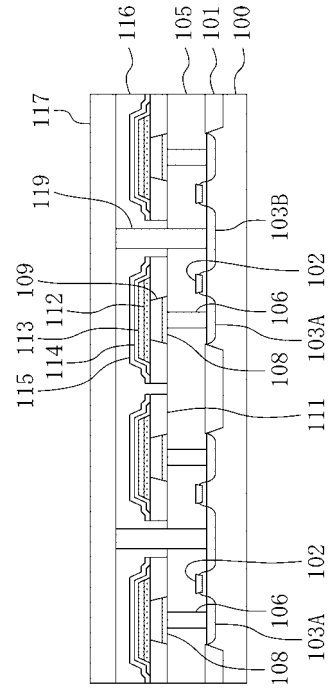
20

30

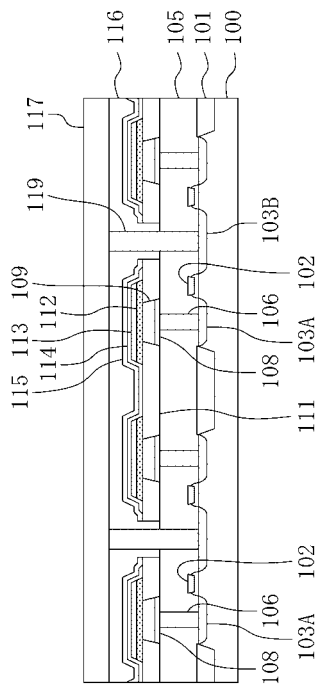
【図 1】



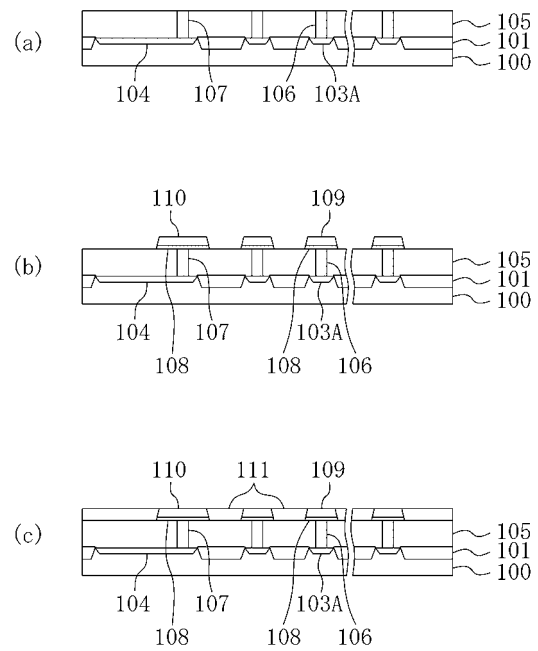
【図 2】



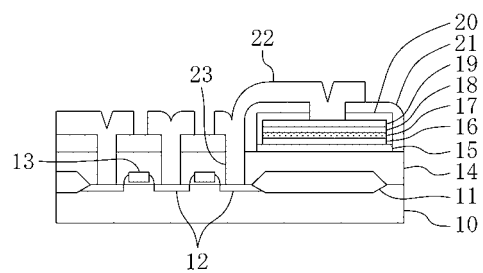
【図 3】



【図 4】



【 図 6 】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 吉川 貴文
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 三河 巧
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 正山 旭

- (56)参考文献 特開平 1 1 - 0 6 8 0 4 1 (J P , A)
特開 2 0 0 1 - 0 8 5 6 3 2 (J P , A)
特開 2 0 0 1 - 1 6 8 2 9 2 (J P , A)
特開平 0 8 - 1 6 7 7 0 1 (J P , A)
特開 2 0 0 1 - 0 4 4 3 7 6 (J P , A)
特開平 1 1 - 1 2 6 8 8 1 (J P , A)
特開平 1 1 - 0 0 8 3 5 5 (J P , A)
特開 2 0 0 1 - 0 0 7 3 0 3 (J P , A)
特開平 0 5 - 1 4 5 0 3 6 (J P , A)
特開 2 0 0 2 - 1 9 8 4 9 4 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|---------------|
| H 0 1 L | 2 1 / 8 2 4 6 |
| H 0 1 L | 2 7 / 1 0 5 |