

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-13893

(P2014-13893A)

(43) 公開日 平成26年1月23日(2014.1.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/66 T	
HO 1 L 29/66 (2006.01)	HO 1 L 29/201	
HO 1 L 29/201 (2006.01)	HO 1 L 29/06 6 O 1 N	
HO 1 L 29/06 (2006.01)	HO 1 L 29/161	

審査請求 未請求 請求項の数 16 O L 外国語出願 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2013-121057 (P2013-121057)
 (22) 出願日 平成25年6月7日(2013.6.7)
 (31) 優先権主張番号 12172186.4
 (32) 優先日 平成24年6月15日(2012.6.15)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 591060898
 アイメック
 I MEC
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (71) 出願人 599098493
 カトリーケ・ユニフェルジテイト・ルーベ
 ン・カー・イユー・ルーベン・アール・ア
 ンド・ディ
 Katholieke Universi
 teit Leuven, K. U. Leu
 ven R&D
 ベルギー、ペー-3000ルーベン、ワー
 イストラート6番、ボックス5105

最終頁に続く

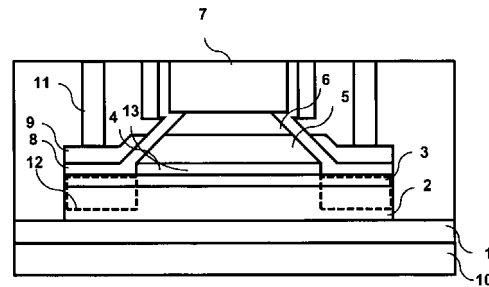
(54) 【発明の名称】 トンネル電界効果トランジスタデバイスおよびそのデバイスの製造方法

(57) 【要約】 (修正有)

【課題】トンネル電界効果トランジスタデバイス(TFET)およびそのデバイスの製造方法を提供する。

【解決手段】少なくとも以下の層、高ドープされたドレイン層6、高ドープされたソース層2、チャネル層5、ソース層2に沿って延びるゲート誘電体層8とゲート電極層9、およびゲート誘電体層8とソース層2との間にこれらに沿って延びる高ドープポケット層3、を含み、ポケット層3はソース層2およびチャネル層5の間まで、これらに沿って延びている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トンネル電界効果トランジスタデバイス (TFET) であって、少なくとも以下の層：
例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する、ドレイン半導体材料からなる高ドーブされたドレイン層 (6)、

例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する、ドレイン層に対して反対にドーブされた、ソース半導体材料からなる高ドーブされたソース層 (2)、

10

例えば 0 cm^{-3} と 10^{18} cm^{-3} の間、好適には 10^{15} cm^{-3} と 10^{17} cm^{-3} の間のような 10^{18} cm^{-3} より低いドーピングレベルの低ドーブの、またはアンドーブのチャンネル半導体材料からなり、ソース (2) とドレイン層 (6) との間に配置されるチャンネル層 (5)、

ゲート誘電体層 (8) とゲート電極層 (9) とを含むゲート構造 (8、9) であって、ゲート誘電体層 (8) はソース層 (2) に沿って延び、ゲート電極層 (9) はソース層 (2) に面するゲート誘電体層 (8) の面と反対のゲート誘電体層 (8) の面に沿ったゲート誘電体層に沿って延び、ゲート誘電体層 (8) を超えて延びないゲート構造 (8、9)

、
例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する半導体材料からなり、ゲート誘電体層 (8) とソース層 (2) との間にこれらに沿って延びる、高ドーブのポケット層 (3)、

20

から形成され、

ポケット層 (3) は、ソース層 (2) とチャンネル層 (5) との間にこれらに沿って延びることを特徴とする TFET。

【請求項 2】

ポケット層 (3) は、ソース層 (2) に対してカウンタードーブされた請求項 1 に記載の TFET。

【請求項 3】

少なくともゲート誘電体層 (8) の一部は、少なくともチャンネル層 (5) の一部に沿って延びて、チャンネル層 (5) と接続する請求項 1 または 2 に記載の TFET。

30

【請求項 4】

ソース層 (2)、ポケット層 (3)、チャンネル層 (5)、およびドレイン層 (6) は、実質的に平坦で、互いに上部に沿うように配置される請求項 1 ~ 3 のいずれかに記載の TFET。

【請求項 5】

TFET は、3次元 Fin-FET 状の構造 (Fin-TFET) を有し、フィン状の構造はソース層 (2) を形成する請求項 1 ~ 3 のいずれかに記載の TFET。

【請求項 6】

TFET は、垂直ナノ構造 (ナノワイヤ) である請求項 1 ~ 3 のいずれかに記載の TFET。

40

【請求項 7】

ドレイン層 (6) はドレインコンタクト電極 (7) と接続し、および / またはソース (2) はソースコンタクト電極 (10) と電氣的に接続し、および / またはゲート電極 (9) は、ゲートコンタクト電極 (11) と電氣的に接続する、請求項 1 ~ 6 のいずれかに記載の TFET。

【請求項 8】

エッチストップ層 (4) は、チャンネル層 (5) とポケット層 (3) との間にこれらに沿って存在し、エッチストップ層は、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間

50

、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する半導体材料から形成される請求項 1 ~ 7 のいずれかに記載の T F E T。

【請求項 9】

リークストップ層 (1 3) は、チャンネル層 (5) とポケット層 (3) との間に、これらに沿って存在し、リークストップ層は、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する半導体材料から形成される請求項 1 ~ 8 のいずれかに記載の T F E T。

【請求項 10】

請求項 1 ~ 9 のいずれかにかかる T F E T の製造方法。

【請求項 11】

ソース層 (2)、ポケット層 (3)、チャンネル層 (5)、およびドレイン層 (6) を含む層スタックが形成され、その後にドレイン層 (6) とチャンネル層 (5) の一部がポケット層 (3) まで除去され、その後にゲート誘電体層 (8) が層スタックの露出した表面に適用され、その後にゲート電極層 (9) がゲート誘電体層 (8) に適用される請求項 10 に記載の T F E T の製造方法。

【請求項 12】

エッチストップ層 (4) までの少なくとも部分的なエッチングにより、ドレイン層 (6) とチャンネル層 (5) の一部がポケット層 (3) まで除去される請求項 11 に記載の T F E T の製造方法。

【請求項 13】

エッチストップ層 (4) はポケット層 (3) である請求項 12 に記載の T F E T の製造方法。

【請求項 14】

リークストップ層 (1 3) は、ポケット層 (3) とチャンネル層 (5) との間に提供され、ソース (2) からドレイン (6) に層スタックのバルクを通して流れる電流を防止する請求項 13 に記載の T F E T の製造方法。

【請求項 15】

エッチストップ層 (4) はポケット層 (3) とは異なり、ドレイン層 (6) とチャンネル層 (5) の一部をエッチング除去した後に除去される、少なくとも請求項 8 と組み合わせた請求項 12 に記載の T F E T の製造方法。

【請求項 16】

ドレインコンタクト電極 (7) は、ドレイン層 (6) の上に形成される請求項 10 ~ 15 のいずれかに記載の T F E T の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 請求項のプレアンブルにかかるトンネル電界効果トランジスタデバイス (T F E T) に関連する。

【0002】

本発明は、また、そのデバイスの製造方法に関する。

【背景技術】

【0003】

そのような T F E T デバイスは、既に当業者に知られている。米国特許 U S 5 5 8 9 6 9 6 は、例えば、少なくとも以下の層：

ドレイン半導体材料からなる、高く n ドープされたドレイン層、

ドレイン層に対して反対にドープされ、高く p ドープされた、ソース半導体材料からなるソース層、および

ゲート誘電体層とゲート電極層を含むゲート構造、

10

20

30

40

50

からなるトンネル電界効果トランジスタデバイス (TFET) について記載される。

【0004】

ゲート電極層はソース層に沿って延び、一方ゲート電極層は、ソース層に面するゲート誘電体層の面と反対のゲート誘電体層の面に沿って延びる。ゲート電極層はゲート誘電体層を越えて延びない。デバイスは更にソース層に対して高くカウンタードープされた層を含み、これにより、nドープのポケット層は、ゲート誘電体層とソース層の間でこれらに沿って延びる。

【0005】

しかしながら、そのようなTFETは、ソースからカウンタードープされた層に基板を通る電荷キャリアの流れを、ゲートを用いて効率的に制御できず、電荷キャリアは、ソースからゲート電極で覆われていないnドープポケット層の一部にトンネルし、入力特性の望まないテイルによるより悪い閾値下の振れ (subthreshold swing) となる。そのようなTFETの他の欠点は、少なくとも (別のエピタキシャル成長により直ちに先行されないエピタキシャル成長を意味する) (多量のトラップを形成し、これによりオフ状態のリーク電流を引き起こす) エピタキシャル再成長か、(接合が急峻に形成できない) 注入無しに形成できないことである。

10

【0006】

2008 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) の “Green Transistor - A VDD Scaling Path for Future Low Power ICs” において、Huらは、TFETについて類似のコンセプトを発表した。このTFETは以下の層：

20

ドレイン半導体材料からなる高くpドープされたドレイン層、
ソース半導体材料からなる高くnドープしたソース層、
ゲート誘電体層とゲート電極層を含むゲート構造、
ソース層に対してカウンタードープされ、ソース層とゲート構造のゲート誘電体層との間にこれらに沿って延びるポケット層、
ソースとドレイン層の間に配置されたチャネル半導体材料からなる低ドープチャネル層、を含む。

【0007】

ゲート誘電体層はポケット層とチャネル層に沿って延び、一方、ゲート電極層は、ポケット層と、ポケット層とチャネル層に面するゲート誘電体層の面と反対のゲート誘電体層の面に隣り合うゲート誘電体層に沿って延びる。ゲート電極層は、ゲート誘電体層を超えて延びない。

30

【0008】

しかしながら、そのようなTFETでは、デバイスがポケットの絶対的および相対的なドーピングレベルと位置に比較的敏感であるため、デバイスの動作にとって重要なソースとポケット層の相対位置とドーピングを、TFETの製造中に厳密な制御できない。そのようなTFETの他の欠点は、少なくとも (多量のトラップを形成し、これによりオフ状態のリーク電流を引き起こす) エピタキシャル再成長か、(接合が急峻に形成できない) 注入無しに形成できないことである。

40

【発明の概要】

【0009】

それゆえに改良されたTFETデバイスを提供することが、本発明の目的である。

【0010】

これは、第1請求項の特徴部分にかかる本発明のTFETデバイスによって達成される。

【0011】

それに加えて、ポケット層は、ソース層とチャネル層の間まで、これらに沿って延びる。

【0012】

そのような構成では、ゲート誘電体層とゲート電極層がソース層およびポケット層に沿

50

って配置されている、ポケット層およびソース層のアセンブリで活性領域が定義される。活性領域では、所望のトンネル電流が形成される。ソース層からポケット層に向けて、活性領域中に電荷キャリアがトンネルした後、それらは、ゲート構造の近くの、チャンネル層中のゲート誘起低電位障壁透過層を通して、ドレイン層に排出される。

【0013】

そのような構成は、ソース層から、通常はゲート制御されない領域である、活性領域の外部の領域中のドレイン層に、電荷キャリアの流れの改善された抑制を可能にすることが分かった。

【0014】

そのようなデバイスで、改善された動作は、トンネル電流の急激な増加と、急峻な閾値下の勾配により可能になることが更に分かった。

【0015】

更に、活性領域は、ゲート構造とポケット層に沿って延び、ソース層は互いに沿って配置され、電荷キャリアがソース層に向かってトンネルするために比較的広い面積が得られ、トンネル電流の可能性が増加する。

【0016】

また、ポケット層の存在は、活性層に向かうトンネルが起きるように供給されるオンセット電圧を減らすことが分かり、そして電界誘起量子閉じ込めの量を減らすことが分かる。それゆえに、ソース領域から直接チャンネル領域中への、電荷キャリアの望まないトンネルは、特に以下で説明するようなリークストップ層の存在により、避けることができる。なぜなら、ソース領域から直接チャンネル中への望まない電荷キャリアのトンネルのために必要な電圧より低い電圧で、活性領域中への所望のトンネルを開始するためである。

【0017】

また、選択エッチングに基づく、そのようなポケット層を形成するプロセス手続きは、その上にゲート誘電体が堆積される、高品質のポケット表面となり、これは、デバイスの動作に重要である、例えば粗さがより少なく、より低い欠陥密度を有することを意味する。これは以下において更に複雑である。

【0018】

本発明の好適な具体例では、ゲート電極層とゲート誘電体層の少なくとも一部は、少なくともチャンネル層の一部に沿って延びる。

【0019】

本発明の好適な具体例では、少なくともチャンネル層の一部に沿って延びるゲート誘電体層の少なくとも一部は、チャンネル層と接続される。

【0020】

本発明の好適な具体例では、ゲート電極層は、もし存在しても、ドレイン層および/またはドレインコンタクト電極に沿って実質的に延びず、これにより、ドレイン層中またはドレイン-チャンネル接合近傍での望まないバンド間トンネルを避けて、同時に比較的小さなゲート-ドレインキャパシタンスを保つ。

【0021】

本発明の好適な具体例では、ソース層、ポケット層、チャンネル層、およびドレイン層は実質的に平坦で、互いの上に沿って配置される。

【0022】

しかしながら、好適な具体例では、TFETは3次元Fin-FET状の構造(Fin-TFET)であり、フィン状構造がソース層を形成するか、または、TFETは垂直ナノ構造(ナノワイヤ)でありナノワイヤがソース層を形成する。

【0023】

本発明の好適な具体例では、ポケット層は、チャンネル層やドレイン層に対するエッチストップ層である。そのようなエッチストップ層は、本発明にかかるTFETの改良された製造方法を可能とし、例えば、低減されたポケット表面粗さ、改良されたポケット膜厚制御、および活性領域中でのトンネルのより均一な開始を可能とする。

10

20

30

40

50

【 0 0 2 4 】

本発明の好適な具体例では、ドレイン層はドレインコンタクト電極と電氣的に接続し、および/またはソースはソースコンタクト電極と電氣的に接続し、および/またはゲート電極はゲートコンタクト電極と電氣的に接続する。

【 0 0 2 5 】

本発明は、また、本発明にかかる T F E T の製造方法に関する。

【 0 0 2 6 】

本発明の好適な具体例では、ソース層、ポケット層、チャンネル層およびドレイン層を含む層スタックが提供される。その後、ドレイン層とチャンネル層の一部がポケット層まで除去され、その後、層スタックの露出した表面上にゲート誘電体層が形成され、その後、ゲート誘電体層にゲート電極が形成される。

10

【 0 0 2 7 】

本発明にかかる T F E T のそのような製造方法は、ソースおよびポケット層の相対位置とドーピングがより良く制御でき、これはデバイスの動作のために重要であることが分かった。なお、エピタキシャル再成長または注入工程を避けることで、トラップアシストトンネルや好適には定められない接合の発生を避ける。

【 0 0 2 8 】

本発明の好適な具体例では、ゲート電極層は、もし存在しても、実質的に、ドレイン層に沿って延びず、および/またはドレインコンタクト電極に沿って延びず、更に、ドレイン層中またはドレイン - チャンネル接合近傍での望まないバンド間トンネルを避けて、同時に比較的小さなゲート - ドレインキャパシタンスを保つ。

20

【 0 0 2 9 】

本発明の好適な具体例では、少なくとも部分的にエッチストップ層まで、好適にはウェットまたはドライの選択エッチング技術で、エッチングすることにより、ドレイン層およびチャンネル層の一部がポケット層まで除去される。例えばエッチストップ層は、チャンネル層とポケット層との間にこれらに沿って存在するか、またはポケット層がエッチストップ層となる。好適には、エッチストップ層の材料は、その周囲の層の材料とは異なり、選択除去プロセスを可能にする。

【 0 0 3 0 】

本発明の好適な具体例では、エッチストップ層はポケット層である。そのような構成では、ドレイン層とチャンネル層をポケット層まで選択的に除去するために、1つの工程で十分である。そのような方法では、より粗くなく、より低欠陥密度の、ポケット層の改良された表面品質を得ることができ、閾値下の勾配を小さくすることが分かっている、ソース層から活性領域中にトラップを介して電荷キャリアがトンネルするいわゆるトラップアシストトンネリング (T A T) を避けることができる。

30

【 0 0 3 1 】

本発明の代わりの具体例では、エッチストップ層はポケット層とは異なり、ドレイン層とチャンネル層をエッチストップ層までエッチングした後に、例えば選択除去法により除去される。そのような方法は、ポケット層の改良された表面品質を可能にし、閾値下の勾配を小さくすることが分かっている、ソース層から活性領域中にトラップを介して電荷キャリアがトンネルするいわゆるトラップアシストトンネリング (T A T) を避けることができる。そのような構成では、エッチストップ層は、好適には、リークストップ層としても機能して、ソースからドレインに層スタックのバルクを通る電流を防止する。そのような場合、エッチストップ層は、好適には 10^{16} cm^{-3} 以上、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のドーピングレベルを有する半導体材料から形成される。エッチストップ層は、好適にはソース層と同じドーピング型 (n 型または p 型) である。

40

【 0 0 3 2 】

本発明の好適な具体例では、特にエッチストップ層がポケット層である場合の具体例では、もし存在するならば、リークストップ層がポケット層とチャンネル層との間に形成され

50

、ソースからドレインに層スタックのバルクを通る電流の流れを防止する。このリークストップ層は、好適には部分的に選択的に除去され、更に好適には、ドレインおよびチャネル層の一部の選択除去中に除去される。好適には、ゲート誘電体およびゲート電極は、リークストップ層の少なくとも一部に沿って延びる。リークストップ層は、好適には 10^{16} cm^{-3} 以上、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のドーピングレベルを有する半導体材料から形成される。リークストップ層は、好適にはソース層と同じドーピング型（n型またはp型）である。

【0033】

本発明にかかる方法の好適な具体例では、ドレインコンタクト電極がドレイン層の上に形成される、そのような構成では、ドレインコンタクト電極は、例えばウエットエッチングのような、エッチングプロセスのマスクとして使用される。そのような構成では、ドレインコンタクト電極は、例えばアンダーエッチされる。ドレインコンタクト電極とドレイン層での形状の急激な変化により、ゲート電極層はその位置で中断され、ゲート層とドレイン層の短絡を防止する。発明に対しては重要ではないが、ゲート誘電体層はドレインコンタクト電極とドレイン層の位置で中断されないで残る。

10

【0034】

本発明は、更に、以下の記載や添付された図の手段により、更に明らかにされるであろう。

【図面の簡単な説明】

20

【0035】

【図1】本発明にかかるトンネル電界効果トランジスタ（TFET）の具体例の断面図を示す。

【図2】本発明にかかるトンネル電界効果トランジスタ（TFET）の異なる具体例の断面図を示す。

【図3】本発明にかかるトンネル電界効果トランジスタ（TFET）の他の具体例の概略図を示す。

【図4】本発明にかかるトンネル電界効果トランジスタ（TFET）の他の具体例の断面図を示す。

【図5a】本発明にかかる方法の具体例を示す。

30

【図5b】本発明にかかる方法の具体例を示す。

【図5c】本発明にかかる方法の具体例を示す。

【図5d】本発明にかかる方法の具体例を示す。

【図5e】本発明にかかる方法の具体例を示す。

【図5f】本発明にかかる方法の具体例を示す。

【発明を実施するための形態】

【0036】

以下の詳細な説明では、本発明の全体の理解と、特別な具体例でどのように実施されるかを提供するために、多数の特定の細部が述べられる。しかしながら、本発明はそれらの細部無しでも実施できることが理解されるであろう。他の例では、公知の方法、手続き、および技術については、本発明を不明確にしないために詳細には述べられない。本発明が、特定の具体例に関して、特定の図面を参照しながら記載されるが、本発明はこれに限定されるものではない。ここに含まれ記載された図面は模式的であり、本発明の範囲を限定するものではない。図面において同じ要素の大きさは誇張され、それゆえに図示目的で縮尺通りではない。

40

【0037】

本発明は特別な具体例に関して、所定の図面を参照しながら記載されるが、本発明はこれに限定されるものではなく、請求の範囲により限定される、記載された図面は、単に模式的であり、限定的ではない、図面において、図示目的のために、いくつかの要素の大きさは誇張されて、縮尺通りではない。寸法と相対寸法は、本発明の実施のために、実際の

50

縮小に対応する必要はない。

【0038】

更に、説明や請求の範囲の中の第1、第2、第3などの用語は、類似の要素の間で区別するために使用され、順序または時間的な順番のために記載される必要はない。用語は適当な状況下で入れ替え可能であり、本発明の具体例は、ここで記載や図示された以外の順序でも実施することができる。

【0039】

更に、説明や請求の範囲中の上、下、上に、下に等の用語は記載目的で使用され、相対的な位置を示す必要は無い。そのように使用された用語は、適当な条件下で入れ替え可能であり、ここで記載された本発明の具体例はここで記載や図示された以外の方向でも実施が可能であることが理解されるであろう。

10

【0040】

請求の範囲中で使用される「含む (comprising)」の用語は、それ以降に列挙された手段に限定されるものと解釈されるべきではなく、これは他の具体例や工程を排除しない。言及された特徴、整数、工程、または成分の存在を、言及されたように特定して解釈すべきであり、1またはそれ以上の他の特徴、整数、工程、または成分、またはそれらのグループの存在や追加を排除しない。このように、「手段AおよびBを含むデバイス」の表現の範囲は、構成要素AおよびBのみからなるデバイスに限定すべきではない。

【0041】

図1は、本発明にかかるトンネル電界効果トランジスタ (TFET) の具体例の断面図である。

20

【0042】

より正確には、図1は、少なくとも以下の層から形成されるトンネル電界効果トランジスタ (TFET) を示す。

例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する、ドレイン半導体材料からなる高ドーブされたドレイン層6。

例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する、ドレイン層に対して反対にドーブされた、ソース半導体材料からなる高ドーブされたソース層2。

30

例えば 0 cm^{-3} と 10^{18} cm^{-3} の間、好適には 10^{15} cm^{-3} と 10^{17} cm^{-3} の間のような 10^{18} cm^{-3} より低いドーピングレベルの低ドーブまたはアンドープのチャンネル半導体材料からなるチャンネル層5。チャンネル層5は、ソース2とドレイン層6との間に配置される。

ゲート誘電体層8とゲート電極層9とを含むゲート構造8、9。ゲート誘電体層8は、ソース層2に沿って延び、ゲート電極層9は、ソース層2に面するゲート誘電体層8の面と反対のゲート誘電体層8の面に沿ったゲート誘電体層に沿って延びる。ゲート電極層9は、ゲート誘電体層8を超えて延びない。ゲート電極層9とゲート誘電体層8の少なくとも一部は、チャンネル層5の少なくとも一部に沿って延びても良い。

40

ゲート誘電体層8とソース層2との間にこれらに沿って延びる、高ドーブのポケット層3。ポケット層3は、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する半導体材料からなる。

【0043】

ソース層2は、pドーブ層またはnドーブ層のいずれでも良い。ドレイン層は、ソース層に対してカウンタドーブである。

【0044】

チャンネル層5は、もしドーブされた場合、TFETの所望の特徴に依存してpドーブ層またはnドーブ層のいずれでも良い。

50

【0045】

ポケット層3は、好適には、必ずしも必要ではないが、ソース層2に対してカウンタードープでの良い。

【0046】

図1において、ポケット層3が、ソース層2とチャンネル層5との間まで、それらに沿って延びるのが見られる。

【0047】

異なる層に対して、どのようなタイプの半導体材料を選択しても良く、例えばSi、Ge、Cまたはそれらの2元化合物のようなIV族材料、またはIn、Ga、As、Sb、Al、P、B、Nまたはそれらの2元、3元、または4元化合物のようなIII/V族材料、またはCd、Zn、S、Se、Te、Oまたはそれらの2元、3元、または4元化合物のようなII/VI族材料、またはカーボンナノチューブ、グラフェン等の、少なくとも1つから選択される材料から選択されても良い。好適には、結果のヘテロ構造は、類似の格子定数を有する材料からなり、結果のヘテロ構造界面は、高品質を有し、これは低欠陥密度を意味する。そのような材料の組み合わせの例は、 $\text{InP}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (格子整合)、 InAs/GaSb (0.6%の小さな格子不整合)、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}_{0.5}\text{Sb}_{0.5}$ (格子整合)である。

10

【0048】

好適には、チャンネル層5の少なくとも一部に沿って延びるゲート誘電体層8の少なくとも一部は、チャンネル層5と接続されることがわかる。

20

【0049】

他の代替りの具体例が以下で説明されるけれども、ソース層2、ポケット層3、チャンネル層6、およびドレイン層6は実質的に平坦で、互いの上に沿って配置されることが更に示される。

【0050】

上述のようなポケット層3とソース層2のアセンブリ中に形成された活性領域12は、明確化のために、破線により模式的に規定される。

【0051】

更に、図1は、好適には、ドレイン層6はドレインコンタクト電極7と電氣的に接続し、および/またはソース2はソースコンタクト電極10と電氣的に接続し、および/またはゲート電極9はゲートコンタクト電極11と電氣的に接続することを示す。

30

【0052】

図1は、ソース層2は好適には基板1の上に堆積されることを示し、更に、ソースコンタクト電極10が基板10の反対側の上に形成されることを示す。これは、しかしながら、本発明では重要ではなく、ソースコンタクト電極10は、ソース層2の上に直接形成されても良く、例えばTFETの所望の特徴によって基板層1は省略されても良い。

【0053】

図1に示される具体例では、エッチストップ層4がチャンネル層5とポケット層3との間に、これらに沿って存在する。図2は、ポケット層3がエッチストップ層4であり、好適にはリークストップ層13が加えられる点で、図1とは異なり、図1では、リークストップ層13はエッチストップ層4である。リークストップ層13は、もし存在するならば、ドーパされ、好適にはソース層2と同じドーピングである必要はない。リークストップ層は、例えば 10^{16} cm^{-3} と $5 \times 10^{20} \text{ cm}^{-3}$ の間、好適には 10^{17} cm^{-3} と 10^{20} cm^{-3} の間のような、 10^{16} cm^{-3} 以上のドーピングレベルを有する半導体材料からなる。

40

【0054】

図1および図2に見られるように、チャンネル5とドレイン層6と、もし存在するのであれば、図1に示すように、例えばポケット層3から分離された場合にリークストップ層としてこの構成で機能するエッチストップ層4と、図2に示すように、例えばポケット層3がエッチストップ層4の場合のリークストップ層13は、ドレインコンタクト電極7に向

50

かって先が細くなった区切られたエッジを有し、本発明にかかるTFETの方法で、これは、例えば製造方法の結果として、特に特別なエッチングで、更に特別なウエットエッチングで形成される。細くなったエッジは、例えばInGaAsでは、特にIn_{0.53}Ga_{0.47}Asでは{111}面のような、比較的稠密な原子を有する面に沿って形成され、更に表面品質を改良するのが好ましい。

【0055】

図3は、TFETが3次元Fin-FET状の構造(Fin-TFET)を有し、フィン状の構造がソース層2を形成する代わりに具体例を示す。

【0056】

示された具体例では、エッチストップ層4は好適にはリークストップ層13として機能し、ポケット層3から分離される。上でも述べたが、ポケット層3はエッチストップ層4になることができ、この場合、重要ではないが好適には、リークストップ層13は図3に示されるエッチストップ層4の代わりに適用される。

10

【0057】

図3で更に明らかなように、好適にはチャンネル5とドレイン6と、もし存在するのであれば、例えばポケット層3から分離された場合のエッチストップ層4、および例えばポケット層3がエッチストップ層4である場合のリークストップ層13は、もはや、ドレインコンタクト電極7に向かって細くなる区切られたエッジを有さない。

【0058】

図4は、縦型ナノ構造(ナノワイヤ)のTFETを示す。図4に示すように、ナノワイヤは、好適には、ソース層2を通る対称軸に関して対称である。

20

【0059】

具体例では、図3および図4に示すように、上で説明されているようにエッチストップ層4はポケット層3から分離されているが、ポケット層3はエッチストップ層4でも良く、この場合、重要では無いが好適にはリークストップ層13がエッチストップ層4の代わりに適用される。

【0060】

更に、図4で明らかなように、好適には、チャンネル5とドレイン層6と、もし存在する場合には、例えばポケット層3から分離された場合のエッチストップ層4と、例えばポケット層3がエッチストップ層4の場合のリークストップ層13とは、ドレインコンタクト電極7に向かって細くなる区切られたエッジを有さない。

30

【0061】

図5aから図5hは、図1に示されるTFETを製造する本発明にかかる方法の具体例を示す。

【0062】

図5aは、ソース層2、ポケット層3、チャンネル層5およびドレイン層6を含む層スタックを示す。この層スタックでは、エッチストップ層4とポケット層3が互いに異なる。更に、本発明では重要ではないが、基板層とソースコンタクト電極10が提供される。加えて、ドレインコンタクト電極7が示され、これはドレイン層6の上に提供される。

【0063】

40

続いて、ポケット層3まで、ドレイン層6とチャンネル層5の一部が撤去される。これは、例えば図5bと図5cに示されており、例えば、ドライエッチングまたは好適にはウエットエッチングで行われる。エッチストップ層4の材料と好適にはドレインコンタクト電極層7の材料は、エッチングされないように選択され、一方、ドレイン層6の材料とチャンネル層5の材料は、エッチングされるように選択されることがわかる。説明したように、細くなったエッジは使用されたエッチング技術の結果であり、示された場合はウエットエッチングの結果である。続く工程で、例えばエッチストップ層4は実質的にポケット層3を覆っているため、エッチストップ層4はまた図5cに示すように部分的に除去され、ゲート構造8、9の適用のためにポケット層3を露出させる。

【0064】

50

例えばエッチストップ層 4 とポケット層 3 が同一の場合、後続のエッチストップ層 4 の除去は不要である。そのような場合、リークストップ層 1 3 はポケット層 3 とチャンネル層 5 との間に形成され、ソース層 2 からドレイン層 6 に層スタックのバルクを通して電流が流れるのを防止し、リークストップ層 1 3 の材料は、好適には、チャンネル層 5 とドレイン層 6 と同時に除去されるように選択される。しかしながら、そのような具体例は、図には表されていない。

【 0 0 6 5 】

更に、図 5 d は、本発明にかかる方法の更なる工程を示す。この工程では、ゲート誘電体層 8 が層スタックの露出した表面に適用され、その後ゲート電極層 9 がゲート誘電体層 8 に提供される。ドレインコンタクト電極 7 は、例えばアンダーエッチされていることは明らかである。ドレインコンタクト電極 7 とドレイン層 6 とで形状が急激に変わるため、ゲート電極層 9 はこの位置で中断され、ゲート電極層 9 とドレイン層 6 との短絡を防止する。ゲート誘電体層 8 は、本発明には重要ではないが、ドレインコンタクト電極 9 とドレイン層 6 とで中断されないままである。

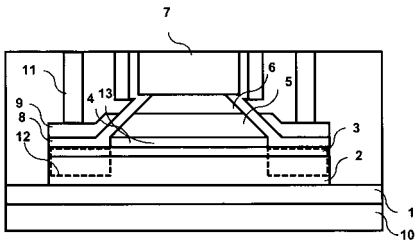
10

【 0 0 6 6 】

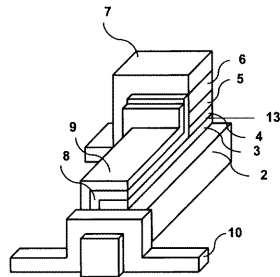
図 5 e は、基板 1 までの層スタックの一部の好適な除去を示し、図 5 f は、これに続く好適な、図 5 e で得られた層スタックの、T F E T を電気的に分離するための誘電体材料による被覆工程であり、ゲート電極層 9 を電気的に接続するためのゲートコンタクト電極 1 1 の形成である。最後に、上面が、少なくとも部分的に、ドレインコンタクト電極 7 と接続するためにドレインコンタクト電極 7 まで除去される。

20

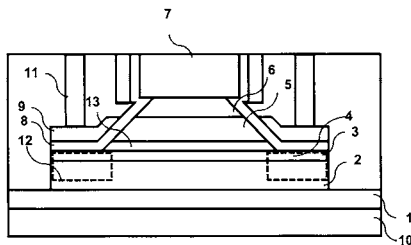
【 図 1 】



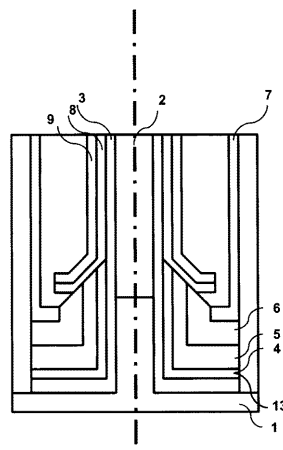
【 図 3 】



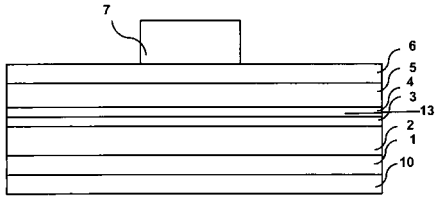
【 図 2 】



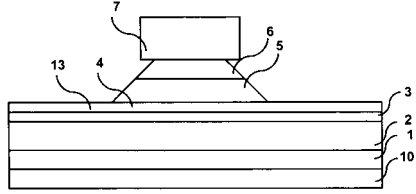
【 図 4 】



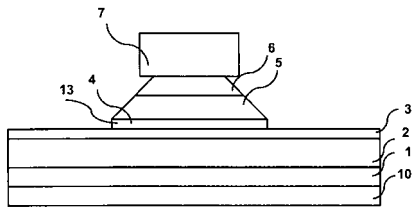
【図 5 a】



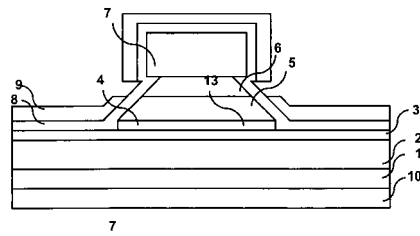
【図 5 b】



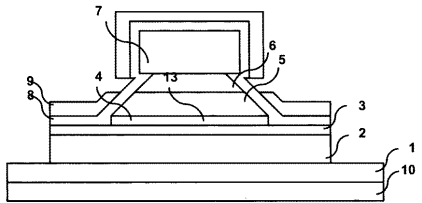
【図 5 c】



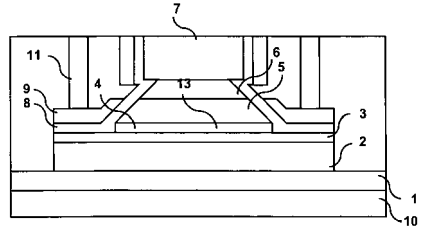
【図 5 d】



【図 5 e】



【図 5 f】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/161 (2006.01)		H 0 1 L	29/16	
H 0 1 L 29/16 (2006.01)		H 0 1 L	29/78	3 0 1 X

(74)代理人 100101454

弁理士 山田 卓二

(74)代理人 100081422

弁理士 田中 光雄

(74)代理人 100100479

弁理士 竹内 三喜夫

(74)代理人 100112911

弁理士 中野 晴夫

(72)発明者 クエンティン・スメッツ

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 アン・エス・フェルフルスト

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 リタ・ローヤッケルス

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

(72)発明者 マルク・ヘインス

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック内

F ターム(参考) 5F140 AC12 BA01 BA06 BA07 BA08 BA09 BA16 BA17 BB04 BC12

BC15 BF42 BH02 BH05 BH30 BH32 BH41 BH47 BK17

Tunnel Field Effect Transistor device and method for making the device

The current disclosure relates to a tunnel field effect transistor device (TFET) according to the preamble of the first claim.

5 The present disclosure also relates to a method for making the device.

Such TFET devices are already known to the person skilled in the art. US5589696 for example describes a Tunnel Field Effect Transistor device (TFET) made of at least following layers:

10 - a highly n-doped drain layer made of a drain semiconductor material,

- a highly p-doped, and thus oppositely doped with respect to the drain layer, source layer made of a source semiconductor material and

15 - a gate structure comprising a gate dielectric layer and a gate electrode layer.

The gate dielectric layer extends along the source layer while the gate electrode layer extends along the gate dielectric layer along a face of the gate dielectric layer opposing the face of the gate dielectric layer facing the source layer. The gate electrode layer does not extend beyond the gate dielectric layer. The device further comprises a highly counterdoped layer, with respect to the source layer, and thus n-doped pocket layer extending in between and along the gate dielectric layer and the source layer.

20 However, such a TFET does not allow efficiently controlling with the gate the flow of charge carriers through the substrate from the source to the counterdoped layer, such that charge carriers can still tunnel from the source to the part of the n-doped pocket layer which is not covered by the gate electrode resulting in a worse subthreshold swing due to an unwanted tail to the input characteristics. Another disadvantage of such a TFET is that it cannot be manufactured without at least an epitaxial regrowth
25
30 (meaning an epitaxial growth which is not preceded immediately by another

epitaxial growth) (causing a high amount of traps and thus off-state leakage current) or implantation (junctions which are not sharply defined).

In "Green transistor – A VDD Scaling Path for Future Low Power ICs" presented in the 2008 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA), Hu et al. proposed a

5

similar concept for a TFET, comprising of at least the following layers:

- a highly p-doped drain layer made of a drain semiconductor material,

10

- a highly n-doped source layer made of a source semiconductor material,

- a gate structure comprising a gate dielectric layer and a gate electrode layer,

15

- a pocket layer, counterdoped compared to the source layer, extending in between and along the source layer and the gate dielectric layer of the gate structure,

- a lowly doped channel layer made of a channel semiconductor material situated in between the source and the drain layer.

20

The gate dielectric layer extends along the pocket and channel layers while the gate electrode layer extends along the pocket layer and the channel layer along the gate dielectric layer adjacent to a face of the gate dielectric layer opposing the face of the gate dielectric layer facing the pocket and channel layers. The gate electrode layer does not extend beyond the gate dielectric layer.

25

However, such a TFET does not allow tight control of the relative location and doping of the source and pocket layers during fabrication of the TFET, important for the operation of the device since the device is relatively sensitive to absolute and relative doping levels and position of pockets. Another disadvantage of such a TFET is that it cannot be manufactured without at least an epitaxial regrowth (causing a high amount of

30

traps and thus off-state leakage current) or implantation (junctions which are not sharply defined).

Therefore, it is an aim of the current disclosure to provide an improved TFET device.

This is achieved according to the TFET device of the current disclosure according to the characterizing part of the first claim.

Thereeto, the pocket layer extends to between and along the source layer and the channel layer.

5 In such a configuration, an active region is defined in the assembly of the pocket layer and the source layer where the gate dielectric layer and the gate electrode layer are positioned along the source layer and the pocket layer. In the active region, the desired tunneling current is generated: after charge carriers have tunneled into the active region from the
10 source layer towards the pocket layer, they are drained away through a gate-induced low-potential-barrier transmission layer in the channel layer near the gate structure, and to the drain layer.

It has been found that such a configuration allows for improved suppression of the flow of charge carriers from the source layer to
15 the drain layer in the region outside of the active region, which is the region which is, usually, not gate-controlled.

It has been further found that with such devices an improved operation becomes possible with a sudden increase in tunneling current and a steep subthreshold slope.

20 Moreover, as the active region extends along where the gate structure and the pocket layer and the source layer are positioned along each other, a relatively wide area is obtained for the charge carriers to tunnel towards the source layer, increasing the possible tunneling current.

Also, the presence of the pocket layer has been found
25 to decrease the onset voltage applied to the gate for tunneling to occur towards the active region and has been found to decrease the amount of field induced quantum confinement. Therefore, unwanted tunneling of charge carriers from the source layer directly into the channel can be for example, especially in the presence of a leakage stop layer as explained below, avoided as the desired
30 tunneling into the active region already starts at a lower voltage than the voltage needed for unwanted tunneling of charge carriers from the source layer directly into the channel.

Also, it was found that the processing procedure to

provide such a pocket layer, which is based on a selective etch, results in a high quality of the pocket surface, onto which the gate dielectric is deposited, meaning that it is, for example, less rough and has a lower defect density, which is important for the operation of the device. This will be elaborated further below.

5 According to preferred embodiments of the current invention, at least part of the gate electrode layer and the gate dielectric layer extend along at least part of the channel layer.

10 According to preferred embodiments of the current disclosure, the at least part of the gate dielectric layer extending along the at least part of the channel layer is in contact with the channel layer.

15 According to preferred embodiments of the current disclosure, the gate electrode layer does not substantially extend along the drain layer and/or along the drain contact electrode, if present, such as to further avoid unwanted band-to-band tunneling in the drain layer or near the drain-channel junction, as well as to keep an relatively small gate-drain capacitance.

20 According to preferred embodiments of the current disclosure, the source, pocket, channel and drain layers are substantially planar and positioned on top and along each other.

25 However according to other preferred embodiments the TFET has a 3 dimensional Fin-FET like architecture (Fin-TFET) and the fin-like structure forms the source layer or the TFET is a vertical nanostructure (nanowire) and a nanowire forms the source layer.

30 According to preferred embodiments of the current disclosure, the pocket layer is an etch stop layer relative to the channel and drain layers. It has been found that such an etch stop layer allows for an improved method for making the TFET according to the current disclosure, leading to, for example, a decreased pocket surface roughness, improved pocket thickness control and more uniform onset of tunnelling in the active area.

According to preferred embodiments of the current disclosure, the drain layer is in electrical contact with a drain contact electrode

and/or the source in electrical contact with a source contact electrode and/or the gate electrode is in electrical contact with a gate contact electrode.

The disclosure also relates to a method of making the TFET according to the disclosure.

5 According to preferred embodiments of the current disclosure, a layer stack comprising the source layer, the pocket layer, the channel layer and the drain layer is provided, after which part of the drain layer and the channel layer is removed up to the pocket layer, after which the gate dielectric layer is applied to the exposed surface of the layer stack, after which
10 the gate electrode layer is applied to the gate dielectric layer.

 It has been found that with such a method of making the TFET according to the invention, the relative location and doping of the source and pocket layer can be better controlled, which is important for the operation of the device. It was also noted that epitaxial regrowth or
15 implantation steps can be avoided such as to avoid the occurrence of trap assisted tunneling or junctions which are not suitably delimited.

 According to preferred embodiments of the current disclosure, the gate electrode layer does not substantially extend along the drain layer and/or along the drain contact electrode, if present, such as to
20 further avoid unwanted band-to-band tunneling in the drain layer or near the drain-channel junction, as well as to keep a relatively small gate-drain capacitance.

 According to preferred embodiments of the current disclosure, the part of the drain layer and the channel layer is removed up to
25 the pocket layer at least partly by etching up to an etch stop layer, preferably by a wet or dry selective etching technique. The etch stop layer for example is present in between and along the channel layer and the pocket layer or the pocket layer is the etch stop layer. Preferably the material of the etch stop layer is different from the materials in the layers around it, such as to allow for a
30 selective removal process.

 According to preferred embodiments of the current disclosure, the etch stop layer is the pocket layer. In such a configuration, a single step can suffice for selectively removing the part of the drain layer and

the channel layer up to the pocket layer. Such a method allows to obtain an improved surface quality of the pocket layer which is less rough and has a lower defect density avoiding so-called trap assisted tunneling (TAT) where charge carriers tunnel from the source layer into the active region via traps ,
5 which has been found to degrade the subthreshold slope.

According to alternative embodiments of the current disclosure, the etch stop layer is different from the pocket layer and is removed after etching away the part of the drain layer and the channel layer up to the etch stop layer, for example by a selective removal method. Such a method
10 allows to obtain an improved surface quality of the pocket layer avoiding so-called trap assisted tunneling (TAT) where charge carriers tunnel from the source layer into the active region via traps which in turn degrades the subthreshold slope. In such configuration, the etch stop layer preferably also functions as a leakage stop layer to prevent current flowing from source to
15 drain through the bulk of the layer stack. In such case the etch stop layer preferably is made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5 \cdot 10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} . The etch stop layer preferably is of the same doping type (n type or p type) as the source layer.

According to preferred embodiments of the current disclosure, especially in embodiments where the etch stop layer, if present, is the pocket layer, a leakage stop layer is provided in between the pocket layer and the channel layer to prevent current flowing from source to drain through
20 the bulk of the layer stack. This leakage stop layer is preferably selectively removed partly more preferably during the selective removal of part of the drain and channel layer. Preferably, the gate dielectric and the gate electrode run along at least part of the leakage stop layer. The leakage-stop layer preferably
25 is made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5 \cdot 10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} . Preferably, the leakage stop layer
30 is of the same doping type (n type or p type) as the source layer.

According to preferred embodiments of the method according to the current disclosure, the drain contact electrode is provided on

top of the drain layer. In such configurations, the drain contact electrode can for example be used as a mask for the etching process, for example for the wet etching. In such a configuration, the drain contact electrode will for example be underetched. It has been found that due to the sudden change in topography at the drain contact electrode and the drain layer, the gate electrode layer can be interrupted at that location, preventing short circuiting the gate layer and the drain layer. The gate dielectric layer, although not critical for the disclosure can remain uninterrupted at the drain contact electrode and the drain layer.

5

The disclosure will be further elucidated by means of the following description and the appended figures.

10

Figure 1 shows a cross section of an embodiment of a tunnel field effect transistor (TFET) according to the present disclosure.

Figure 2 shows a cross section of a different embodiment of a tunnel field effect transistor (TFET) according to the present disclosure.

15

Figure 3 shows an overview of another embodiment of a tunnel field effect transistor (TFET) according to the present disclosure.

Figure 4 shows a cross section of another embodiment of a tunnel field effect transistor (TFET) according to the present disclosure.

20

Figures 5a – 5f show an embodiment of the method according to the present disclosure.

25

In the following detailed description, numerous specific details are set forth in order to provide a thorough understanding of the disclosure and how it may be practiced in particular embodiments. However, it will be understood that the present disclosure may be practiced without these specific details. In other instances, well-known methods, procedures and techniques have not been described in detail, so as not to obscure the present disclosure. While the present disclosure will be described with respect to particular embodiments and with reference to certain drawings, the disclosure is not limited hereto. The drawings included and described herein are schematic and are not limiting the scope of the disclosure. It is also noted that in the drawings, the size of some elements may be exaggerated and, therefore, not drawn to scale for illustrative purposes.

30

The present disclosure will be described with respect to particular embodiments and with reference to certain drawings but the disclosure is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale for illustrative purposes. The dimensions and the relative dimensions do not necessarily correspond to actual reductions to practice of the disclosure.

Furthermore, the terms first, second, third and the like in the description and in the claims, are used for distinguishing between similar elements and not necessarily for describing a sequential or chronological order. The terms are interchangeable under appropriate circumstances and the embodiments of the disclosure can operate in other sequences than described or illustrated herein.

Moreover, the terms top, bottom, over, under and the like in the description and the claims are used for descriptive purposes and not necessarily for describing relative positions. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the disclosure described herein are capable of operation in other orientations than described or illustrated herein.

The term "comprising", used in the claims, should not be interpreted as being restricted to the means listed thereafter; it does not exclude other elements or steps. It needs to be interpreted as specifying the presence of the stated features, integers, steps or components as referred to, but does not preclude the presence or addition of one or more other features, integers, steps or components, or groups thereof. Thus, the scope of the expression "a device comprising means A and B" should not be limited to devices consisting only of components A and B.

Figure 1 shows a cross section of an embodiment of a tunnel field effect transistor (TFET) according to the present disclosure.

More precisely figure 1 shows a Tunnel Field Effect Transistor device (TFET) made of at least following layers:

- a highly doped drain layer 6 made of a drain semiconductor material, e.g. with a doping level of 10^{16} cm^{-3} or higher such as

for example between 10^{16} cm^{-3} and $5.10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} .

5 - a highly doped source layer 2, oppositely doped with respect to the drain layer, made of a source semiconductor material e.g. with a doping level of 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5.10^{20} \text{ cm}^{-3}$, preferably between $5.10^{18} \text{ cm}^{-3}$ and 10^{20} cm^{-3} .

10 - a channel layer 5 made of a lowly doped, e.g. doped at a doping level below 10^{18} cm^{-3} , for example between 0 cm^{-3} and 10^{18} cm^{-3} , preferably between 10^{15} cm^{-3} and 10^{17} cm^{-3} , or undoped channel semiconductor material. The channel layer 5 is situated in between the source 2 and the drain layer 6.

15 - a gate structure 8, 9 comprising a gate dielectric layer 8 and a gate electrode layer 9. The gate dielectric layer 8 extends along the source layer 2 and the gate electrode layer 9 extends along the gate dielectric layer 8 along a face of the gate dielectric layer 8 opposing the face of the gate dielectric layer 8 facing the source layer 2. The gate electrode layer 9 does not extend beyond the gate dielectric layer 8. At least part of the gate electrode layer 9 and the gate dielectric layer 8 may extend along at least part of the channel layer 5.

20 - a highly doped, pocket layer 3 extending in between and along the gate dielectric layer 8 and the source layer 2. The pocket layer is made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5.10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} .

25 The source layer 2 can be either a p- or n- doped layer. The drain layer is counterdoped with respect to the source layer.

The channel layer 5, if doped at all, can be either a p- or an n- doped layer depending on the desired characteristics of the TFET.

30 The pocket layer 3 preferably but not necessarily is counterdoped with respect to the source layer 2.

It can be seen in figure 1 that the pocket layer 3 extends to between and along the source layer 2 and the channel layer 5.

For the different layers any type of semiconductor

material can be chosen, for example materials selected from at least one of group IV materials such as Si, Ge, C or binary compounds thereof, or group III/V materials such as In, Ga, As, Sb, Al, P, B, N or binary, tertiary or quaternary compounds thereof or group II/VI materials such as Cd, Zn, S, Se, Te, O or binary, tertiary or quaternary compounds thereof, or carbon nanotubes, graphene, etc. Preferably the resulting heterostructure consists of materials having a similar lattice constant, such that the resulting heterostructure interface has a high quality, meaning a low defect density. Examples of such material combinations are InP/In_{0.53}Ga_{0.47}As (lattice matched), InAs/GaSb (small lattice mismatch of 0.6%), In_{0.53}Ga_{0.47}As/GaAs_{0.5}Sb_{0.5} (lattice matched).

It can be seen that preferably the at least part of the gate dielectric layer 8 which extends along the at least part of the channel layer 5 is in contact with the channel layer 5.

It is further shown that the source 2, pocket 3, channel 5 and drain 6 layers are substantially planar and positioned on top and along each other although other alternative embodiments will be described below.

The active region 12 defined in the assembly of the pocket layer 3 and the source layer 2 as explained above is schematically being delimited by a dotted line for sake of clarity.

Further, figure 1 shows that preferably the drain layer 6 is in electrical contact with a drain contact electrode 7 and/or the source 2 is in electrical contact with a source contact electrode 10 and/or the gate electrode 9 is in electrical contact with a gate contact electrode 11.

Figure 1 shows that the source layer 2 is preferably deposited on a substrate 1 and further shows that the source contact electrode 10 is applied on the opposing side of the substrate 10. This is however not critical for the disclosure and the source contact electrode 10 can also be applied directly to the source layer 2, for example even omitting the substrate layer 1 depending on for example the desired characteristics of the TFET.

In the embodiment shown in figure 1, an etch stop layer 4 is present in between and along the channel layer 5 and the pocket layer 3. Figure 2 differs from figure 1 in that the pocket layer 3 is the etch-stop layer 4

and preferably a leakage stop layer 13 is added whereas in Figure 1, the leakage-stop layer 13 is the etch-stop layer 4. The leakage stop layer 13, if present, is doped, preferably but not necessarily with a similar doping to the source layer 2. The leakage-stop layer is made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5 \cdot 10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} .

As can be seen in figures 1 and 2, preferably the channel 5 and drain 6 layer and if present, as shown in figure 1, for example the etch stop layer 4 which preferably also functions in this configuration as a leakage stop layer when separate from the pocket layer 3, and, as shown in figure 2, for example the leakage stop layer 13 when the pocket layer 3 is the etch stop layer 4, have delimiting edges which taper towards the drain contact electrode 7, for example as a consequence of the fabrication method, more in particular etching, more in particular wet etching, in the method for the TFET according to the disclosure. It is preferred that the delimiting edges are provided along faces having relatively closely packed atoms to further improve surface quality, for example the {111} face in for example InGaAs, more in particular $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$.

Figure 3 shows an alternative embodiment wherein the TFET has a 3 dimensional Fin-FET like architecture (Fin-TFET) and wherein the fin-like structure forms the source layer 2.

In the embodiment shown, the etch stop layer 4 preferably functions as a leakage-stop layer 13 and is separate from the pocket layer 3, although as explained above, the pocket layer 3 could also be the etch stop layer 4 in which case preferably, but not critically, a leakage stop layer 13 could be applied instead of the etch stop layer 4 shown in Figure 3.

As can be further observed in figure 3, preferably the channel 5 and drain 6 layer and if present, for example the etch stop layer 4 when separate from the pocket layer 3 and, for example the leakage stop layer 13 when the pocket layer 3 is the etch stop layer 4, no longer have delimiting edges which taper towards the drain contact electrode 7.

Figure 4 shows TFET which is a vertical nanostructure (nanowire). The nanowire, as shown in figure 4, preferably is symmetrical with

respect to an axis of symmetry through the source layer 2.

In the embodiments shown in figures 3 and 4, the etch stop layer 4 is separate from the pocket layer 3, although as explained above, the pocket layer 3 could also be the etch stop layer 4 in which case preferably, but not critically, a leakage stop layer 13 could be applied instead of the etch stop layer 4.

As can be further observed in figure 4, preferably the channel 5 and drain 6 layer and if present, for example the etch stop layer 4 when separate from the pocket layer 3 and, for example the leakage stop layer 13 when the pocket layer 3 is the etch stop layer 4, no longer have delimiting edges which taper towards the drain contact electrode 7.

Figures 5a – 5f show an embodiment of the method according to the present disclosure for making the TFET shown in figure 1.

Figure 5a shows a layer stack comprising the source layer 2, the pocket layer 3, the channel layer 5 and the drain layer 6. In the layer stack shown, the etch stop layer 4 and the pocket layer 3 are different from each other. Also, although not critical for the disclosure, a substrate layer and a source contact electrode 10 are provided. In addition the drain contact electrode 7 is shown and is provided on top of the drain layer 6.

Subsequently, part of the drain layer 6 and the channel layer 5 is removed up to the pocket layer 3. This is for example shown in figures 5b and 5c and is for example done by dry or preferably wet etching. It can be seen that the material of the etch-stop layer 4, and preferably the material of the drain contact electrode 7, is chosen such as not to be etched away whereas the material of the drain layer 6 and the channel layer 5 is chosen such that they can be etched away. The tapering edges, as explained above, are the result of the etching technique used, in the case shown wet etching. In a subsequent step, for example as the etch stop layer 4 is still substantially covering the pocket layer 3, the etch stop layer 4 is also partly removed as shown in figure 5c, uncovering the pocket layer 3 for application of the gate structure 8, 9.

In case for example the etch stop layer 4 and the pocket layer 3 are the same no subsequent removal of the etch stop layer 4 is

necessary. When in such situation a leakage stop layer 13 is provided in between the pocket layer 3 and the channel layer 5 to prevent current flowing from source layer 2 to drain layer 6 through the bulk of the layer stack, the material of the leakage stop layer 13 preferably is also selected such as to be etched away together with the channel layer 5 and the drain layer 6. Such an embodiment has however not been depicted in the figures.

Further, figure 5d shows a further step of the method according to the disclosure, in which the gate dielectric layer 8 is applied to the exposed surface of the layer stack, after which the gate electrode layer 9 is applied to the gate dielectric layer 8. It can be observed that the drain contact electrode 7 has for example been underetched. Due to the sudden change in topography at the drain contact electrode 7 and the drain layer 6, the gate electrode layer 9 can be interrupted at that location, preventing short circuiting the gate electrode layer 9 and the drain layer 6. The gate dielectric layer 8, although not critical for the disclosure has remained uninterrupted at the drain contact electrode 9 and the drain layer 6.

Figure 5e shows the preferred removal of part of the layer stack up to the substrate 1 and figure 5d shows the subsequent preferred covering of the layer stack obtained in figure 5e with a dielectric material for electrically isolating the TFET and the creation of the gate contact electrodes 11 for electrically contacting the gate electrode layer 9. Finally, the upper surface is at least partly removed up to the drain contact electrode 7 for contacting the drain contact electrode 7.

dielectric layer (8) extends along at least part of the channel layer (5) and is in contact with the channel layer (5).

4. The TFET according to any one of claims 1 - 3, **wherein** the source (2), pocket (3), channel (5) and drain (6) layers are substantially planar and positioned on top and along each other.

5. The TFET according to any one of claims 1 - 3, **wherein** the TFET has a 3 dimensional Fin-FET like architecture (Fin-TFET) and wherein the fin-like structure forms the source layer (2).

6. The TFET according to any one of claims 1 - 3, **wherein** the TFET is a vertical nanostructure (nanowire).

7. The TFET according to any one of claims 1 - 6, **wherein** the drain layer (6) is in electrical contact with a drain contact electrode (7) and/or the source (2) in electrical contact with a source contact electrode (10) and/or the gate electrode (9) is in electrical contact with a gate contact electrode (11).

8. The TFET according to any one of claims 1 - 7, **wherein** an etch stop layer (4) is present in between and along the channel layer (5) and the pocket layer (3), the etch stop layer preferably being made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5 \cdot 10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} .

9. The TFET according to any one of claims 1 - 8, **wherein** a leakage stop layer (13) is present in between and along the channel layer (5) and the pocket layer (3), the leakage-stop layer preferably being made of a semiconductor material with a doping level of for example 10^{16} cm^{-3} or higher such as for example between 10^{16} cm^{-3} and $5 \cdot 10^{20} \text{ cm}^{-3}$, preferably between 10^{17} cm^{-3} and 10^{20} cm^{-3} .

10. Method of making the TFET according to any one of claims 1 - 9.

11. Method of making the TFET according to claim 10, **wherein** a layer stack comprising the source layer (2), the pocket layer (3), the channel layer (5) and the drain layer (6) is provided, after which part of the drain layer (6) and the channel layer (5) is removed up to the pocket layer (3), after which the gate dielectric layer (8) is applied to the exposed surface of the layer stack, after which the gate electrode layer (9) is applied to the gate dielectric layer (8).

12. Method of making the TFET according to claim 11, **wherein** the part of the drain layer (6) and the channel layer (5) is removed up to the pocket layer (3) by at least partly etching up to an etch stop layer (4).
13. Method of making the TFET according to claim 12, **wherein** the etch stop layer (4) is the pocket layer (3).
14. Method of making the TFET according to claim 13, **wherein** a leakage stop layer (13) is provided in between the pocket layer (3) and the channel layer (5) to prevent current flowing from source (2) to drain (6) through the bulk of the layer stack.
15. Method of making the TFET according to claim 12 at least in combination with claim 8, **wherein** the etch stop layer (4) is different from the pocket layer (3) and is removed after etching away the part of the drain layer (6) and the channel layer (5).
16. Method of making the TFET according to any one of claims 10 – 15, **wherein** the drain contact electrode (7) is provided on top of the drain layer (6).

ABSTRACT**Tunnel Field Effect Transistor device and method for making the device**

5 A Tunnel Field Effect Transistor device (TFET) made of at least following
layers: a highly doped drain layer (6), a highly doped source layer (2), a
channel layer (5), a gate dielectric layer (8) and a gate electrode layer (9), the
gate dielectric layer (8) extending along the source layer (2), and a highly
doped pocket layer (3) extending in between and along the gate dielectric layer
10 (8) and the source layer (2), **characterized in that** the pocket layer (3)
extends to between and along the source layer (2) and the channel layer (5).

Fig. 1

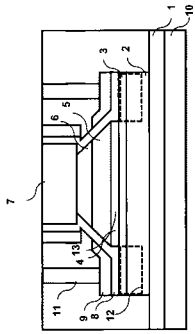


Fig. 1

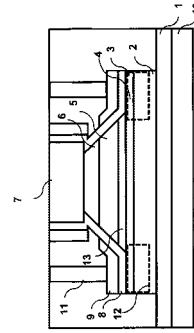


Fig. 2

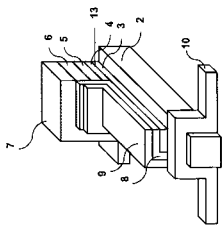


Fig. 3

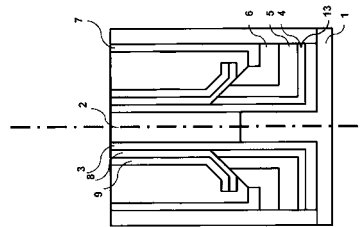


Fig. 4

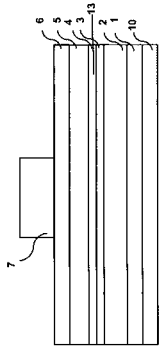


Fig. 5a

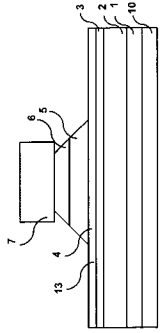


Fig. 5b

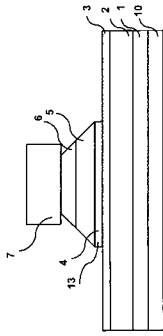


Fig. 5c

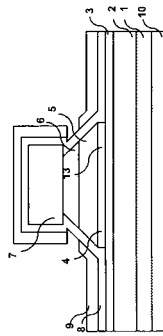


Fig. 5d

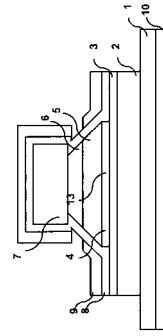


Fig. 5e

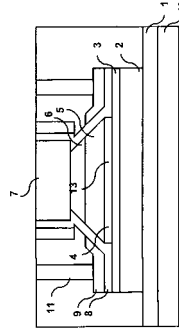


Fig. 5f