

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710084733.8

[51] Int. Cl.

H03K 19/00 (2006.01)

H01L 29/78 (2006.01)

G05F 1/46 (2006.01)

[43] 公开日 2008 年 9 月 3 日

[11] 公开号 CN 101257300A

[22] 申请日 2007.2.28

[21] 申请号 200710084733.8

[30] 优先权

[32] 2006.3.6 [33] US [31] 11/369,664

[71] 申请人 阿尔特拉公司

地址 美国加利福尼亚

[72] 发明人 S·佩里塞地

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 赵蓉民

权利要求书 9 页 说明书 14 页 附图 11 页

[54] 发明名称

可调式晶体管体偏置电路

[57] 摘要

本发明提供一种集成电路，其包括带有体端的 n 沟道和 p 沟道金属氧化物半导体晶体管。提供了位于该集成电路上的可调式晶体管体偏置电路，该集成电路向所述体端提供体偏置电压，以使功耗最小化。通过使用集成电路上的载有配置数据的可编程单元，可调式体偏置电路可以被控制。集成电路可以是包含有可编程逻辑的可编程逻辑器件集成电路。可调式体偏置电路可以产生可调式的负体偏置电压，用于偏置 n 沟道金属氧化物半导体晶体管。可调式体偏置电路包括带隙基准电路、电荷泵电路和可调式电压调节器。

- 1、一种集成电路，其包括：
带有体端的 n 沟道金属氧化物半导体晶体管；和
可调式基于电荷泵的体偏置电路，其将负的体偏置电压施加到所述体端。
- 2、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括：
载有配置数据的可编程单元。
- 3、根据权利要求 1 所述的集成电路，其中所述可调式基于电荷泵的体偏置电路包括可调式电压调节器。
- 4、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路并且其中所述可调式基于电荷泵的体偏置电路包括一个可调式电压调节器，所述集成电路进一步包括：
载有配置数据的可编程单元。
- 5、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路并且其中所述可调式基于电荷泵的体偏置电路包括一个可调式电压调节器，所述集成电路进一步包括：
载有配置数据的可编程单元，其中的一些所述可编程单元产生控制所述可调式电压调节器的输出信号。
- 6、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路并且其中所述可调式基于电荷泵的体偏置电路包括一个可调式电压调节器，所述集成电路进一步包括：
载有配置数据的可编程单元，其中的一些所述可编程单元产生未解码的控制信号；和
一个解码器，其接收所述未解码的控制信号并将相应的解码控制

信号施加到所述可调式电压调节器。

7、根据权利要求1所述的集成电路，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；和

可调式电压调节器，其使用所述负的电荷泵输出电压产生所述负的体偏置电压。

8、根据权利要求1所述的集成电路，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；

可调式电压调节器，其使用所述负的电荷泵输出电压产生所述负的体偏置电压；和

带隙基准电路，其将至少一个基准信号施加到所述可调式电压调节器。

9、根据权利要求1所述的集成电路，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压，其中所述电荷泵电路包括分压器、比较器、振荡器和电荷泵；

可调式电压调节器，其使用所述负的电荷泵输出电压产生所述负的体偏置电压；和

带隙基准电路，其将至少一个基准信号施加到所述可调式电压调节器，其中所述电荷泵电路中的所述分压器通过一个反馈线路从所述电荷泵接收所述负的电荷泵输出电压，并提供一个相应的信号到所述比较器的第一输入，其中所述比较器在第二输入从所述带隙基准电路接收一个电压基准信号，其中所述比较器比较所述第一输入和第二输入，并产生控制所述振荡器的一个相应输出，并且其中所述振荡器产生给所述电荷泵的时钟信号。

10、根据权利要求1所述的集成电路，其中所述可调式基于电荷

泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；和

可调式电压调节器，其包括一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出电压产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置。

11、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括载有配置数据的可编程单元，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵，其产生负的电荷泵输出电压；和

可调式电压调节器，其包括一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出产生所述负的体偏置电压，其中可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置，所述控制信号来自至少一些所述可编程单元。

12、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括载有配置数据的可编程单元，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；

带有输出的解码器；和

可调式电压调节器，其包括一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出电压来产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置，所述控制信号来自所述解码器的输出。

13、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括载有配置数据的可编程单元，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；

带有输出和输入的解码器，其中所述输入从至少一些所述可编程单元接收控制信号；以及

可调式电压调节器，其包含一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出电压来产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置，所述控制信号来自所述解码器的输出。

14、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括载有配置数据的可编程单元，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生一个负的电荷泵输出电压；

带有输出和输入的解码器，其中所述输入通过所述输入一输出管脚接收控制信号；

可调式电压调节器，其包含一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出电压来产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置，所述控制信号来自所述解码器的输出。

15、根据权利要求 1 所述的集成电路，其中所述集成电路包括一个可编程逻辑器件集成电路，所述集成电路进一步包括载有配置数据的可编程单元和产生信号的可编程逻辑，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其产生负的电荷泵输出电压；

带有输出和输入的解码器，其中所述输入从所述可编程逻辑接收至少一些所述信号；

可调式电压调节器，其包含一个可调式分压器，其中所述可调式电压调节器使用所述负的电荷泵输出电压来产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管带有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加到其栅极的控制信号控制，以在所述串联电阻中限定一个电压分接点位置，所述控制信号来自所述解码器的输出。

16、根据权利要求 1 所述的集成电路，其中所述可调式基于电荷泵的体偏置电路包括：

电荷泵电路，其包含多个金属氧化物半导体电容，所述电荷泵电路产生负的电荷泵输出电压；

带隙基准电路，其提供至少一个基准信号；和

可调式电压调节器，其包括一串联电阻链，多个晶体管，所述晶体管连接在各自的串联电阻对之间以建立限定相关联的分接电压的可选择的分压器分接点，一个运算放大器，所述运算放大器带有从所述带隙基准电路接收所述基准信号的第一输入、第二输入和一个输出，提供所述分接电压到所述第二输入的反馈路径，以及连接在所述电荷泵和所述串联电阻链之间的一个晶体管，其中所述晶体管有一个栅极，其连接到所述运算放大器的所述输出。

17、在集成电路上的一种晶体管体偏置电路，其包括：

电荷泵，其产生负的电压；和

可调式电压调节器，其使用来自所述电荷泵的所述负的电压产生负的晶体管体偏置电压。

18、根据权利要求 17 所述的晶体管体偏置电路，进一步包括载有配置数据的多个可编程单元，其产生相应的输出信号，其中所述可调式电压调节器包括一个分压器，所述分压器具有多个晶体管，其中每

个晶体管有一个栅极，所述栅极从所述多个可编程单元的各自一个接收一个所述输出信号。

19、根据权利要求 17 所述的晶体管体偏置电路，进一步包括：

多个可编程单元，其载有配置数据，产生相应的输出信号；和

一个带隙基准电路，其提供至少一个基准信号到所述可调式电压调节器，其中所述可调式电压调节器包括一个可调式分压器，其中所述可调式电压调节器使用由所述电荷泵产生的所述负的电压产生所述负的体偏置电压，其中所述可调式电压调节器包括多个电阻和多个晶体管，其中所述晶体管连接在各自的电阻对之间，其中所述晶体管带有栅极，其中每个栅极从所述可编程单元中的相应一个接收各自的输出信号。

20、根据权利要求 17 所述的晶体管体偏置电路，其中所述电荷泵包括金属氧化物半导体晶体管结构，其被配置为金属氧化物半导体电容，所述体偏置电路进一步包括：

载有配置数据的多个可编程单元，其产生相应的输出信号；和

一个带隙基准电路，其提供至少一个基准信号到所述可调式电压调节器，其中所述可调式电压调节器包括一个可调式分压器，其中所述可调式电压调节器包括一个运算放大器，并使用由所述电荷泵产生的所述负的电压产生所述负的体偏置电压，其中所述可调式电压调节器包括多个电阻和多个晶体管，其中所述晶体管连接在各自的电阻对之间，其中所述晶体管带有栅极，其中每个栅极从所述可编程单元中的相应一个接收各自的输出信号，并且其中所述配置数据导通所述晶体管中的一个给定晶体管，以限定一个从所述分压器至决定所述负的体偏置电压的所述运算放大器的反馈路径。

21、一种可编程逻辑器件集成电路，其包括：

可编程逻辑，其包括 n 沟道金属氧化物半导体晶体管，所述晶体管带有体端，负的体偏置电压加在所述体端；

带隙基准电路，其提供一个基准电压；和

可调式电压调节器，其带有一个用来接收负的电荷泵输出电压的端，其从所述带隙基准电路接收所述基准电压，并且提供所述负的体偏置电压给所述可编程逻辑中的所述 n 沟道金属氧化物半导体晶体管的所述体端。

22、根据权利要求 21 所述的可编程逻辑器件集成电路，进一步包括：

可编程单元，其载有配置数据，其中一些所述可编程单元产生控制所述可调式电压调节器的输出信号。

23、根据权利要求 21 所述的可编程逻辑器件集成电路，进一步包括：

电荷泵电路，其产生所述负的电荷泵输出电压，所述可调式电压调节器接收这个输出电压，其中所述可调式电压调节器使用所述负的电荷泵输出电压产生所述负的体偏置电压。

24、根据权利要求 21 所述的可编程逻辑器件集成电路，其中所述可调式电压调节器包括一个可调式分压器，所述可编程逻辑器件进一步包括：

电荷泵电路，其产生所述负的电荷泵输出电压，所述可调式分压器接收这个输出电压。

25、根据权利要求 21 所述的可编程逻辑器件集成电路，进一步包括：

振荡器；

比较器；

电荷泵，其产生所述负的电荷泵输出电压；

分压器，其通过反馈线路从所述电荷泵接收所述负的电荷泵输出电压，并且提供一个相应的信号给所述比较器的第一输入，其中所述比较器在第二输入处从所述带隙基准电路接收所述基准电压，其中所述比较器比较所述第一输入和第二输入并产生一个控制所述振荡器的

相应的输出，其中所述振荡器为所述电荷泵产生时钟信号。

26、根据权利要求 21 所述的可编程逻辑器件集成电路，其中所述可编程逻辑包括载有配置数据的可编程单元，其中所述可调式电压调节器包括：

可调式分压器，其包括多个串联电阻和多个晶体管，其中所述可调式电压调节器使用所述负的电荷泵输出电压产生所述负的体偏置电压，其中所述晶体管有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加在其栅极上的控制信号控制，以限定所述串联电阻中的一个电压分接点位置，所述控制信号来自至少一些所述可编程单元的所述输出。

27、根据权利要求 21 所述的可编程逻辑器件进一步包括：

电荷泵电路，其产生所述负的电荷泵输出电压；和

解码器，其具有输入和输出，其中所述输入接收控制信号，其中所述可调式电压调节器使用所述负的电荷泵输出电压产生所述负的体偏置电压，其中所述可调式电压调节器包括多个串联电阻和多个晶体管，其中所述晶体管有栅极，并且连接在各自的串联电阻对之间，其中所述晶体管由施加在其栅极上的控制信号控制，以限定所述串联电阻中的一个电压分接点位置，所述控制信号来自所述解码器的所述输出。

28、根据权利要求 21 所述的可编程逻辑器件集成电路，其中所述可调式电压调节器进一步包括：

运算放大器，其接收所述基准电压，并提供一个输出信号；

晶体管，其具有从所述运算放大器接收所述输出信号的一个栅极；
和

一个电阻链，其连接到所述晶体管。

29、根据权利要求 21 所述的可编程逻辑器件集成电路，其中所述可调式电压调节器进一步包括：

一串联电阻链，其位于所述可调式分压器中；和
多个晶体管，其连接在各自的串联电阻对之间，以建立一个可选的分压器分接点，该点限定了一个相关联的分接电压。

30、根据权利要求 21 所述的可编程逻辑器件集成电路，进一步包括一个电荷泵，其提供所述负的电荷泵输出电压，其中所述可调式电压调节器进一步包括：

电阻；

多个晶体管，其连接在各自的电阻对之间，以建立一个可选择的分压器分接点，该点限定了一个相关联的分接电压；

运算放大器，其具有第一输入、第二输入和一个输出，所述第一输入从所述带隙基准电路接收所述基准信号；和

反馈路径，其向所述第二输入提供所述分接电压；和

晶体管，其连接在所述电荷泵与所述电阻之间，其中所述晶体管带有连接到所述运算放大器的输出的一个栅极。

可调式晶体管体偏置电路

技术领域

[0001]本发明一般涉及晶体管体偏置电路，尤其涉及用于集成电路，如可编程逻辑器件的可调式晶体管体偏置电路。

背景技术

[0002]现代集成电路的性能常受到功耗考虑的限制。具有不良功率效率的电路给系统设计人员提出了不受欢迎的要求。电源容量需要增加，热管理问题需要被处理，为了适应效率低的电路，电路设计需要被修改。

[0003]集成电路常使用互补金属氧化物半导体（CMOS）晶体管技术。CMOS 集成电路具有 n 沟道金属氧化物半导体（NMOS）和 p 沟道金属氧化物半导体（PMOS）晶体管。

[0004]NMOS 和 PMOS 集成电路都有四个端——漏极、源极、栅极和体端。体端或衬底端（body terminal）有时也称为阱端（well terminal）或块端（bulk terminal），体端能够被偏置来提高晶体管的性能。例如，正偏置电压可以加在 PMOS 晶体管的体端，而负偏置电压可以加在 NMOS 晶体管的体端。这些偏置电压提高了晶体管的有效阈值电压，并因此而降低了晶体管的泄漏电流。泄漏电流的降低减小了功耗。

[0005]合适的偏置电压趋于是小电压。例如，一个 NMOS 体偏置电压可能会小于几百个毫伏。更大的体偏置电压可以被用于进一步减小泄漏电流，但是这可能会对器件性能有显著的不良影响。在减小泄漏电流和牺牲性能二者之间的最佳平衡一般是通过使用小的体偏置电压来获得的。

[0006]体偏置电压可以在芯片外产生，但是这类方法耗费了稀少的输入—输出管脚。另外，不可调的体偏置电压源会在可编程逻辑器件中产生一些问题，在可编程器件中常希望改变所使用的偏置量。

[0007]因此希望提供一种可调的片上晶体管体偏置电压电路，用于减小集成电路，如可编程逻辑器件集成电路上的功耗。

发明内容

[0008]根据本发明，提供一种集成电路如可编程逻辑器件电路，该集成电路包括可调式体偏置电路。可调式体偏置电路由控制信号控制。控制信号可以由可编程单元提供，这些可编程单元已经载入配置数据，控制信号可以由集成电路上的可编程逻辑来提供，或者从外部源来获得。解码器用来解码未解码的控制信号。

[0009]可调式体偏置电路可以包含产生负电压的一个电荷泵电路，通过使用该负电压产生可调的负体偏置电压的一个可调式电压调节器，以及为该可调式电压调节器和电荷泵提供基准信号的一个带隙基准电路。

[0010]可调式电压调节器可以包含一个可调式分压器，连接在电荷泵电路和可调式分压器之间的一个晶体管，和一个运算放大器。可调式分压器可以包含一串联的电阻链和很多个连接在各对串联电阻之间的晶体管。可调式体偏置电路的控制信号可以加在晶体管的栅极，以限定期望的分压器电压分接位置。运算放大器在一个输入处接收来自带隙基准电路的一个基准电压，并且在另一个输入处接收从分压器分接点反馈的多个信号。运算放大器带有一个输出，其被施加到和电荷泵电路连接的晶体管的栅极。由可调式电压调节器产生的负体偏置电压的幅值通过调节分压器来控制。

[0011] 通过附图和以下的详细说明，本发明的进一步特征、特性和各种优势将会更明显。

附图说明

[0012]图 1 为一个根据本发明的说明性可编程逻辑器件集成电路的框图。

[0013]图 2 为一个根据本发明的体偏置的 n 沟道金属氧化物半导体晶体管的原理图。

[0014]图 3 为一个根据本发明的体偏置的 n 沟道金属氧化物半导体

晶体管的横截面视图。

[0015]图 4 为一个根据本发明的说明性电荷泵的原理图。

[0016]图 5 为图 4 电荷泵的简化示意图。

[0017]图 6 为根据本发明的时序图，展示了图 4 和图 5 所示类型的电荷泵如何产生负输出电压用于晶体管体偏置。

[0018]图 7 为展示金属氧化物半导体晶体管电容器的电容值作为所加电压的函数而变化的曲线图。

[0019]图 8 为一个根据本发明的说明性可调式体偏置电路布置的电路图，该电路布置可用于偏置集成电路如可编程逻辑器件集成电路中的晶体管。

[0020]图 9 为一个根据本发明的说明性可调式体偏置电路的电路图，该电路具有一个电荷泵、带隙基准电路和可调式调节器。

[0021]图 10 为一个根据本发明的说明性可调式体偏置电路的电路图，该电路具有一个基于可编程分压器的调节器。

[0022]图 11 为一个根据本发明的说明性运算放大器的电路图，该运算放大器用于图 10 所示类型的调节器。

[0023]图 12 为展示了根据本发明的图 10 可编程分压器中的每一个晶体管怎样被各自的可编程单元控制的图。

[0024]图 13 展示了根据本发明的图 10 可编程分压器中的晶体管怎样被可编程单元提供的并且被解码器解码的控制信号控制。

[0025]图 14 展示了根据本发明的图 10 可编程分压器中的每一个晶体管怎样被一个外部控制信号控制，该外部控制信号通过各自的输入—输出管脚提供。

[0026]图 15 展示了根据本发明的图 10 可编程分压器中的晶体管怎样被多个控制信号控制，这些控制信号由一个外部源通过输入—输出管脚来提供，并且被一个解码器解码。

具体实施方式

[0027]本发明涉及可调式体偏置电压源。体偏置电压源可以使用在任何合适的集成电路中。根据本发明的带有一个特定的合适布置的可调式体偏置电路可以用在可编程逻辑器件集成电路中。体偏置电路还

可以用在带有可编程电路的集成电路上，这种可编程电路不是指传统的可编程逻辑器件，如包含有可编程电路的微处理器、包含有可编程电路的数字信号处理器、带有可编程电路的定制集成电路等等。作为例子，在可编程逻辑器件集成电路的背景下一般性地描述本发明。

[0028]可编程逻辑器件集成电路可使用配置数据来定制。在一个典型的方案中，逻辑设计者在设计期望的逻辑电路时使用计算机辅助设计（CAD）系统。计算机辅助设计系统使用可编程逻辑器件的硬件性能上的信息来产生配置数据。

[0029]可编程逻辑器件包含可编程单元。可编程单元可以是基于任何合适的可编程技术，如熔丝、反熔丝、激光编程单元、电编程单元、非易失性存储单元、易失性存储单元、掩模编程单元等等。在此作为一个实例描述的典型方案中，可编程单元是基于随机存取存储器（RAM）单元。

[0030]为了定制可编程逻辑器件以实施期望的逻辑电路，配置数据由计算机辅助设计系统产生并被载入可编程存储单元。在可编程逻辑器件的运行期间，基于其载入的配置数据，每一个存储单元提供一个静态输出信号。存储单元的输出信号被施加到可编程逻辑器件上的可编程逻辑区域中的 n 沟道金属氧化物半导体晶体管和 p 沟道金属氧化物半导体晶体管上。这就配置了器件的可编程逻辑，使得可编程逻辑器件实施期望的逻辑电路。

[0031]根据本发明，可编程逻辑器件被配备可调式体偏置电路。p 沟道体偏置电路为这个可编程逻辑器件上的 p 沟道金属氧化物半导体晶体管产生一个体偏置电压。n 沟道体偏置电路为这个可编程逻辑器件上的 n 沟道金属氧化物半导体晶体管产生一个体偏置电压。体偏置电压降低晶体管泄漏电流，并由此提高了器件性能。

[0032]根据本发明的一个说明性可编程逻辑器件 10 示于图 1 中。可编程逻辑器件 10 具有输入—输出电路 12，用于使信号离开器件 10，并且用于经由输入—输出管脚 14 从其它器件接收信号。互连资源 16 如全局和局部垂直和水平传导线路和总线用来路由器件 10 上的信号。互连资源 16 包括固定互连（传导线路）和可编程互连（即，各自固定互连间的可编程连接）。可编程逻辑 18 可以包括组合和时序逻辑电路。

可编程逻辑 18 可以被配置来执行定制的逻辑功能。和互连资源 16 关联的可编程互连可以被认为是可编程逻辑 18 的一部分。

[0033]可编程逻辑器件 10 包含可编程单元 20，如随机存取存储器单元，其能够通过使用管脚 14 和输入—输出电路 12 来载入配置数据（也称为编程数据）。一旦载入，可编程单元都能提供一个相应的静态控制输出信号，该控制信号控制可编程逻辑 18 中的一个相关联逻辑部件的状态。可编程单元输出信号被用来控制金属氧化物半导体（MOS）晶体管的栅极。在可编程组件中，如多路复用器、查找表、逻辑阵列、与、或、与非、以及或非逻辑门等等，这些晶体管中多数一般是 n 沟道金属氧化物半导体（NMOS）传输晶体管。当可编程单元输出为高时，由该可编程单元控制的传输晶体管被导通，并且逻辑信号从它的输入传递至输出。当可编程单元输出为低时，这个传输晶体管被关闭并且不再传递逻辑信号。

[0034]可编程单元可以从任何合适的源载入。在一个典型的装置中，可编程单元从一个外部的可擦除可编程只读存储器载入，并且经由管脚 14 和输入—输出电路 12 控制一个称为配置器件的芯片。

[0035]器件 10 的电路可以使用任何合适的架构来组织。作为例子，可编程逻辑器件 10 的逻辑可以在较大可编程逻辑区域的一系列行和列中来组织，每一个较大可编程逻辑区域包含多个较小逻辑区域。器件 10 的逻辑资源可以通过互连资源 16，如相关的垂直和水平导线，相互连接。这些导线可以包括基本跨越整个器件 10 的全局传导线路，跨越器件 10 的一部分的分数线路如半线路或四分之一线路，特定长度的交叉线路（如，足够互连几个逻辑区域），较小的局部线路或任何其它合适的互连资源布置。如果希望，器件 10 的逻辑可以被布置成更多级或更多层，其中多个大区域互连组成逻辑的较大部分。此外，其它器件布置可以使用没有布置在行和列中的逻辑。

[0036]器件 10 上的晶体管有四个端——一个源极、一个漏极、一个栅极和一个体端。体端有时也被称为阱端（well terminal）或块端（bulk terminal），体端能够被偏置来降低功耗。在 p 沟道金属氧化物半导体晶体管中，体端电压能够相对于正电源电压（有时称为 V_{cc} ）而轻微地升高。在 n 沟道金属氧化物半导体晶体管中，体端电压可以相对于地（有

时称为 V_{ss}) 而降低。例如, 如果 V_{ss} 是 0V, 则 n 沟道金属氧化物半导体晶体管的体端可以偏置到一个幅值范围为 0 到 500mV 或 0 到 1000mV (如, 100mV, 200mV, 300mV 等等) 的负电压。

[0037]图 2 中示出了一个说明性 n 沟道金属氧化物半导体晶体管 22 的原理图。晶体管 22 的源极标记为 S, 漏极标记为 D, 栅极标记为 G, 体端标记为 B。如图 2 所示, 一个体偏置电压 V_{bias} 加在体端 B, 图 3 示出了图 2 的 n 沟道晶体管 22 的横截面图。源极 S 和漏极 D 通过使用植入区域 24 而形成。栅结构 26 由一个绝缘体如硅氧化物的薄层和一个栅导体如硅化多晶硅而形成。体端 B 使用植入区域 28 以形成一个带有 p 型体区域 30 的欧姆接触。

[0038]本发明的可调式体偏置电路可以产生稳定精确的负偏置电压, 其幅值为几十或几百毫伏 (或者更大)。这些负偏置电压可以用来偏置 n 沟道晶体管如图 2 和图 3 中的晶体管 22, 以降低功耗。一般而言, 任何合适数量的晶体管都可以被配备体偏置。例如, 器件 10 上的一些或全部的 n 沟道晶体管可以被配备体偏置, 一些或全部的 p 沟道晶体管可以被配备体偏置。提供大规模体偏置的一个优势在于器件 10 的功耗将会被最小化。选择性地使用体偏置的一个优势在于性能能够被最优化。例如, 在希望最大性能的关键信号路径上, 体偏置可以被避免 (或减少)。

[0039]关于器件 10 上的哪一个电路被提供体偏置, 和使用的偏置量可以由逻辑设计者或 CAD 工具在设计的过程中来决定。基于这些决定, CAD 工具能够产生用于调节可调式体偏置电路的配置数据。一旦载入到可编程逻辑器件中, 配置数据可以被用来有选择地为器件 10 的各个部分打开或关闭偏置, 并且调节用于器件 10 各部分 (如, 在器件 10 的一些部分处最大化性能, 在器件 10 的另一些部分处最大化功耗节省) 的偏置量。一般地, 在一个给定的可编程逻辑器件上, 可以产生任何合适数量的不同的体偏置电压。用于偏置 n 沟道金属氧化物半导体晶体管的一个单体偏置电压的产生被描述为一个实例。

[0040]负的体偏置电压 V_{bias} 被用来偏置 n 沟道金属氧化物半导体晶体管。在一个典型的方案中, 器件 10 的地电压 V_{ss} 为 0V。图 4 中所示类型的一个电荷泵 32 可以被用来产生一个电压 V_{out} , V_{out} 相对于

V_{ss} 是负的（即，一个小于 0V 的电压）。图 4 实例中所示的电荷泵 32 是一个两级泵。这仅是说明性的。电荷泵 32 可以有任意合适数量的级（如，三级或更多级）。

[0041]如图 4 所示，时钟信号 CLK 和它的逆 NCLK 被分别施加到端 34 和 36。电容 38 和 40 为金属氧化物半导体晶体管电容（有时称为 MOS 电容），它们由 MOS 晶体管的结构组成。电容 38 和 40 中的电容电介质由 MOS 晶体管结构中的栅极绝缘体构成。每个电容的一个电极由一个晶体管栅极端组成。每个电容的另一个电极由电连接的漏极端、源极端和体端组成，如图 4 所示。电荷泵 32 中 MOS 电容的使用是有利的，这是因为在器件 10 上很容易得到 MOS 电容，并且在半导体制造工艺过程中不需要特殊的处理步骤。

[0042]电荷泵 32 具有三个带有端的晶体管，这些端连接组成二极管 42、44、46。如果期望，其它二极管结构可以用来组成二极管 42、44、46。图 5 中展示了图 4 电荷泵 32 的一个电路图，其中二极管 42、44、46 采用二极管符号来表示，并且其中 MOS 晶体管电容 38 和 40 采用电容符号来表示。

[0043]电荷泵 32 的运行在图 6 的时序图中示出。时钟信号 CLK 和 NCLK 在图 6 的第一和第二迹线中示出。节点 N1 和 N2 上的电压在图 6 的第三和第四条迹线中示出。图 6 的第五条迹线展示了在电荷泵输出处的电压 V_{out} 。

[0044]初始，在时间 t_1 ，电荷泵 32 的节点 N1 的电压为 0V，如图 6 中的第三条迹线所示。在时间 t_2 ，时钟信号 CLK 变为高，并且它的逆 NCLK 变为低。在时间 t_2 处信号 CLK 中上升的过程中，电容 38 的跨接电压不改变。结果，在时间 t_2 处节点 N1 的电压上升。节点 N1 的电压的上升导通了二极管 42。节点 N1 的电压最大上升在二极管 42 的导通电压处（约为 0.6V 或一个晶体管阈值电压 V_t ）被封顶，其值小于 CLK 的幅值。

[0045]在时间 t_3 处，信号 CLK 变低，信号 NCLK 变高。电容 38 的跨接电压在时间 t_3 处信号转换的过程中不变，所以信号 CLK 的下降引起节点 N1 的电压下降，这示于图 6 的第三条迹线中。在节点 N2 处的电压为一个二极管导通电压（约为 0.6V 或一个晶体管阈值电压 V_t ），

由于二极管 44 被导通, N2 处的电压高于节点 N1 处的电压。

[0046]在时间 t_4 , 信号 CLK 变高, 信号 NCLK 变低。电容 40 的跨接电压在时间 t_4 处转换的过程中不发生变化, 所以随着端 36 上的 NCLK 信号中的下降, 节点 N2 处的电压在时间 t_4 下降。这就迫使电荷泵 32 输出端上的电压 V_{out} 为低, 这示于图 6 的第五条迹线中。由于二极管 46 被导通, 所以电压 V_{out} 为一个二极管导通电压, 高于 N2 处的电压。

[0047]如这个讨论所说明的, 图 4 和图 5 的电荷泵 32 在其输出产生一个负电压 V_{out} 。

[0048]电荷泵中的级数和时钟信号的大小影响着负输出电压 V_{out} 的大小。另外, 时钟信号 CLK 和 NCLK 可以被选择为启用和禁止来调节输出电压 V_{out} 。但是, 单独使用电荷泵来产生体偏置电压 V_{bias} (即, 使用 V_{out} 作为 V_{bias}) 一般是不可取的, 这是因为电压依赖于电荷泵 MOS 电容 38 和 40 的特性。

[0049]MOS 电容如 MOS 电容 38 和 40 典型地展示了具有这种类型的电压依赖特性的电容值 C , C 的曲线展示于图 7 中。在大于 V_{st} 或小于 $-V_{st}$ 的电压处, 电容值 C 是一个相对常量。在这种状态下, 电荷泵的行为是可预测的, 并且通过恰当的调节, 电荷泵能够产生一个稳定精确的输出电压 V_{out} 。在电容电压位于 $-V_{st}$ 和 V_{st} 之间时, 电容值 C 作为所加电压的函数而显著变化。在这种状态下, 电荷泵 32 的运行趋向于不稳定。因此, 建议避免在电容 38 和 40 的跨接电压处于 $-V_{st}$ 和 V_{st} 之间的情况下使电荷泵 32 运行。

[0050]在一个给定的可编程逻辑器件上, V_{st} 的值依赖于形成的 MOS 结构类型。一般地, V_{st} 的值近似地等于一个或两个晶体管阈值电压 V_t (即, 具有 V_t 值为约 0.6V 的集成电路上的 V_{st} 近似为 1V)。 V_{bias} 需要的电压电平趋于在 0V 和 $-1V$ 之间, 但是图 4 和图 5 的电荷泵在这个电压范围内不适合产生稳定的电压。结果是, 一般不希望使用图 4 和图 5 的电荷泵直接地产生电压 V_{bias} 。

[0051]根据本发明, 图 4 和图 5 中所示类型的电荷泵被提供分压器和反馈电路, 这就使得可能产生一个稳定精确的电压 V_{bias} , 用于偏置器件 10 上的 n 沟道金属氧化物半导体晶体管。电荷泵产生一个稳定的

电压 V_{out} (称为 V_{neg}), V_{out} 约为 $-1V$ (作为例子)。分压器减小 V_{neg} 的大小来产生几十或几百 mV 的 V_{bias} 值。这些 V_{bias} 值落入偏置 n 沟道晶体管所需的典型需要范围内, 以减小功耗, 同时不会负面影响晶体管的性能。

[0052]根据本发明的一个可调式体偏置电路布置示于图 8 中。如图 8 所示, 可编程逻辑器件集成电路 10 包括片上可调式体偏置电路 48。体偏置电路 48 在它的输出产生一个可调式体偏置输出电压 V_{bias} 。传导路径如路径 52 被用来把 V_{bias} 分配给合适的 n 沟道晶体管 (在图 8 中的示意性示为电路 50) 的体端。在可编程逻辑器件 10 上可能会有任意合适数量的可调式体偏置发生器, 其中的每一个可以产生 V_{bias} 的不同的相应值。

[0053]可调式体偏置电路 48 可以使用图 9 中所示类型的一个基于电荷泵的电路来实施。在图 9 中的实例中, 可调式体偏置电路 48 有一个电荷泵电路 56, 一个带隙基准电路 54 和一个可调式电压调节器 60。电路 48 在其输出 66 处产生一个可调式负输出电压 V_{bias} 。在输出 66 处产生的电压 V_{bias} 通过路径如路径 52 (图 8) 被施加在 n 沟道金属氧化物半导体晶体管的体端。

[0054]带隙基准电路 54 产生基准信号, 基准信号通过路径 62 提供给可调式调节器 60, 并且通过路径 63 提供给电荷泵电路 56。可调式调节器 60 和电荷泵电路 56 在产生稳定的输出信号时使用基准信号。

[0055]电荷泵电路 56 产生一个负的电荷泵输出电压 V_{neg} , 它通过路径 58 提供给可调式调节器 60。 V_{neg} 的幅值优选大于 V_{bias} 的最大希望幅值。例如, 如果需要的 V_{bias} 最大值为 $-0.9V$, 那么 V_{neg} 优选为约 $-0.9V$ 或更小 (如, $-1.0V$, $-1.2V$ 等等)。

[0056]可调式电压调节器 60 被控制信号 (在图 9 中示意性示为在控制输入 64 处接收的控制信号 CONTROL) 控制。控制信号用来决定输出 66 处产生的偏置电压 V_{bias} 的幅值。控制信号可以被用来例如设置偏置电压 V_{bias} 到 $-100mV$ 、到 $-200mV$ 或任何其它合适的偏置量级。

[0057]可调式电压调节器 60 和电荷泵电路 56 可以通过使用任何合适的电路来实施。一个合适的布置示于图 10 中。在图 10 图示说明的

布置中,带隙基准电路 54 通过一个正电源电压 V_{ccpd} 和一个地电压 V_{ss} 来供电。电源电压 V_{ccpd} 例如可以是 2.5V 左右。电源电压 V_{ccpd} 优选从一个预先存在的电源线获得,以避免不必要地增加可编程逻辑器件 10 的复杂性。作为例子,电源电压 V_{ccpd} 可以为与图 1 输入一输出电路 12 中用来给驱动电路供电的电源电压相同的电压。

[0058]带隙基准电路 54 在相应的输出线路 70 和 72 上提供基准电压 V_{ref1} 和 V_{ref2} 。为 V_{ref1} 和 V_{ref2} 选择的特定值并不是关键的。一个 V_{ref1} 的合适值实例为 0.5V。一个 V_{ref2} 的合适值实例为 1V (V_{ref1} 的两倍)。带隙基准电路 54 还提供一个基准电流 I_{ref} 。 I_{ref} 例如可以为 10 μ A。

[0059]电荷泵电路 56 包括一个电荷泵 32,一个分压器 74,一个比较器 76 和一个振荡器 78。振荡器 78 通过路径 80 提供时钟信号 CLK 和 NCLK 到电荷泵 32。线路 82 上的比较器 76 产生的输出控制振荡器 78。电荷泵 32 的输出为电压 V_{neg} 并通过路径 90 提供给电压调节器 60。电压 V_{neg} 还通过反馈路径 88 反馈到分压器 74。分压器 74 使用 V_{neg} 和 V_{ref2} (在输入 73 处接收到)来在线路 84 上产生一个输出信号,该输出信号和经由线路 88 反馈的电压 V_{neg} 成比例。基准电压 V_{ref1} 通过路径 86 加在比较器 76 上。

[0060]比较器 76 比较线路 84 和 86 上的信号,并在路径 82 上产生相应的输出。当线路 84 上的信号大于线路 86 上的信号时,线路 82 上的比较器 76 的输出为高。这会导通振荡器 78 并引起电荷泵 32 驱动 V_{neg} 更低。当线路 84 上的信号小于线路 86 上的信号时,线路 82 上的比较器 76 的输出为低。这将关断振荡器 78,发出 V_{neg} 已经达到其希望值的信号。使用这个反馈布置, V_{neg} 的值在它的希望值(例如, -1V)处被保持不变。

[0061]电压 V_{neg} 通过路径 90 提供给可调式调节器 60,并且形成它的负电源。电压 V_{ref2} 作为正电源用于可调式电压调节器 60。可调式电压调节器 60 有一个可调式分压器 68,该分压器由大量的串联电阻 98 组成。典型的电阻值为约 10K Ω 至 50K Ω 。电压调节器 60 中电阻链的一个端维持为电压 V_{bias} 。电阻链的另外一端连接到正电源 V_{ref2} 。

[0062]电压 V_{tap} 为分压器中电阻链的分接电压。调节器 60 有一个

反馈路径 92，用来向运算放大器 94 的一个输入提供电压 V_{tap} 。电压 V_{tap} 的幅值由可调式分压器的状态来决定。通过调节电压 V_{tap} 从串联电阻 98 分接的点，能够调节分压器的电压设定点。

[0063]在图 10 的说明性布置中，通过设定可编程单元 20 的状态，分压器的串联电阻中的电压分接点位置可以被确定。每一个可编程单元 20 控制一个相应的晶体管 102。每一个可编程单元的状态由它的内容来确定。在器件编程过程中，配置数据被载入到可编程单元 20。载入逻辑 0 的可编程单元产生低输出信号，并且关断其相关联的晶体管 102。可编程单元中的一个载入一个逻辑 1。可编程逻辑单元中的逻辑 1 使得该可编程单元的输出变为高。这个高输出信号导通一个相应的晶体管 102。晶体管 102 被导通的位置决定了分压器 68 的设定点。

[0064] 来自分压器 68 的电压 V_{tap} 通过反馈路径 92 被反馈到运算放大器 94。运算放大器 94 通过使用合适的电源电压来供电（如，图 10 实例中的电压 V_{ccpd} 和 V_{neg} ）。运算放大器 94 优选从带隙基准电路 54 接收基准信号，如电流基准 I_{ref} 和电压基准 V_{ref1} 。电流基准 I_{ref} 通过输入线路 96 提供给运算放大器 94。电压基准信号 V_{ref1} 加在运算放大器 94 的输入端。

[0065]运算放大器 94 比较来自分压器 68 的分接电压 V_{tap} 和基准电压 V_{ref1} ，并且产生一个相应的输出控制信号 V_x 。信号 V_x 加在晶体管 104 的栅极 G。晶体管 104 通常是导通的且运行在饱和状态。电流经过分压器 68 的电阻，晶体管 104 的源极和漏极，从 V_{ref2} 节点 69（处于 1V）流到 V_{neg} 节点 91（处于 -1V）。当 V_x 上升时，晶体管 104 在其源极和漏极传导的电流也上升。这导致在输出端 66 的电压 V_{bias} 的下降。当 V_x 下降时，流经晶体管 104 的电流也下降，提高了 V_{bias} 。

[0066] 来自分压器 68、通过运算放大器 94 的反馈环精确地将电压 V_{bias} 维持在它的希望值。如果 V_{bias} 开始轻微地升高超过它的设定点（如，从 -100mV 升高为 -99mV）， V_{tap} 就会轻微地升高（如，从 500mV 升高为 501mV）。通过路径 92 提供的反馈引起运算放大器 94 的输出增加，所以运算放大器 94 输出处的电压 V_x 将会升高。响应于 V_x 的增加值，流经晶体管 104 的电流将会增大高。增大流经晶体管 104 的电流将会引起 V_{bias} 向着它的希望设定点值（如，在本实例中的一

100mV) 的方向下降(如, 从-99mV 到-100mV)。如果 V_{bias} 开始轻微地下降低于它的设定点, 通过路径 92 的反馈将引起 V_{bias} 上升(如, 从-101mV 到-100mV)。

[0067]在分压器 68 中使用的电阻 98 的个数是由用于可调式电压调节器 60 的期望电压步幅数来决定的。如果使用大量的电阻 98, 将会存在相对大的电压步幅数, 并且电压调节器 60 能够产生一个高精度水平的期望 V_{bias} 电平。如果使用较少的电阻 98, 那么每个电压步幅将会更大, 并且得到较低的精度, 但是电路复杂性将会降低。一般地, 任何合适数量的电阻 98 和相关联的分接电阻 102 可以使用在分压器 68 中。

[0068]图 10 的运算放大器 94 可以使用的说明性电路示于图 11 中。如图 11 所示, 运算放大器 94 使用正电源电压 V_{ccpd} 和负电源电压 V_{neg} 被供电。运算放大器 94 的输出 126 产生电压 V_x , V_x 加在晶体管 104 的栅极(图 10)。

[0069]基准电流 I_{ref} 通过线路 96 加在输入 106。晶体管 108 和 109 组成一个电流镜, 所以幅值为 I_{ref} 的电流流经路径 110。晶体管 112 和 114 也组成了一个电流镜, 所以电流 I_{ref} 流经路径 116。由于它们的晶体管具有相等的强度, 所以图 11 中的电流镜有一个值为 1 的镜反射率。如果希望, 也可以使用带有其它镜反射率的电流镜。

[0070]负输入 128 和正输入 130 分别地接收电压 V_{ref1} 和电压 V_{tap} 。基准 V_{ref1} 由带隙基准电路 54 (图 10) 产生, 并且为常量。 V_{tap} 值轻微地波动高于和低于 V_{ref1} , 因为 V_{bias} 围绕其期望的设定点值轻微地波动。相对于基准电压值 V_{ref1} 的 V_{tap} 值决定电流是否被导引通过路径 118 或路径 132。

[0071]当 V_{tap} 大于 V_{ref1} 时, p 沟道金属氧化物半导体晶体管 134 的导通比 p 沟道金属氧化物半导体晶体管 136 的导通要更强一些。这就导致路径 116 中待导引的电流 I_{ref} 流入 118 中的电流相对多于流入路径 132 中的电流。晶体管 120 和 122 组成一个电流镜, 所以导引进入路径 118 的额外电流导致额外的电流被导引流入路径 124。

[0072]当 V_{tap} 低于 V_{ref1} 时, 电流被导引进入路径 132。晶体管 138 和 140 组成了一个电流镜, 所以导引进入路径 132 的额外电流引起

更多的电流被导引进入路径 142。在稳定状态中， V_{tap} 的值稳定到 V_{ref1} ，并且相等的电流量流经运算放大器 94 的左手侧和右手侧分支。

[0073]晶体管 146 和 144 为负载晶体管，其分别将流经路径 124 和 142 的电流转换为节点 150 和 148 处的电压。当由于在端 130 处 V_{tap} 下降引起通过路径 142 的电流增加时，电压 V_x 下降。当由于在端 130 处 V_{tap} 升高引起通过路径 142 的电流下降时，电压 V_x 升高。

[0074]在图 10 的实例中，分压器 68 的设定可以使用载入到可编程单元 20 中的配置数据来调节。在这类情况中，可编程单元 20 的输出作为可调式调节器 60 的控制信号（如图 9 中路径 64 上的 CONTROL 信号所示）。这类布置只是说明性的。如果希望，任何合适的用于控制分压器 68 和电压调节器 60 的技术可以被使用。例如，其它技术可以用来提供控制信号到电压分接晶体管 102。

[0075]用于控制晶体管 102 的说明性布置示于图 12、13、14 和 15 中。

[0076]在图 12 的布置中，单个可编程单元 20 和每一个晶体管 102 相联系。通过使用各自的控制线路 152，可编程单元 20 的输出被提供到晶体管 102 的栅极。

[0077]图 13 示出了一个使用解码器 156 的控制布置。可编程单元 20 被使用来提供控制信号到输入线路 158 上的解码器 156。解码器 156 包括将在输入线路 158 上的未解码控制信号转换为线路 160 上相应的解码控制信号的逻辑。线路 160 被用来将这些控制信号路由到各自晶体管 102 的栅极。

[0078]解码器（如图 13 中的解码器 156）的使用增加了器件 10 的复杂性。另外，解码器 156 和路由线路 158 和 160 的逻辑需要占电路的地方或电路面积。但是，解码器如解码器 156 的使用减少了对可编程单元 20 的需要。例如，通过使用 N 个可编程单元控制 2^N 个线路 160 是可能的。在有相对多数量的晶体管 102 的情况下，对于控制每一个晶体管 102 来说，使用解码器 156 比使用单独的可编程单元 20 更有效。

[0079]如果希望，外部控制信号可以被用来控制晶体管 102 的栅极。如图 14 所示，每一个晶体管 102 可以接收经过相关联的路径 162 来自一个相应的输入—输出管脚 14 的控制信号。在图 15 的布置中，

一个解码器 166 被插入输入—输出管脚 14 和晶体管 102 之间。路径 164 将来自输入—输出管脚 14 的未解码控制信号传送到解码器 166。路径 168 传送解码的控制信号到晶体管 102。

[0080]图 14 中线路 162 和图 15 中线路 164 的控制信号可以从内部源（例如，图 1 中可编程逻辑 18 中的逻辑，或在器件 10 中的硬布线逻辑）来提供。这些控制信号可以在器件 10 的运行过程中动态产生。

[0081]还可以使用这些方法的组合。例如，晶体管 102 中的一些可以被来自图 12 中所示专用可编程单元 20 的信号控制，和/或被内部提供的信号控制，和/或被图 14 中线路 162 上的外部提供的信号控制，而其它晶体管 102 可以使用解码器来控制。来自可编程单元 20，可编程逻辑 18 或外部源的未解码的控制信号可以被提供给解码器。

[0082]前面只是说明本发明的原理，本领域的技术人员可以做各种修改而不脱离本发明的范围和精神。

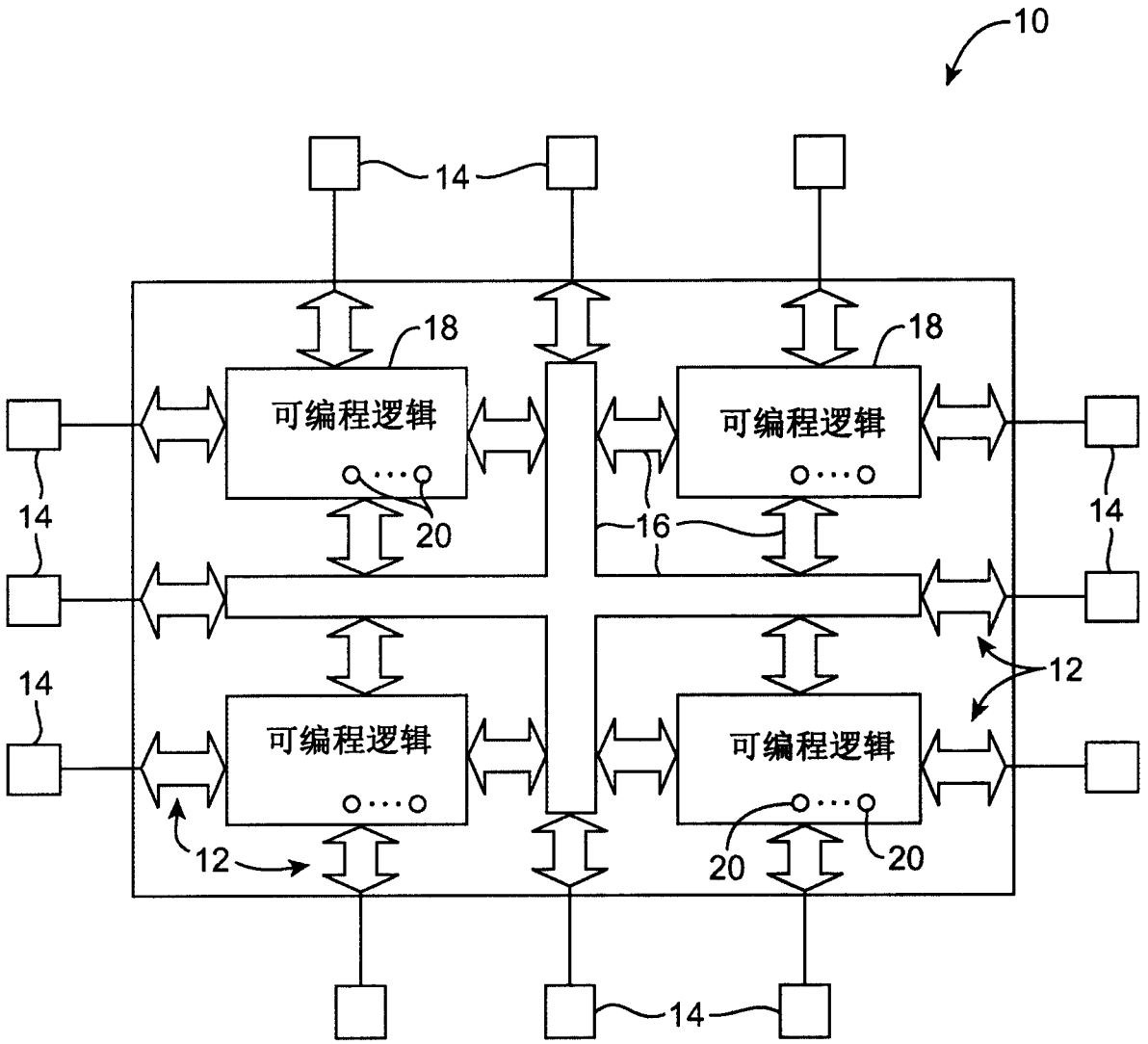


图1

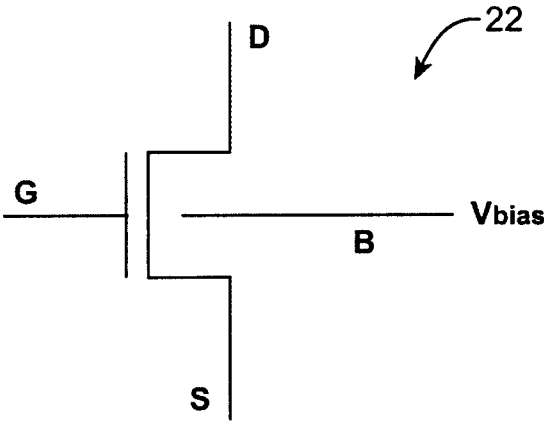


图2

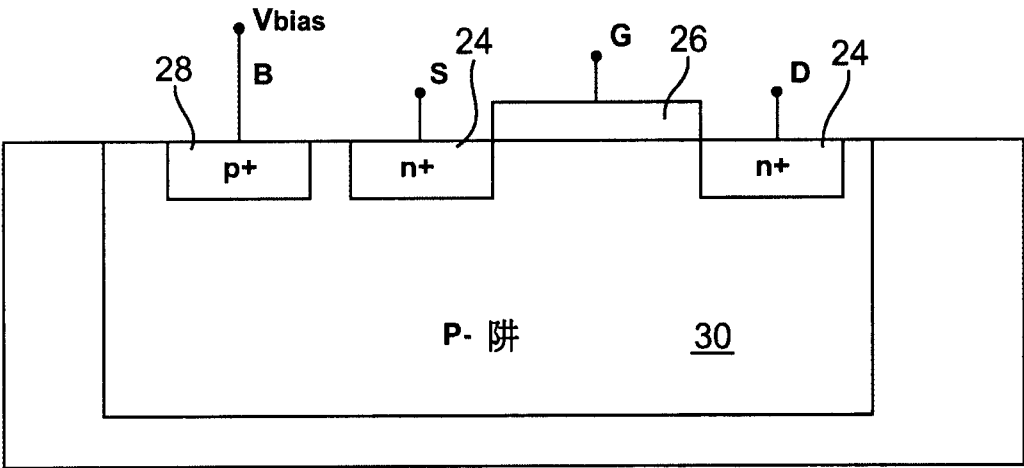


图3

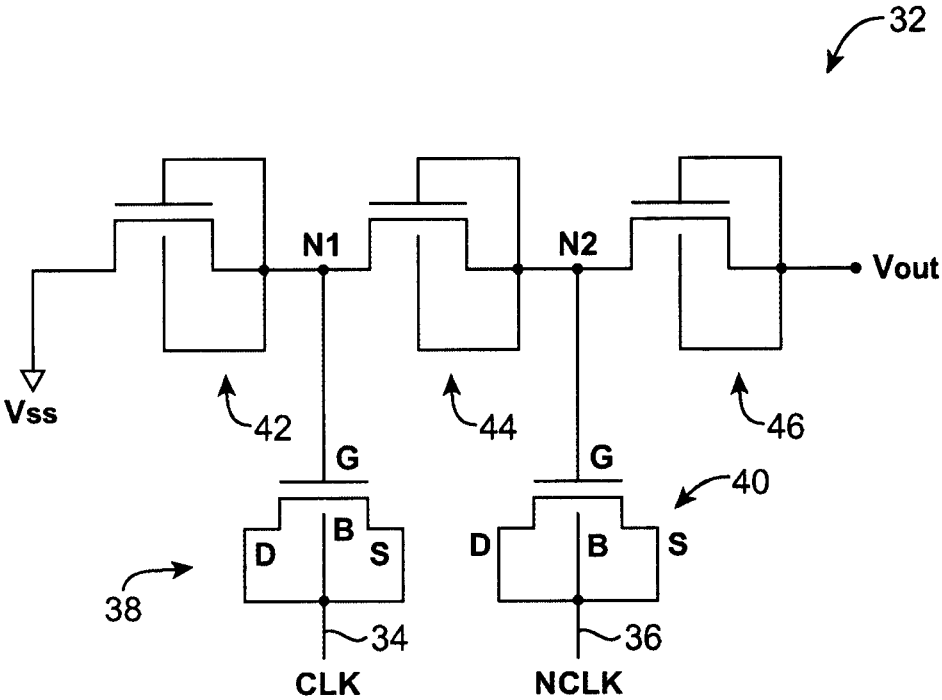


图4

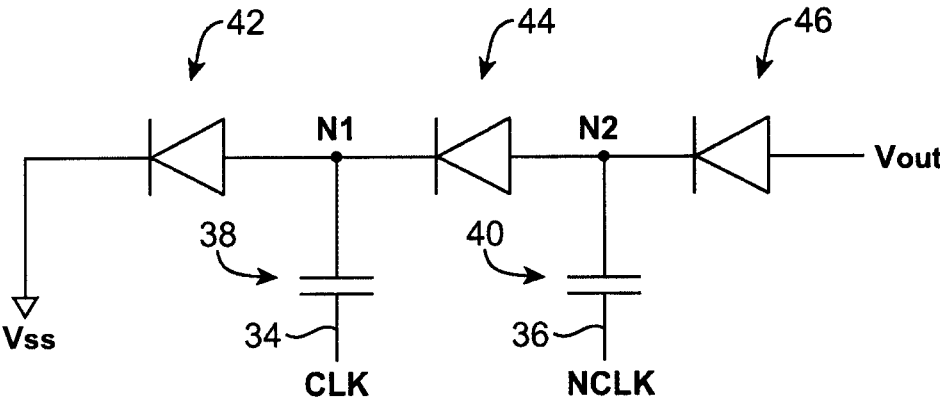


图5

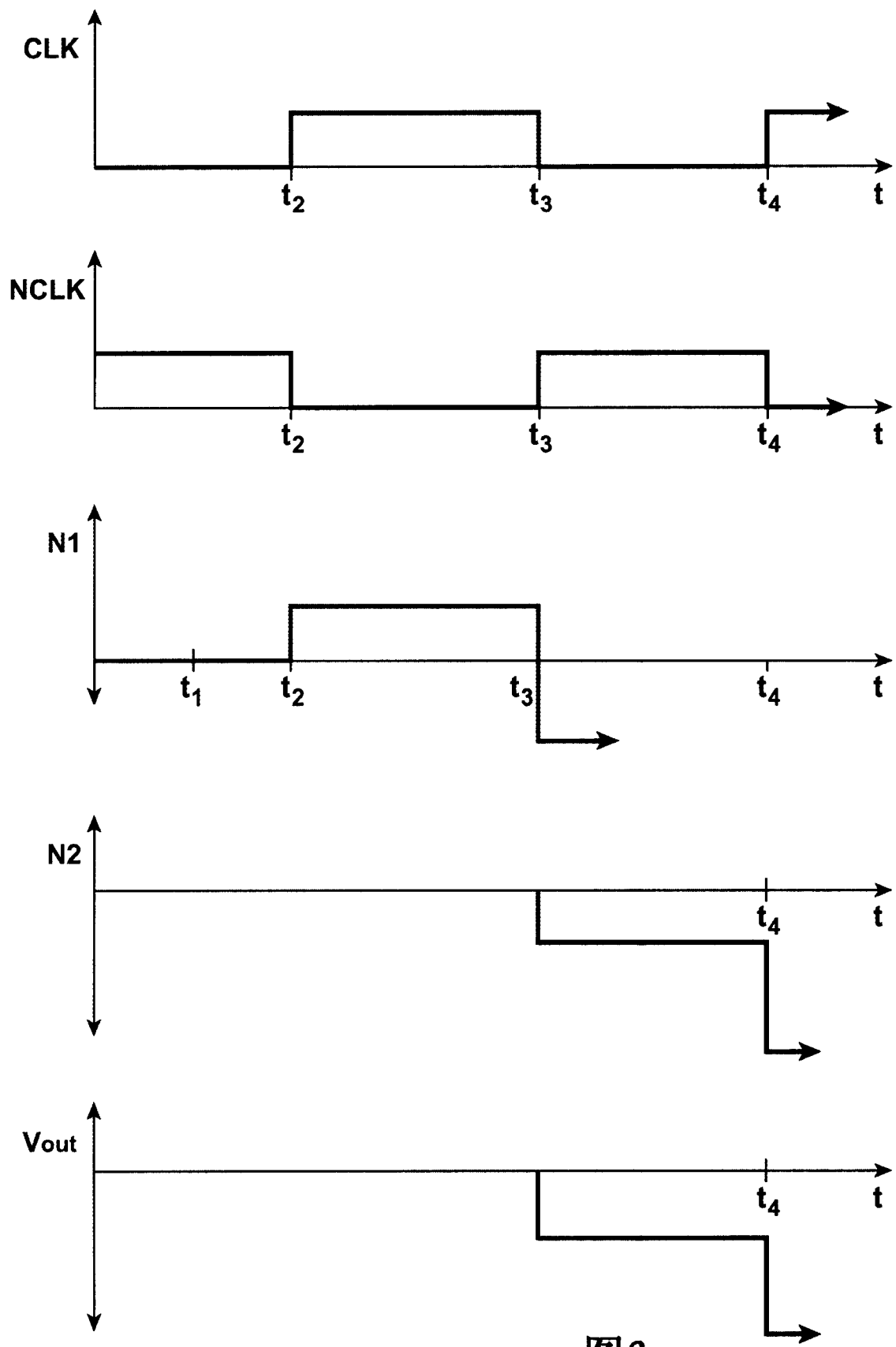


图6

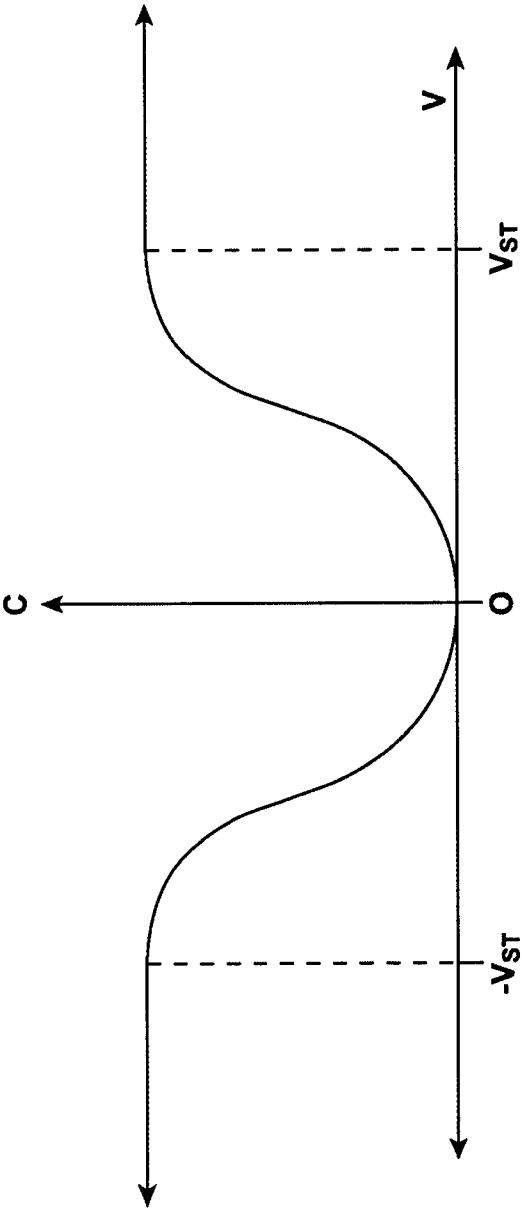


图7

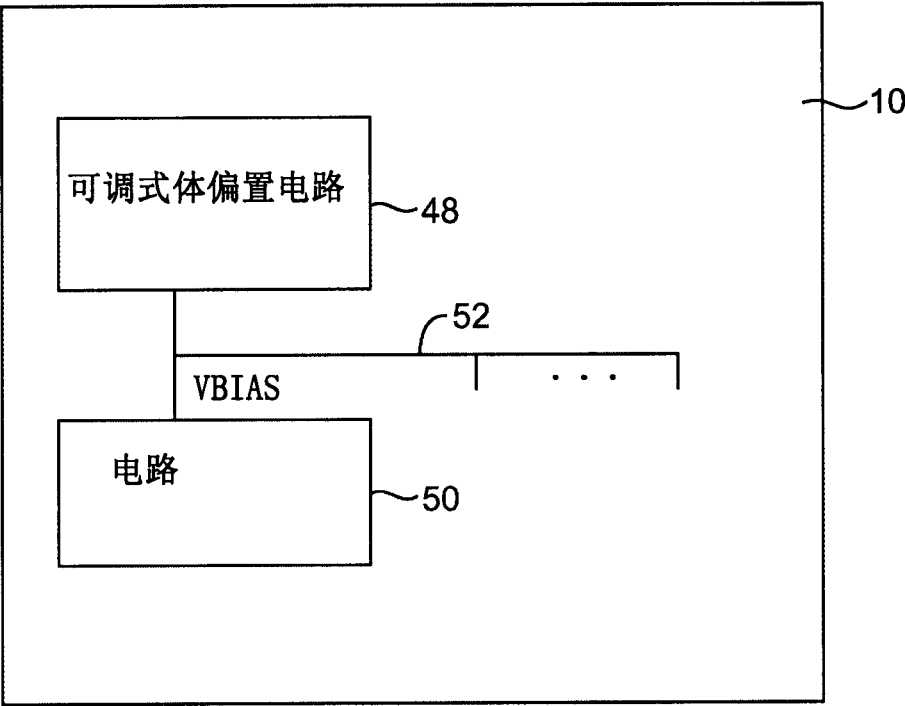


图8

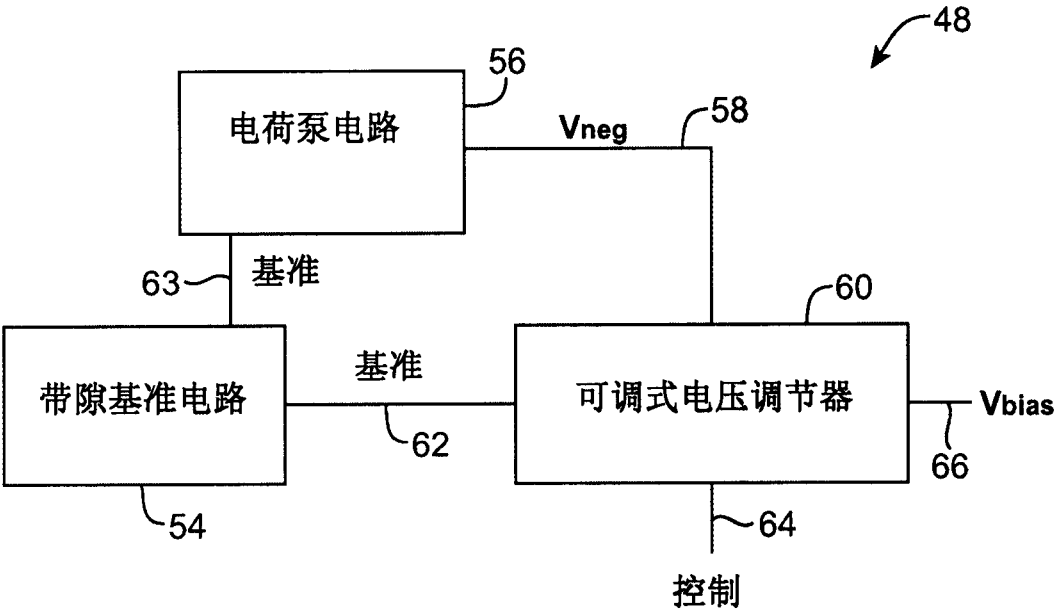


图9

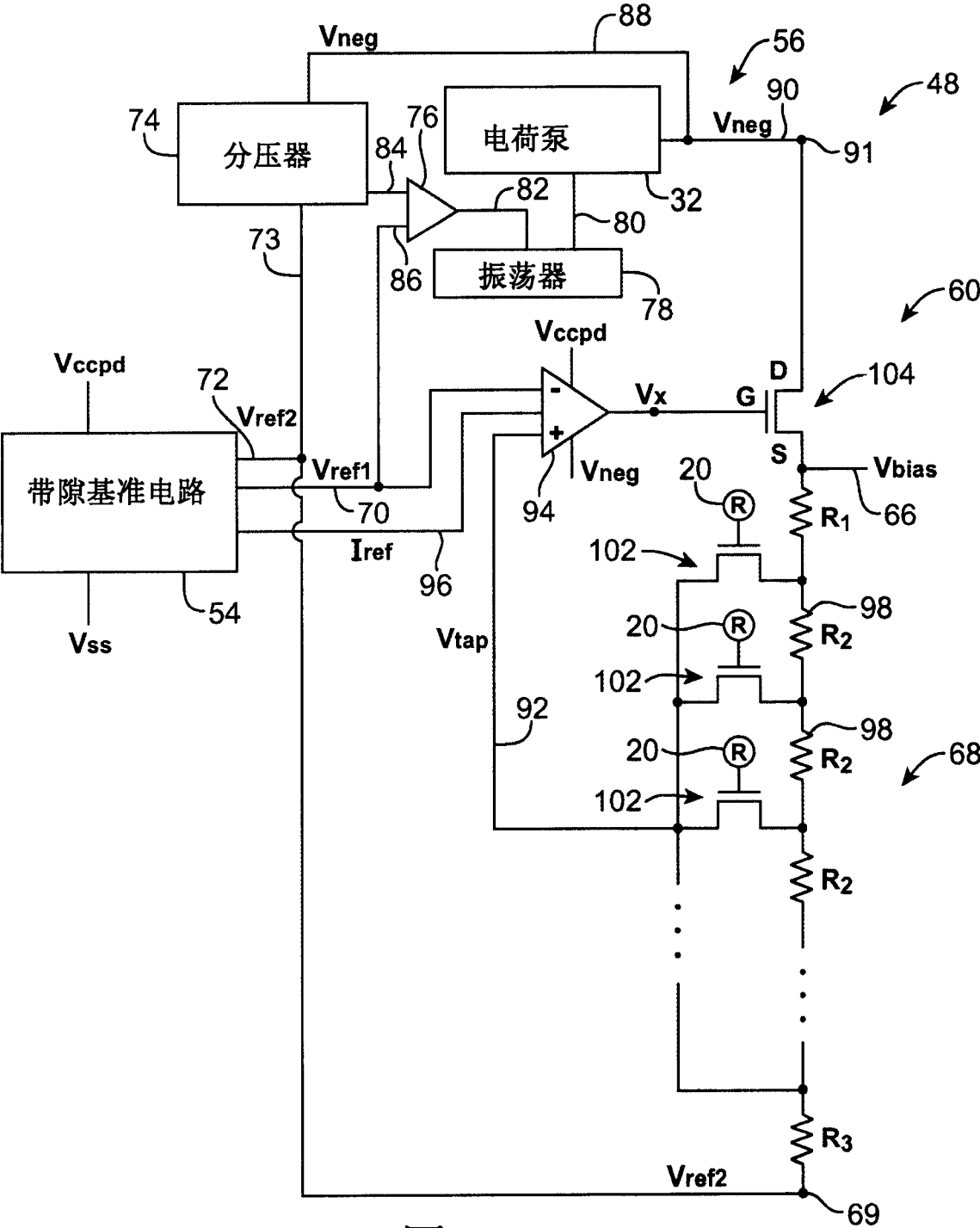


图10

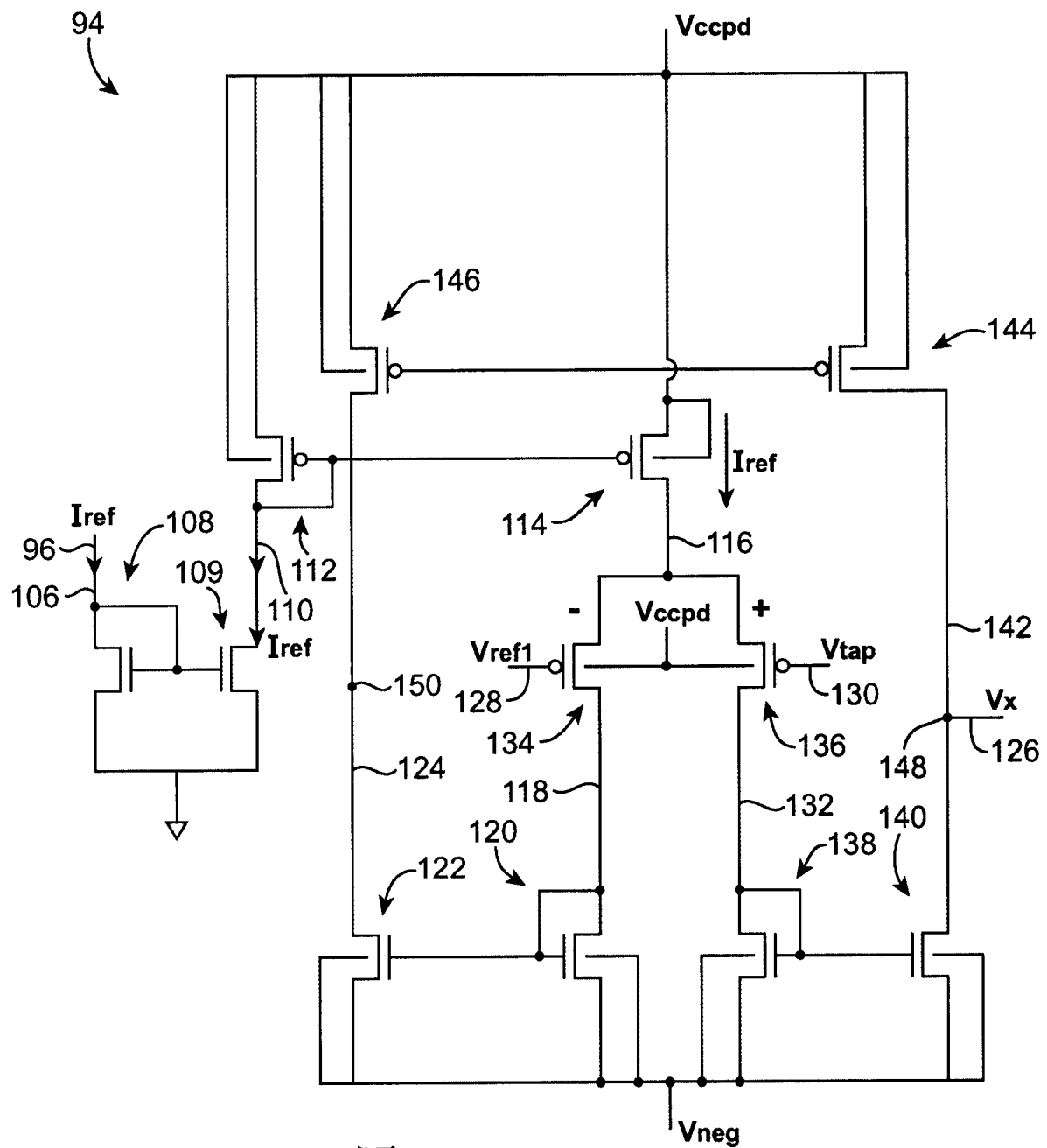


图11

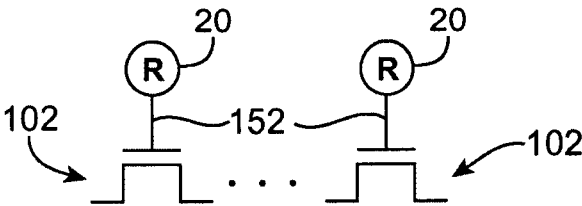


图12

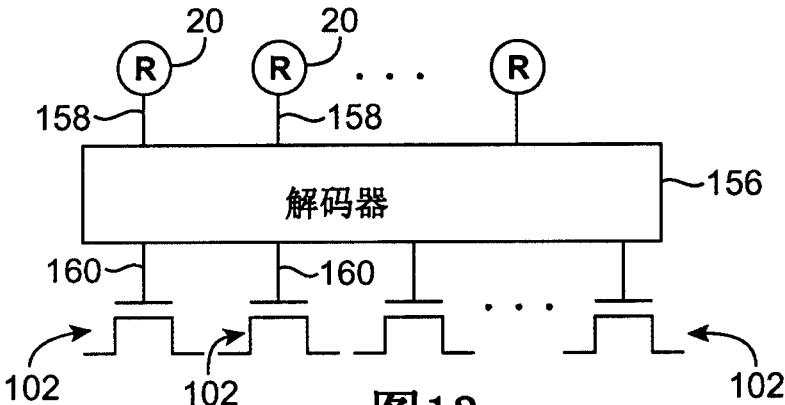


图13

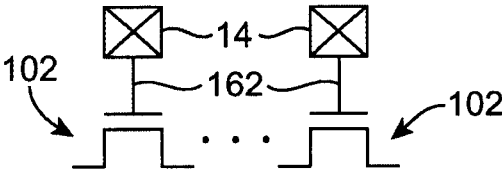


图14

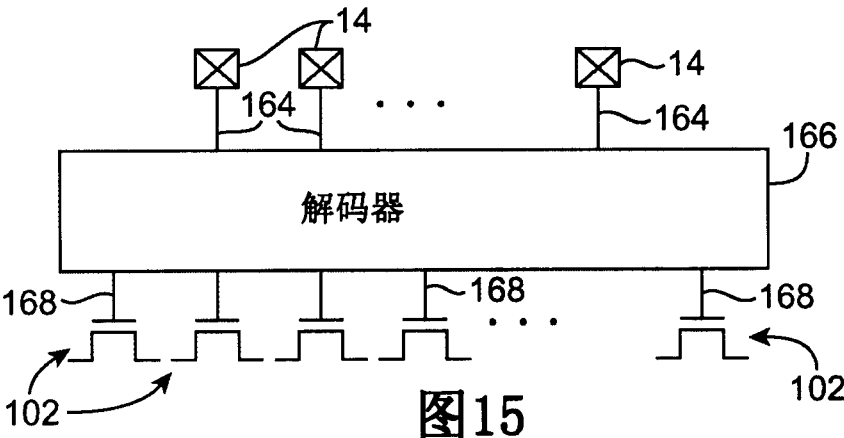


图15