(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0066587
(43) 공개일자 2018년06월19일

(51) 국제특허분류(Int. Cl.)
H04L 7/033 (2006.01) *H03L 7/081* (2006.01)
H04L 7/00 (2006.01)
(52) CPC특허분류
H04L 7/0337 (2013.01)
H03L 7/0814 (2013.01)
(21) 출원번호 10-2016-0167588
(22) 출원일자 2016년12월09일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
문성준
서울특별시 중구 청구로 64, 111동 401호
이연호
경기도 부천시 소사구 부광로15번길 9, 102동 505호
(74) 대리인
심경식, 홍성욱

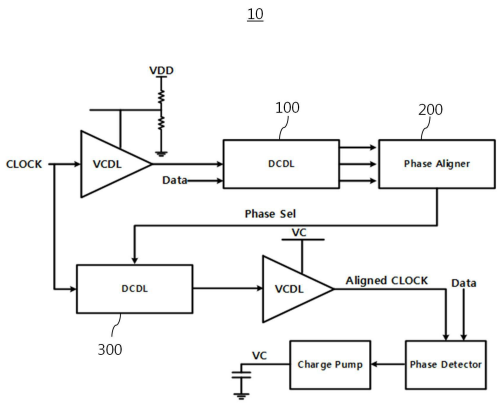
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 **낸드 딜레이를 이용한 버스트 모드 클록 데이터 리커버리 방법 및 클록 데이터 리커버리 회로**

(57) 요 약

본 발명의 한 실시예에 따른 클록 데이터 리커버리 회로는 복수의 데이터 입력이 딜레이된 클록보다 느린지 또는 빠른지 판단하여 대응하는 신호를 출력하는 제1 DCDL; 상기 제1 DCDL의 출력을 입력받아 데이터 중간에 오는 딜레이된 클록을 선택하고 Phase Sel 신호를 출력하는 위상 정렬기; 및 상기 Phase Sel 신호를 입력받아 동일한 딜레이 클록을 선택하는 제2 DCDL를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 7/0037 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 R7117160183
부처명 미래부
연구관리전문기관 정보통신기술진흥센터
연구사업명 정보통신 방송 연구개발 창조씨앗형 R&D
연구과제명 고효율 저전력 범용 브레이드 신호법 및 송수신기 개발
기 여 율 1/1
주관기관 고려대학교 산학협력단
연구기간 2016.04.01 ~ 2016.12.31

명 세 서

청구범위

청구항 1

복수의 데이터 입력이 딜레이된 클록보다 느린지 또는 빠른지 판단하여 대응하는 신호를 출력하는 제1 DCDL;

상기 제1 DCDL의 출력을 입력받아 데이터 중간에 오는 딜레이된 클록을 선택하고 Phase Sel 신호를 출력하는 위상 정렬기; 및

상기 Phase Sel 신호를 입력받아 동일한 딜레이 클록을 선택하는 제2 DCDL을 포함하는

클록 데이터 리커버리 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 버스트 모드 클록 데이터 리커버리 회로 설계에 관한 것이며, 보다 상세하게는 낸드 딜레이를 이용해 클록 데이터 리커버리 회로가 버스트 모드 동작이 가능하게 하는 것에 관한 것이다.

배 경 기 술

[0002] MIPI C-PHY는 모바일 기기 간의 표준화된 인터페이스 중 하나로 데이터 송수신을 위해 세 개의 와이어를 이용한다.

[0003] MIPI C-PHY 표준은 HS 모드일 때 버스트 동작을 요구하며 RX가 외부에서 따로 클록을 받지 않으므로 레퍼런스리스 버스트 모드 클록 데이터 리커버리 회로 설계가 필요하다.

[0004] 구체적으로, MIPI C-PHY v1.0 RX의 경우 동작 속도 범위가 HS 모드에서 80Mbps 내지 2.5Gbps이다. HS 모드에서 3 개 와이어 중 적어도 한 개 이상이 항상 데이터 전이가 존재해야 한다. MIPI C-PHY는 버스트 모드 동작이 가능해야 한다.

[0005] 종래 기술들 중 Gating Voltage Controlled Oscillator (VCO)나 Phase Interpolator (PI)를 이용한 버스트 모드 클록 데이터 리커버리 회로 구현은 C-PHY의 넓은 동작 속도 범위 (80Mbps 내지 2.5Gbps)나 레퍼런스리스 조건을 만족하기 어렵다.

발명의 내용

해결하려는 과제

[0006] 레퍼런스 클록을 필요치 않으며 넓은 동작 속도 범위를 만족하는 버스트 모드 클록 데이터 리커버리 회로 설계가 필요하며, 위와 같은 종래 기술의 문제를 해결하기 위해, 본 발명에서는 펄스 제너레이터와 주파수 체감기를 이용해 하프 레이트 클록을 생성하고 낸드 딜레이로 이루어진 Digitally Controlled Delay Line(DCDL)로 데이터의 중간 위치를 포착해 버스트 모드 동작을 수행한다.

과제의 해결 수단

[0007] 본 발명의 한 실시예에 따른 클록 데이터 리커버리 회로는 복수의 데이터 입력이 딜레이된 클록보다 느린지 또는 빠른지 판단하여 대응하는 신호를 출력하는 제1 DCDL; 상기 제1 DCDL의 출력을 입력받아 데이터 중간에 오는 딜레이된 클록을 선택하고 Phase Sel 신호를 출력하는 위상 정렬기; 및 상기 Phase Sel 신호를 입력받아 동일한 딜레이 클록을 선택하는 제2 DCDL를 포함한다.

발명의 효과

[0008] 기존 기술과 달리 넓은 동작 범위 그리고 레퍼런스 클록 없이 버스트 모드 클록 데이터 리커버리 회로 구현이 가능하다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 한 실시예에 따른 클록 데이터 리커버리 회로를 설명하기 위한 도면이다.

도 2는 본 발명의 한 실시예에 따른 하프레이트 클록 생성기를 설명하기 위한 도면이다.

도 3은 본 발명의 한 실시예에 따른 제1 DCDL을 설명하기 위한 도면이다.

도 4는 본 발명의 한 실시예에 따른 제2 DCDL을 설명하기 위한 도면이다.

도 5는 본 발명의 한 실시예에 따른 위상 정렬기를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.

[0011] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에서도 사용할 수 있다.

[0012] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.

[0013] 도 1은 본 발명의 한 실시예에 따른 클록 데이터 리커버리 회로를 설명하기 위한 도면이고, 도 2는 본 발명의 한 실시예에 따른 하프레이트 클록 생성기를 설명하기 위한 도면이고, 도 3은 본 발명의 한 실시예에 따른 제1 DCDL을 설명하기 위한 도면이고, 도 4는 본 발명의 한 실시예에 따른 제2 DCDL을 설명하기 위한 도면이고, 도 5는 본 발명의 한 실시예에 따른 위상 정렬기를 설명하기 위한 도면이다.

[0014] 본 발명의 한 실시예에 따른 클록 데이터 리커버리 회로(10)는 제1 DCDL(100), 위상 정렬기(200), 및 제2 DCDL(300)를 포함한다.

[0015] 클록 리커버리를 위해 도 2와 같은 하프레이트 클록 생성기(500)를 설계하여 데이터 전이마다 펄스를 생성하고 낸드로 이를 결합한다.

[0016] C-PHY 시그널링 특성상 3개 와이어 중 적어도 한 개 이상이 항상 데이터 전이가 존재하므로 주파수 체감기를 이용하면 하프 레이트 클록이 생성된다.

[0017] 데이터에서 곧바로 클록을 추출하는 형식이어서 클록 주파수가 입력 데이터 주파수를 따라가므로 넓은 동작 범위를 가지며 레퍼런스리스이게 된다.

[0018] 도 2의 하프레이트 클록 생성기(500)에서 생성된 클록은 도 1의 클록 데이터 리커버리 회로(10)로 입력되며, 우선 위상 정렬기(Phase Aligner)(200)와 연결되는 제1 DCDL(Digitally Controlled Delay Line)(100)에서 3 개의 데이터 입력이 낸드에 의해 딜레이된 클록보다 느린지 또는 빠른지 판단하여 느리면 0, 빠르면 1을 위상 정렬기(200)로 전달한다.

[0019] 위상 정렬기(200)는 제1 DCDL(100)의 출력을 받아 도 5와 같이 데이터 중간에 오는 딜레이된 클록을 선택하고 Phase Sel 신호를 제2 DCDL(300)에 전달한다.

[0020] 도 5에서 값이 0인 A3 내지 A8과 값이 1인 B0 내지 B7을 겹치면 데이터 폭이 되며, 따라서 중간 값인 5를 선택 시 데이터 중간에 오는 클록이 선택된다.

[0021] 도 4의 제2 DCDL(300)이 Phase Sel 신호를 받아 똑같은 딜레이 클록이 선택되며 그 후에는 VCDL(Voltage Controlled Delay Line)을 통해 클록이 천천히 데이터를 쫓아가도록 한다.

[0022] 결과적으로 낸드 딜레이로 이루어진 DCDL을 이용해 데이터 중간에 오게 하는 낸드 딜레이를 선택하여 빠르게 락

시킨 이후에 VCDL을 이용해 이후 클록 데이터 리커버리 동작을 수행한다.

[0023] DCDL을 이용한 페이즈 락 역시 동작 속도 범위에 제한되거나 별도의 레퍼런스 클록을 요구하지 않는다.

[0024] 본 실시예를 통해 DCDL을 이용해 데이터 중간에 오는 클록을 선택하는 기술이 개시된다.

[0025] 본 실시예를 통해 동작 속도 범위가 제한되지 않고 레퍼런스 클록을 요구하지 않는 버스트 모드 클록 데이터 리커버리 구현 기술이 개시된다.

[0026] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0027] 10: 클록 데이터 리커버리 회로

100: 제1 DCDL

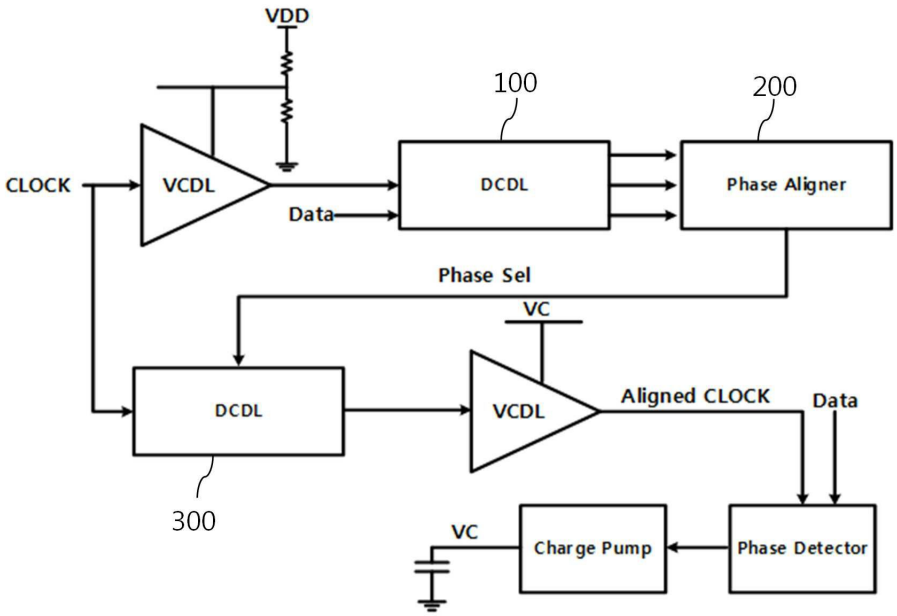
200: 위상 정렬기

300: 제2 DCDL

도면

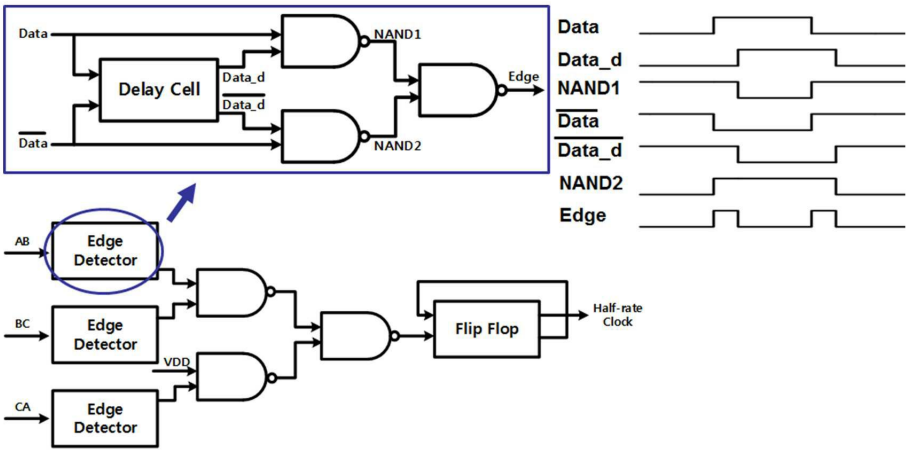
도면1

10

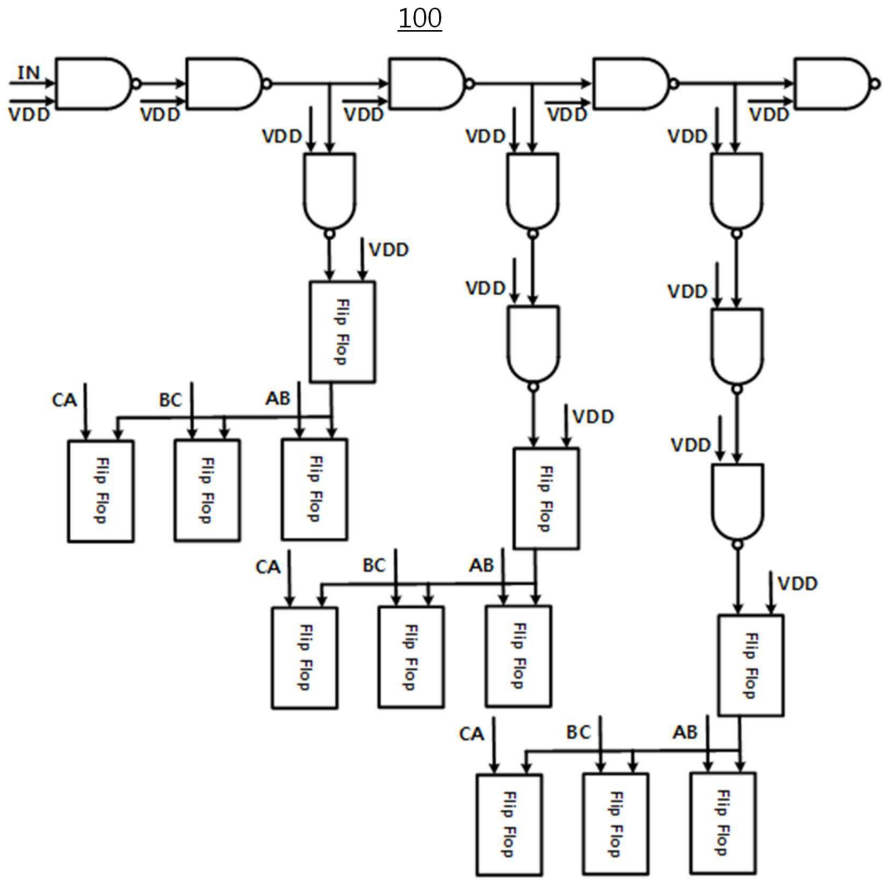


도면2

500

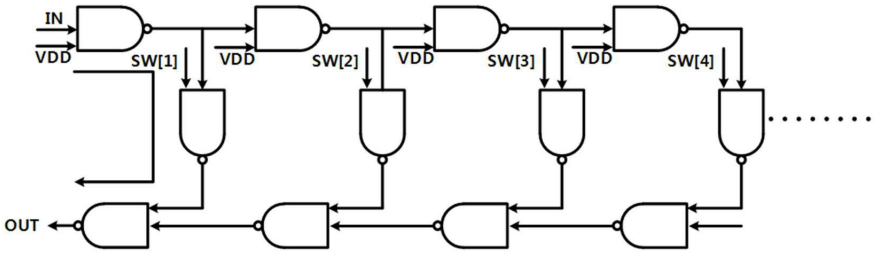

Data
Delay Cell
Data_d
Data_d
Data
NAND1
NAND2
Edge
Data
Data_d
NAND1
Data
Data_d
NAND2
Edge
AB
BC
CA
Edge Detector
Edge Detector
Edge Detector
VDD
Flip Flop
Half-rate Clock

도면3



도면4

300



도면5

