



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098499
(43) 공개일자 2008년11월10일

- | | |
|---|---|
| <p>(51) Int. Cl.
<i>H04L 7/033</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7020427</p> <p>(22) 출원일자 2008년08월21일
심사청구일자 없음
번역문제출일자 2008년08월21일</p> <p>(86) 국제출원번호 PCT/US2007/004855
국제출원일자 2007년02월22일</p> <p>(87) 국제공개번호 WO 2007/103012
국제공개일자 2007년09월13일</p> <p>(30) 우선권주장
11/365,254 2006년03월01일 미국(US)</p> | <p>(71) 출원인
루센트 테크놀로지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)</p> <p>(72) 발명자
양 웨이구오
미국 뉴저지주 08520 이스트 원저 버클리 플레이스 15</p> <p>(74) 대리인
김창세, 장성구</p> |
|---|---|

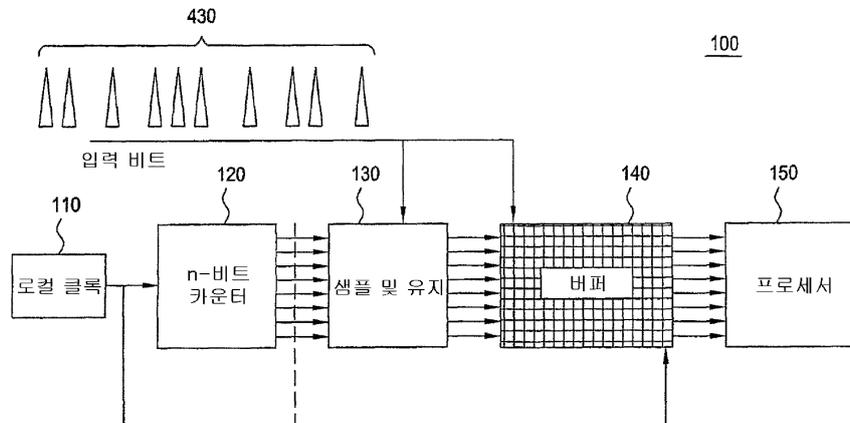
전체 청구항 수 : 총 10 항

(54) 디지털 수신기, 데이터 복원 방법 및 입력 신호 타이밍 지터의 허용 범위를 향상시키는 장치

(57) 요약

본 발명은 입력 신호로부터 클록 정보를 복원할 필요 없이 타이밍 지터 노이즈에 대한 허용 범위를 향상시키는 방법, 장치 및 시스템에 관한 것이다. 송신 게이트웨이와 수신 게이트웨이 사이에서 클록 동기화 정보를 통신할 필요가 없다. 또한, 새로운 수신 방안은 버스트 모드에서 진정한 의미로 동작할 수 있는데, 즉, 전송 없는 임의의 시간 주기 후에 첫 번째로 유입되는 비트로부터 데이터 비트를 수신할 수 있다.

대표도



특허청구의 범위

청구항 1

입력 펄스 열(input pulse train)에서 전송되는 디지털 정보를 수신하는 디지털 수신기로서,

타임 스탬프 시퀀스를 샘플 및 유지 회로에 제공하는 카운터 - 상기 샘플 및 유지 회로는 상기 타임 스탬프 시퀀스로부터의 타임 스탬프를 순차적으로 유지하고, 상기 입력 펄스 열로부터의 각 펄스는 대응하는 타임 스탬프가 버퍼에 저장될 수 있게 함 - 와,

상기 버퍼에 저장된 상기 타임 스탬프를 분석함으로써 상기 디지털 정보를 결정하는 프로세서를 포함하는 디지털 수신기.

청구항 2

제 1 항에 있어서,

상기 카운터에 통신 가능하게 결합되는 로컬 클록을 더 포함하는

디지털 수신기.

청구항 3

제 1 항에 있어서,

광학 펄스 열(optical pulse train)을 프로세싱하도록 구성된 광학 논리 게이트를 더 포함하는

디지털 수신기.

청구항 4

제 1 항에 있어서,

전기 펄스 열(electrical pulse train)을 프로세싱하도록 구성된 전기 논리 게이트를 더 포함하는

디지털 수신기.

청구항 5

제 1 항에 있어서,

제어기는 상기 타임 스탬프 및 상기 디지털 전송 레이트에 의해 타임 슬롯의 이진 값을 결정하는

디지털 수신기.

청구항 6

제 7 항에 있어서,

각 타임 슬롯은 $N=t_n/T$ 에 의해 결정되는 타임 슬롯 번호 N 을 포함하되,

t_n 은 n 번째 펄스의 도달 시각이고 $1/T$ 는 디지털 전송 레이트인

디지털 수신기.

청구항 7

수신된 펄스 시퀀스로부터 데이터를 복원하는 방법으로서,

상기 수신된 펄스 내의 적어도 2개의 펄스의 도달 시각을 기록하는 단계와,

각 펄스의 상기 도달 시각을 버퍼에 저장하는 단계와,

상기 도달 시각으로부터 상기 적어도 2개의 펄스의 시간적 관계를 결정하는 단계와,
 상기 펄스의 상기 시간적 관계에 의해 결정되는 타임 슬롯에 이진 값을 할당하는 단계를 포함하는
 데이터 복원 방법.

청구항 8

제 7 항에 있어서,
 상기 결정하는 단계 및 할당하는 단계는,
 상기 버퍼로부터 상기 적어도 2개의 펄스 중 제 1 펄스와 관련된 제 1 도달 시각을 추출하는 단계와,
 상기 제 1 도달 시각을 사용하여 제 1 타임 슬롯 번호를 결정하는 단계와,
 상기 제 1 타임 슬롯 번호와 관련된 타임 슬롯에 논리 "1"을 할당하는 단계와,
 상기 버퍼로부터 상기 적어도 2개의 펄스 중 제 2 펄스와 관련된 제 2 도달 시각을 추출하는 단계와,
 상기 제 2 도달 시각을 사용하여 제 2 타임 슬롯 번호를 결정하는 단계와,
 제 2 타임 슬롯 번호와 관련된 타임 슬롯에 논리 "1"을 할당하는 단계와,
 상기 제 1 타임 슬롯과 상기 제 2 타임 슬롯 사이에 시간적으로 위치되는 각 타임 슬롯에 논리 "0"를 할당하는
 단계를 더 포함하되, 상기 제 1 타임 슬롯과 상기 제 2 타임 슬롯은 유효 입력 펄스와 관련된 타임 슬롯을 나타
 내는 논리 "1"이 할당된
 데이터 복원 방법.

청구항 9

제 7 항에 있어서,
 각 타임 슬롯은 $N=t_n/T$ 에 의해 결정되는 타임 슬롯 번호 N을 포함하되,
 t_n 은 n 번째 펄스의 도달 시각이고 $1/T$ 는 디지털 전송 레이트인
 데이터 복원 방법.

청구항 10

입력 신호 타이밍 지터의 허용 범위를 향상시키는 장치로서,
 상기 입력 신호 내의 적어도 2개의 펄스의 도달 시각을 기록하는 수단과,
 각 펄스의 상기 도달 시각을 버퍼에 저장하는 수단과,
 상기 저장된 도달 시각으로부터 상기 적어도 2개의 펄스의 시간적 관계를 결정하는 수단과,
 상기 펄스의 시간적 관계에 의해 결정되는 타임 슬롯에 이진 값을 할당하는 수단을 포함하는
 입력 신호 타이밍 지터의 허용 범위를 향상시키는 장치.

명세서

기술분야

<1> 본 발명은 디지털 전송 분야에 관한 것으로, 특히, 동기식 광 네트워크를 위한 수신기 방안에 관한 것이다.

배경기술

<2> 현재의 디지털 수신기는 통상적으로 클록 복원 회로와, 샘플-유지 회로와, 비교기를 포함한다. 펄스 열을 갖는
 입력 신호가 디지털 수신기에 의해 수신되고 처리되어 이로부터 데이터 스트림을 추출한다. 간략히 말해, 클록
 복원 회로는 입력 신호로부터 클록을 복원한다. 샘플/유지 회로는 복원된 클록을 사용하여 입력 펄스 열(input
 pulse train)을 샘플링하고 비교기에 의한 프로세싱을 위해 안정된 신호 레벨을 발생시킨다. 비교기는 샘플링

된 신호의 아날로그 값을 임계 값에 비교하여 샘플 값을 결정하는데, 이는 복조기 등에 의해 추가 프로세싱될 수 있다. 이 프로세스는 클록 사이클마다 반복된다.

- <3> 현재 디지털 수신기의 동작은 타이밍 지터(timing jitter)를 경험하는 입력 신호의 존재 시에 저하될 수 있다. 이는 타이밍 지터가 클록 복원 회로로 하여금 부정확할 수 있는 클록 이벤트를 선택하게 하기 때문인데, 이는 결국 비교기에 의해 사용되는 데이터 슬라이싱 레벨을 부정확하게 하여, 수정 가능할 수도 가능하지 않을 수도 있는 비트 에러를 초래한다. 또한, 복원된 클록이 안정되기 위해 통상적으로 여러 비트 주기가 필요하다. 따라서, 클록 복원 에러 및/또는 안정된 클록을 수립하기 위해 필요한 시간으로 인해, 버스트 모드 디지털 전송 신호의 복원은 난해하다.

발명의 상세한 설명

- <4> 본 발명은 버스트 모드 및 연속 모드 디지털 수신 모두에 적합하도록 구성되는 디지털 수신기를 제공함으로써 종래 기술을 개선시킨다. 구체적으로, 본 발명에 따른 디지털 수신기는 타임 스탬프 시퀀스를 제공하는데, 이는 입력 펄스 열 내의 펄스 시퀀스를 사용하여 샘플 및 유지 회로에 의해 관련된다. 입력 펄스 열은 전송되는 정보를 나타내는 펄스 시퀀스를 포함한다. 샘플 및 유지 회로는 카운터에 의해 제공되는 타임 스탬프를 포함한다. 각 펄스는 샘플 및 유지 회로를 트리거링하여 버퍼에 타임 스탬프를 해제시킨다. 따라서, 버퍼는 입력 펄스 열의 일련의 펄스와 관련되는 일련의 타임 스탬프를 포함한다. 입력 펄스 열은 타임 스탬프 정보를 사용하여 재생성될 수 있다. 그 후, 전송되는 입력 펄스 열의 값은 입력 펄스 열과 관련되는 타임 스탬프를 사용하여 프로세서에 의해 결정된다. 이 방식으로, 비교기의 부적절한 데이터 슬라이스 레벨과 정상적으로 관련되는 에러가 방지된다.

실시 예

- <10> 주로 동기식 디지털 수신기와 관련하여 본 발명을 설명할 것이지만, 당업자는 수신된 신호를 동기화하는 것을 포함하는 임의의 장치 및 방법에도 본 발명이 적용될 수 있다는 것을 인식할 것이다.
- <11> 도 1은 본 발명의 실시예에 따른 수신기의 블록도를 도시하고 있다. 유입되는 신호는 펄스 열인데, 이는 광 또는 전기 입력 신호를 포함한다. 수신기(100)는 광 또는 전기 입력 신호를 위해 설계되는 동기식 디지털 수신기이다. 일 실시예에서, 수신기는 광 입력 신호를 수신한다. 수신기의 게이트는 광 게이트이다. 다른 실시예에서, 입력 신호는 전기신호이거나, 입력신호는 전기 신호로 우선 변환된다. 이 실시예의 수신기는 전자 게이트를 포함한다.
- <12> 도 1의 수신기(100)는 입력 펄스 열을 수신하고, 로컬 클록(110), n-비트 카운터(120), 샘플/유지 회로(S&H)(130), 버퍼(140) 및 프로세서(150)를 포함한다.
- <13> 로컬 클록(110)은 입력 펄스의 도달 시간을 디지털화하기 위해 정기적 간격(클록 사이클)으로 고정 클록킹 신호를 제공한다. 로컬 클록은 n-비트 카운터(120) 및 버퍼(140)의 출력에 통신된다. 일 실시예에서, 클록(110)은 로컬 오실레이터이다.
- <14> n-비트 카운터(120)는 로컬 클록(110)을 수신하고 n-비트 값을 발생시키는데, 이는 모든 클록 사이클에서 증분된다. 카운터(120)는 타이머로서 기능한다. 카운터(120)는 로컬 클록(110)으로부터 유입되는 모든 클록 펄스에 대해 n-비트 값을 증분함으로써 펄스 열의 펄스의 시간을 리콜(recall)한다. 그 후, 카운터(120)는 펄스 열의 펄스 타임 스탬프로서 S&H(130)에 n-비트 값을 통신한다.
- <15> S&H(130)는 입력 펄스 열로부터 유입되는 펄스에 의해 트리거링되어 타임 스탬프로서 카운터(120)로부터 현재 카운트를 유지한다. S&H(130)에 의해 수신되는 각 입력 펄스는 S&H가 버퍼(140)로의 전송 동안 타임 스탬프를 유지할 수 있게 한다. 일 실시예에서, S&H는 카운터(120)로부터의 타임 스탬프를 유지하는데, 이는 카운터 출력에 의해 버퍼(140)로 전송된다. 타임 스탬프는 다음 클록 사이클에서의 펄스 열의 입력 펄스의 도달 시각을 나타낸다.
- <16> 버퍼(140)는 S&H(130)으로부터의 타임 스탬프를 저장한다. 일 실시예에서, 버퍼(140)는 복수의 시프트 레지스터를 갖는 선입선출(FIFO) 버퍼이다. 다른 버퍼, 큐(queues), 및 메모리 소자가 개개의 버퍼, 큐 또는 메모리 제어기와 함께 사용되어 동일한 FIFO 기능을 수행할 수 있다. 버퍼(140)의 콘텐츠는 로컬 클록(110)에 의해 결정되는 고정 레이트로 프로세서(150)로 해제된다. 일 실시예에서, FIFO 버퍼(140)의 시프트 레지스터는 로컬 클록으로부터의 입력 펄스에 의해 트리거링된다. 로컬 클록의 각 사이클에서, FIFO 버퍼(140)는 S&H(130)에 저

장된 값이 존재하는 경우에 S&H(130)로부터 FIFO 버퍼(140)로 타임 스탬프 값을 전송한다. 타임 스탬프 값은 FIFO 버퍼의 제 1 시프트 레지스터에 저장된다. 입력 펄스 열에 펄스가 존재하지 않는 경우, S&H(130)는 타임 스탬프를 저장하도록 S&H(130)를 트리거링하는 펄스가 없으므로 그 클록 사이클에 대한 타임 스탬프 값을 갖지 않을 것이다. 펄스 열의 다음 펄스가 수신되는 추후 클록 사이클에서, S&H는 그 펄스에 대응하는 타임 스탬프를 저장한다. 이어지는 클록에서, S&H는 그 펄스의 타임 스탬프 값을 FIFO 버퍼에 송신한다. FIFO 버퍼에서, 제 1 시프트 레지스터의 값은 제 2 시프트 레지스터로 전달되고, S&H로부터의 새로운 값이 제 1 시프트 레지스터에 저장된다. 로컬 클록은 시프트 레지스터의 타임 스탬프 값의 전달을 트리거링한다. 버퍼(140) 또는 최종 시프트 레지스터의 출력에서, 저장된 타임 스탬프 값은 버퍼(140)로부터 프로세서(150)로 전송된다. 따라서, 타임 스탬프 값은 프로세서(150)로 통신된다. 다른 실시예에서, 로컬 클록은 전체 클록 또는 타이머일 수 있다.

- <17> 프로세서(150)는 도 3의 아래에 설명되는 입력 신호의 유입 디지털 비트를 복원하는 알고리즘을 사용하여 타임 스탬프 값을 프로세싱한다. 모든 타임 스탬프 값을 획득함으로써, 프로세서는 "1" 비트를 포함하는 모든 타임 슬롯을 실현한다. 나머지 타임 슬롯에 "0" 비트를 첨부함으로써, 본래 정보가 복원된다.
- <18> 다른 실시예에서, 수신기는 랜덤 유입 비트 시퀀스($b_n; n \geq 0$)를 취하는데, $b_0=1$ 이며 제1 비트에 관한 도달 시간은 $T_n < T_{n+1}$ 인 (T_n)이다. 시간 간격($\Delta T_n = T_n - T_{n-1} > 0, n > 0$)을 고려하면, $\overline{\Delta T_n} = T$ 을 가지는데, 여기서 $1/T$ 는 디지털 전송 레이트이다. (t_k)를 T_n 의 부분집합으로 가정하면 (b_k)는 시퀀스의 모든 1이다. 그 후, (t_k/T)에 가장 가까운 정수가 타임 슬롯으로 고려될 수 있는데, "1"이 전송될 것이다. 인접하는 1들 사이에 비어있는 타임 슬롯이 존재하는 경우, 이들 타임 슬롯에서 전송되는 기호는 0이다. 예를 들어, 입력 비트 시퀀스는 임의의 단위의 1의 공칭 데이터 레이트를 사용하여 (10010111)이다. 이 8비트 시퀀스에는 총 5개의 1이 존재한다. 이들 1에 대한 도달 시간은 예를 들어, 0.0016, 3.0994, 5.2204, 6.1892 및 6.881이다. 가장 가까운 정수는 0, 3, 5, 6 및 7이다. 그러므로, 비트 시퀀스는 (10010111)이다.
- <19> 극단적으로 큰 지터에 있어서, 하나의 정수가 여러 번 나타날 수 있다. 이 경우는 하나 이상의 인접하는 비트가 도달 시간에서 구분 불가능한 경우를 나타낸다. 로컬 클록이 데이터 레이트보다 정밀한 시간 해상도를 갖는 경우, 복수의 가능성이 좁혀질 수 있으며 비트 복원을 수정할 수 있다. 2개 이상의 가능성이 제거될 수 없는 경우, 이 경우는 복수의 가능성이 존재한다는 것을 나타낸다.
- <20> 도 2는 본 발명의 일 실시예에 따른 수신기의 흐름도를 도시하고 있다. 흐름도(200)는 수신기가 입력 펄스 열로부터 클록 신호를 획득하지 않고 입력 신호를 결정하는 방법을 설명하고 있다.
- <21> 단계(210)에서, 수신기는 이진 펄스를 포함하는 이진 펄스 열과 같은 입력 신호를 수신하는데, 이는 전기 펄스 또는 광 펄스일 수 있다.
- <22> 단계(220)에서, 수신기는 유입 펄스 열의 각 펄스의 도달 시간을 기록한다. 일 실시예에서, 클록 사이클마다 펄스 열의 펄스가 존재하는데, 로컬 클록의 값은 그 펄스에 대한 타임 스탬프로서 저장된다. 따라서, 각 펄스는 타임 스탬프와 자신을 관련시킨다.
- <23> 단계(230)에서, 유입 펄스와 관련된 타임 스탬프를 저장하기 위해 버퍼가 사용된다. 일 실시예에서, 버퍼는 FIFO 버퍼이다. 다른 실시예에서, 다른 종류의 버퍼, 메모리 또는 큐(queues)가 사용된다. 버퍼의 목적은 너무 많은 펄스가 한 번에 수신되는 경우에 프로세서를 오버로드하지 않는 것이다. 버퍼의 크기는 수신될 정보의 양과 프로세서 속도에 대한 전송 속도에 의존하여 선택된다.
- <24> 단계(240)에서, 버퍼는 프로세서에 타임 스탬프 값을 전송한다. 일 실시예에서, 버퍼는 FIFO 버퍼이며 프로세서로의 전송을 위한 그 출력 부분은 로컬 클록에 의해 트리거링된다. 가장 오래된 수신된 타임 스탬프는 새로운 타임 스탬프가 버퍼에 의해 수신될 때 프로세서에 전송된다.
- <25> 단계(250)에서, 프로세서의 프로세싱 알고리즘은 단계(240)에서 버퍼에 의해 통신되는 타임 스탬프 값을 프로세싱할 것이다. (도 3에서 추가 설명되는) 알고리즘은 유입 펄스 열의 펄스의 타임 슬롯을 결정한다.
- <26> 단계(260)에서, 프로세싱 알고리즘은 펄스의 타임 슬롯을 결정하기 위해 입력 펄스 열의 입력 펄스의 타임 스탬프 값을 사용한다. 펄스의 타임 스탬프를 알게 됨으로써, 펄스가 없는 임의의 타임 슬롯도 결정된다. 복원된 펄스의 정보를 사용하여, 입력 펄스 열이 복원된다.
- <27> 도 3은 본 발명의 일 실시예에 따른 프로세싱 알고리즘의 흐름도를 도시하고 있다. 일 실시예에서, 프로세싱

알고리즘(300)이 프로세서(150)에서 사용된다.

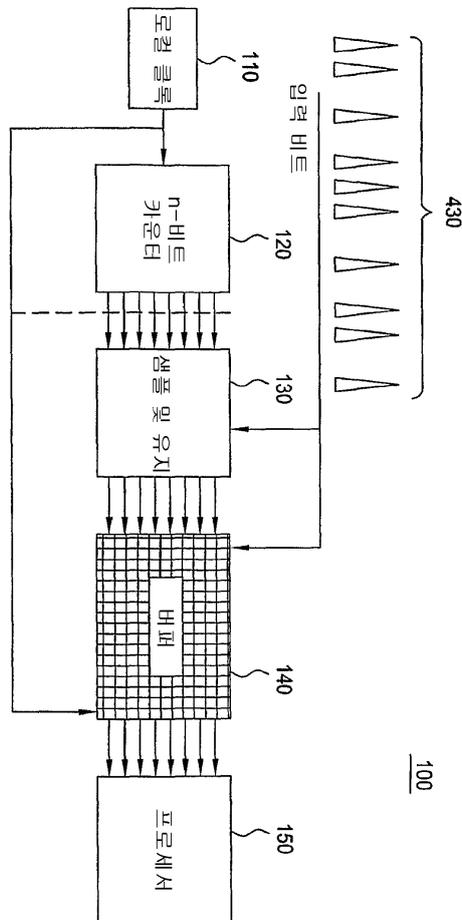
- <28> 단계(310)에서, 한 펄스의 상대 도달 시간(t_n)은 버퍼(140)로부터 프로세서(150)로 통신된다. 도달 시간은 수신기에 의해 수신되는 펄스와 관련되는 클록 사이클의 타임 스탬프이다.
- <29> 단계(320)에서, 상대 도달 시간은 입력 펄스 열의 펄스의 슬롯 번호를 결정하기 위해 사용된다. 일 실시예에서, 슬롯 번호 N 은 상대 도달 시간을 전송 레이트: ($N=T_n/T$)로 곱함으로써 계산된다. 이 계산은 수신기가 펄스의 상대 위치를 실현하기 위해 슬롯 번호를 사용할 수 있게 한다. 타임 스탬프 값을 분석함으로써, 프로세서는 1을 갖는 타임 슬롯을 결정한다.
- <30> 단계(330)에서, 프로세서는 1을 포함하지 않는 모든 타임 슬롯을 결정하며 이들 슬롯 번호에 0을 첨부한다. 슬롯에 0을 첨부한 결과로서, 프로세서는 수신기에 의해 수신되는 전송되는 신호를 표현하는 1과 0의 스트림을 획득한다.
- <31> 단계(340)에서, 프로세서는 수신된 타임 스탬프로부터 유도되는 복원된 데이터를 출력한다.
- <32> 도 4는 본 발명의 일 실시예에 따른 수신기의 동작을 도시하는 타이밍 다이어그램을 도시하고 있다. 이 다이어그램(400)은 수신기에 의해 수신되는 신호의 표현이며, 수신기가 수신되는 펄스 열의 지터를 어떻게 수정하는지를 도시하고 있다.
- <33> 제 1 타이밍 트레이스 세트(410)는 n -비트 카운터의 출력에서의 신호를 나타낸다. 일 실시예에서, 3-비트 카운터가 사용되며 신호(412, 415 및 418)에 의해 표현된다. 3개 신호의 조합이 타임 슬롯 0 내지 15를 나타낼 것이다.
- <34> 상부 행(420)에 도시된 숫자는 타임 슬롯(420₀ 내지 420₁₅)의 번호 매김을 표시하고 있다. 상부 3개의 타이밍 트레이스는 전술한 예의 n -비트 카운터의 3개의 출력이다. 수직 점선은 펄스가 수신기로 유입되어야 하는 간격이다.
- <35> 입력 펄스 열(420)은 수신기(100)에 의해 수신되며, 펄스는 420₂, 420₅, 420₇, 420₈, 420₉로 도시된다. 이 도면은 현저한 타이밍 지터를 갖는 유입 데이터 펄스 420₂, 420₅, 420₇, 420₈, 420₉를 도시하고 있다. 이들 펄스는 타임 슬롯 전 또는 후이다. 그럼에도 불구하고, 버퍼(140)는 입력 시퀀스, (010)(101)(111)(000)(001)의 1들로 타임 스탬프로 채워질 것이다. 그러므로, 유입 비트 시퀀스(10010111)가 성공적으로 복원될 수 있다.
- <36> 일 실시예에서, 40Gb/s의 유입 데이터 레이트를 가정하자. 유입 비트는 혼합되어(scrambled) 가장 긴 연속 0 또는 1은 8비트보다 작을 것이다. 또한, 3-비트 카운터를 타이머로서 가정하자. 로컬 오실레이터는 공칭 40GHz에서 동작하는데, 이는 유입 데이터를 발생시키는 동일한 클록 레이트이다. 클록은 최소 Stratum-3/3E 호환성으로 가정되므로, 장기간 주파수 정확성을 보장한다. 실제 동작에서, 하이-Q 필터에 기초하는 클록 복원이 항상 사용되어 유입 데이터와 로컬 클록 사이의 임의의 장기간 주파수 드리프트를 추적할 수 있다. 그러나, Stratum-3/3E 또는 보다 상위층 클록의 주파수 정확도로부터 이점을 취하기 위해, 버스트-모드를 수신하는 것은 임의의 클록 신호를 복원할 필요 없이 수신기가 제 1 비트와 함께 수신을 시작할 수 있게 한다. 다시, 입력 비트 시퀀스의 예로 (10010111)을 취하고 제 1 비트 1이 S&H를 트리거링한다고 가정하면, 타이머는 랜덤 타임 스탬프(010)를 산출한다. 도 4에 도시된 바와 같이, 유입 펄스에 대한 후속 타임 스탬프는 (101), (111), (000) 및 (001)이다. 이는 비트 슬롯 NO.2로부터 시작하는 것들에 대한 비트 슬롯이 2,5,7,8,9이므로 복원되는 비트 시퀀스가 (10010111)임을 표시한다. 논리 게이트의 동작으로 인해 수신기가 일부 큰 타이밍 지터를 허용할 수 있음을 볼 수 있다.
- <37> 동기식 디지털 전송을 위한 수신기 방안의 본 발명은 고속 논리 게이트 동작에 기초한다. 이 방안은 비트 주기의 50% 내에서 균일하게 분포되는 지터를 허용할 수 있다. 이 방안은 제 1 비트상의 버스트-모드 비트 시퀀스를 복원할 수 있다. 짧은 데이터 패킷에 있어서, 제안되는 수신 방안은 복원된 블록을 필요로 하지 않는다. 복원된 클록은 송신기와 수신기 클록 사이의 가능한 장기간 주파수 드리프트를 추적하는 것을 도울 수만 있다. 또한, 제안된 수신기의 동작은 논리 게이트 동작만을 요구하기 때문에, 논리 게이트의 모든 광학적 구현을 사용하여 제안된 수신기 방안은 또한 모든 광학적으로 구현될 수 있다.
- <38> 전술한 설명은 본 발명의 다양한 실시예에 관한 것이지만, 본 발명의 다른 및 추가적인 실시예도 그 기본 사상을 벗어나지 않고 고안될 수 있다. 이와 같이, 본 발명의 알맞은 범위는 이어지는 청구범위에 따라 결정될 것이다.

도면의 간단한 설명

- <5> 본 발명의 개시 내용은 첨부된 도면과 함께 다음의 발명의 상세한 설명을 고려함으로써 쉽게 이해될 수 있을 것이다.
- <6> 도 1은 본 발명의 실시예에 따른 수신기의 블록도를 도시하고 있다.
- <7> 도 2는 본 발명의 실시예에 따른 수신 방법의 흐름도를 도시하고 있다.
- <8> 도 3은 본 발명의 실시예에 따른 프로세싱 방법의 흐름도를 도시하고 있다.
- <9> 도 4는 본 발명의 실시예에 따른 수신기의 동작을 도시하는 타이밍도를 도시하고 있다.

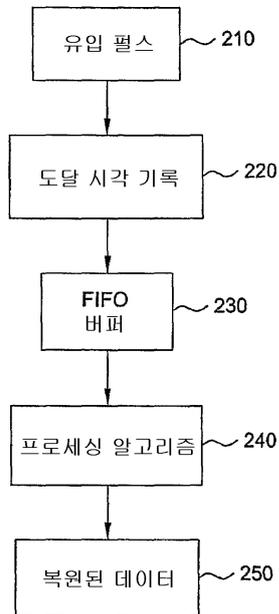
도면

도면1



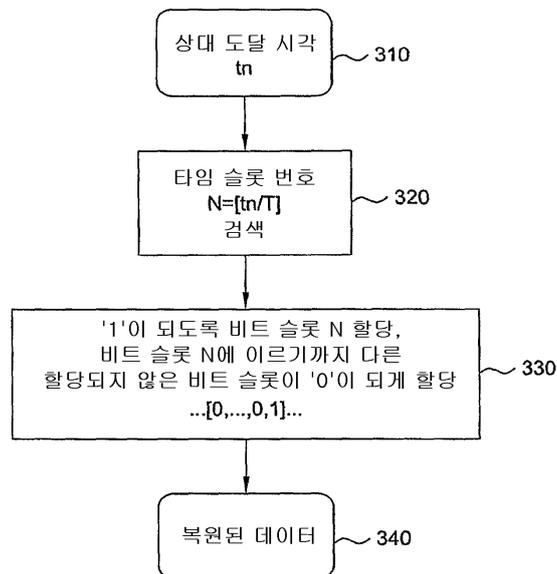
도면2

200



도면3

300



도면4

