



(12)发明专利

(10)授权公告号 CN 103137656 B

(45)授权公告日 2017.08.25

(21)申请号 201210345304.2

(22)申请日 2012.09.17

(65)同一申请的已公布的文献号
申请公布号 CN 103137656 A

(43)申请公布日 2013.06.05

(30)优先权数据
10-2011-0129159 2011.12.05 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金峻渊 金在均 蔡秀熙 洪贤基

(74)专利代理机构 北京市柳沈律师事务所
11105
代理人 屈玉华

(51)Int.Cl.

H01L 29/04(2006.01)

H01L 29/06(2006.01)

H01L 21/02(2006.01)

G30B 25/18(2006.01)

(56)对比文件

JP 平4-73930 A,1992.03.09,

JP 平4-73930 A,1992.03.09,

US 2002/0197841 A1,2002.12.26,

US 6059879 A,2000.05.09,

CN 100356517 C,2007.12.19,

US 6110277 A,2000.08.29,

US 6315826 B1,2001.11.13,

审查员 吴艳艳

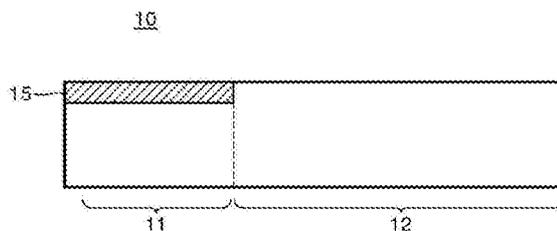
权利要求书2页 说明书6页 附图4页

(54)发明名称

硅衬底及其制造方法和外延结构及其制造方法

(57)摘要

本发明公开了硅衬底及其制造方法和外延结构及其制造方法。通过形成裂纹减少部可以减少硅衬底中的裂纹的形成和传播。该硅衬底包括硅主体部和形成在硅主体部周围的硅边缘部。裂纹减少部形成在硅衬底的硅边缘部上,使得该裂纹减少部的晶面的方向是随机取向的。



1. 一种硅衬底,包括:
硅主体部;
硅边缘部,在所述硅主体部周围;以及
裂纹减少部,在所述硅边缘部上,使得所述裂纹减少部的晶面的方向是随机的,
其中所述裂纹减少部包括在所述硅边缘部的顶表面上的电介质膜,使得生长在所述裂纹减少部上的氮化物半导体薄膜具有多晶结构和非晶结构之一。
2. 根据权利要求1所述的硅衬底,其中所述电介质膜在所述硅边缘部的侧部上。
3. 根据权利要求1所述的硅衬底,其中所述电介质膜是氮化物膜和氧化物膜之一。
4. 一种外延结构,包括:
硅衬底,包括:
硅主体部;
硅边缘部,在所述硅主体部周围;以及
裂纹减少部,在所述硅边缘部上,使得所述裂纹减少部的晶面的方向是随机的;
至少一个第一氮化物半导体薄膜,在所述硅衬底的所述硅主体部上;以及
第二氮化物半导体薄膜,在所述硅衬底的所述裂纹减少部上,
其中所述裂纹减少部包括在所述硅边缘部的顶表面上的电介质膜,使得生长在所述裂纹减少部上的所述第二氮化物半导体薄膜具有多晶结构和非晶结构之一。
5. 根据权利要求4所述的外延结构,其中所述电介质膜在所述硅边缘部的侧表面上。
6. 根据权利要求4所述的外延结构,其中所述电介质膜是氮化物膜和氧化物膜之一。
7. 根据权利要求4所述的外延结构,其中所述至少一个第一氮化物半导体薄膜由 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ 形成,其中 $0 \leq x, y \leq 1, x \neq y$ 。
8. 一种硅衬底的制造方法,所述方法包括:
制备母硅衬底,该母硅衬底包括主体部和边缘部;
在所述母硅衬底的所述边缘部上形成裂纹减少部,使得所述裂纹减少部的晶面的方向是随机的,
其中所述裂纹减少部包括在所述母硅衬底的所述边缘部上的电介质膜,使得生长在所述裂纹减少部上的氮化物半导体薄膜具有多晶结构和非晶结构之一。
9. 根据权利要求8所述的方法,其中所述形成裂纹减少部包括:
通过图案化工艺在所述母硅衬底上形成所述电介质膜;以及
通过剥离工艺将所述电介质膜的除了其形成在所述边缘部上的部分之外的部分去除。
10. 根据权利要求8所述的方法,其中所述形成裂纹减少部包括:在所述母硅衬底的所述边缘部上沉积所述电介质膜。
11. 根据权利要求10所述的方法,其中所述形成裂纹减少部包括:在所述边缘部上沉积氮化物膜和氧化物膜之一。
12. 一种外延结构的制造方法,所述方法包括:
在硅衬底的主体部周围形成边缘部;
在所述硅衬底的所述边缘部上形成裂纹减少部,使得所述裂纹减少部的晶面的方向是随机的;
在所述硅衬底的所述主体部上生长至少一个第一氮化物半导体薄膜;以及

在所述硅衬底的所述裂纹减少部上形成第二氮化物半导体薄膜，

其中所述裂纹减少部包括在所述硅衬底的所述边缘部上的电介质膜，使得形成在所述裂纹减少部上的所述第二氮化物半导体薄膜具有多晶结构和非晶结构之一。

13. 根据权利要求12所述的方法，其中所述形成裂纹减少部包括：在所述硅衬底的所述边缘部上沉积所述电介质膜。

14. 根据权利要求13所述的方法，其中所述形成裂纹减少部包括：在所述边缘部上沉积氮化物膜和氧化物膜之一。

硅衬底及其制造方法和外延结构及其制造方法

技术领域

[0001] 示例实施方式涉及硅衬底、包括该硅衬底的外延结构以及该硅衬底的制造方法。

背景技术

[0002] 许多的氮化物基半导体器件采用蓝宝石衬底。然而，蓝宝石衬底价格昂贵，难以制造芯片，并且具有相对低的导电率。此外，制造直径相对大的蓝宝石衬底可能是困难的，因为在外延生长期间在较高温度下蓝宝石衬底会由于其相对低的导热率而翘曲。为了防止或抑制上述问题，已经开发了采用硅(Si)衬底代替蓝宝石衬底的氮化物基半导体器件。

[0003] 因为硅衬底具有比蓝宝石衬底更高的导热率，所以硅衬底在用于生长氮化物薄膜的较高温度下不会明显翘曲，由此使得可以在硅衬底上生长具有相对大直径的薄膜。然而，当氮化物薄膜生长在硅衬底上时，位错密度可能由于硅衬底和氮化物薄膜之间的晶格常数失配而增加。应力可能由于硅衬底和氮化物薄膜之间的热膨胀系数失配而产生。

[0004] 此外，当氮化物半导体生长在具有相对大直径的硅衬底上时，在氮化物半导体薄膜生长的同时在较高的温度下应力可能会施加到硅衬底上。因为硅衬底在较高的温度下易变形，所以施加的应力可能导致硅衬底发生塑性形变。结果，硅衬底可能会变得更脆，由此在氮化物半导体的生长工艺期间或冷却到室温的工艺期间在硅衬底的边缘部分处可能容易产生和生长裂纹。在某些情况下，在制造工艺期间，硅衬底可能由于裂纹而破裂，并且可能发生热震(thermal shock)。

发明内容

[0005] 示例实施方式提供可以减少裂纹的硅衬底、包括该硅衬底的外延结构及该硅衬底的制造方法。

[0006] 附加方面将在下面的描述中部分地被阐述，并从下面的描述部分地变得明显易懂，或者可以通过示例实施方式的实施而获知。

[0007] 根据示例实施方式，硅衬底可以包括：硅主体部；硅边缘部，在硅主体部周围；以及裂纹减少部，在硅边缘部上，使得该裂纹减少部的晶面的方向是随机的。

[0008] 裂纹减少部可以包括在硅边缘部的顶表面上的凹凸部。裂纹减少部可以包括在硅边缘部的顶表面上的电介质膜。电介质膜可以在硅边缘部的侧部上。电介质膜可以是氮化物膜和氧化物膜之一。裂纹减少部可以通过将离子注入到硅边缘部的顶表面中而形成。

[0009] 根据示例实施方式，外延结构可以包括：硅衬底，该硅衬底包括硅主体部、在硅主体部周围的硅边缘部以及在硅边缘部上的裂纹减少部，使得该裂纹减少部的晶面的方向是随机的；至少一个第一氮化物半导体薄膜，在硅衬底的硅主体部上；以及第二氮化物半导体薄膜，在硅衬底的裂纹减少部上。

[0010] 第二氮化物半导体薄膜可以具有多晶结构和非晶结构之一。裂纹减少部可以包括在硅边缘部的顶表面上的凹凸部。裂纹减少部可以包括在硅边缘部的顶表面上的电介质膜。

[0011] 电介质膜可以在硅边缘部的侧表面上。电介质膜可以是氮化物膜和氧化物膜之一。裂纹减少部可以通过将离子注入到硅边缘部的顶表面中而形成。至少一个第一氮化物半导体薄膜可以由 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x, y \leq 1, x \neq y$) 形成。

[0012] 根据示例实施方式,硅衬底的制造方法可以包括:制备母硅衬底;以及在母硅衬底的边缘部上形成裂纹减少部,使得该裂纹减少部的晶面的方向是随机的。

[0013] 不平坦部可以通过图案化工艺形成在母硅衬底的边缘部的顶表面上,并且蚀刻不平坦部。电介质膜可以通过图案化工艺形成在母硅衬底上,并且通过剥离工艺去除电介质膜的除了其形成在边缘部上的部分之外的部分。

[0014] 电介质膜可以沉积在母硅衬底的边缘部上。氮化物膜和氧化物膜之一可以沉积在边缘部上。离子可以注入到母硅衬底的边缘部的顶表面中。

[0015] 根据示例实施方式,外延结构的制造方法可以包括:在硅衬底的主体部周围形成边缘部;在硅衬底的边缘部上形成裂纹减少部,使得该裂纹减少部的晶面的方向是随机的;在硅衬底的主体部上生长至少一个第一氮化物半导体薄膜;以及在硅衬底的裂纹减少部上形成第二氮化物半导体薄膜。

[0016] 电介质膜可以沉积在边缘部上。氮化物膜和氧化物膜之一可以沉积在边缘部上。离子可以注入到边缘部的顶表面中。凹凸部可以形成在边缘部的顶表面上。

附图说明

[0017] 通过下面结合附图对实施方式的描述,这些和/或其它方面将变得明显和更加易于理解,在附图中:

[0018] 图1是示出根据示例实施方式的硅衬底的截面图;

[0019] 图2是示出根据示例实施方式的外延结构的截面图;

[0020] 图3是示出根据示例实施方式的外延结构的截面图;

[0021] 图4是示出根据示例实施方式的外延结构的截面图;

[0022] 图5是示出根据示例实施方式的外延结构的截面图;

[0023] 图6是示出根据示例实施方式的外延结构的截面图;

[0024] 图7是示出根据示例实施方式的外延结构的截面图;

[0025] 图8是解释根据示例实施方式的硅衬底的制造方法的视图;以及

[0026] 图9是解释根据示例实施方式的硅衬底的制造方法的视图。

具体实施方式

[0027] 现在,将参照附图更全面地描述本发明构思,在附图中示出了示例实施方式。在附图中,相同的附图标记指代相同的元件,并且为了清楚起见可以夸大层和区域的厚度以及部件的尺寸。本发明构思可以具有不同的形式,而不应被解释为限于在此阐述的示例实施方式。例如,还应当理解,当一层被称为在另一层或衬底“上”时,它可以直接在另一层或衬底上,或者还可以在它们之间存在中间层。

[0028] 应当理解,尽管术语第一、第二等可以在此用于描述各种元件、部件、区域、层和/部分,但是这些元件、部件、区域、层和/或部分不应受限于这些术语。这些术语仅用于将一个元件、部件、区域、层或者部分与另一个元件、部件、区域、层或部分区别开。因此,下面讨

论的第一元件、部件、区域、层或部分可以称为第二元件、部件、区域、层或部分，而不脱离示例实施方式的教导。

[0029] 为了易于描述，在此可使用空间相对术语，例如“在…下方”、“在…之下”、“下”、“在…上方”和“上”等，以描述如图中所示的一个元件或者特征相对于另一个元件（多个元件）或者另一个特征（多个特征）的关系。应当理解，除了附图中所示的取向之外，空间相对术语旨在涵盖器件在使用或者操作中的不同取向。例如，如果附图中的器件被倒置，则被描述为在其它元件或特征“之下”或者“下方”的元件会取向为在其它元件或特征的“上方”。因此，示例性术语“在…之下”能够涵盖之上和之下两种取向。器件可以采取其它取向（旋转90度或者其它取向），并且此处使用的空间相对描述可被相应地解释。

[0030] 这里采用的术语仅是为了描述示例性实施方式，并非要限制示例实施方式。正如这里所使用的，除非上下文另有明确表述，否则单数形式“一”和“该”旨在也包括复数形式。还应当理解，当在本说明书中使用术语“包括(comprises)”和/或“包括(comprising)”时，是指所述特征、整体、步骤、操作、元件和/或部件的存在，但并不排除一个或者更多其它特征、整体、步骤、操作、元件、部件和/或其组合的存在或增加。

[0031] 这里，参照截面图来描述示例实施方式，这些截面图为示例实施方式的理想化实施方式（和中间结构）的示意图。因而，例如，由制造技术和/或公差引起的图示形状的变化是可以预期的。因此，示例实施方式不应解释为限于在此所示的区域的特定形状，而是将例如由制造引起的形状偏差包括在内。例如，图示为矩形的注入区域典型地将在其边缘处具有圆化特征或曲面化特征和/或注入浓度梯度，而非从注入区域到非注入区域的二元改变。同样，通过注入形成的埋入区域会导致在埋入区域与进行注入的表面之间的区域中的某些注入。因此，附图中所示的区域本质上是示意性的，并且它们的形状不旨在示出器件区域的实际形状，并且不旨在限制示例实施方式的范围。

[0032] 除非另有定义，此处使用的所有术语（包括技术术语和科学术语）都具有示例实施方式所属领域内的普通技术人员所通常理解的相同的含义。还应当理解，除非此处加以明确定义，否则术语（诸如通用词典中定义的术语）应当被解释为具有与它们在相关领域的语境中的含义相一致的含义，而不应被解释为理想化或者过分形式化的意义。

[0033] 图1是示出根据示例实施方式的硅衬底10的截面图。硅衬底10包括硅主体部12和形成在硅主体部12周围的硅边缘部11。硅衬底10可以具有圆形的形状。硅主体部12可以是被硅衬底10的边缘围绕的内侧部。此外，硅主体部12可以是要生长单晶氮化物半导体薄膜的部分。硅衬底10可以包括裂纹防止或减少部15，例如，裂纹防止或减少部15具有在随机方向上的晶面并且形成在硅边缘部11的顶表面上。

[0034] 硅主体部12可以具有例如Si(111)晶面，而裂纹防止或减少部15可以具有不规则晶面。由于裂纹防止或减少部15的不规则晶面，裂纹防止或减少部15上的氮化物半导体薄膜可以生长成非晶或多晶状态。硅主体部12上的氮化物半导体薄膜可以生长成单晶状态。

[0035] 如果硅衬底10的裂纹防止或减少部15具有具备随机生长方向的晶面或粗糙表面，则生长在硅衬底10上的氮化物半导体薄膜可以包括生长在硅主体部12上且具有例如在(111)方向上取向的晶体的部分以及生长在裂纹防止或减少部15上且具有由于裂纹防止或减少部15的粗糙表面而随机取向的晶体的部分。因此，氮化物半导体薄膜的生长在裂纹防止或减少部15上的部分可以具有多晶状态或非晶状态，而不同于生长在硅主体部12上的部

分的状态。因为氮化物半导体薄膜具有异质晶体特性,所以在氮化物半导体薄膜与硅衬底10之间的界面处的应力可以减小并且由此具有相对低的应力,该相对低的应力可以低于在没有裂纹防止或减少部15的情况下硅衬底10的Si(111)晶面上同质生长成单晶状态的氮化物半导体薄膜中的应力。因此,当氮化物半导体薄膜生长在具有裂纹防止或减少部15的硅衬底10上时,氮化物半导体薄膜与硅衬底10之间的界面应力可以降低,并且由此硅衬底10的变形可以减小。

[0036] 图2是示出根据示例实施方式的外延结构100的截面图。外延结构100可以包括硅衬底110和形成在硅衬底110上的氮化物半导体薄膜。硅衬底110可以包括硅主体部112和形成在硅主体部112周围的硅边缘部111。硅衬底110具有等于或大于例如约8英寸的相对大的直径。硅衬底110可以通过掺杂例如p型杂质或n型杂质而形成。P型杂质可以包括选自硼(B)、铝(Al)、镁(Mg)、钙(Ca)、锌(Zn)、镉(Cd)、汞(Hg)以及镓(Ga)中的至少一种,并且n型杂质可以包括选自砷(As)和磷(P)中的至少一种。如果硅衬底110通过重掺杂p型杂质而形成,则可以减小硅衬底110的翘曲。

[0037] 裂纹防止或减少部115可以形成在硅边缘部111的顶表面上,裂纹防止或减少部115的晶体的生长方向是随机的。母衬底(parent substrate)是指裂纹防止或减少部115形成之前的衬底。硅衬底110可以通过在母衬底的边缘部上形成裂纹防止或减少部115而形成。氮化物半导体薄膜可以包括生长在硅主体部112上的第一氮化物半导体薄膜127和生长在裂纹防止或减少部115上的第二氮化物半导体薄膜125。

[0038] 硅主体部112可以具有例如Si(111)晶面,并且第一氮化物半导体薄膜127可以生长成单晶状态。第一氮化物半导体薄膜127可以具有单层结构或多层结构,并且可以由例如 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x, y \leq 1, x \neq y$) 形成。例如,第一氮化物半导体薄膜127的至少一层可以由包括镓的氮化物形成。可替换地,第一氮化物半导体薄膜127的至少一层可以由包括GaN、InGaN和AlInGaN中的任一种的材料形成。硅衬底110可以掺杂或者不掺杂。

[0039] 第一氮化物半导体薄膜127的至少一层可以选择性地不掺杂或者掺杂。例如,第一氮化物半导体薄膜127的最上层的氮化物半导体薄膜可以掺杂n型杂质或p型杂质,而其余的氮化物半导体薄膜可以不掺杂。

[0040] 生长在具有例如Si(111)晶面的硅主体部112上的第一氮化物半导体薄膜127可以是单晶薄膜。生长在其晶体的生长方向为随机的裂纹防止或减少部115上的第二氮化物半导体薄膜125可以是多晶或非晶薄膜。由于在硅衬底110和氮化物半导体薄膜之间的界面处产生的应力,在生长或冷却氮化物半导体薄膜时,硅衬底110可能产生裂纹。与硅衬底110的内侧中心部相比,在边缘部处可能产生更多的裂纹,并且裂纹可能沿着从边缘部朝向中心部的径向方向而形成。由单晶氮化物半导体薄膜施加至硅衬底110的应力可能高于由多晶或非晶氮化物半导体薄膜施加至硅衬底110的应力。因此,在裂纹防止或减少部115与第二氮化物半导体薄膜125之间可以施加较小的应力。由此,在硅衬底110的硅边缘部111中的应力诱导形变或裂纹产生可以减少。下面将解释裂纹防止或减少部115的各种示例。

[0041] 图3是示出根据示例实施方式的外延结构200的截面图。外延结构200可以包括硅衬底210和生长在硅衬底210上的至少一个氮化物半导体薄膜。硅衬底210可以包括硅主体部212、形成在硅主体部212周围的硅边缘部211以及形成在硅边缘部211上的裂纹防止或减少部215。裂纹防止或减少部215可以通过图案化硅边缘部211和硅主体部212并且根据图案

执行干蚀刻或湿蚀刻而形成。裂纹防止或减少部215可以包括凹凸图案,如图3所示。

[0042] 例如,可以在硅衬底210上涂覆光致抗蚀剂层(未示出),并且可以通过采用掩模而在光致抗蚀剂层上形成图案。硅主体部212可以被完全掩蔽,而硅边缘部211可以通过采用具有凹凸图案的掩模而被图案化。可以执行曝光和蚀刻以在硅边缘部211上形成具有凹凸图案的裂纹防止或减少部215。在形成裂纹防止或减少部215之后,可以去除光致抗蚀剂层。由于凹凸图案,裂纹防止或减少部215可以具有粗糙表面或者具有随机生长方向的表面。可替换地,具有不平坦的图案或者由电介质材料形成的裂纹防止或减少部215的晶体的生长方向可以是随机的。

[0043] 因为硅主体部212具有Si(111)晶面,所以生长在硅主体部212上的第一氮化物半导体薄膜227可以具有单晶结构。因为裂纹防止或减少部215的晶面是随机的,所以生长在裂纹防止或减少部215上的第二氮化物半导体薄膜225可以具有多晶结构或非晶结构。因此,由于如上所述施加在裂纹防止或减少部215和第二氮化物半导体薄膜225之间的应力减小,所以产生在硅边缘部211中的裂纹可以减少。

[0044] 图4是示出根据示例实施方式的外延结构300的截面图。参照图4,外延结构300可以包括硅衬底310和生长在硅衬底310上的至少一个氮化物半导体薄膜。硅衬底310可以包括硅主体部312、形成在硅主体部312周围的硅边缘部311以及形成在硅边缘部311上的裂纹防止或减少部315。裂纹防止或减少部315可以通过采用例如热氧化而由硅边缘部311上的热氧化物形成。可替换地,具有电介质材料的裂纹防止或减少部315可以通过由化学气相沉积(CVD)或溅射工艺沉积电介质材料(例如氧化物或氮化物材料)并且通过由光刻法执行图案化和蚀刻工艺以使得仅在硅边缘部311上具有电介质材料而形成。

[0045] 可替换地,具有电介质材料的裂纹防止或减少部315可以通过由光刻法仅在硅边缘部311上图案化电介质材料并且然后采用剥离工艺去除除了硅边缘部311之外的部分上的电介质材料而形成。形成在硅边缘部311上的裂纹防止或减少部315可以延伸至硅衬底310的侧表面而超出硅边缘部311。具有单晶结构的第一氮化物半导体薄膜327可以形成在硅主体部312上,而具有多晶结构或非晶结构的第二氮化物半导体薄膜325可以形成在裂纹防止或减少部315上。由于第二氮化物半导体薄膜325具有多晶结构或非晶结构,所以在硅边缘部311中产生的裂纹的数量可以减少。

[0046] 图5是示出根据示例实施方式的外延结构300A的截面图。参照图5,台阶部320可以通过蚀刻图4的硅衬底310的硅边缘部311的上部而形成。裂纹防止或减少部315可以形成在高度比硅衬底310的硅主体部312更低的硅边缘部311上。当如图5所示台阶部320形成在用于裂纹防止或减少部315的硅边缘部311与硅主体部312之间时,台阶部320可以用于后续的工艺,例如用于掩模对准工艺。

[0047] 图6是示出根据示例实施方式的外延结构400的截面图。参照图6,外延结构400可以包括硅衬底410和生长在硅衬底410上的至少一个氮化物半导体薄膜。硅衬底410可以包括硅主体部412、形成在硅主体部412周围的硅边缘部411以及形成在硅边缘部411上的裂纹防止或减少部415。裂纹防止或减少部415可以通过注入离子而形成在硅边缘部411上。硅边缘部411的表面可以由于该离子注入而改变成多晶或非晶状态。当氮化物半导体薄膜生长在改变的裂纹防止或减少部415上时,氮化物半导体薄膜也可以生长成多晶或非晶状态。因此,具有单晶结构的第一氮化物半导体薄膜427可以形成在硅主体部412上,而具有多晶或

非晶结构的第二氮化物半导体薄膜425可以形成在裂纹防止或减少部415上。尽管图6中离子仅被注入到硅边缘部411的顶表面,但示例实施方式不限于此,并且离子可以注入到硅边缘部411的侧表面、底表面以及顶表面,还可以注入到硅主体部412的底表面。例如,裂纹防止或减少部415可以延伸至硅边缘部411的侧表面。在示例实施方式中,当硅衬底410在沉积装置上以较高速度旋转时,由于较高速度的旋转带来的影响可以被减小,由此可以进一步防止或减少裂纹。

[0048] 图7是示出根据示例实施方式的外延结构400A的截面图。参照图7,台阶部420可以通过蚀刻图6的外延结构400的硅衬底410的硅边缘部411的上部而形成。裂纹防止或减少部415可以形成在高度比硅衬底410的硅主体部412低的硅边缘部411上。

[0049] 图8是解释根据示例实施方式通过注入离子制造硅衬底的方法的视图。离子被注入到硅锭510的外表面中。由于离子注入,硅锭510具有粗糙表面520。硅衬底(晶片)可以通过切割硅锭510而形成。由于离子注入而形成的粗糙表面520可以暴露于硅衬底的边缘部,并且可以用作裂纹防止或减少部。通过调节离子注入的深度来调节粗糙表面520的深度,可以调节形成在硅衬底的边缘部上的裂纹防止或减少部的尺寸。通过上述方式在硅锭510中形成裂纹防止或减少部,可以以更低成本而更简单地制造硅衬底。

[0050] 图9是解释根据示例实施方式的制造硅衬底的方法的视图。凹槽615形成在硅锭610中。凹槽615可以通过采用例如激光切割而形成。氧化物膜620可以通过采用热氧化而形成在硅锭610的表面上。氧化物膜也可以通过采用热氧化而形成在凹槽615中。硅衬底(晶片)可以通过切割硅锭610而形成。硅锭610可以被切割而暴露凹槽615。氧化物膜620可以形成在通过切割硅锭610而形成的硅衬底的边缘部上。氧化物膜也可以形成在硅衬底的侧部上。通过上述方式对硅锭610执行氧化,可以以更低成本而更简单地制造硅衬底。

[0051] 根据示例实施方式,由于当氮化物半导体薄膜生长在硅衬底上时施加到硅衬底的边缘部的应力减小,所以在硅衬底中产生的裂纹可以减少。如果硅衬底的直径较大,硅衬底可能具有更多的裂纹。由于在硅衬底的边缘部中产生的裂纹减少,所以硅衬底的直径可以增加。此外,具有期望厚度的氮化物半导体薄膜可以生长在具有相对大直径(等于或大于例如6英寸)的硅衬底上。外延结构可以应用到发光二极管、肖特基二极管、激光二极管、场效应晶体管或功率器件。

[0052] 应该理解的是,这里描述的示例实施方式应被认为是仅在说明意义上,而非限制的目的。每个示例实施方式中对特征或方面的描述应典型地被认为可用于其它实施方式中的其它类似特征或方面。

[0053] 本申请要求2011年12月5日提交至韩国知识产权局的韩国专利申请No. 10-2011-0129159的权益,在此通过引用结合其公开的全文。

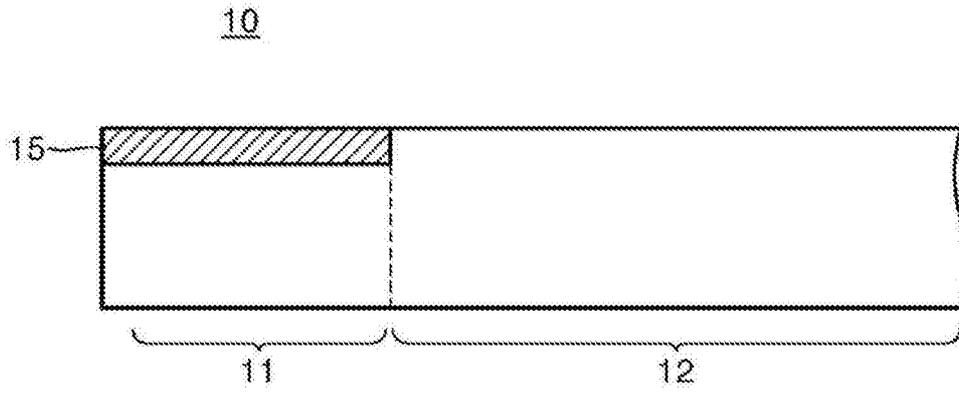


图1

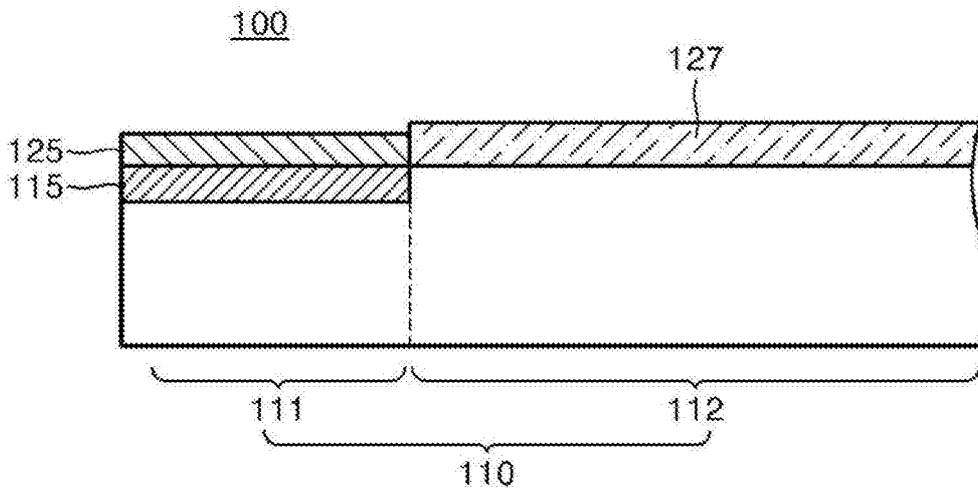


图2

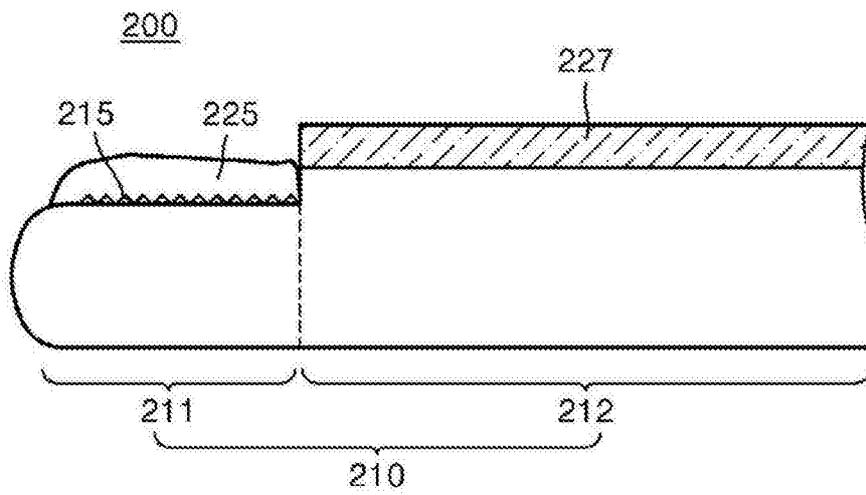


图3

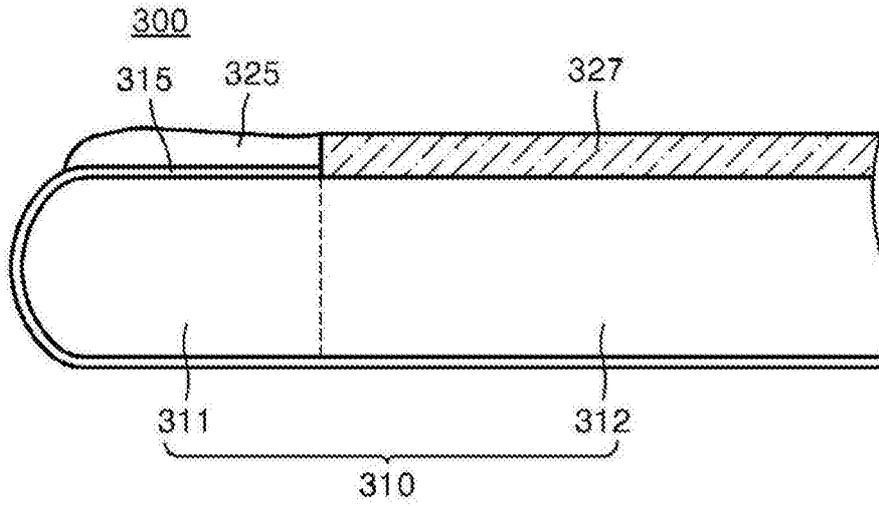


图4

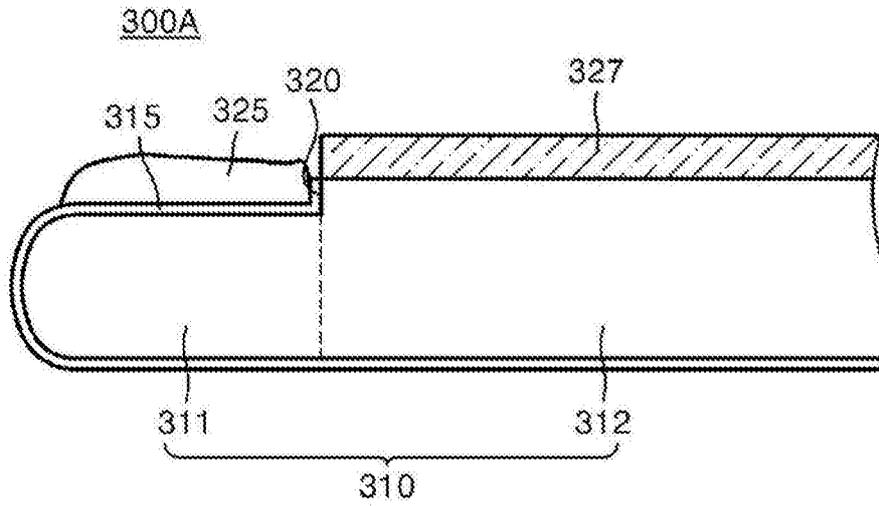


图5

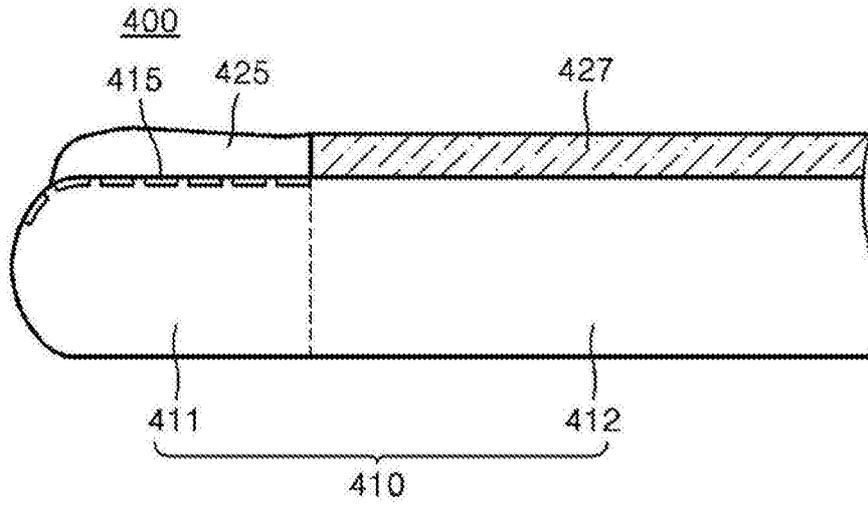


图6

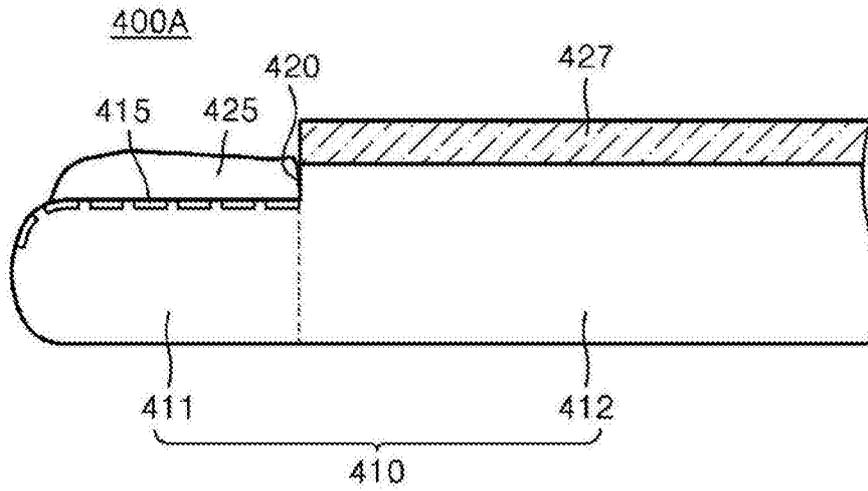


图7

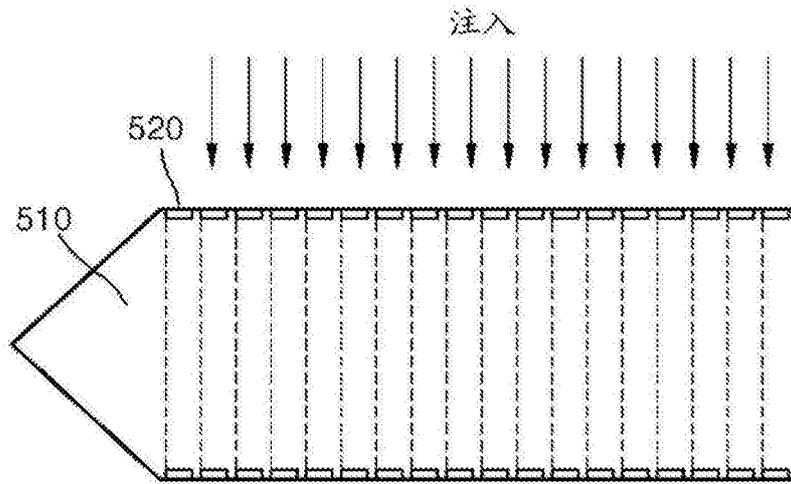


图8

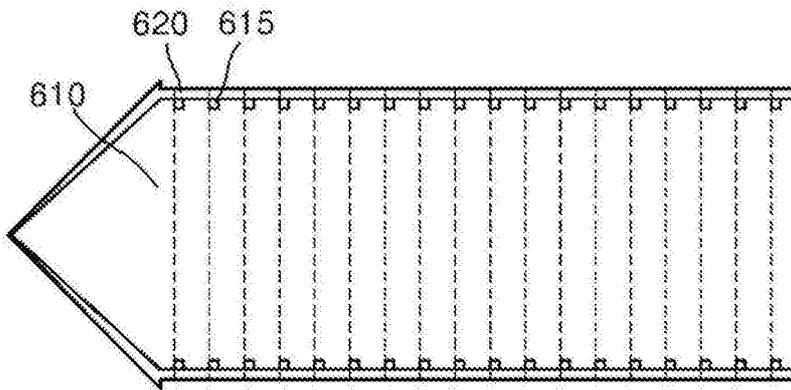


图9