

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6421407号
(P6421407)

(45) 発行日 平成30年11月14日(2018.11.14)

(24) 登録日 平成30年10月26日(2018.10.26)

(51) Int.Cl.		F I			
HO2M	3/155	(2006.01)	HO2M	3/155	H
HO5B	37/02	(2006.01)	HO5B	37/02	K
			HO5B	37/02	L
			HO5B	37/02	J

請求項の数 12 (全 21 頁)

(21) 出願番号	特願2013-178916 (P2013-178916)	(73) 特許権者	000001443
(22) 出願日	平成25年8月30日 (2013. 8. 30)		カシオ計算機株式会社
(65) 公開番号	特開2015-50785 (P2015-50785A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成27年3月16日 (2015. 3. 16)	(74) 代理人	110001254
審査請求日	平成28年8月29日 (2016. 8. 29)		特許業務法人光陽国際特許事務所
		(72) 発明者	濱中 秀雄
			東京都羽村市栄町3丁目2番1号 カシオ 計算機株式会社 羽村技術センター内
		審査官	白井 孝治

最終頁に続く

(54) 【発明の名称】 駆動装置、発光装置、投影装置及び制御方法

(57) 【特許請求の範囲】

【請求項1】

負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、前記電源回路の出力電流値又は出力電圧値を制御する制御部と、を備え、前記制御部が、前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値が低く変化する場合のみ、その変化時に前記スイッチング素子をオンにする期間を設け、前記スイッチング素子をオンにする期間中の前記電源回路の出力電圧値を、その期間中の前記電源回路の出力端子の電圧がその期間の後に前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下になるような値に制御することを特徴とする駆動装置。

【請求項2】

前記制御部が、前記スイッチング素子をオンにする期間中の前記電源回路の出力電流値又は出力電力値をゼロに制御することを特徴とする請求項1に記載の駆動装置。

【請求項3】

前記制御部が、前記スイッチング素子をオンからオフにした後から前記スイッチング素子をオフからオンにするまでの期間中において前記電源回路の出力電圧値又は出力電流値を段階的に上昇させる

10

20

ことを特徴とする請求項 1 又は請求項 2 に記載の駆動装置。

【請求項 4】

前記スイッチング素子をオンにする期間の長さは、その期間中に前記電源回路の出力端子の電圧が、その後前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下にまで低下するような長さである

ことを特徴とする請求項 1 から 3 の何れか一項に記載の駆動装置。

【請求項 5】

前記スイッチング素子をオンにする期間の長さは、前記スイッチング素子をオフからオンに切り替える直前に制御する前記電源回路の出力電圧値又は出力電流値と前記スイッチング素子をオンからオフに切り替える直後に制御する前記電源回路の出力電圧値又は出力電流値との差に応じたものである

ことを特徴とする請求項 1 から 4 の何れか一項に記載の駆動装置。

【請求項 6】

前記電源回路の出力端子と前記基準電位部との間に前記負荷とともに直列接続された第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子のオン・オフに対して逆相的に前記第二スイッチング素子をオン・オフする

ことを特徴とする請求項 1 から 5 の何れか一項に記載の駆動装置。

【請求項 7】

前記電源回路の出力端子と前記基準電位部との間に、複数の前記負荷それぞれとともに直列接続された複数の第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子をオフにする期間中に前記複数の第二スイッチング素子を排他的に順次オンにするよう前記複数の第二スイッチング素子をオン・オフすることを特徴とする請求項 1 から 5 の何れか一項に記載の駆動装置。

【請求項 8】

前記電源回路の出力端子と前記基準電位部との間に、複数の前記負荷それぞれとともに直列接続された複数の第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子をオフにする期間中に前記複数の第二スイッチング素子を排他的に順次オンにするよう前記複数の第二スイッチング素子をオン・オフするとともに、前記電源回路の出力電圧値又は出力電流値を上昇させる時に前記複数の第二スイッチング素子の何れかをオフからオンに切り替える

ことを特徴とする請求項 3 に記載の駆動装置。

【請求項 9】

前記複数の負荷がダイオードであり、

前記複数の第二スイッチング素子に接続された前記複数の負荷の順方向電圧降下の昇順に前記複数の第二スイッチング素子をオンにする

ことを特徴とする請求項 7 又は請求項 8 に記載の駆動装置。

【請求項 10】

請求項 1 から 9 の何れか一項に記載の駆動装置と、

前記負荷としての発光素子と、を備える

ことを特徴とする発光装置。

【請求項 11】

請求項 10 に記載の発光装置を備える

ことを特徴とする投影装置。

【請求項 12】

負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、

前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、

前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、を備える駆動装置を制御する制御方法であって、

前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値

10

20

30

40

50

が低く変化する場合のみ、その変化時に前記スイッチング素子をオンにする期間を設け、前記スイッチング素子をオンにする期間中の前記電源回路の出力電圧値を、その後前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下の電圧になるような値に制御する

ことを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動装置、発光装置、投影装置及び制御方法に関する。

【背景技術】

10

【0002】

特許文献1には、時分割方式（フィールドシーケンシャル方式）の投影装置が開示されている。時分割方式の投影装置は、赤色光、緑色光及び青色光を順次繰り返して表示素子に照射することによってカラー映像を投影するものである。特に、特許文献1に記載の投影装置は、赤色発光ダイオード、緑色発光ダイオード及び青色発光ダイオードを一つのDC/DCコンバーターによって順次繰り返し点灯させるものである。赤色発光ダイオード、緑色発光ダイオード及び青色発光ダイオードの点灯時の電圧値が異なり、これらを一つのDC/DCコンバーターによって順次発光させるので、DC/DCコンバーターの出力電圧値が変動する（特許文献1の図6参照）。赤色発光ダイオードを発光させる際のDC/DCコンバーターの出力電圧値が最も低く、緑色発光ダイオードを発光させる際のDC/DCコンバーターの出力電圧値が最も高く、青色発光ダイオードを発光させる際のDC/DCコンバーターの出力電圧値が2番目に高い。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-234842号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、特許文献1に記載の技術では、青色発光ダイオード又は赤色発光ダイオードの発光開始時にDC/DCコンバーターの出力電圧値が立ち下がる。電圧の差分による突入電流が青色発光ダイオード又は赤色発光ダイオードに流れてしまう。

30

そこで、本発明が解決しようとする課題は、DC/DCコンバーター等の電源回路の出力電流値或いは出力電圧値を変化させる時に発光ダイオード等の負荷に突入電流が流れないようにすることである。

【課題を解決するための手段】

【0005】

以上の課題を解決するために、本発明に係る駆動装置は、負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、前記電源回路の出力電流値又は出力電圧値を制御する制御部と、を備え、前記制御部が、前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値が低く変化する場合のみ、その変化時に前記スイッチング素子をオンにする期間を設け、前記スイッチング素子をオンにする期間中の前記電源回路の出力電圧値を、その期間中の前記電源回路の出力端子の電圧がその期間の後に前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下になるような値に制御することを特徴とする。

40

【0006】

本発明に係る駆動装置の制御方法は、負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続され

50

た出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、を備える駆動装置を制御する制御方法であって、前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値が低く変化する場合のみ、その変化時に前記スイッチング素子をオンにする期間を設け、前記スイッチング素子をオンにする期間中の前記電源回路の出力電圧値を、その後前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下の電圧になるような値に制御することを特徴とする。

【発明の効果】

【0008】

本発明によれば、電源回路の出力電流又は出力電圧を変化させる時に突入電流が負荷に流れることを抑制することができる。

10

【図面の簡単な説明】

【0009】

【図1】本発明の第1実施形態に係る駆動装置の回路図である。

【図2】同実施形態に係る駆動装置の演算処理装置が出力する信号の変化を示したチャートである。

【図3】本発明の第2実施形態に係る駆動装置の演算処理装置が出力する信号の変化を示したチャートである。

【図4】本発明の第3実施形態に係る駆動装置の回路図である。

【図5】本発明の第4実施形態に係る投影装置の光学ユニットの平面図である。

20

【発明を実施するための形態】

【0010】

以下に、本発明を実施するための形態について、図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されている。そのため、本発明の技術的範囲を以下の実施形態及び図示例に限定するものではない。

【0011】

〔第1の実施の形態〕

図1は、負荷2の駆動装置10のブロック図である。

【0012】

この駆動装置10は、負荷2を駆動するものである。負荷2は、光源（半導体発光素子（例えば、発光ダイオード、レーザーダイオード、有機発光ダイオード又は有機EL素子等）、白熱灯又は放電灯等）、抵抗器、ヒーター又はモーター等である。

30

【0013】

負荷2が光源であれば、駆動装置10及び負荷2を備える装置は発光装置である。その場合、この発光装置を投影装置に設け、光源である負荷2を投影装置の光源として利用することもできる。その投影装置は空間光変調器（例えば液晶シャッターアレイパネル、デジタル・マイクロミラー・デバイス）を更に有し、光源としての負荷2によって発せられた光が各種の光学デバイスによってその空間光変調器に照射され、その空間光変調器の各画素によって変調された光が投影光学系によってスクリーンに投影される。

40

【0014】

この駆動装置10は、演算処理装置（制御部）11、メモリ12、ORゲート13、14、出力キャパシタ15、抵抗器16、スイッチング素子17、18及び電源回路20等を備える。

【0015】

演算処理装置11はマイコン、DSP（Digital Signal Processor）等のプロセッサである。

メモリ12は、不揮発性の半導体メモリである。メモリ12は演算処理装置11に内蔵されていてもよいし、演算処理装置11の外部に設けられてもよい。メモリ12は演算処理装置11によって読み取り可能なものである。メモリ12には、演算処理装置11にと

50

って実行可能なプログラム 12 a が記憶されている。プログラム 12 a が演算処理装置 11 によって実行されることによって、信号 S a , S 1 , S 2 , S 3 , S 4 が演算処理装置 11 によって出力される。

【0016】

演算処理装置 11 が OR ゲート 13 を介して電源回路 20 に信号 S 1 , S 2 , S 3 , S 4 を出力することによって電源回路 20 の動作を有効にする。更に、演算処理装置 11 が信号 S a を電源回路 20 に出力することによって、電源回路 20 の出力電流又は出力電圧を可変制御して、その電圧値 V out 又は電流値 I out を信号 S a のレベルに応じたものに制御する。

【0017】

また、演算処理装置 11 が、信号 S 4 をスイッチング素子 17 に出力することによってスイッチング素子 17 をオン・オフする。更に、演算処理装置 11 が、信号 S 1 , S 2 , S 3 を、OR ゲート 14 を介してスイッチング素子 18 を出力することによってスイッチング素子 17 とは逆相的にスイッチング素子 18 をオン・オフする。

【0018】

図 2 を参照して、演算処理装置 11 によって出力される信号 S a , S 1 , S 2 , S 3 , S 4 について説明する。図 2 は、演算処理装置 11 によって出力される信号 S a , S 1 , S 2 , S 3 , S 4 のレベルの変化を示したタイミングチャートである。

【0019】

信号 S a , S 1 , S 2 , S 3 , S 4 は何れも周期の等しい信号であり、これらの信号の周期を P 0 とする。

【0020】

信号 S 1 , S 2 , S 3 はいずれも 1 ビットの信号である。信号 S 1 , S 2 , S 3 は一周期 P 0 の間中に一回だけハイレベルになる信号である。信号 S 1 , S 2 , S 3 は一周期 P 0 の間中にこれらの順に立ち上がるとともに、一周期 P 0 の間中にこれらの順に立ち下がる。信号 S 1 がハイレベルである期間 P 1 と、信号 S 2 がハイレベルである期間 P 2 と、信号 S 3 がハイレベルである期間 P 3 とは互いに時間的にずれており、これらの期間 P 1 と期間 P 2 の間、期間 P 2 と期間 P 3 との間及び期間 P 3 と期間 P 1 との間に時間的間隔がある。つまり、信号 S 1 が立ち下がった時 t 2 から所定の期間 P 4 を置いて信号 S 2 が立ち上がり（時 t 3 参照）、信号 S 2 が立ち下がった時 t 4 から所定の期間 P 5 を置いて信号 S 3 が立ち上がり（時 t 5 参照）、信号 S 3 が立ち下がった時 t 6 から所定の期間 P 6 を置いて信号 S 1 が立ち上がる（時 t 1 参照）。期間 P 4 , P 5 , P 6 は期間 P 1 , P 2 , P 3 よりも短く、期間 P 1 ~ P 6 の和が周期 P 0 に等しい。期間 P 4 , P 5 , P 6 の長さはそれぞれ等しくてもよいし、異なってもよい。期間 P 1 , P 2 , P 3 の長さはそれぞれ等しくてもよいし、異なってもよい。

【0021】

信号 S 4 は一周期 P 0 の間に信号 S 1 , S 2 , S 3 の数（つまり、3）に等しい回数だけハイレベルになる信号であり、期間 P 4 , P 5 , P 6 は信号 S 4 がハイレベルである期間である。つまり、信号 S 4 が立ち下がった時 t 1 に信号 S 1 が立ち上がり、その後信号 S 1 が立ち下がった時 t 2 に信号 S 4 が立ち上がり、その後信号 S 4 が立ち下がった時 t 3 に信号 S 2 が立ち上がり、その後信号 S 2 が立ち下がった時 t 4 に信号 S 4 が立ち上がり、その後信号 S 4 が立ち下がった時 t 5 に信号 S 3 が立ち上がり、その後信号 S 3 が立ち下がった時 t 6 に信号 S 4 が立ち上がる。

【0022】

信号 S a のレベルは、期間 P 4、その後の期間 P 5、その後の期間 P 6 というように間欠的にゼロになるとともに、期間 P 4 , P 5 , P 6 以外の期間 P 1 , P 2 , P 3 において段階的に上昇し、各期間 P 1 , P 2 , P 3 の間中一定に保たれる。つまり、信号 S 1 がハイレベルである期間 P 1 の間中、信号 S a のレベルが L 1 であり、その後信号 S 4 がハイレベルである期間 P 4 の間中、信号 S a のレベルがゼロであり、その後信号 S 2 がハイレベルである期間 P 2 の間中、信号 S a のレベルが L 2 (L 2 > L 1) であり、その後信号

10

20

30

40

50

S 4 がハイレベルである期間 P 5 の間中、信号 S a のレベルがゼロであり、その後信号 S 3 がハイレベルである期間 P 3 の間中、信号 S a のレベルが L 3 (L 3 > L 2) であり、その後信号 S 4 がハイレベルである期間 P 6 の間中、信号 S a のレベルがゼロである。ここで、レベル L 3 が大レベルであり、レベル L 1 は中レベルであり、レベル：ゼロが小レベルである。

【 0 0 2 3 】

図 1 に示すように、電源回路 2 0 の入力端子が駆動装置 1 0 の入力端子であり、電源回路 2 0 の出力端子が駆動装置 1 0 の出力端子である。負荷 2 とスイッチング素子 1 8 が、電源回路 2 0 の出力端子と基準電位部 (グランド) 1 9 との間に直列接続されている。負荷 2 が発光ダイオード、レーザーダイオード、有機 E L 素子等の半導体発光素子である場合、負荷 2 のアノードが電源回路 2 0 の出力端子に接続され、負荷 2 のカソードがスイッチング素子 1 8 に接続されている。

10

【 0 0 2 4 】

抵抗器 1 6 とスイッチング素子 1 7 が電源回路 2 0 の出力端子と基準電位部 1 9 との間に直列接続されている。また、出力キャパシタ 1 5 が、電源回路 2 0 の出力端子と基準電位部 1 9 との間に接続されている。従って、電源回路 2 0 の出力端子と基準電位部 1 9 との間には、負荷 2 及びスイッチング素子 1 8 からなる直列回路と、抵抗器 1 6 及びスイッチング素子 1 7 からなる直列回路と、出力キャパシタ 1 5 とが並列接続されている。スイッチング素子 1 7 , 1 8 はバイポーラ型又は電界効果型のトランジスタである。

【 0 0 2 5 】

電源回路 2 0 は、可変定電圧源又は可変定電流源であり、より具体的には、電圧値 V in の直流電力を電圧値 V out 又は電流値 I out の直流電力に変換する D C - D C コンバーターである。つまり、電源回路 2 0 は、信号 S a のレベルに応じた出力電圧値 V out 又は出力電流値 I out の直流電力を出力するものである。

20

【 0 0 2 6 】

電源回路 2 0 の制御方式はフィードバック制御方式であり、電源回路 2 0 に入力される信号 S a はフィードバック制御における目標値を表す。電源回路 2 0 が可変定電圧源である場合には、電源回路 2 0 の出力電圧の値 V out が検出値 D として電源回路 2 0 に帰還され、電源回路 2 0 は検出値 D と信号 S a のレベルとの差に基づいて出力電圧の値 V out を制御することによって、その電圧値 V out を信号 S a のレベルに制御する。一方、電源回路 2 0 が可変定電流源である場合、電源回路 2 0 の出力電流の値 I out が検出値 D として電源回路 2 0 に帰還され、電源回路 2 0 は検出値 D と信号 S a のレベルとの差に基づいて出力電流の値 I out を制御することによって、その電流値 I out を信号 S a のレベルに制御する。電流値 I out を検出値 D として電源回路 2 0 に帰還する場合、抵抗器の一方の端子が電源回路 2 0 に接続され、抵抗器の他方の端子が負荷 2 及び抵抗器 1 6 に接続され、その抵抗器の電圧が検出値 D 及び電流値 I out として電源回路 2 0 にフィードバックされる。なお、負荷 2 が半導体発光素子である場合、電源回路 2 0 の出力電流の値 I out が検出値 D として電源回路 2 0 に帰還されることが好ましい。

30

【 0 0 2 7 】

好ましくは、電源回路 2 0 がスイッチング電源回路 (スwitchングレギュレーター) であり、その電源回路 2 0 の制御方式がパルス幅変調 (P W M) によるフィードバック制御方式であり、電源回路 2 0 が入力される直流電流を繰り返しオン・オフすることによって、電圧値 V out 又は電流値 I out の直流電力を出力する。

40

【 0 0 2 8 】

図 1 では、電源回路 2 0 が降圧型のスイッチングレギュレーターである場合の電源回路 2 0 の具体的な構成を図示する。つまり、電源回路 2 0 はスイッチング素子 2 1、整流素子 2 2、インダクタ 2 3 及びキャパシタ 2 4 を有する。スイッチング素子 2 1 が電源回路 2 0 の入力端子と整流素子 2 2 のカソードとの間に接続され、整流素子 2 2 のアノードが基準電位部 1 9 に接続され、整流素子 2 2 のカソードがインダクタ 2 3 の一方の端子に接続され、インダクタ 2 3 の他方の端子がキャパシタ 2 4 の一方の電極に接続され、キャパ

50

シタ 24 の他方の電極が基準電位部 19 に接続されている。インダクタ 23 とキャパシタ 24 との接続部が電源回路 20 の出力端子である。スイッチング素子 21 はパイボラ型又は電界効果型のトランジスタである。なお、電源回路 20 の出力端子に出力キャパシタ 15 が接続されているので、キャパシタ 24 を省略してもよい。

【0029】

電源制御部 25 は、PWM 制御を行うデジタル回路又はアナログ回路である。つまり、検出値 D 及び信号 S a が電源制御部 25 に入力され、電源制御部 25 が周期 P 0 及び期間 P 1 ~ P 6 よりも短い一定周期の PWM 信号をスイッチング素子 21 の制御端子（ゲート又はベース）に出力する。ここで、PWM 信号の各一周期の間に、電源制御部 25 は検出値 D を読み込み、検出値 D と信号 S a のレベルとの差に基づいてデューティ比を算出し、そのデューティ比の PWM 信号をスイッチング素子 21 の制御端子に出力する。これにより、電源回路 20 の出力の電圧値 V out 又は電流値 I out が信号 S a のレベルに応じたものになる。

10

【0030】

なお、電源回路 20 は昇圧型のスイッチング電源回路（スイッチングレギュレーター）でもよい。

【0031】

電源回路 20 特に電源制御部 25 には、イネーブル端子（EN）が設けられている。信号 S 1, S 2, S 3, S 4 の論理和を表す信号がそのイネーブル端子に入力される。つまり、演算処理装置 11 が信号 S 1 ~ S 4 を OR ゲート 13 の四つの入力端子にそれぞれ出力し、OR ゲート 13 が信号 S 1 ~ S 4 の論理和を演算して、その論理和を表す信号を電源制御部 25 のイネーブル端子に出力する。周期 P 0 の間中において信号 S 1 ~ S 4 の全てがローレベルになることがないので（図 2 参照）、OR ゲート 13 の出力信号が常にハイレベルであり、電源制御部 25 が常に有効にされて、電源制御部 25 が常に動作する。

20

【0032】

また、演算処理装置 11 が信号 S 1 ~ S 3 を OR ゲート 14 の三つの入力端子にそれぞれ出力し、OR ゲート 14 が信号 S 1 ~ S 3 の論理和を演算して、その論理和を表す信号をスイッチング素子 18 の制御端子（ゲート又はベース）に出力する。そのため、信号 S 1 ~ S 3 の何れかがハイレベルである場合には（図 2 に示す期間 P 1, P 2, P 3 参照）、スイッチング素子 18 がオンであり、信号 S 1 ~ S 3 の全てがローレベルである場合には（図 2 に示す期間 P 4, P 5, P 6 参照）、スイッチング素子 18 がオフである。

30

【0033】

また、演算処理装置 11 が信号 S 4 をスイッチング素子 17 の制御端子（ゲート又はベース）に出力する。そのため、信号 S 4 がハイレベルである場合には（図 2 に示す期間 P 4, P 5, P 6 参照）、スイッチング素子 17 がオンであり、信号 S 4 がローレベルである場合には（図 2 に示す期間 P 1, P 2, P 3 参照）、スイッチング素子 17 がオフである。

【0034】

駆動装置 10 の動作について説明する。

演算処理装置 11 が信号 S a をレベル L 1 に立ち上げると（図 2 の時 t 1 参照）、電源回路 20 の出力電圧値 V out 又は出力電流値 I out が立ち上がり、その後の期間 P 1 では電圧値 V out 又は電流値 I out が信号 S a のレベル L 1 に応じた値に保たれる。この際、出力キャパシタ 15 がチャージされ、電源回路 20 の出力電圧が出力キャパシタ 15 によって平滑化される。また、期間 P 1 ではスイッチング素子 17 がオフであり、スイッチング素子 18 がオンであるから、出力電圧値 V out 又は出力電流値 I out の電力が負荷 2 に供給される。

40

【0035】

その後、演算処理装置 11 が信号 S a をゼロに立ち下げると（図 2 の時 t 2 参照）、電源回路 20 の出力電圧値 V out 又は出力電流値 I out が立ち下がり、その後の期間 P 4 では電圧値 V out 又は電流値 I out がゼロに保たれる。期間 P 4 の初期において出力キャパシタ

50

15が放電される。期間P4ではスイッチング素子17がオンであり、スイッチング素子18がオフであるから、出力キャパシタ15の放電による電流が抵抗器16及びスイッチング素子17に流れる。更に、期間P4の初期においてインダクタ23の逆起電力が抵抗器16及びスイッチング素子17を経由して放出される。それゆえ、その後の期間P2の初期において電源回路20の出力電圧が大きく跳ね上がることを抑制することができる。

期間P4は、出力キャパシタ15の電荷を放電することによって電源回路20の出力端子の電圧を低下させる期間である。つまり、期間P4の長さは、その期間P4中に電源回路20の出力端子の電圧が、その後の期間P2中の負荷2にかかる電圧以下にまで低下するような長さである。

ここで、電源回路20が電流制御型の電源回路である場合、期間P4中は出力電流値 I_{out} がゼロになる。このゼロという値は、余裕を持った安全値であって、期間P4中に電源回路20の出力端子がその後の期間P2中の負荷2にかかる電圧以下になるような値である。勿論、電源回路20が電圧制御型の電源回路である場合、期間P4中は出力電圧値 V_{out} がゼロになり、そのゼロという値は、電源回路20の出力端子がその後の期間P2中の負荷2にかかる電圧(レベルL2に相当)以下になるような値である。

【0036】

その後、演算処理装置11が信号SaをレベルL2に立ち上げると(図2の時t3参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち上がる。その後の期間P2では電圧値 V_{out} 又は電流値 I_{out} が信号SaのレベルL2に応じた値に保たれ、出力電圧値 V_{out} 又は出力電流値 I_{out} の電力が負荷2に供給される。この際、出力キャパシタ15がチャージされ、電源回路20の出力電圧が出力キャパシタ15によって平滑化される。

【0037】

その後、演算処理装置11が信号Saをゼロに立ち下げると(図2の時t4参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち下がり、その後の期間P5では電圧値 V_{out} 又は電流値 I_{out} がゼロに保たれる。期間P5の初期において出力キャパシタ15の放電電流が抵抗器16及びスイッチング素子17に流れるとともに、期間P5の初期においてインダクタ23の逆起電力が抵抗器16及びスイッチング素子17を経由して放出される。

期間P5は、出力キャパシタ15の電荷を放電することによって電源回路20の出力端子の電圧を低下させる期間である。つまり、期間P5の長さは、その期間P5中に電源回路20の出力端子の電圧が、その後の期間P3中の負荷2にかかる電圧以下にまで低下するような長さである。

ここで、電源回路20が電流制御型の電源回路である場合、期間P5中は出力電流値 I_{out} がゼロになる。このゼロという値は、余裕を持った安全値であって、期間P5中に電源回路20の出力端子がその後の期間P3中の負荷2にかかる電圧以下になるような値である。勿論、電源回路20が電圧制御型の電源回路である場合、期間P5中は出力電圧値 V_{out} がゼロになり、そのゼロという値は、電源回路20の出力端子がその後の期間P3中の負荷2にかかる電圧(レベルL3に相当)以下になるような値である。

【0038】

その後、演算処理装置11が信号SaをレベルL3に立ち上げると(図2の時t5参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち上がる。その後の期間P3では電圧値 V_{out} 又は電流値 I_{out} が信号SaのレベルL3に応じた値に保たれ、出力電圧値 V_{out} 又は出力電流値 I_{out} の電力が負荷2に供給される。この際、出力キャパシタ15がチャージされ、電源回路20の出力電圧が出力キャパシタ15によって平滑化される。

【0039】

その後、演算処理装置11が信号Saをゼロに立ち下げると(図2の時t6参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち下がり、その後の期間P6では電圧値 V_{out} 又は電流値 I_{out} がゼロに保たれる。期間P6の初期において出力キャパシタ

10

20

30

40

50

15の放電電流が抵抗器16及びスイッチング素子17に流れるとともに、期間P6の初期においてインダクタ23の逆起電力が抵抗器16及びスイッチング素子17を經由して放出される。

期間P6は、出力キャパシタ15の電荷を放電することによって電源回路20の出力端子の電圧を低下させる期間である。つまり、期間P6の長さは、その期間P6中に電源回路20の出力端子の電圧が、その後の期間P1中の負荷2にかかる電圧以下にまで低下するような長さである。

ここで、電源回路20が電流制御型の電源回路である場合、期間P6中は出力電流値I_{out}がゼロになる。このゼロという値は、余裕を持った安全値であって、期間P6中に電源回路20の出力端子がその後の期間P1中の負荷2にかかる電圧以下になるような値である。勿論、電源回路20が電圧制御型の電源回路である場合、期間P6中は出力電圧値V_{out}がゼロになり、そのゼロという値は、電源回路20の出力端子がその後の期間P1中の負荷2にかかる電圧(レベルL1に相当)以下になるような値である。

【0040】

ところで、仮に期間P6が無く期間P3から期間P1に移行するものとしたら、期間P3における電源回路20の出力電圧が期間P1における電源回路20の出力電圧よりも大きいいため、その差分による突入電流が負荷2に流れてしまう。しかし、本実施形態では、期間P6において出力キャパシタ15が放電されるため、期間P1の初期に突入電流が負荷2に流れてしまうことを防止することができる。

【0041】

上記第1の実施の形態に係る駆動装置では、電圧変化時毎に毎回放電を行うようにしたので、電圧レベル(L1、L2、L3)の大小(の順序)について、管理(考慮)せずに適切な駆動制御を行うことができる。

電圧レベル(L1、L2、L3)の大小(の順序)がわかっている場合は、後述の第2実施形態のように制御してもよい。

【0042】

また、上記第1の実施の形態に係る駆動装置では、スイッチング素子17を通じた放電の期間(期間P4、P5、P6)中の信号S_aをゼロ(例えば、基準電位)としている。

それに対して、電源回路20が電圧制御型の電源回路である場合は、スイッチング素子17を通じた放電の期間(期間P4、P5、P6)中の信号S_aのレベルはゼロ(例えば、基準電位)である必要はなく、上記のように、次に負荷2にかかる可能性のある電圧以下の電圧であればよい。つまり、期間P4の信号S_aのレベルがレベルL2以下であり、期間P5の信号S_aのレベルがレベルL3以下であり、期間P6の信号S_aのレベルがレベルL1以下であればよい。この例において、期間P4の信号S_aのレベルがレベルL1を超えて且つレベルL2以下である場合には、期間P4中に出力キャパシタ15に電荷が蓄電され、期間P5の信号S_aのレベルがレベルL2を超えて且つレベルL3以下の場合には、期間P5中に出力キャパシタ15に電荷が蓄電される。

電源回路20が電流制御型の場合は、スイッチング素子17を通じた放電の期間(期間P4、P5、P6)の終了直後(期間P1、期間P2、期間P3の開始直後)に負荷2にかかる電圧を把握することができないので、上記第1の実施の形態では、図2に示すように、信号S_aをゼロとしている。

【0043】

〔第2の実施の形態〕

第2の実施の形態に係る駆動装置は、第1の実施の形態に係る駆動装置10(図1参照)と同様の回路構成を有する。第2実施形態の駆動装置と第1実施形態の駆動装置10が相違する点は、プログラム12a及びそのプログラム12aに基づく演算処理装置11の動作にある。そのため、第2実施形態の駆動装置と第1実施形態の駆動装置10が共通する点の説明を省略し、相違する点について主に以下に説明する。なお、第1実施形態の場合と同様に、負荷2が光源であれば、第2実施形態の駆動装置及び負荷2を備える装置が発光装置であり、その発光装置を投影装置に利用することができる。

【 0 0 4 4 】

図 3 は、第 2 の実施の形態に係る演算処理装置 1 1 が出力する信号 S_a , S_1 , S_2 , S_3 , S_4 のレベルの変化を示したタイミングチャートである。

図 3 に示すように、信号 S_a , S_1 , S_2 , S_3 , S_4 は何れも周期の等しい信号であり、これらの信号の周期を P_{10} とする。

信号 S_1 , S_2 , S_3 , S_4 は、一周期 P_{10} の間中に一回だけハイレベルになる 1 ビットの信号である。信号 S_1 , S_2 , S_3 , S_4 は一周期 P_{10} の間中にこれらの順に立ち上がるとともに、一周期 P_{10} の間中にこれらの順に立ち下がる。信号 S_1 がハイレベルである期間 P_{11} と、信号 S_2 がハイレベルである期間 P_{12} と、信号 S_3 がハイレベルである期間 P_{13} と、信号 S_4 がハイレベルである期間 P_{14} は互いに時間的にずれている。期間 P_{11} と期間 P_{12} の間には時間的間隔がない。期間 P_{12} と期間 P_{13} との間、期間 P_{13} と期間 P_{14} との間、期間 P_{14} と期間 P_{11} の間についても同様である。そして、期間 $P_{11} \sim P_{14}$ の総和が期間 P_{10} に等しい。期間 P_{14} が期間 $P_{11} \sim P_{13}$ よりも短い。更に期間 $P_{11} \sim P_{14}$ は、電源制御部 2 5 によって出力される PWM 信号の周期よりも十分に長い。期間 $P_{11} \sim P_{13}$ の長さはそれぞれ等しくてもよいし、異なってもよい。

10

【 0 0 4 5 】

信号 S_4 が立ち下がった時に信号 S_1 が立ち上がり (時 t_{11} 参照)、信号 S_1 が立ち下がった時に信号 S_2 が立ち上がり (時 t_{12} 参照)、信号 S_2 が立ち下がった時に信号 S_3 が立ち上がり (時 t_{13} 参照)、信号 S_3 が立ち下がった時に信号 S_4 が立ち上がる (時 t_{14} 参照)。

20

【 0 0 4 6 】

信号 S_a のレベルは、期間 P_{14} のように間欠的にゼロになるとともに、期間 P_{14} 以外の期間 P_{11} , P_{12} , P_{13} の間において段階的に上昇する。信号 S_1 , S_2 , S_3 の立ち上がり同期して信号 S_a のレベルが上昇し、各期間 P_{11} , P_{12} , P_{13} の間中に信号 S_a のレベルが一定に保たれる。つまり、信号 S_1 がハイレベルである期間 P_{11} の間中、信号 S_a のレベルが L_1 であり、その後信号 S_2 がハイレベルである期間 P_{12} の間中、信号 S_a のレベルが L_2 ($L_2 > L_1$) であり、その後信号 S_3 がハイレベルである期間 P_{13} の間中、信号 S_a のレベルが L_3 ($L_3 > L_2$) であり、その後信号 S_4 がハイレベルである期間 P_{14} の間中、信号 S_a のレベルがゼロである。

30

【 0 0 4 7 】

信号 S_1 , S_2 , S_3 の論理和を表す信号がスイッチング素子 1 8 の制御端子に入力されるので (図 1 参照)、信号 $S_1 \sim S_3$ の何れかがハイレベルである場合には (図 3 に示す期間 P_{11} , P_{12} , P_{13} 参照)、スイッチング素子 1 8 がオンであり、信号 $S_1 \sim S_3$ の全てがローレベルである場合には (図 3 に示す期間 P_{14} 参照)、スイッチング素子 1 8 がオフである。信号 S_4 がスイッチング素子 1 7 の制御端子に入力されるので (図 1 参照)、信号 S_4 がハイレベルである場合には (図 3 に示す期間 P_{14} 参照)、スイッチング素子 1 7 がオンであり、信号 S_4 がローレベルである場合には (図 3 に示す期間 P_{11} , P_{12} , P_{13} 参照)、スイッチング素子 1 7 がオフである。従って、演算処理装置 1 1 は、スイッチング素子 1 7 をオン・オフするとともに、スイッチング素子 1 7 とは逆相的にスイッチング素子 1 8 をオン・オフする。

40

【 0 0 4 8 】

第 2 実施形態の駆動装置の動作について説明する。

演算処理装置 1 1 が信号 S_a をレベル L_1 に立ち上げると (図 3 の時 t_{11} 参照)、電源回路 2 0 の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち上がり、出力キャパシタ 1 5 がチャージされる。その後の期間 P_{11} では電圧値 V_{out} 又は電流値 I_{out} が信号 S_a のレベル L_1 に応じた値に保たれ、出力電圧値 V_{out} 又は出力電流値 I_{out} の電力が負荷 2 に供給され、電源回路 2 0 の出力電圧が出力キャパシタ 1 5 によって平滑化される。

【 0 0 4 9 】

その後、演算処理装置 1 1 が信号 S_a をレベル L_1 からレベル L_2 に立ち上げると (図

50

3の時 t_{12} 参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が上昇して、出力キャパシタ15が更にチャージされる。信号 S_a がレベル L_1 からレベル L_2 に上昇するから、出力キャパシタ15の放電もなく、期間 P_{12} の初期に突入電流が負荷2に流れてしまうことはない。その後の期間 P_{12} では電圧値 V_{out} 又は電流値 I_{out} が信号 S_a のレベル L_2 に応じた値に保たれ、出力電圧値 V_{out} 又は出力電流値 I_{out} の電力が負荷2に供給され、電源回路20の出力電圧が出力キャパシタ15によって平滑化される。

【0050】

その後、演算処理装置11が信号 S_a をレベル L_2 からレベル L_3 に立ち上げると(図3の時 t_{13} 参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が上昇して、出力キャパシタ15が更にチャージされる。信号 S_a がレベル L_2 からレベル L_3 に上昇するから、出力キャパシタ15の放電もなく、期間 P_{13} の初期に突入電流が負荷2に流れてしまうことはない。その後の期間 P_{13} では電圧値 V_{out} 又は電流値 I_{out} が信号 S_a のレベル L_3 に応じた値に保たれ、出力電圧値 V_{out} 又は出力電流値 I_{out} の電力が負荷2に供給され、電源回路20の出力電圧が出力キャパシタ15によって平滑化される。

【0051】

その後、演算処理装置11が信号 S_a をレベル L_3 からゼロに立ち下げると(図3の時 t_{14} 参照)、電源回路20の出力電圧値 V_{out} 又は出力電流値 I_{out} が立ち下がる。スイッチング素子17がオンであり、スイッチング素子18がオフであるから、出力キャパシタ15が放電され、その放電電流が抵抗器16及びスイッチング素子17に流れる。更に、インダクタ23の逆起電力が抵抗器16及びスイッチング素子17を経由して放出される。その後の期間 P_{14} では電圧値 V_{out} 又は電流値 I_{out} がゼロに保たれる。期間 P_{14} の長さは、出力キャパシタ15の電荷を放電することによって電源回路20の出力端子の電圧を低下させる期間である。つまり、期間 P_{14} の長さは、その期間 P_{14} 中に電源回路20の出力端子の電圧が、その後の期間 P_{11} 中の負荷2にかかる電圧以下にまで低下するような長さである。

【0052】

本実施形態でも、期間 P_{14} において出力キャパシタ15が放電されるため、期間 P_{11} の初期に突入電流が負荷2に流れてしまうことを防止することができる。

また、一周期 P_{10} の間に出力キャパシタ15が一回だけ放電されるから、負荷2に電力が供給されている時間(期間 P_{11} , P_{12} , P_{13} の和)を長くすることができる。

【0053】

また、上記第2の実施の形態に係る駆動装置では、スイッチング素子17を通じた放電の期間(期間 P_{14})中の信号 S_a のレベルをゼロ(例えば、基準電位)としている。

それに対して、電源回路20が電圧制御型の電源回路である場合は、スイッチング素子17を通じた放電の期間(期間 P_{14})中の信号 S_a のレベルは0(例えば、基準電位)である必要はなく、上記のように、次に負荷2にかかる電圧(期間 P_{11} での電圧)以下の電圧であればよい。つまり、期間 P_{14} 中の信号 S_a のレベルは、レベル L_1 以下であればよい。

電源回路20が電流制御型の場合は、スイッチング素子17を通じた放電の期間(期間 P_{14})の終了直後(期間 P_{11} の開始直後)に負荷2にかかる電圧を把握することができないので、上記第2の実施の形態では、図3に示すように、信号 S_a をゼロとしている。

【0054】

また、上記第2の実施の形態に係る駆動装置では、上記のように、電源回路20の出力電流値又は出力電圧値が3レベル以上の場合、段階的に上昇させるように制御している。このようにすると、放電すべきタイミングを1回に減らすことができ、負荷2に電力が供給されている時間(期間 P_{11} , P_{12} , P_{13} の和)を長くすることができる。

【0055】

また、上記第2の実施の形態に係る駆動装置において、 L_3 と L_1 のレベル差に応じて放電期間(期間 P_{14})を制御して、負荷2に電力が供給されている時間(期間 P_{11} ,

10

20

30

40

50

P 1 2 , P 1 3 の和) を最大限長くするように制御することが好ましい。ここで、期間 P 1 4 の長さはレベル L 3 とレベル L 1 との差に応じたものに設定されており、制御部 1 1 がその設定に従って信号 S 4 をオンにすることによって、期間 P 1 4 がその長さに制御される。

【 0 0 5 6 】

〔 第 3 の実施の形態 〕

図 4 は、第 3 の実施の形態に係る駆動装置 1 0 B のブロック図である。第 3 実施形態の駆動装置 1 0 B と第 1 実施形態の駆動装置 1 0 に共通する構成要素には同一の符号を付し、第 3 実施形態の駆動装置と第 1 実施形態の駆動装置 1 0 が共通する点の説明を省略し、相違する点について主に以下に説明する。

10

【 0 0 5 7 】

第 1 実施形態の駆動装置 1 0 は一つの負荷 2 を駆動するものである。それに対して、第 3 実施形態の駆動装置 1 0 B は、三つの負荷 2 a , 2 b , 2 c を駆動するものである。

また、第 1 実施形態の駆動装置 1 0 は OR ゲート 1 4 を有する。それに対して、第 3 実施形態の駆動装置 1 0 B は OR ゲート 1 4 を有さない。

また、第 1 実施形態の駆動装置 1 0 は一つのスイッチング素子 1 8 を有する。それに対して、第 3 実施形態の駆動装置 1 0 B は三つのスイッチング素子 1 8 a , 1 8 b , 1 8 c を有する。

【 0 0 5 8 】

負荷 2 a , 2 b , 2 c は、ダイオード特性 (整流特性) を有した半導体発光素子 (例えば、発光ダイオード、有機発光ダイオード、レーザーダイオード) である。負荷 2 a , 2 b , 2 c の中では、負荷 2 a の順方向電圧降下 (V f) が最も小さく、負荷 2 c の順方向電圧降下が最も大きい。

20

なお、負荷 2 a , 2 b , 2 c が半導体発光素子以外のもの (例えば、白熱灯、放電灯、抵抗器、ヒーター又はモーター等) でもよい。負荷 2 a , 2 b , 2 c が半導体発光素子等の光源である場合、駆動装置 1 0 B 及び負荷 2 a , 2 b , 2 c を備える装置は発光装置である。

【 0 0 5 9 】

負荷 2 a , 2 b , 2 c のアノードが抵抗器 3 0 を介して電源回路 2 0 の出力端子に接続されている。負荷 2 a , 2 b , 2 c のカソードがそれぞれスイッチング素子 1 8 a , 1 8 b , 1 8 c を介して基準電位部 1 9 に接続されている。

30

電流値 I out が検出値 D として電源回路 2 0 の電源制御部 2 5 に帰還される。

【 0 0 6 0 】

演算処理装置 1 1 は信号 S 1 をスイッチング素子 1 8 a の制御端子に出力し、信号 S 2 をスイッチング素子 1 8 b の制御端子に出力し、信号 S 3 をスイッチング素子 1 8 c の制御端子に出力する。演算処理装置 1 1 が出力する信号 S a , S 1 , S 2 , S 3 , S 4 の波形は図 2 又は図 3 に示すとおりである。

【 0 0 6 1 】

信号 S a , S 1 , S 2 , S 3 , S 4 の波形が図 2 に示すとおりである場合、駆動装置 1 0 B の動作について説明する。

40

期間 P 1 ではスイッチング素子 1 8 a がオンであり、信号 S a のレベル L 1 に従った出力電流値 I out の電力が負荷 2 a に供給され、負荷 2 a が発光する。

期間 P 4 ではスイッチング素子 1 7 がオンであり、出力キャパシタ 1 5 の放電による電流が抵抗器 1 6 及びスイッチング素子 1 7 に流れ、出力電流値 I out がゼロに保たれる。

期間 P 2 ではスイッチング素子 1 8 b がオンであり、信号 S a のレベル L 2 に従った出力電流値 I out の電力が負荷 2 b に供給され、負荷 2 b が発光する。

期間 P 5 ではスイッチング素子 1 7 がオンであり、出力キャパシタ 1 5 の放電による電流が抵抗器 1 6 及びスイッチング素子 1 7 に流れ、出力電流値 I out がゼロに保たれる。

期間 P 3 ではスイッチング素子 1 8 c がオンであり、信号 S a のレベル L 3 に従った出力電流値 I out の電力が負荷 2 c に供給され、負荷 2 c が発光する。

50

期間 P 6 ではスイッチング素子 1 7 がオンであり、出力キャパシタ 1 5 の放電による電流が抵抗器 1 6 及びスイッチング素子 1 7 に流れ、出力電流値 I_{out} がゼロに保たれる。

【 0 0 6 2 】

信号 S_a , S_1 , S_2 , S_3 , S_4 の波形が図 3 に示すとおりである場合、駆動装置 1 0 B の動作について説明する。

期間 P 1 1 ではスイッチング素子 1 8 a がオンであり、信号 S_a のレベル L 1 に従った出力電流値 I_{out} の電力が負荷 2 a に供給され、負荷 2 a が発光する。

期間 P 1 2 ではスイッチング素子 1 8 b がオンであり、信号 S_a のレベル L 2 に従った出力電流値 I_{out} の電力が負荷 2 b に供給され、負荷 2 b が発光する。

期間 P 1 3 ではスイッチング素子 1 8 c がオンであり、信号 S_a のレベル L 3 に従った出力電流値 I_{out} の電力が負荷 2 c に供給され、負荷 2 c が発光する。

期間 P 1 4 ではスイッチング素子 1 7 がオンであり、出力キャパシタ 1 5 の放電による電流が抵抗器 1 6 及びスイッチング素子 1 7 に流れ、出力電流値 I_{out} がゼロに保たれる。

従って、一周期 P 1 0 の間では、負荷 2 a , 2 b , 2 c は順方向電圧降下 (V_f) の昇順に電力が供給される。

【 0 0 6 3 】

なお、電圧値 V_{out} が検出値 D として電源回路 2 0 の電源制御部 2 5 に帰還され、電源回路 2 0 の出力電圧値 V_{out} が信号 S_a のレベルに従うようフィードバック制御されてもよい。

【 0 0 6 4 】

本実施形態のように、三つのスイッチング素子 1 8 a , 1 8 b , 1 8 c を有し、三つの負荷 2 a , 2 b , 2 c を駆動する場合も、適切なタイミングで、突入電流の原因となる電荷を、スイッチング素子 1 7 を経由して放電させることにより、三つの負荷 2 a , 2 b , 2 c に突入電流が流れて負荷が破壊されてしまうような現象を防止して、負荷を適切に駆動することができる。

【 0 0 6 5 】

〔第 4 の実施の形態〕

図 5 を参照して、第 2 実施形態に係る発光装置を備える投影装置について説明する。図 5 は、投影装置の光学ユニットを示した平面図である。

【 0 0 6 6 】

図 5 に示すように、投影装置は、駆動装置 1 0 B 及び負荷 (半導体発光素子) 2 a , 2 b , 2 c を有する発光装置に加えて、励起光蛍光変換装置 8 0 、光学系 7 0 、表示素子 7 5 及び投影レンズユニット 9 0 等を備える。

【 0 0 6 7 】

負荷 2 b が青色発光ダイオードであり、負荷 2 a が赤色発光ダイオードである。負荷 2 a と負荷 2 b はこれらの光軸が直交するように配置されている。

【 0 0 6 8 】

負荷 2 c の数は複数である。これら負荷 2 c は、二次元アレイ状に配列されている。負荷 2 c から発するレーザー励起光の波長帯域は、青色帯域又は紫外線帯域であるが、特に限定するものではない。負荷 2 c が励起光のレーザーダイオードである。負荷 2 c と負荷 2 b はこれらの光軸が直交するように配置されている。

【 0 0 6 9 】

励起光蛍光変換装置 8 0 は、負荷 2 c によって発せられた励起光から緑色の蛍光を生成するものである。励起光蛍光変換装置 8 0 は、複数のコリメータレンズ 8 1 、レンズ群 8 2 、レンズ群 8 3 、蛍光体ホイール 8 4 及びスピンドルモーター 8 5 を有する。コリメータレンズ 8 1 が負荷 2 c にそれぞれ対向配置され、各負荷 2 c によって発せられたレーザー励起光がコリメータレンズ 8 1 によってコリメートされる。レンズ群 8 2 及びレンズ群 8 3 は、同一光軸上に配置されている。レンズ群 8 2 及びレンズ群 8 3 は、コリメータレンズ 8 1 によってコリメートされたレーザー励起光の光束群を一つに纏めて、集光させる

10

20

30

40

50

【0070】

蛍光体ホイール84は、複数の負荷2cが二次元アレイ状に配列された面に対向配置されている。レンズ群82及びレンズ群83が蛍光体ホイール84と負荷2cとの間に配置されており、レンズ群82及びレンズ群83の光軸が蛍光体ホイール84に直交する。また、レンズ群82, 83の光軸は、負荷2c, 32cの光軸と平行であり、かつ、負荷2bの光軸に直交する。

【0071】

レンズ群82及びレンズ群83によって集光されたレーザー励起光は蛍光体ホイール84に照射される。蛍光体ホイール84は、レーザー励起光によって励起されて緑色光を発生する緑色蛍光体を鏡面ホイールに形成したものである。そのため、レーザー励起光が蛍光体ホイール84の緑色蛍光体に照射されることによって、その緑色蛍光体から緑色光が発生する。蛍光体ホイール84がスピンドルモーター85に連結され、蛍光体ホイール84がスピンドルモーター85によって回転される。

10

【0072】

なお、励起光を発生する複数の負荷2cを、緑色光を発生する一つの発光素子(発光ダイオード)に変更してもよい。その場合、蛍光体ホイール84とレンズ群83の光軸が交差する個所に負荷2cを設け、コリメータレンズ81及びレンズ群82を省略することができる。

【0073】

続いて、光学系70について詳細に説明する。光学系70は、負荷2aによって発生された赤色光の光軸、蛍光体ホイール84によって発生された緑色光の光軸及び負荷2bによって発生された青色光の光軸を一つに重ねて、これらの赤色光、緑色光及び青色光を表示素子75に照射するものである。この光学系70は、レンズ群70a、レンズ70b、レンズ群70c、第一ダイクロイックミラー70d、第二ダイクロイックミラー70e、レンズ70f、反射ミラー70g、レンズ70h、インテグレート光学素子70i、レンズ70j、光軸変換ミラー70k、集光レンズ群70m、照射ミラー70p及び照射レンズ70qを有する。

20

【0074】

レンズ群70aは、負荷2bに対向する。レンズ群70a及びレンズ70bは、これらの光軸が一直線状になるように配列されている。レンズ群70a及びレンズ70bは、これらの光軸がレンズ群82とレンズ群83の間でレンズ群82及びレンズ群83の光軸に対して直交するように配置されている。

30

【0075】

第一ダイクロイックミラー70dは、レンズ群70aとレンズ70bとの間に配置されているとともに、レンズ群82とレンズ群83との間に配置されている。第一ダイクロイックミラー70dは、レンズ群82, 83の光軸に対して45°で斜交するとともに、レンズ群70a及びレンズ70bの光軸に対して45°で斜交する。第一ダイクロイックミラー70dは、負荷2cによって発生された波長帯域の励起光(例えば、青色の励起光)を蛍光体ホイール84に向けて透過させるとともに、負荷2bによって発生された青色波長帯域の光を第二ダイクロイックミラー70eに向けて透過させる。また、第一ダイクロイックミラー70dは、蛍光体ホイール84によって発生された緑色波長帯域の光を第二ダイクロイックミラー70eに向けて反射させる。

40

【0076】

レンズ群70cは、負荷2aに対向する。レンズ群70cは、その光軸がレンズ70bに関して負荷2b及び第一ダイクロイックミラー70dの反対側でレンズ群70a及びレンズ70bの光軸に対して直交するように配置されている。

【0077】

第二ダイクロイックミラー70eは、レンズ群70cに関して負荷2aの反対側に配置されているとともに、レンズ70bに関して第一ダイクロイックミラー70dの反対側に

50

配置されている。第二ダイクロイックミラー70eは、レンズ群70cの光軸に対して45°で斜交するとともに、レンズ群70a及びレンズ70bの光軸に対して45°で斜交する。第二ダイクロイックミラー70eは、第一ダイクロイックミラー70dからの青色及び緑色の波長帯域の光をレンズ70fに向けて透過させるとともに、負荷2aによって発せられた赤色の波長帯域の光をレンズ70fに向けて反射させる。

【0078】

レンズ70fは、第二ダイクロイックミラー70eに関してレンズ70bの反対側に配置されている。レンズ70fは、その光軸がレンズ70b及びレンズ群70aの光軸と重なるように配置されている。

【0079】

レンズ70h、インテグレート光学素子70i及びレンズ70jは、これらの光軸が一直線状になるように配置されている。レンズ70h、インテグレート光学素子70i及びレンズ70jの光軸はレンズ70f、レンズ70b及びレンズ群70aの光軸に直交する。

【0080】

反射ミラー70gは、レンズ70hの光軸とレンズ70fの光軸が交差する個所に配置されている。反射ミラー70gは、レンズ70f、70b及びレンズ群70aの光軸に対して45°で斜交するとともに、レンズ70h、インテグレート光学素子70i及びレンズ70jの光軸に対して45°で斜交する。赤色光、緑色光及び青色光はレンズ70f及びレンズ70hによって集光されつつ、反射ミラー70gによってインテグレート光学素子70iに向けて反射される。

【0081】

インテグレート光学素子70iは、ライトトンネル又はライトロッドである。インテグレート光学素子70iのレンズ70h側の入射面に入射した光はインテグレート光学素子70i内を反対側の端面(出射面)まで導光され、反対側の端面から出射する。インテグレート光学素子70iは、出射光の光軸に直交する面に沿った出射光の照度分布を均一にするものである。

【0082】

レンズ70jは、インテグレート光学素子70iによって導光された赤色光、緑色光及び青色光を光軸変換ミラー70kに向けて投射するとともに、集光する。光軸変換ミラー70kは、レンズ70jによって投射された赤色光、緑色光及び青色光を集光レンズ群70mに向けて反射させる。集光レンズ群70mは、光軸変換ミラー70kによって反射された赤色光、緑色光及び青色光を照射ミラー70pに向けて投射するとともに、集光する。照射ミラー70pは、集光レンズ群70mによって投射された光を表示素子75に向けて反射させる。照射レンズ70qは、照射ミラー70pによって反射された光を表示素子75へ投射する。

【0083】

表示素子75は反射型の空間光変調器であり、より具体的にはデジタル・マイクロミラー・デバイス(DMD)である。表示素子75はドライバによって駆動される。つまり、赤色光が表示素子75に照射されている時に、表示素子75の各可動マイクロミラーが制御(例えば、PWM制御)されることで、赤色光が後述の投影レンズユニット90に向けて反射される時間比(デューティ比)が可動マイクロミラー毎に制御される。これにより、表示素子75によって赤色の画像が形成される。緑色光や青色光が表示素子75に照射されている際も、同様である。なお、表示素子75が反射型の空間光変調器ではなく、透過型の空間光変調器(例えば、液晶シャッターアレイパネル:いわゆる液晶表示器)であってもよい。表示素子75が透過型の空間光変調器である場合、光学系70の光学設計を変更し、投影レンズユニット(投影光学系)90の反対側から表示素子75に光を照射するようにする。

【0084】

投影レンズユニット90は表示素子75に対向するように設けられ、投影レンズユニッ

10

20

30

40

50

ト 90 の光軸が前後に延びて表示素子 75 に交差（具体的には、直交）する。投影レンズユニット 90 は、表示素子 75 によって反射された光を前方に投射することによって、表示素子 75 によって形成された画像をスクリーンに投影する。この投影レンズユニット 90 は、可動レンズ群 91 及び固定レンズ群 92 等を備える。投影レンズユニット 90 は、可動レンズ群 91 の移動によって、焦点距離が変更可能であるとともに、フォーカシングが可能である。

【 0085 】

なお、図 5 に示す投影装置をリアプロジェクション表示装置に適用してもよい。リアプロジェクション表示装置は、透過型スクリーンと、この透過型スクリーンの裏側に設けられ、その透過型スクリーンの裏側からその透過型スクリーンに投影する投影装置とを備えるものである。透過型スクリーンの形状は矩形状に限らず、人物、動物その他のキャラクタの外形であってもよい。

【 0086 】

以上に本発明の実施形態を説明したが、本発明の技術的範囲は上述の実施の形態に限定するものではなく、特許請求の範囲に記載に基づいて定められる。更に、特許請求の範囲に記載から本発明の本質とは関係のない変更を加えた均等な範囲も本発明の技術的範囲に含む。

以下に、この出願の願書に最初に添付した特許請求の範囲に記載した発明を付記する。付記に記載した請求項の項番は、この出願の願書に最初に添付した特許請求の範囲の通りである。

〔付記〕

< 請求項 1 >

負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、前記電源回路の出力電流値又は出力電圧値を制御する制御部と、を備え、前記制御部が、前記スイッチング素子をオン・オフするとともに、前記スイッチング素子をオンにする期間中の前記電源回路の出力電流値又は出力電圧値を、その期間中の前記電源回路の出力端子の電圧がその期間の後に前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下になるような値に制御することを特徴とする駆動装置。

< 請求項 2 >

前記制御部が、前記スイッチング素子をオンにする期間中の前記電源回路の出力電流値又は出力電力値をゼロに制御することを特徴とする請求項 1 に記載の駆動装置。

< 請求項 3 >

前記制御部が、前記スイッチング素子をオンにする期間中の前記電源回路の出力電圧値を、その後に前記スイッチング素子をオフにする期間中の出力電圧値以下に制御することを特徴とする請求項 1 に記載の駆動装置。

< 請求項 4 >

前記制御部が、前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値を一定に制御することを特徴とする請求項 1 から 3 の何れか一項に記載の駆動装置。

< 請求項 5 >

前記制御部が、前記スイッチング素子をオフにする期間中の前記電源回路の出力電圧値又は出力電流値を段階的に上昇させることを特徴とする請求項 1 から 3 の何れか一項に記載の駆動装置。

< 請求項 6 >

前記制御部が、前記スイッチング素子をオンからオフに切り替えた直後の前記電源回路の出力電圧値又は出力電流値を、前記スイッチング素子をオフからオンに切り替えた直前

10

20

30

40

50

の前記電源回路の出力電圧値又は出力電流値よりも低く制御することを特徴とする請求項 5 に記載の駆動装置。

< 請求項 7 >

前記スイッチング素子をオンにする期間の長さは、その期間中に前記電源回路の出力端子の電圧が、その後前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下にまで低下するような長さである

ことを特徴とする請求項 1 から 6 の何れか一項に記載の駆動装置。

< 請求項 8 >

前記スイッチング素子をオンにする期間の長さは、前記スイッチング素子をオフからオンに切り替える直前に制御する前記電源回路の出力電圧値又は出力電流値と前記スイッチング素子をオンからオフに切り替える直後に制御する前記電源回路の出力電圧値又は出力電流値との差に応じたものである

ことを特徴とする請求項 6 に記載の駆動装置。

< 請求項 9 >

前記電源回路の出力端子と前記基準電位部との間に前記負荷とともに直列接続された第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子のオン・オフに対して逆相的に前記第二スイッチング素子をオン・オフする

ことを特徴とする請求項 1 から 8 の何れか一項に記載の駆動装置。

< 請求項 10 >

前記電源回路の出力端子と前記基準電位部との間に、複数の前記負荷それぞれとともに直列接続された複数の第二スイッチング素子を更に備え、

前記制御部が、前記複数の第二スイッチング素子を時間的間隔を置いて順次オンにするよう前記複数の第二スイッチング素子をオン・オフし、前記複数の第二スイッチング素子の何れかをオンにする期間中に前記第一スイッチング素子をオフにし、前記複数の第二スイッチング素子の全てをオフにする期間中に前記第一スイッチング素子をオンにする

ことを特徴とする請求項 1 から 4 の何れか一項に記載の駆動装置。

< 請求項 11 >

前記電源回路の出力端子と前記基準電位部との間に、複数の前記負荷それぞれとともに直列接続された複数の第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子をオフにする期間中に前記複数の第二スイッチング素子を順次オンにするよう前記複数の第二スイッチング素子をオン・オフする

ことを特徴とする請求項 1 から 3、5、6 の何れか一項に記載の駆動装置。

< 請求項 12 >

前記電源回路の出力端子と前記基準電位部との間に、複数の前記負荷それぞれとともに直列接続された複数の第二スイッチング素子を更に備え、

前記制御部が、前記スイッチング素子をオフにする期間中に前記複数の第二スイッチング素子を順次オンにするように前記複数の第二スイッチング素子をオン・オフするとともに、前記電源回路の出力電圧値又は出力電流値を上昇させる時に前記複数の第二スイッチング素子の何れかをオフからオンに切り替える

ことを特徴とする請求項 5 又は 6 に記載の駆動装置。

< 請求項 13 >

前記複数の負荷がダイオードであり、

前記複数の第二スイッチング素子に接続された前記複数の負荷の順方向電圧降下の昇順に前記複数の第二スイッチング素子をオンにする

ことを特徴とする請求項 11 又は請求項 12 に記載の駆動装置。

< 請求項 14 >

請求項 1 から 13 の何れか一項に記載の駆動装置と、

前記負荷としての発光素子と、を備える

ことを特徴とする発光装置。

10

20

30

40

50

< 請求項 15 >

請求項 14 に記載の発光装置を備えることを特徴とする投影装置。

< 請求項 16 >

負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、を備える駆動装置を制御する制御方法であって、

前記スイッチング素子をオン・オフするとともに、前記スイッチング素子をオンにする期間中の前記電源回路の出力電流値又は出力電圧値を、その後前記スイッチング素子をオフにする期間中の前記負荷にかかる電圧以下の電圧になるような値に制御することを特徴とする制御方法。

10

< 請求項 17 >

負荷が接続された出力端子の出力電流値又は出力電圧値を変更可能な電源回路と、前記電源回路の出力端子と基準電位部との間に接続された出力キャパシタと、前記電源回路の出力端子と前記基準電位部との間に接続されたスイッチング素子と、前記電源回路の出力電流値又は出力電圧値を変動させる制御部と、を備え、前記制御部が、前記電源回路の出力電流値又は出力電圧値を大レベル、その大レベルよりも低い小レベル、その小レベル以上且つ大レベル未満の中レベルの順に制御するとともに、前記電源回路の出力電流値又は出力電圧値を前記大レベル及び前記中レベルに制御する期間中に前記スイッチング素子をオフにし、前記電源回路の出力電流値又は出力電圧値を前記大レベル及び前記小レベルに制御する期間中に前記スイッチング素子をオンにすることを特徴とする駆動装置。

20

< 請求項 18 >

前記制御部が、前記電源回路の出力電流値又は出力電圧値を前記中レベルにした後に前記スイッチング素子をオン・オフするとともに、前記スイッチング素子のオンの期間中に前記電源回路の出力電流値又は出力電圧値を前記小レベルに制御し、前記スイッチング素子のオフの期間中に前記電源回路の出力電流値又は出力電圧値を一定に制御し、前記スイッチング素子のオフに同期して前記電源回路の出力電流値又は出力電圧値を前記中レベルから前記大レベルに間欠的且つ段階的に上昇させることを特徴とする請求項 17 に記載の駆動装置。

30

< 請求項 19 >

前記制御部が、前記電源回路の出力電流値又は出力電圧値を前記中レベルにした後、前記スイッチング素子をオフ状態に保った状態で前記電源回路の出力電流値又は出力電圧値を前記中レベルから前記大レベルに段階的に上昇させることを特徴とする請求項 17 に記載の駆動装置。

【符号の説明】

【 0087 】

2, 2a, 2b, 2c 負荷

10, 10B 駆動装置

11 演算処理装置

15 出力キャパシタ

17 スwitching素子 (switching素子)

18, 18a, 18b, 18c スwitching素子 (第二switching素子)

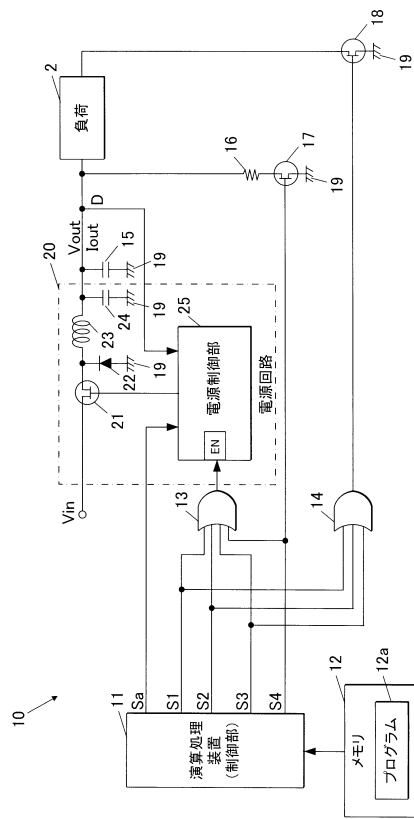
20 電源回路

L1 レベル (中レベル)

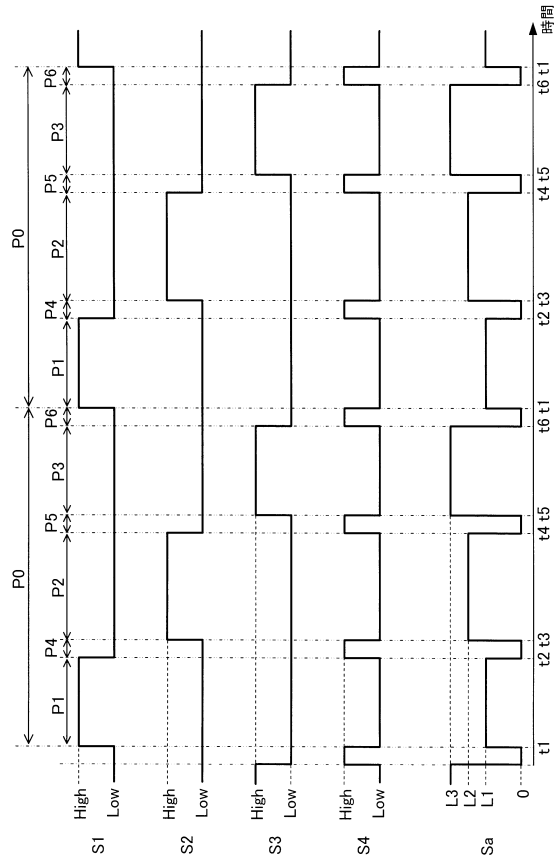
L3 レベル (大レベル)

40

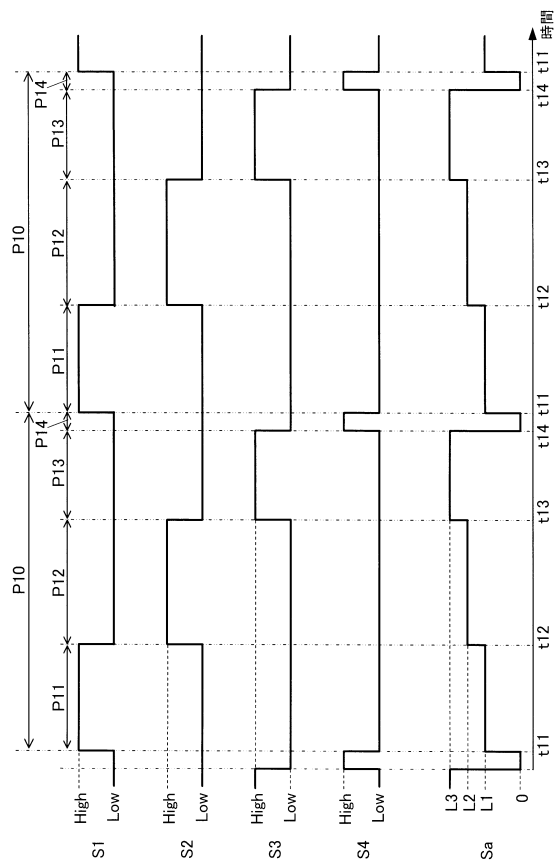
【図 1】



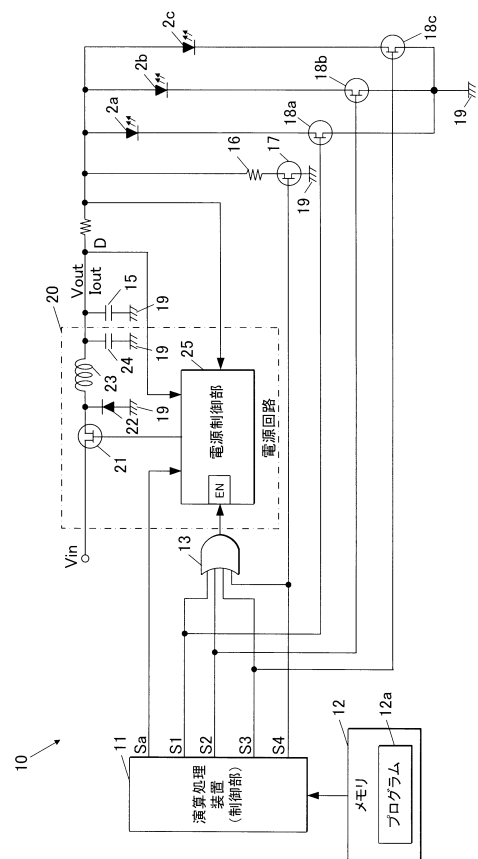
【図 2】



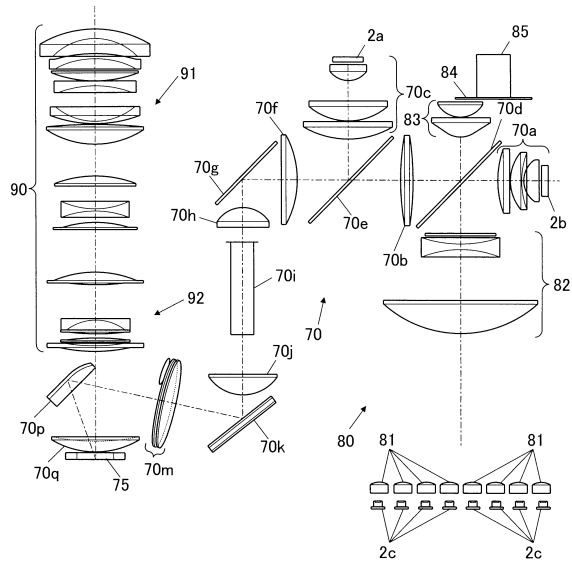
【図 3】



【図 4】



【 図 5 】



フロントページの続き

(56)参考文献 特開2013-021116(JP,A)
特開2013-093147(JP,A)
特開2012-038781(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00 ~ 3/44
H05B37/02