



(12) 发明专利

(10) 授权公告号 CN 107925564 B

(45) 授权公告日 2020.12.29

(21) 申请号 201680050195.8

(72) 发明人 Y·段 C·李 H·丹恩 O·翁

(22) 申请日 2016.08.09

(74) 专利代理机构 上海专利商标事务有限公司 31100

(65) 同一申请的已公布的文献号

申请公布号 CN 107925564 A

代理人 袁逸 陈炜

(43) 申请公布日 2018.04.17

(51) Int.CI.

(30) 优先权数据

14/842,610 2015.09.01 US

H04L 7/033 (2006.01)

H03K 5/135 (2006.01)

(85) PCT国际申请进入国家阶段日

2018.02.28

(56) 对比文件

CN 1780488 A, 2006.05.31

(86) PCT国际申请的申请数据

PCT/US2016/046208 2016.08.09

CN 103684363 A, 2014.03.26

(87) PCT国际申请的公布数据

W02017/039984 EN 2017.03.09

CN 1574629 A, 2005.02.02

CN 104113329 A, 2014.10.22

CN 102456087 A, 2012.05.16

审查员 温丽丽

(73) 专利权人 高通股份有限公司

权利要求书4页 说明书21页 附图21页

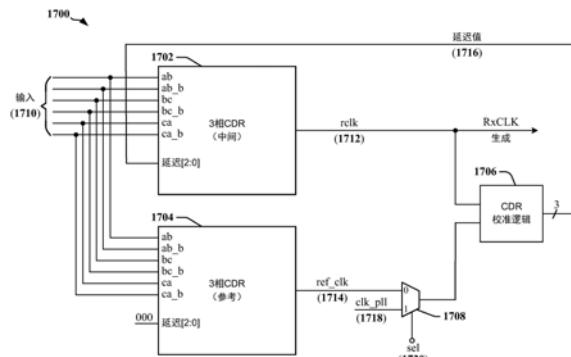
地址 美国加利福尼亚州

(54) 发明名称

用于多相时钟数据恢复电路校准的方法和装置

(57) 摘要

公开了用于时钟校准的方法、装置和系统。一种时钟数据恢复电路校准方法包括：配置第一时钟恢复电路以提供具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲的时钟信号、以及通过以下来校准第一时钟恢复电路：递增地增加由该第一时钟恢复电路的延迟元件提供的延迟时段，直到由该第一时钟恢复电路提供的该时钟信号具有小于该第一频率的频率以及，当该第一时钟恢复电路具有小于该第一频率的频率时，递增地增加由该第一时钟恢复电路的该延迟元件提供的该延迟时段，直到由该第一时钟恢复电路提供的该时钟信号具有与第一频率相匹配的频率。



1. 一种用于数据通信的方法,包括:

将第一时钟恢复电路配置成提供时钟信号,所述时钟信号具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲;以及

通过以下来校准所述第一时钟恢复电路:

增量地增加由所述第一时钟恢复电路的延迟元件提供的延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有小于所述第一频率的频率;以及

当所述第一时钟恢复电路具有小于所述第一频率的频率时,增量地降低由所述第一时钟恢复电路的所述延迟元件提供的所述延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有与所述第一频率相匹配的频率。

2. 如权利要求1所述的方法,其特征在于,所述第一时钟恢复电路的所述延迟元件控制与脉冲生成循环相关联的环路延迟,所述脉冲生成循环用于响应于在所述3线3相接口上传送的每个码元的信令状态中的第一检出转变而控制与用于生成脉冲的脉冲生成循环相关联的环路延迟,其中对信令状态的其他转变的检测在所述脉冲生成循环期间被抑制。

3. 如权利要求1所述的方法,其特征在于,增量地增加所述延迟时段包括:

增加所述延迟时段直到由所述第一时钟恢复电路提供的所述时钟信号具有所述第一频率的一半的频率。

4. 如权利要求1所述的方法,进一步包括:

配置第二时钟恢复电路以提供用于校准所述第一时钟恢复电路的参考信号,其中所述参考信号具有与所述第一频率相匹配的频率。

5. 如权利要求4所述的方法,其特征在于,所述第二时钟恢复电路通过为从所述3线3相接口接收的码元流中的每个码元生成单个脉冲来提供所述参考信号。

6. 如权利要求4所述的方法,其特征在于,校准所述第一时钟恢复电路包括:

在多个校准循环中的每个校准循环期间将所述时钟信号和所述参考信号的频率进行比较;

当所述时钟信号具有大于所述参考信号的所述频率的频率时增加所述延迟时段;

当所述时钟信号具有小于所述参考信号的所述频率的频率时降低所述延迟时段;以及

当所述时钟信号具有等于所述参考信号的所述频率的频率时终止所述多个校准循环。

7. 如权利要求1所述的方法,其特征在于,校准所述第一时钟恢复电路包括:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上增加所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

8. 如权利要求1所述的方法,其特征在于,校准所述第一时钟恢复电路包括:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上降低所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

9. 一种用于数据通信的设备,包括:

用于从3线3相接口信号中恢复信号的装置包括第一时钟恢复电路;

用于将所述第一时钟恢复电路配置成提供时钟信号的装置,所述时钟信号具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲;以及

用于校准所述第一时钟恢复电路的装置,所述装置被配置成:

增量地增加由所述第一时钟恢复电路的延迟元件提供的延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有小于第一频率的频率;以及

当所述第一时钟恢复电路具有小于所述第一频率的频率时,增量地降低由所述第一时钟恢复电路的所述延迟元件提供的所述延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有与第一频率相匹配的频率。

10. 如权利要求9所述的设备,其特征在于,所述第一时钟恢复电路的所述延迟元件控制与脉冲生成循环相关联的环路延迟,所述脉冲生成循环用于响应于在所述3线3相接口上发送的每个码元的信令状态中的第一检出转变而控制与用于生成脉冲的脉冲生成循环相关联的环路延迟,其中对信令状态的其他转变的检测在所述脉冲生成循环期间被抑制。

11. 如权利要求9所述的设备,其特征在于,所述用于校准所述第一时钟恢复电路的装置被配置成:

增量地增加所述延迟时段直到由所述第一时钟恢复电路提供的所述时钟信号具有所述第一频率的一半的频率。

12. 如权利要求9所述的设备,其特征在于,所述用于从3线3相接口信号中恢复信号的装置包括第二时钟恢复电路,并进一步包括:

用于配置所述第二时钟恢复电路以提供用于校准所述第一时钟恢复电路的参考信号的装置,其中所述参考信号具有与所述第一频率相匹配的频率。

13. 如权利要求12所述的设备,其特征在于,所述第二时钟恢复电路被配置成通过为从所述3线3相接口接收的码元流中的每个码元生成单个脉冲来提供所述参考信号。

14. 如权利要求12所述的设备,其特征在于,所述用于校准所述第一时钟恢复电路的装置被配置成:

在多个校准循环中的每一个校准循环期间将所述时钟信号和所述参考信号的频率进行比较;

当所述时钟信号具有大于所述参考信号的所述频率时增加所述延迟时段;

当所述时钟信号具有小于所述参考信号的所述频率时降低所述延迟时段;以及

当所述时钟信号具有等于所述参考信号的所述频率时终止所述多个校准循环。

15. 如权利要求9所述的设备,其特征在于,所述用于校准所述第一时钟恢复电路的装置被配置成:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上增加所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

16. 如权利要求9所述的设备,其特征在于,所述用于校准所述第一时钟恢复电路的装置被配置成:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上降低所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

17. 一种用于数据通信的装置,包括:

耦合到3线总线的多个差分接收机;

第一时钟恢复电路,所述第一时钟恢复电路被配置成提供时钟信号,所述时钟信号包括与以第一频率在3线3相接口上的码元流中传送的码元相对应的脉冲;以及

处理电路,所述处理电路被配置为通过以下来校准所述第一时钟恢复电路:

增量地增加由所述第一时钟恢复电路的延迟元件提供的延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有小于所述第一频率的频率;以及

当所述第一时钟恢复电路具有小于所述第一频率的频率时,增量地降低由所述第一时钟恢复电路的所述延迟元件提供的所述延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有与第一频率相匹配的频率。

18. 如权利要求17所述的装置,其特征在于,所述第一时钟恢复电路的所述延迟元件控制与脉冲生成循环相关联的环路延迟,所述脉冲生成循环用于响应于在所述3线3相接口上上传送的每个码元的信令状态中的第一检出转变而控制与用于生成脉冲的脉冲生成循环相关联的环路延迟,其中对信令状态的其他转变的检测在所述脉冲生成循环期间被抑制。

19. 如权利要求17所述的装置,其特征在于,所述处理电路被配置成通过以下来校准所述第一时钟恢复电路:

增加所述延迟时段直到由所述第一时钟恢复电路提供的所述时钟信号具有所述第一频率的一半的频率。

20. 如权利要求17所述的装置,进一步包括:

第二时钟恢复电路,所述第二时钟恢复电路被配置成提供处于所述第一频率的参考信号,其中所述参考信号被用于校准所述第一时钟恢复电路。

21. 如权利要求20所述的装置,其特征在于,所述第二时钟恢复电路被配置成通过从所述3线3相接口接收的码元流中的每个码元生成单个脉冲来提供所述参考信号。

22. 如权利要求20所述的装置,其特征在于,所述处理电路被配置成通过以下来校准所述第一时钟恢复电路:

在多个校准循环中的每一个校准循环期间将所述时钟信号和所述参考信号的频率进行比较;

当所述时钟信号具有大于所述参考信号的所述频率的频率时增加所述延迟时段;

当所述时钟信号具有小于所述参考信号的所述频率的频率时降低所述延迟时段;以及

当所述时钟信号具有等于所述参考信号的所述频率的频率时终止所述多个校准循环。

23. 如权利要求20所述的装置,所述处理电路被配置成通过以下来校准所述第一时钟恢复电路:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上增加所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

24. 如权利要求20所述的装置,所述处理电路被配置成通过以下来校准所述第一时钟恢复电路:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上降低所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

25. 一种处理器可读存储介质,包括用于以下的代码:

将第一时钟恢复电路配置成提供时钟信号,所述时钟信号具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲;以及

通过以下来校准所述第一时钟恢复电路:

增量地增加由所述第一时钟恢复电路的延迟元件提供的延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有小于所述第一频率的频率;以及

当所述第一时钟恢复电路具有小于所述第一频率的频率时,增量地降低由所述第一时钟恢复电路的所述延迟元件提供的所述延迟时段,直到由所述第一时钟恢复电路提供的所述时钟信号具有与第一频率相匹配的频率。

26. 如权利要求25所述的存储介质,其特征在于,所述第一时钟恢复电路的所述延迟元件控制与脉冲生成循环相关联的环路延迟,所述脉冲生成循环用于响应于在所述3线3相接口上传送的每个码元的信令状态中的第一检出转变而控制与用于生成脉冲的脉冲生成循环相关联的环路延迟,其中对信令状态的其他转变的检测在所述脉冲生成循环期间被抑制。

27. 如权利要求25所述的存储介质,其特征在于,增量地增加所述延迟时段包括:

增加所述延迟时段直到由所述第一时钟恢复电路提供的所述时钟信号具有所述第一频率的一半的频率。

28. 如权利要求25所述的存储介质,其特征在于,进一步包括:

配置第二时钟恢复电路以提供用于校准所述第一时钟恢复电路的参考信号,其中所述参考信号具有与所述第一频率相匹配的频率。

29. 如权利要求28所述的存储介质,其特征在于,校准所述第一时钟恢复电路包括:

在多个校准循环中的每一个校准循环期间将所述时钟信号和所述参考信号的频率进行比较;

当所述时钟信号具有大于所述参考信号的所述频率的频率时增加所述延迟时段;

当所述时钟信号具有小于所述参考信号的所述频率的频率时降低所述延迟时段;以及

当所述时钟信号具有等于所述参考信号的所述频率的频率时终止所述多个校准循环。

30. 如权利要求25所述的存储介质,其特征在于,校准所述第一时钟恢复电路包括:

配置所述延迟元件以提供初始延迟时段;以及

在多个校准循环上调节所述延迟时段,直到从所述3线3相接口接收到的码元成功地解码训练序列。

用于多相时钟数据恢复电路校准的方法和装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2015年9月1日向美国专利商标局提交的非临时申请No.14/842,610的优先权和权益，其全部内容通过援引纳入于此。

技术领域

[0003] 本公开一般涉及高速数据通信接口，尤其涉及对耦合到多线多相数据通信链路的接收机中的时钟生成电路的校准。

[0004] 背景

[0005] 移动设备(诸如蜂窝电话)的制造商可从各种来源(包括不同制造商)获得移动设备的各组件。例如，蜂窝电话中的应用处理器可从第一制造商获得，而成像设备或相机可从第二制造商获得，以及显示器可从第三制造商获得。可使用基于标准的或专有的物理接口来互连应用处理器、成像设备、显示控制器或其他类型的设备。在一个示例中，可使用由移动行业处理器接口(MIPI)联盟所定义的相机串行接口(CSI)来连接成像设备。在另一示例中，显示器可包括遵从由移动行业处理器接口(MIPI)联盟所规定的显示器串行接口(DSI)标准的接口。

[0006] 由MIPI联盟定义的多相三线(C-PHY)接口使用三重导体在各设备之间传送信息。在C-PHY接口上的码元传输期间，三条导线中的每一者可以在三个信令状态中的一个信令状态中。在该C-PHY接口上传送的码元序列中编码时钟信息，并且接收机从连贯码元之间的转变生成时钟信号。C-PHY接口的最大速度和时钟数据恢复(CDR)电路恢复时钟信息的能力可受与在通信链路的不同导线上传送的信号的转变有关的最大时间变动的限制。接收机可采用延迟电路来确保全部的三重导体在提供采样边缘之前已呈现稳定的信令状态。链路的传输速率可能受限于所使用的延迟值，并且随着多线接口的信令频率的增加，对能够可靠地工作的时钟生成电路的需求也在不断增加。

[0007] 概述

[0008] 本文所公开的实施例提供了实现多线和/或多相通信链路上的改进通信的系统、方法和装备。通信链路可被部署在诸如具有多个集成电路(IC)器件的移动终端之类的装备中。

[0009] 在本公开的一个方面，数据通信的方法包括：配置第一时钟恢复电路以提供具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲的时钟信号、以及校准第一时钟恢复电路。第一时钟恢复电路可通过递增地增加由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有小于第一频率的频率，并且当第一时钟恢复电路具有小于第一频率的频率时，递增地减小由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有与第一频率匹配的频率来校准。

[0010] 在本公开的一个方面，一种用于解码在3线3相接口上传送的数据的设备包括：用于根据3线3相接口信号来包括第一时钟恢复电路的恢复信号的装置、用于配置第一时钟恢

复电路以提供具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲的时钟信号的装置,以及用于校准第一时钟恢复电路的装置。用于校准第一时钟恢复电路的装置可被配置成递增地增加由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有小于第一频率的频率,并且当第一时钟恢复电路具有小于第一频率的频率时,递增地减小由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有与第一频率匹配的频率。

[0011] 在本公开的一个方面,一种用于数据通信的装置包括:耦合到3线总线的多个差分接收机、被配置为提供包括针对在3线3相接口上以第一频率在码元流中传送的每个码元的单个脉冲的第一时钟信号的时钟恢复电路、以及处理电路。处理电路可被配置成通过递增地增加由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有小于第一频率的频率,并且当第一时钟恢复电路具有小于第一频率的频率时,递增地减小由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有与第一频率匹配的频率来校准第一个时钟恢复电路。

[0012] 在本公开的一方面,公开了一种处理器可读存储介质。存储介质可以是非瞬态存储介质并可存储代码,所述代码在由一个或多个处理器执行时使一个或多个处理器:配置第一时钟恢复电路以提供具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲的时钟信号、以及校准第一时钟恢复电路。第一时钟恢复电路可通过递增地增加由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有小于第一频率的频率,并且当第一时钟恢复电路具有小于第一频率的频率时,递增地减小由第一时钟恢复电路的延迟元件提供的延迟时段直到由第一时钟恢复电路提供的时钟信号具有与第一频率匹配的频率来配置。

[0013] 附图简述

[0014] 图1描绘了在各IC设备之间采用数据链路的装备,该数据链路选择性地根据多个可用标准中的一个来操作。

[0015] 图2解说了在各IC设备之间采用数据链路的装备的系统架构,该数据链路选择性地根据多个可用标准中的一个来工作。

[0016] 图3解说了C-PHY 3相数据编码器。

[0017] 图4解说了C-PHY 3相经编码接口中的信令。

[0018] 图5是解说了C-PHY 3相经编码接口中的潜在状态转变的状态图。

[0019] 图6解说了C-PHY解码器。

[0020] 图7是信号上升时间对C-PHY解码器中的转变检测的影响的示例。

[0021] 图8解说了C-PHY解码器中的转变检测。

[0022] 图9解说了在C-PHY接口上传送的连贯码元对之间发生的信号转变的一个示例。

[0023] 图10解说了眼图中的转变区和眼区。

[0024] 图11解说了针对C-PHY 3相接收生成的眼图的示例。

[0025] 图12解说了用于C-PHY 3相接口的CDR电路的示例。

[0026] 图13解说了与图12的CDR电路相关联的时序。

[0027] 图14解说了与具有比在C-PHY 3相信号上传送的各信号之间的偏斜更短的环路时间的CDR电路相关联的时序。

[0028] 图15解说了与具有比C-PHY 3相信号的码元区间更长的环路时间的CDR电路相关联的时序。

[0029] 图16是解说了根据本公开的某些方面来适配的CDR的操作的时序图。

[0030] 图17解说了根据本文所公开的某些方面的时钟生成电路的示例。

[0031] 图18解说了可以用于校准根据本文所公开的某些方面提供的时钟生成电路的电路的一个示例。

[0032] 图19是解说采用可根据本文所公开的某些方面适配的处理电路的装备的示例的框图。

[0033] 图20是根据本文所公开的某些方面的时钟生成的方法的流程图。

[0034] 图21是解说采用根据本文所公开的某些方面适配的处理电路的装备的硬件实现的示例的示图。

[0035] 详细描述

[0036] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文所描述的概念的仅有配置。本详细描述包括具体细节以提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免淹没此类概念。

[0037] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但并不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于是,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说,在计算设备上运行的应用和该计算设备两者都可以是组件。一个或多个组件可驻留在进程和/或执行的线程内,且组件可以本地化在一台计算机上和/或分布在两台或更多台计算机之间。另外,这些组件能从其上存储有各种数据结构的各种计算机可读介质来执行。这些组件可借助于本地和/或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。

[0038] 此外,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X采用A或B”旨在表示任何自然的可兼排列。即,短语“X采用A或B”得到以下任何实例的满足:X采用A;X采用B;或X采用A和B两者。另外,本申请和所附权利要求书中所使用的冠词“一”“和某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0039] 概览

[0040] 本发明的某些方面可应用于由MIPI联盟指定的C-PHY接口,该C-PHY接口可被部署以连接电子设备,这些电子设备是移动装备(诸如电话、移动计算设备、电器、汽车电子设备、航空电子系统等)的子组件。移动装备的示例包括蜂窝电话、智能电话、会话发起协议(SIP)电话、膝上型电脑、笔记本、上网本、智能本、个人数字助理(PDA)、卫星无线电、全球定位系统(GPS)设备、多媒体设备、视频设备、数字音频播放器(例如,MP3播放器)、相机、游戏控制台、可穿戴计算设备(例如,智能手表、健康或健身跟踪器等)、电器、传感器、自动售货机、或任何其他类似的功能设备。

[0041] C-PHY接口是可在带宽有限的信道上提供高吞吐量的高速串行接口。C-PHY接口可

被部署以将应用处理器连接至外围设备(包括显示器和相机)。C-PHY接口将数据编码成在三条导线的集合(其可被称为三重(trio)或三重导线)上的三相信号中传送的码元。该三相信号以不同的相位在三重导线中的每条导线上传送。每个三重导线提供通信链路上的通道。码元区间可被定义成其中单个码元控制三重导线的信令状态的时间区间。在每个码元区间中,一条导线是“未驱动”的,而该三条导线中的其余两条导线被差分地驱动,以使得两条差分驱动的导线中的一条导线呈现第一电压电平,而另一差分驱动的导线呈现与第一电压电平不同的第二电压电平。未驱动的导线可以浮动、被驱动、和/或被终止,以使得其呈现处于或接近第一电压电平与第二电压电平之间的中间电压电平的第三电压电平。在一个示例中,在未驱动的电压为0V的情况下,被驱动的电压电平可以是+V和-V。在另一个示例中,在未驱动的电压为+V/2的情况下,被驱动的电压电平可以是+V和0V。不同码元在每个连贯传送的码元对中传送,并且不同导线对可以在不同码元区间中被差分驱动。

[0042] 图1描绘了可采用C-PHY 3相通信链路的装备100的示例。装备100可包括无线通信设备,该无线通信设备通过射频(RF)通信收发机106与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。通信收发机106可以可操作地耦合至处理电路102。处理电路102可包括一个或多个IC设备,诸如专用IC(ASIC)108。ASIC 108可包括一个或多个处理设备、逻辑电路、等等。处理电路102可包括和/或耦合至可包括处理器可读设备和支持显示器124的设备和/或存储器卡的处理器可读存储(诸如存储器设备112),该处理器可读设备存储和维护可由处理电路102执行或以其它方式使用的数据和指令。处理电路102可由操作系统以及应用编程接口(API)110层中的一者或者来控制,该API 110层支持并使得能执行驻留在存储介质(诸如无线设备的存储器设备112)中的软件模块。存储器设备112可包括只读存储器(ROM)、动态随机存取存储器(DRAM)、一种或多种类型的可编程只读存储器(PROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器类型。处理电路102可包括或访问本地数据库114,该本地数据库114可维护用于配置和操作该装备100的操作参数和其他信息。本地数据库114可使用数据库模块、闪存存储器、磁介质、电可擦除PROM(EEPROM)、光学介质、磁带、软盘或硬盘等中的一者或者来实现。处理电路也可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126)、以及其他组件。

[0043] 图2是解说装备200的某些方面的示意性框图,该装备200包括可通过通信链路220来交换数据和控制信息的多个IC设备202和230。通信链路220可被用于连接彼此位置紧邻或者物理上位于装备200的不同部分中的IC设备对202和230。在一个示例中,通信链路220可被设在搭载IC设备202和230的芯片载体、基板或电路板上。在另一示例中,第一IC设备202可位于折叠式电话的按键板区段中,而第二IC设备230可位于该折叠式电话的显示器区段中。在另一示例中,通信链路220的一部分可包括电缆或光学连接。

[0044] 通信链路220可包括多个信道222、224和226。一个或多个信道226可以是双向的,并且可以工作在半双工和/或全双工模式下。一个或多个信道222和224可以是单向的。通信链路220可以是非对称的,由此在一个方向上提供较高带宽。在本文所描述的一个示例中,第一通信信道222可被称为前向信道222,而第二通信信道224可被称为反向信道224。第一IC设备202可以被指定为主机系统或发射机,而第二IC设备230可以被指定为客户端系统或接收机,即便IC设备202和230两者都被配置成在通信信道222上传送和接收。在一个示例中,前向信道222可以在将数据从第一IC设备202传达给第二IC设备230时以较高数据率操

作,而反向信道224可以在将数据从第二IC设备230传达给第一IC设备202时以较低数据率操作。

[0045] IC设备202和230可各自包括处理器或其它处理和/或计算电路或设备206、236。在一个示例中,第一IC设备202可执行装备200的核心功能,包括建立和维护通过无线收发机204和天线214的无线通信,而第二IC设备230可支持管理或操作显示器控制器232的用户接口,并且可使用相机控制器234来控制相机或视频输入设备的操作。IC设备202和230中的一者或者所支持的其他特征可包括键盘、语音识别组件、以及其他输入或输出设备。显示控制器232可包括支持显示器(诸如液晶显示器(LCD)面板、触摸屏显示器、指示器等)的电路和软件驱动器。存储介质208和238可包括瞬态和/或非瞬态存储设备,其被适配成维持由相应处理器206和236、和/或IC设备202和230的其他组件所使用的指令和数据。每个处理器206、236与其相应的存储介质208和238以及其他模块和电路之间的通信可分别由一条或多条内部总线212和242和/或通信链路220的信道222、223和/或226来促成。

[0046] 反向信道224可以与前向信道222相同的方式操作,并且前向信道222和反向信道224可以能够以相当的速度或以不同的速度进行传送,其中速度可被表示为数据传输速率和/或时钟速率。取决于应用,前向和反向数据率可以基本上相同或相差几个数量级。在一些应用中,单个双向信道226可支持第一IC设备202与第二IC设备230之间的通信。当例如前向和反向信道222和224共享相同的物理连接并且以半双工方式工作时,前向信道222和/或反向信道224可以是可配置成以双向模式操作的。在一个示例中,通信链路220可被操作以根据行业或其他标准在第一IC设备202与第二IC设备230之间传达控制、命令以及其他信息。

[0047] 图2的通信链路220可根据用于C-PHY的MIPI联盟规范来实现并且可提供包括多条信号导线(被标示为M条导线)的有线总线。这M条导线可被配置成携带高速数字接口中(诸如移动显示器数字接口(MDDI)中)的经N相编码数据。这M条导线可促成信道222、224和226中的一者或者上的N相极性编码。物理层驱动器210和240可被配置或适配成生成经N相极性编码数据以供在通信链路220上传输。使用N相极性编码提供了高速数据传递,并且消耗的功率是其它接口的一半或更少,因为在经N相极性编码数据链路中活跃的驱动器较少。

[0048] N相极性编码设备210和/或240通常能够对通信链路220上的每次转变编码多个比特。在一个示例中,3相编码和极性编码的组合可被用于支持宽视频图形阵列(WVGA)每秒80帧的LCD驱动器IC而不需要帧缓冲器,其以810Mbps递送像素数据以供显示器刷新。

[0049] 图3是解说可被用于实现图2中描绘的通信链路220的某些方面的3线、3相极性编码器的示意图300。仅出于简化对本发明的某些方面的描述的目的而选择了3线、3相编码的示例。针对3导线3相编码器所公开的原理和技术可被应用在M导线N相极性编码器的其它配置中。

[0050] 针对3线、3相极性编码方案中的该3条导线中的每一条导线所定义的信令状态可包括未驱动状态、正驱动状态和负驱动状态。可通过在信号导线310a、310b和/或310c中的两条信号导线之间提供电压差分、和/或通过驱动电流流过串联连接的信号导线310a、310b和/或310c中的两条信号导线以使得电流在这两条信号导线310a、310b和/或310c中在不同方向上流动来获得正驱动状态和负驱动状态。可通过将信号导线310a、310b、或310c的驱动器的输出置于高阻抗模式中来实现未驱动状态。替换地或附加地,可通过无源或有源地使

得“未驱动的”信号导线310a、310b或310c达到基本上处于在被驱动的信号导线310a、310b和/或310c上提供的正和负电压电平之间的中间点的电压电平来在信号导线310a、310b或310c上获得未驱动状态。通常情况下,不存在显著电流流过未驱动的信号导线310a、310b或310c。可以使用这三个电压或电流状态(+1, -1, 和0)来标示针对3线、3相极性编码方案所定义的信令状态。

[0051] 3线、3相极性编码器可采用线驱动器308来控制信号导线310a、310b和310c的信令状态。驱动器308可被实现为单位电平电流模式或电压模式驱动器。在一个示例中,每个驱动器308可以接收确定对应信号导线310a、310b和310c的输出状态的两个或更多个信号316a、316b和316c的集合。在一个示例中,两个信号316a、316b、以及316c的该集合可包括上拉信号(PU信号)以及下拉信号(PD信号),该上拉信号以及下拉信号在为高时,激活将信号导线310a、310b、以及310c分别朝着较高电平或较低电平驱动的上拉和下拉电路。在这一示例中,在PU信号和PD信号两者都为低时,信号导线310a、310b、和310c可被终止在中间电压电平。

[0052] 对于M线、N相极性编码方案中的每个所传送码元区间,至少一条信号导线310a、310b或310c处于中间电平/未驱动(0)电压或电流状态,而正驱动(+1电压或电流状态)信号导线310a、310b或310c的数目等于负驱动(-1电压或电流状态)信号导线310a、310b或310c的数目,以使得流向接收机的电流之和总是为零。对于每个码元,至少一条信号导线310a、310b或310c的状态相对于之前传输区间中传送的码元发生了改变。

[0053] 在操作中,映射器302可接收16位数据310并将其映射至7个码元312。在3线示例中,该7个码元中的每个码元针对一个码元区间定义信号导线310a、310b和310c的状态。该7个码元312可以使用并行到串行转换器304被串行化,并行到串行转换器304针对每条信号导线310a、310b和310c提供定时的码元序列314。码元序列314通常使用传输时钟来定时。3线3相位编码器306一次一码元地接收由映射器产生的7码元序列314,并且针对每个码元区间计算每条信号导线310a、310b和310c的状态。3线编码器306基于当前输入码元314以及信号导线310a、310b和310c的先前状态来选择信号导线310a、310b和310c的状态。

[0054] 对M线、N相编码的使用准许数个比特被编码在多个码元中,其中每码元的比特不是整数。在3导线通信链路的示例中,存在3种可用的可被同时驱动的2导线组合、以及被驱动的导线对上的2种可能的极性组合,从而产生6种可能状态。由于每个转变从当前状态发生,因此在每次转变时有6种状态之中的5种状态可用。在每次转变时,要求至少一条导线的状态改变。在有5种状态的情况下,每码元可编码 $\log_2(5) \approx 2.32$ 个比特。相应地,映射器可接受16比特字并将其转换成7个码元,因为每码元携带2.32个比特的7个码元可编码16.24个比特。换言之,编码五种状态的七个码元的组合具有 5^7 (即78,125)种排列。相应地,这7个码元可被用于编码16比特的 2^{16} (65,536)种排列。

[0055] 图4包括使用三相调制数据编码方案(其基于循环状态图450)来编码的信号的时序图400的示例。信息可被编码在信令状态序列中,其中例如导线或连接器处于由循环状态图450所定义的三相状态S₁、S₂和S₃之一。每种状态可与其他状态隔开120°相移。在一个示例中,可按导线或连接器上的相位状态的旋转方向来编码数据。信号中的相位状态可按顺时针方向452和452'或按逆时针方向454和454'旋转。例如在顺时针方向452和454'上,相位状态可在包括从S₁到S₂、从S₂到S₃和从S₃到S₁的转变中的一者或多者的序列中前进。在逆时针

方向454和454'上,相位状态可在包括从S₁到S₃、从S₃到S₂和从S₂到S₁的转变中的一者或多者的序列中前进。这三条信号导线310a、310b和310c携带相同信号的不同版本,其中这些版本可相对于彼此被移相120°。每个信令状态可被表示为导线或连接器上的不同电压电平和/或电流流过导线或连接器的方向。在3线系统中的信令状态序列中的每种状态期间,每条信号导线310a、310b和310c处于与其他导线不同的信令状态。当在3相编码系统中使用3条以上信号导线310a、310b和310c时,两条或更多条信号导线310a、310b和/或310c在每个信令区间可处于相同的信令状态,但每种状态在每个信令区间中出现在至少一条信号导线310a、310b和/或310c上。

[0056] 可在每个相位转变410处按旋转方向来编码信息,并且3相信号可针对每个信令状态改变方向。可通过考虑哪些信号导线310a、310b和/或310c在相位转变之前和之后处于‘0’状态来确定旋转方向,因为未驱动的信号导线310a、310b和/或310c在旋转三相信号中的每个信令状态处改变,而不管旋转方向如何。

[0057] 该编码方案还可在被有源地驱动的两个信号导线310a、310b和/或310c的极性408中编码信息。在3线实现中的任何时间,信号导线310a、310b、310c中的恰好两个导体是用方向相反的电流和/或用差分电压来驱动的。在一个实现中,可使用两个比特值412来编码数据,其中一个比特被编码在相位转变410的方向中,而第二比特被编码在当前状态的极性408中。

[0058] 时序图400解说了使用相位旋转方向和极性两者的数据编码。曲线402、404和406针对多个相位状态分别与三条信号导线310a、310b和310c上携带的信号有关。最初,相位转变410是顺时针方向的且最高有效比特被设置为二进制‘1’,直至相位转变410的旋转在时间414处切换到逆时针方向(如由最高有效比特的二进制‘0’所表示的)。最低有效比特反映该信号在每种状态中的极性408。

[0059] 根据本文所公开的某些方面,一个比特的数据可被编码在3线、3相编码系统中的旋转或相位变化中,而附加比特可被编码在两条被驱动的导线的极性中。可通过允许从当前状态转变到任一种可能状态来在3线、3相编码系统的每次转变中编码附加信息。在给定3个旋转相位以及每个相位有两种极性的情况下,在3线、3相编码系统中有6种状态可用。相应地,可从任何当前状态得到5种状态,每码元(转变)可编码 $\log_2(5) \approx 2.32$ 个比特,这允许映射器302接受16比特字并将其编码成7个码元。

[0060] N相数据传输可使用在通信介质(诸如总线)中提供的三条以上导线。使用可被同时驱动的附加信号导线提供了状态和极性的更多组合,并且允许在状态间的每次转变处编码更多比特的数据。这可显著地提高系统的吞吐量,并且相对于使用多个差分对来传送数据比特的办法降低了功耗,同时提供了增加的带宽。

[0061] 在一个示例中,编码器可使用6条导线来传送码元,其中对于每种状态,驱动2对导线。6条导线可被标记为A到F,以使得在一种状态中,导线A和F被驱动为正,导线B和E被驱动为负,而C和D未被驱动(或不携带电流)。对于6条导线,可以有:

$$[0062] C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

[0063] 一个可能的被活跃地驱动的导线组合,其中对于每个相位状态,有:

[0064] $C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$

[0065] 个不同的极性组合。

[0066] 这15个不同的被活跃地驱动的导线组合可包括:

A B C D A B C E A B C F A B D E A B D F

[0067] A B E F A C D E A C D F A C E F A D E F
B C D E B C D F B C E F B D E F C D E F

[0068] 在4条被驱动的导线中,可能是两条导线被驱动为正(而另两条必须被驱动为负)的组合。极性组合可包括:

[0069] +--- +--+ +-+- -+-+ -++- --++

[0070] 相应地,不同状态的总数可被计算为 $15 \times 6 = 90$ 。为了确保各码元之间的转变,从任何当前状态有89种状态可用,并且可被编码在每个码元中的比特的数目可被计算为:每码元 $\log_2(89) \approx 6.47$ 个比特。在这一示例中,给定 $5 \times 6.47 = 32.35$ 个比特,映射器可将32比特字编码成5个码元。

[0071] 针对任何大小的总线,可被驱动的导线组合的数目的总方程是总线中的导线数目和同时被驱动的导线数目的函数:

[0072] $C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$

[0073] 用于计算被驱动的导线的极性组合的数目一个等式为:

[0074] $C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\frac{N_{driven}}{2}\right)!^2}$

[0075] 每码元的等效比特数目可被表述为:

[0076] $\log_2\left(C(N_{wires}, N_{driven}) \cdot C\left(N_{driven}, \frac{N_{driven}}{2}\right) - 1\right)$

[0077] 图5是解说3线3相通信链路的一个示例中的6种状态和30种可能状态转变的状态图500。状态图500中的可能状态502、504、506、512、514和516包括图4的循环状态图450中所示的状态并且在这些状态上扩展。如状态元素520的范例中示出的,状态图502中的每种状态502、504、506、512、514和516包括示出(分别在信号导线310a、310b和310c上传送的)信号A、B和C的电压状态的字段522,示出由差分接收机(例如,参见图6的差分接收机602)分别扣除导线电压之后的结果的字段524,以及指示旋转方向的字段526。例如,在状态502(+x)中,导线A=+1、导线B=-1以及导线C=0,从而产生差分接收机702a的输出(A-B)=+2,差分接收机702b的输出(B-C)=-1以及差分接收机702c的输出(C-A)=+1。如由该状态图解说的,由接收机中的相位变化检测电路系统作出的转变判定基于由各差分接收机产生的5种可能电平,其包括-2、-1、0、+1和+2电压状态。

[0078] 图6是解说3线、3相解码器600的某些方面的示图600。差分接收机602和导线状态解码器604被配置成提供三条传输线(例如,图3中解说的信号导线310a、310b和310c)相对

于彼此的状态的数字表示,以及检测这三条传输线的状态相比于在前一码元周期中传送的状态的变化。由串-并转换器606组装七个连贯状态以获得要由解映射器608处理的7个码元的集合。解映射器608产生可被缓冲在先进先出(FIFO)寄存器610中的16比特数据

[0079] 导线状态解码器604可从在信号导线310a、310b和310c上接收到的经相位编码信号中提取码元614的序列。码元614被编码成相位旋转和极性的组合,如本文中所描述的。导线状态解码器可包括CDR电路624,该CDR电路624提取可被用于可靠地从信号导线310a、310b和310c捕捉码元的时钟626。在每个码元边界处发生信号导线310a、310b、以及310c中的至少一条信号导线上的转变,并且CDR电路624可被配置成基于转变的发生或多个转变的发生来生成时钟626。可延迟时钟的边沿以允许所有信号导线310a、310b和310c有时间稳定下来,并由此确保当前码元出于解码目的被捕捉到。

[0080] 3相接口中的抖动

[0081] 3相发射机包括将高、低、以及中间电平电压提供到传送信道上的驱动器。这可导致连贯码元区间之间的一些可变转变时间。高到低和低到高电压转变可被称为全摆幅(full-swing)转变,而低到中间和高到中间电压转变可被称为半摆幅(half-swing)转变。不同类型的转变可具有不同的上升或下降时间,并且可在接收机处导致不同的零交叉。这些差分可导致“编码抖动”,这可能影响链路信号完整性性能。

[0082] 图7是解说C-PHY 3相发射机的输出处的转变可变性的某些方面的时序图700。信号转变时间方面的可变性可归因于3相信令中使用的不同电压和/或电流电平的存在。时序图700解说了从单条信号导线310a、310b或310c中接收的信号的转变时间。在第二码元 Sym_{n+1} 724在第二码元区间中传送时,第一码元 Sym_n 702在结束于时间722处的第一码元区间中被传送。在第三码元 Sym_{n+2} 706在第三码元区间中传送时,第二码元区间可在时间724处结束,第三码元 Sym_{n+2} 706在第四码元 Sym_{n+3} 708在第四码元区间中传送时结束。从由第一码元702确定的状态到对应于第二码元704的状态的转变在可归因于信号导线310a、310b或310c中的电压达到阈值电压718和/或720所花费时间的延迟712之后可以是可检测的。该阈值电压可被用于确定信号导线310a、310b或310c的状态。从由第二码元704确定的状态到第三码元706的状态的转变在可归因于信号导线310a、310b或310c中的电压达到阈值电压718和/或720之一所花费时间的延迟714之后可以是可检测的。从由第三码元706确定的状态到第四码元708的状态的转变在可归因于信号导线310a、310b或310c中的电压达到阈值电压718和/或720所花费时间的延迟716之后可以是可检测的。延迟712、714、716可具有不同的历时,它们可部分归因于设备制造工艺和操作条件的变化,这可能在与这3种状态相关联的不同电压或电流电平和/或不同转变幅值之间对转变产生不平等的影响。这些差分可对C-PHY 3相接收机中的抖动和其他问题作出贡献。

[0083] 图8包括解说可被提供在C-PHY 3相接口中的接收机中的CDR电路的某些方面的示意性框图800。差分接收机802a、802b和802c的集合被配置成:通过将三重导线中的三个信号导线310a、310b和310c中的每一者与三重导线中的三个信号导线310a、310b和310c中的另一者进行比较来生成一组差分信号810。在所描绘的示例中,第一差分接收机802a将信号导线310a和310b的状态进行比较,第二差分接收机802b将信号导线310b和310c的状态进行比较,以及第三差分接收机802c将信号导线310a和310c的状态进行比较。相应地,转变检测电路804可被配置成检测相位改变的发生,因为差分接收机802a、802b和802c中的至少一者

的输出在每个码元区间结束时发生改变。

[0084] 所传送的码元之间的某些转变可以能由单个差分接收机802a、802b或802c来检测,而其他转变可由差分接收机802a、802b和802c中的两者或更多者来检测。在一个示例中,状态、或两条导线的相对状态可以在转变之后不改变,并且对应的差分接收机802a、802b或802c的输出也可以在相位转变之后不改变。在另一示例中,信号导线对310a、310b和/或310c中的两条导线可以在第一时间区间中处于相同状态,并且两条导线可以在第二时间区间中处于相同的第二状态,以及对应的差分接收机802a、802b或802c可以在相位转变之后不改变。相应地,时钟生成电路806可包括转变检测电路804和/或其他逻辑,以监视所有差分接收机802a、802b和802c的输出以便确定相位转变何时已发生,该时钟生成电路可基于所检测到的相位转变来生成接收时钟信号808。

[0085] 3条导线的信令状态的改变可以针对信号导线310a、310b和/或310c的不同组合在不同时间被检测。对信令状态变化的检测定时可根据已发生的信令状态变化的类型而变化。此类可变性的结果在图8的时序图表850中解说。标记822、824和826表示提供给转变检测电路804的差分信号810中的转变的发生。仅为了解说清楚起见,标记822、824和826在时序图850中被指派不同的高度,并且标记822、824和826的相对高度并不旨在示出与用于时钟生成或数据解码的电压或电流电平、极性或者加权值有特定关系。时序图表850解说了与在三条信号导线310a、310b和310c上的相位和极性中传送的码元相关联的转变的定时的影响。在时序图850中,一些码元之间的转变可导致其间可以可靠地捕捉码元的可变捕捉窗口830a、830b、830c、830d、830e、830f和/或830g(统称为码元捕捉窗口830)。所检测到的状态改变的数目和它们的相对定时可导致时钟信号808的抖动。

[0086] C-PHY通信链路的吞吐量可被信号转变时间中的历时和可变性影响。例如,检测电路中的可变性可由制造工艺容限、电压和电流源的变动和稳定性和工作温度,以及由信号线310a、310b和310c的电特性引起。检测电路的可变性可能会限制信道带宽。

[0087] 图9包括表示在某些连贯码元之间从第一信令状态到第二信令状态的转变的某些示例的时序图900和920。在时序图900和920中解说的信令状态转变被选择用于解说目的,并且其他的转变或转变的组合可在MIPI联盟C-PHY接口中发生。时序图900和920涉及3线3相通信链路的示例,其中由于三重导线上的信号电平之间的上升和下降时间的差分,在每个码元区间边界处可发生多个接收机输出转变。还参照图9,第一时序图900解说了三重信号导线310a、310b和310c(A、B、和C)在转变之前和之后的信令状态,并且第二时序图解说了差分接收机802a、802b和802c的各输出,这提供了表示信号导线310a、310b和310c之间的差值的各差分信号810。在许多实例中,差分接收机802a、802b和802c的集合可被配置成通过比较两条信号导线310a、310b和310c的不同组合来捕捉转变。在一个示例中,这些差分接收机802a、802b和802c可被配置成通过确定其相应输入电压的差异(例如,通过减法)来产生输出。

[0088] 在时序图900和920中示出的每个示例中,初始码元(-z)516(见图5)转变成一不同的码元。如在时序图902、904和906中示出的,信号A初始地在+1状态中,信号B在0状态中,并且信号C在-1状态中。相应地,差分接收机802a、802b初始地测量+1差值924,并且差分接收机802c测量-2差值926,如在关于差分接收机输出的时序图922、932、938中示出的。

[0089] 在对应于时序图902、922的第一示例中,从码元(-z)516到码元(-x)512(参见图8)

发生转变,其中在差分接收机802a从+1差值924转变至-2差值930,差分接收机802b保持在+1差值924、928,并且差分接收机802c从-2差值926转变至+1差值928的情况下,信号A转变至-1状态,信号B转变至+1状态,并且信号C转变至0状态。

[0090] 在对应于时序图904、932的第二示例中,发生从码元(-z)516到码元(+z)506的转变,其中信号A转变至-1状态,信号B保持在0状态,并且信号C转变至+1状态,两个差分接收机802a和802b从+1差值924转变至-1差值936,并且差分接收机802c从-2差值926转变至+2差值934。

[0091] 在对应于时序图906、938的第三示例中,发生从码元(-z)516到码元(+x)502的转变,其中信号A保持在+1状态,信号B转变至-1状态,并且信号C转变至0状态,差分接收机802a从+1差值924转变至+2差值940,差分接收机802b从+1差值924转变至-1差值942,并且差分接收机802c从-2差值926转变至-1差值942。

[0092] 这些示例解说了跨越0、1、2、3、4、和5个电平的不同值的转变。用于典型的差分或单端串行发射机的预增强技术是针对两电平转变开发的,并且如果在MIPI联盟C-PHY 3相信号上使用,则可能引入某些不利影响具体而言,在转变期间过驱动信号的预增强电路可在跨越1或2个电平的转变期间导致过冲,并且可能导致在边沿敏感的电路中发生误触发。

[0093] 图10解说了被生成为多个码元区间的覆盖的眼图1000,该眼图1000包括单个码元区间1002。信号转变区1004表示两个码元之间的边界处的不确定性时间段,其中可变的信号上升时间阻碍可靠的解码。状态信息可在由“眼图开口”内的眼图掩模1006定义的区域中可靠地确定,该“眼图开口”表示其中码元稳定且能被可靠地接收和解码的时间段。眼图掩模1006掩蔽掉其中不发生零交叉的区域,并且该眼图掩模被解码器用来防止由于在码元区间边界处跟随在第一信号零交叉之后的后续零交叉的影响而造成的多次时钟计时。

[0094] 信号的周期性采样和显示的概念在设计、适配以及配置使用时钟数据恢复电路的系统期间是有用的,该时钟数据恢复电路使用出现在接收到的数据中的频率转变来重新创建接收到的数据定时信号。基于串行器/解串行器(SERDES)技术的通信系统是其中眼图1000可被用作用于基于眼图1000的眼图开口来判断可靠地恢复数据的能力的基础的系统的示例

[0095] M线N相编码系统(诸如3线3相编码器)可编码在每一信号边界处具有至少一个转变的信号,并且接收机可使用那些受保障的转变来恢复时钟。在紧接码元边界处的第一信号转变之前,接收机可能需要可靠的数据,并且还必须能够可靠地掩蔽掉任何与相同码元边界相关的多个转变的发生。由于M-线(例如,三重导线)上携带的信号之间的上升和下降时间的微小差异以及由于收到信号对的组合(例如,图6的差分接收机802a、802b和802c的A-B、B-C和C-A输出)之间的信号传播时间的微小差异,可能发生多次接收机转变。

[0096] 图11解说了针对C-PHY 3相信号生成的眼图1100的示例。眼图1100可以从多个码元区间1102的覆盖生成。眼图1100可使用固定的和/或与码元无关的触发1130来产生。眼图1100包括增加数目的电压电平1120、1122、1124、1126、1128,它们可以归因于由N相接收机电路的差分接收机802a、802b、802c(参见图8)测量的多个电压电平。在该示例中,眼图1100可对应于提供给差分接收机802a、802b和802c的3线3相编码信号中的可能转变。三个电压电平可导致差分接收机802a、802b和802c生成用于正极性和负极性两者的强电压电平1126、1128和弱电压电平1122、1124。通常,在任何码元中仅一条信号导线310a、310b和310c

是未驱动的，并且差分接收机802a、802b和802c不产生0状态（在此，0伏特）作为输出。与强电平和弱电平相关联的电压不需要关于0伏特电平被均匀间隔开。例如，弱电压电平1122、1124表示对可包括由未驱动的信号导线310a、310b和310c达到的电压电平的电压的比较。眼图1100可交叠由差分接收机802a、802b和802c产生的波形，因为所有三对信号在数据在接收方设备处被捕捉到时被认为是同时的。由差分接收机802a、802b和802c产生的波形表示差分信号810，该差分信号810表示三对信号（A-B、B-C和C-A）的比较。

[0097] 驱动器、接收机和C-PHY 3相解码器中使用的其他设备可呈现可引入从三条导线接收到的信号之间的相对延迟的不同切换特性。由于三重信号导线310a、310b和310c的三个信号之间的上升和下降时间的微小差异以及由于从信号导线310a、310b和310c接收到的信号对的组合之间的信号传播时间的微小差异，可在每个码元区间边界1108和/或1114处观察到多次接收机输出转变。眼图1100可将上升和下降时间的变化捕捉作为每个码元区间边界1108和1114附近的转变中的相对延迟。上升和下降时间的变化可以是由于3相驱动器的不同特性。对于任何给定码元，上升和下降时间的差异还可导致码元区间1102的历时的有效缩短或延长。

[0098] 信号转变区1104表示不确定性的时间或时段，其中可变的信号上升时间阻碍可靠的解码。可在“眼图开口”1106中可靠地确定状态信息，该“眼图开口”1106表示其中码元稳定且能被可靠地接收和解码的时间段。在一个示例中，可确定眼图开口1106在信号转变区1104的结尾1112处开始，并且在码元区间1102的码元区间边界1114处结束。在图11所描绘的示例中，可确定眼图开口1106在信号转变区1104的结尾1112处开始，并且在信号导线310a、310b、310c的信令状态和/或三个差分接收机802a、802b和802c的输出已开始改变以反映下一码元的时间1116处结束。

[0099] 被配置成用于N相编码的通信链路220的最大速度可能受到信号转变区1104相比于与接收到的信号相对应的眼图开口1106的历时的限制。码元区间1102的最小时段可能受到与例如图6中解说的解码器600中的CDR电路624相关联的紧缩设计余裕的约束。不同信令状态转变可与对应于两条或更多条信号导线310a、310b和/或310c的信号转变时间的不同变动相关联，由此导致接收方设备中的差分接收机802a、802b和802c的输出以对于码元区间边界1108的不同时间和/或速率改变，其中差分接收机802a、802b和802c的输入在码元边界1108处开始改变。信号转变时间之间的差异可导致两个或更多个差值信号810中的信令转变之间的定时偏斜。CDR电路可包括延迟元件和其它电路以容适差值信号810之间的定时偏斜。

[0100] 图12提供了用于3线3相接口的CDR电路1200的示例。所解说的CDR电路1200包括许多不同类型的时钟恢复电路共有的某些特征和功能元件。CDR电路1200接收差分信号1202、1204、1206，该差分信号1202、1204、1206可从例如图8的差分接收机802a、802b和802c产生的差分信号810导出。在CDR电路1200中，每个差值信号1202、1204、1206对D触发器对1210a、1210b、1210c进行时钟定时以产生输出信号1230a-1230f。当在对应的差值信号1202、1204、1206上检测到转变时，输出信号1230a-1230f携带脉冲。提供给D触发器上的时钟输入的上升沿通过该D触发器对逻辑一进行时钟定时。可使用反相器1208a、1208b、1208c将差值信号1202、1204、1206的经反相版本提供给每个对应的D触发器对1210a、1210b、1210c中的D触发器中的一者。相应地，每个D触发器对1210a、1210b、1210c响应于在对应的差值信号1202、

1204、1206中检测到的上升沿和下降沿而产生脉冲。

[0101] 例如,AB差值信号1202被提供给第一D触发器对1210a中的第一D触发器1232,并且反相器1208a将AB差值信号1202的经反相版本提供给第一D触发器对1210a中的第二D触发器1234。D触发器初始地处于复位状态。AB差值信号1202上的上升沿通过第一D触发器1232对逻辑一进行时钟定时,从而使得第一触发器的输出(r_{AB})1230a转变至逻辑一状态。AB差值信号1202上的下降沿通过第二D触发器1234对逻辑一进行时钟定时,从而使得第二触发器的输出(f_{AB})1230b转变至逻辑一状态。

[0102] 输出信号1230a-1230f被提供给逻辑(诸如OR(或)门1212),该逻辑产生可充当接收机时钟(RxCLK)信号1222的输出信号。当差值信号1202、1204、1206中的任何差值信号的信令状态发生转变时,RxCLK信号1222转变至逻辑一状态。RxCLK信号1222被提供给可编程延迟元件1214,该可编程延迟元件1214驱动复位信号(rb)1228,该复位信号1228将D触发器对1210a、1210b、1210c中的D触发器复位。在所解说的示例中,当D触发器被低信号复位时,可包括反相器1216。当D触发器被复位时,OR门1212的输出返回到逻辑零状态,并且RxCLK信号1222上的脉冲被终止。当该逻辑零状态通过可编程延迟元件1214和反相器1216传播时,D触发器上的复位条件被释放。当D触发器处于复位条件时,差值信号1202、1204、1206上的转变被忽略。

[0103] 可编程延迟元件1214通常被配置成产生延迟,该延迟具有超过差值信号1202、1204、1206上的第一和最后转变的出现之间的定时偏斜的差值的历时。可编程延迟元件1214配置RxCLK信号1222上的脉冲的历时(即,脉冲宽度)。可在设置(Set)信号1226被处理器或其他控制和/或配置逻辑断言时配置可编程延迟元件1214。

[0104] RxCLK信号1222还可被提供给捕捉差值信号1202、1204、1206的信令状态的三个触发器的集合1220,从而为RxCLK信号1222上出现的每个脉冲提供稳定的输出码元1224。延迟或对准逻辑1218可调节差值信号集合1202、1204、1206的定时。例如,延迟或对准逻辑1218可用于调节差值信号1202、1204、1206相对于RxCLK信号1222上的脉冲的定时,以确保触发器1220在差值信号1202、1204、1206稳定时捕捉差值信号1202、1204、1206的信令状态。延迟或对准逻辑1218可基于被配置用于可编程延迟元件1214的延迟来对差值信号1202、1204、1206的边沿进行延迟。

[0105] 可编程延迟元件1214可被配置在CDR电路1200中,以容适差值信号1202、1204、1206中的转变时间的可能大的变动。在一个示例中,可编程延迟元件1214可引入超过差值信号1202、1204、1206上的第一和最后转变的出现之间的定时偏斜的历时的最小延迟时段。为了CDR电路1200的可靠操作,由可编程延迟元件1214提供的最大延迟时间可能不大于码元区间。在较快的数据率下,定时偏斜随着码元区间1102成比例增加,并且眼图开口1106与码元区间1102相比可以变小。当定时偏斜将眼图开口1106所占用的码元区间1102的百分比降至低于能够支持可靠地捕捉码元的阈值大小时,最大码元传输率可能受限。

[0106] 图13是解说了CDR电路1200的操作的某些方面的时序图。该示图与在可编程延迟元件1214已被配置之后并且设置信号1226不活跃时的操作有关。CDR电路1200作为边沿检测器来操作。C-PHY 3相编码提供了每单元区间(UI)1302单个信令状态转变。三重导线中的每条导线的状态和/或三重导线的传输特性的差异可导致转变出现在两条或更多条导线上的不同时间。差值信号1202、1204、1206中的转变出现的时间的最大差异可被称为偏斜时间

(t_{skew}) 1304。与CDR电路1200相关联的其他延迟包括:通过D触发器对1210a、1210b、1210c的传播延迟(t_{ck2q}) 1314、与传递通过OR门1212的上升沿相关联的传播延迟(t_{OR_0}) 1316、与传递通过OR门1212的下降沿相关联的传播延迟(t_{OR_1}) 1318、组合了由可编程延迟元件1214和驱动器/反相器1216引入的延迟的可编程延迟(t_{pgm}) 1310、以及与D触发器对1210a、1210b、1210c接收到rb信号1228的时间与触发器输出被清除的时间之间的延迟相对应的复位延迟(t_{rst}) 1312。

[0107] 环路时间(t_{loop}) 1320可被定义为:

$$t_{loop} = t_{ck2q} + t_{OR_1} + t_{pgm} + t_{rst} + t_{OR_0} + t_{pgm}.$$

[0109] t_{loop} 1320与UI 1302之间的关系可确定CDR电路1200的操作的可靠性。该关系受到用于传输的时钟频率的影响,该时钟频率对UI 1302、以及可编程延迟元件1214的操作的可变性具有直接影响。

[0110] 在一些设备中,可编程延迟元件1214的操作可以受到制造工艺、电路电压电源、以及管芯温度(PVT)的变动的影响。由可编程延迟元件1214针对所配置的值提供的延迟时间可以在各设备之间和/或设备内的各电路之间显著地变化。在常规系统中,CDR电路1200的标称操作条件一般在设计上设置成在所有PVT条件下在眼图开口1106的中间某处生成时钟边沿,以确保即使在最差情况的PVT影响下,时钟边沿仍出现在信号转变区1104的结尾1112之后并且在至下一码元的转变区的开始之前。当传输频率增加并且差值信号1202、1204、1206的定时偏斜相比于UI 1302较大时,在设计确保眼图开口1106内的时钟边沿的CDR电路1200时会出现困难。例如,典型的延迟元件可产生在所有PVT条件下以因子2变化的延迟值。

[0111] 图14是解说了提供不充分延迟的可编程延迟元件1214的影响的时序图1400。在该示例中, $t_{环路}$ 1406对于观察到的 $t_{偏斜}$ 1404而言太短,并且在一个UI 1402中生成多个时钟脉冲1408、1410。即,环路延迟 $t_{环路}$ 1406相对于 $t_{偏斜}$ 1404不够大,并且差值信号1202、1204、1206上随后出现的转变未被掩蔽。在所描绘的示例中,可在响应于一个差值信号1202中第一出现的转变1412而生成脉冲1408之后,来检测另一差值信号1206中的第二转变1414。在该示例中,恢复出的时钟频率可以是用于在3相接口上传送码元的时钟频率的两倍。

[0112] 图15是解说了提供太长延迟的可编程延迟元件1214的影响的时序图1500。在该示例中, $t_{环路}$ 1506大于UI 1502。CDR电路1200可响应于第一UI 1502中第一出现的转变1514而生成时钟脉冲1508,但是当第二UI 1512中出现转变1516、1518时rb信号1228可以是活跃的,在所描绘的示例中,第二UI 1512中的转变1516、1518被掩蔽,并且对应于第二UI 1512的预期脉冲1510被抑制。在该示例中,恢复出的时钟频率可以是用于在3相接口上传送码元的时钟频率的一半。

[0113] 如图14和15的示例所解说得,CDR电路1200可受制于如下约束:

$$t_{偏斜} < t_{环路} < UI.$$

[0115] 经验证据表明, $t_{环路}$ 1320、1406、1506对PVT非常敏感。在一些实例中,可增加可编程延迟元件1214所提供的延迟以容适PVT的潜在变动的范围。随着数据速率的增加,UI的持续时间降低并且 $t_{偏斜}$ 相对于UI成比例地增加,减少了可用于配置可编程延迟元件1214的潜在的延迟范围。

[0116] C-PHY三相接口的时钟校准

[0117] 本文公开的某些方面涉及在C-PHY多相接收机中使用的时钟恢复电路的校准。时

钟恢复电路可被校准以适应与PVT变化相关联的问题。根据某些方面,C-PHY 3相接收机中的时钟恢复电路可基于UI 1302进行校准(参见图13)。也可被称为码元传输间隔或码元间隔的UI 1302是系统定义的参数,其可被假定为在接收机处PVT条件变化的情况下保持恒定。

[0118] 根据某些方面,当循环时间 $t_{环路}$ 和UI 1302的持续时间之差被最小化时,时钟恢复电路可被校准。当 $t_{环路}$ 从未超过UI 1302的持续时间时,则不会丢失时钟脉冲。当 $t_{环路}$ 接近于UI 1302的持续时间时,获得对UI 1302中的多个脉冲的最大抑制。本文公开的某些方面涉及可被用于配置时钟恢复电路以获得在满足 $t_{环路} < UI$ 的限制的同时提供最大抖动掩蔽的 $t_{环路}$ 持续时间的校准过程。

[0119] 图16是解说根据本文公开的某些方面已经被校准的C-PHY 3相接收机中的时钟恢复电路的操作的时序图1600。在所解说的示例中, $t_{环路}$ 持续时间1604小于UI 1602,并且 $t_{环路}$ 持续时间1604大于 $t_{偏斜}$ 1612。 $t_{环路}$ 持续时间1604与UI 1602之差($UI - t_{环路}$)1606可被最小化,并且例如可通过使用校准过程来配置一个或多个可编程延迟元件来避免图12的CDR电路1200的潜在故障模式。

[0120] 校准可包括观察由时钟恢复电路生成的接收时钟的频率,同时调节影响 $t_{环路}$ 持续时间1604的一个或多个延迟元件。在图12的CDR电路1200的示例中,可编程延迟1214可被用于调节 $t_{环路}$ 持续时间1604。可编程延迟1214可影响RxCLK信号1222的频率,如在图14和15的时序图中所解说的,图14和15解说了CDR电路1200的两种潜在的故障模式。例如,当 $t_{循环} > UI$ 时,发生CDR电路1200的第一故障模式,并且导致由CDR电路1200恢复的RxCLK信号1222具有的频率是C-PHY接口的标称符号传输频率的一半。当 $t_{环路} < t_{偏斜}$ 时,发生CDR电路1200的第二故障模式,其中 $t_{偏斜}$ 表示抖动周期(比照图11的转变区1104),此时由CDR电路1200恢复的RxCLK信号1222具有的频率可以是C-PHY接口的标称码元传输频率。

[0121] CDR电路1200可通过递增地修改可编程延迟元件1214直到RxCLK信号1222的频率被改变来校准。频率减半或加倍的变化可勾画CDR电路1200的稳定操作条件。校准可开始于可编程延迟元件1214的低值或可编程延迟元件1214的高值。然后递增地改变延迟值,直到发生一个或多个频率改变。以正常操作使用的延迟值可基于RxCLK信号1222的频率加倍或减半之前的最后值来确定。在一些实例中,延迟值可被增加直到RxCLK信号1222的频率减半,然后增量地降低延迟值,直到RxCLK信号1222的频率返回到其先前值。在其他实例中,延迟值可被降低直到RxCLK信号1222的频率加倍,然后增量地增加延迟值,直到RxCLK信号1222的频率返回到其先前值。

[0122] 在一个示例中,可编程延迟1214可被初始化,使得RxCLK信号1222具有与C-PHY接口的标称码元传输频率相匹配的频率。可编程延迟1214可被调节以增加 $t_{环路}$ 持续时间1604直到RxCLK信号1222的频率降低,这指示已经针对一次或多次转变抑制了脉冲生成。可编程延迟1214可被设置为被观察到的最大值以提供 $t_{环路}$ 持续时间1604,其导致RxCLK信号1222具有与C-PHY接口的标称码元传输频率相匹配的频率。在一些实例中,可编程延迟1214的值可被增量地降低直到RxCLK信号1222的频率与C-PHY接口的传输频率相匹配。

[0123] 在另一示例中,可编程延迟1214可被初始化,使得RxCLK信号1222具有小于C-PHY接口的标称码元传输频率的频率。可编程延迟1214可然后被调节以降低 $t_{环路}$ 持续时间1604直到RxCLK信号1222的频率与C-PHY接口的传输频率相匹配。

[0124] 根据某些方面,接收机无需先验知晓C-PHY接口的标称码元传输频率,并可在训练序列被准确地接收时确定校准已被完成。发射机可在链路初始化期间、在发送个体的数据分组之前、在检测到接收机处的错误之后、和/或在应用或系统的控制下发送训练序列。接收机可监视C-PHY接口以发现活跃性,并且可在检测到转变之际执行校准。在一些实例中,接收机可确定CDR电路1200已经被校准并且如果训练序列未被正确地接收则可执行校准。

[0125] 在一个示例中,校准在可编程延迟1214被初始化为使得CDR电路1200能够检测到训练序列的预定值时开始。可编程延迟1214随后可被调节以增加 $t_{环路}$ 持续时间1604直到在训练序列中检测到错误。在可编程延迟1214具有比使得在训练序列中检测到错误的值低一个或多个增量的值的情况下,CDR电路1200可被配置用于正常操作。

[0126] 在另一示例中,校准在可编程延迟1214被初始化为预定值时开始,防止CDR电路1200接收无错误的训练序列。可编程延时1214可被调节以增加或降低 $t_{环路}$ 持续时间1604直到训练序列始终无错误,如由CDR电路1200接收到的一样。

[0127] 图17是解说了可根据本文所公开的某些方面被校准的时钟恢复电路1700。时钟恢复电路1700可提供第一时钟信号(rclk信号1712),当定时约束 $t_{偏斜} < t_{环路} < UI$ 时,该第一时钟信号可被用于可靠地捕捉在3相接口上传送的码元。时钟恢复电路1700包括两个CDR电路1702、1704,该两个CDR电路被配置为产生rclk时钟信号1712和第二时钟信号(ref_clk信号1714),其可被用于从输入1710恢复时钟信息,该输入1710可包括差值信号1202、1204、1206和差值信号1202、1204、1206的经反相版本。ref_clk时钟信号1714可被用作频率为 F_{ref} 的参考时钟。Rclk时钟信号1712可具有为ref_clk信号1714的频率的倍数(即, $2F_{ref}$ 、 $1F_{ref}$ 、 $0.5F_{ref}$ 、 $0.25F_{ref}$ 等等)的频率。第一CDR电路1702和第二CDR电路1704可具有类似的架构。

[0128] CDR校准逻辑1706可被提供来检测ref_clk信号1714的频率的rclk信号1712的频率,并且调节第一CDR电路1702中的一个或多个可编程延迟元件的值直到rclk信号1712和ref_clk信号1714的频率之间出现期望关系。在一个示例中,CDR校准逻辑1706可提供配置由第一CDR电路1702中的可编程延迟元件产生的延迟的持续时间的多比特控制信号1716。在一种校准模式中,可编程延迟的值可被调节直到对于一些比例的UI 1618、1620的脉冲生成的抑制被获得。在另一校准模式中,可编程延迟的值可被调节直到在某些UI 1618、1620内生成多个时钟脉冲。

[0129] 可编程延迟元件可通过在监视rclk时钟信号1712的频率的同时调节该经编程延迟来配置。初始地,经编程延迟可初始地被设置为小于UI时间(传送一个码元所需要的时间)的值。因此,当最初接收到3相信号时,时钟恢复电路可被配置成产生具有等于码元传输频率的频率的rclk时钟信号1712。随后递增地增加经编程延迟的值,直至rclk时钟信号1712的频率除以2、3、或除以任何期望的因子。

[0130] 图18解说了可被用于配置第一CDR电路1702的延迟元件的CDR校准电路1800的一个示例。CDR校准电路1800可由信号1812启用,该信号1812可由处理电路提供。CDR校准电路1800可包括调理逻辑1802,该调理逻辑1802用于驱动和/或调节ref_clk信号1714和校准时钟(cal_clk)信号1816的定时。在一个示例中,可从参考CDR电路(例如,第二CDR电路1704)、自由运行的振荡器、锁相环、或其他时钟生成电路中推导出ref_clk信号1714。CDR校准电路1800可包括计数器1804和1806,这些计数器由ref_clk信号1714和cal_clk信号1816的经调理版本进行时钟定时。计数器1804和1806的输出可由比较器逻辑1808监视,该比较器逻辑

1808可确定ref_clk信号1714相对于cal_clk信号1816的频率。可在连贯的校准循环期间调节校准计数器1810,以控制CDR电路(例如,第一CDR电路1702)中的一个或多个可编程延迟元件。取决于比较器逻辑1808作出的确定,可例如在每个校准循环之后递增或递减校准计数器1810。比较器逻辑1808可使用上升(up)/下降(down)信号1818、启用计数器信号1820、以及校准循环时钟信号1822中的一者或者来控制校准计数器1810。

[0131] 可使用计数器1804、1806来测量时钟频率。可在预定时间段内通过ref_clk信号1714和cal_clk信号1816来递增计数器1804、1814,该预定时间段例如可由校准循环时钟信号1824来确定。第一计数器1804可捕捉对应于ref_clk信号1714的时钟循环(ref_val)1816的数目。在一些实例中,可紧接在初始化之后操作第一计数器以捕捉ref_val 1816(其是全速率码元传输时钟的度量),并且在一些实例中,该初始获得的ref_val 1816可被寄存或以其他方式被捕捉以用于后续校准循环。第二计数器1806对在校准循环期间出现的时钟循环(cal_val)1818的数目进行计数。校准循环可被配置为预定时间段或者可以是可调节的时间段。对于每个校准循环,控制信号1716向待校准的CDR电路1702提供延迟参数,并且所得到的cal_clk信号1814的频率可以被测量为由第二计数器1806在校准循环期间累积的cal_val 1818。当cal_val 1818反映了作为时钟频率除以期望因子的值时,配置完成并且延迟参数的相应值可用于操作时钟恢复电路。

[0132] 图19是解说采用可被配置成执行本文所公开的一个或多个功能的处理电路1902的装备的硬件实现的示例的概念图1900。根据本公开的各种方面,本文所公开的元素、或元素的任何部分、或者元素的任何组合可使用处理电路1902来实现。处理电路1902可包括由硬件和软件模块的某种组合来控制的一个或多个处理器1904。处理器1904的示例包括:微处理器、微控制器、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、状态机、定序器、门控逻辑、分立的硬件电路、以及被配置成执行本公开中通篇描述的各种功能性的其他合适硬件。该一个或多个处理器1904可包括执行特定功能并且可由软件模块1916中的一者来配置、扩增或控制的专用处理器。该一个或多个处理器1904可通过在初始化期间加载的软件模块1916的组合来配置,并且通过在操作期间加载或卸载一个或多个软件模块1916来进一步配置。

[0133] 在所解说的示例中,处理电路1902可以用由总线1910一般化地表示的总线架构来实现。取决于处理电路1902的具体应用和整体设计约束,总线1910可包括任何数目的互连总线和桥接器。总线1910将各种电路链接在一起,包括一个或多个处理器1904、以及存储1906。存储1906可包括存储器设备和大容量存储设备,并且在本文可被称为计算机可读介质和/或处理器可读介质。总线1910还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口1908可提供总线1910与一个或多个收发机1912之间的接口。可针对处理电路所支持的每种联网技术来提供收发机1912。在一些实例中,多种联网技术可共享收发机1912中出现的电路系统或处理模块中的一些或全部。每个收发机1912提供用于通过传输介质与各种其它装备通信的手段。取决于该装备的本质,也可提供用户接口1918(例如,按键板、显示器、扬声器、话筒、操纵杆),并且该用户接口1910可直接或通过总线接口1908通信地耦合到总线1610。

[0134] 处理器1904可负责管理总线1910和一般处理,包括执行存储在计算机可读介质(其可包括存储1906)中的软件。在这一方面,处理电路1902(包括处理器1904)可被用于实

现本文所公开的方法、功能和技术中的任何一种。存储1906可被用于存储由处理器1904在执行软件时操纵的数据，并且该软件可被配置成实现本文所公开的方法中的任何一种。

[0135] 处理电路1902中的一个或多个处理器1904可执行软件。软件应当被宽泛地解释成意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数、算法等，无论其是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来述及皆是如此。软件可按计算机可读形式驻留在存储1906中或驻留在外部计算机可读介质中。外部计算机可读介质和/或存储1906可包括非瞬态计算机可读介质。作为示例，非瞬态计算机可读介质包括：磁存储设备（例如，硬盘、软盘、磁条）、光盘（例如，压缩碟（CD）或数字多功能碟（DVD））、智能卡、闪存存储器设备（例如，“闪存驱动器”、卡、棒、或钥匙驱动器）、随机存取存储器（RAM）、ROM、PROM、可擦式PROM（EPROM）、EEPROM、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的软件和/或指令的合适介质。作为示例，计算机可读介质和/或存储1906还可包括载波、传输线、以及用于传送可由计算机访问和读取的软件和/或指令的任何其它合适介质。计算机可读介质和/或存储1906可驻留在处理电路1902中、处理器1904中、在处理电路1902外部、或跨包括该处理电路1902在内的多个实体分布。计算机可读介质和/或存储1906可实施在计算机程序产品中。作为示例，计算机程序产品可包括封装材料中的计算机可读介质。本领域技术人员将认识到如何取决于具体应用和加诸于整体系统上的总体设计约束来最佳地实现贯穿本公开给出的所描述的功能性。

[0136] 存储1906可维持以可加载代码段、模块、应用、程序等来维持和/或组织的软件，其在本文中可被称为软件模块1916。软件模块1916中的每一者可包括在安装或加载到处理电路1902上并由一个或多个处理器1904执行时有助于运行时映像1914的指令和数据，该运行时映像1914控制一个或多个处理器1904的操作。在被执行时，某些指令可使得处理电路1902执行根据本文所描述的某些方法、算法和过程的功能。

[0137] 软件模块1916中的一些可在处理电路1902初始化期间被加载，并且这些软件模块1916可配置处理电路1902以实现本文所公开的各种功能的执行。例如，一些软件模块1916可配置处理器1904的内部设备和/或逻辑电路1922，并且可管理对外部设备（诸如，收发机1912、总线接口1908、用户接口1918、定时器、数学协处理器等）的访问。软件模块1916可包括控制程序和/或操作系统，其与中断处理程序和设备驱动器交互并且控制对由处理电路1902提供的各种资源的访问。这些资源可包括存储器、处理时间、对收发机1912的访问、用户接口1918等。

[0138] 处理电路1904的一个或多个处理器1902可以是多功能的，由此软件模块1916中的一些被加载和配置成执行不同功能或相同功能的不同实例。该一个或多个处理器1904可附加地被适配成管理响应于来自例如用户接口1918、收发机1912和设备驱动器的输入而发起的后台任务。为了支持多个功能的执行，该一个或多个处理器1904可被配置成提供多任务环境，由此多个功能中的每个功能按需或按期望实现为由该一个或多个处理器1904服务的任务集。在一个示例中，多任务环境可使用分时程序1920来实现，该分时程序1920在不同任务之间传递对处理器1904的控制权，由此每个任务在完成任何未决操作之际和/或响应于输入（诸如中断）而将对一个或多个处理器1904的控制权返回给分时程序1920。当任务具有对一个或多个处理器1904的控制权时，处理电路有效地专用于由与控制方任务相关联的功

能所针对的目的。分时程序1920可包括操作系统、在循环法基础上转移控制权的主循环、根据各功能的优先级化来分配对一个或多个处理器1904的控制权的功能、和/或通过将对一个或多个处理器1904的控制权提供给处置功能来对外部事件作出响应的中断驱动式主循环。

[0139] 图20是可以由耦合到C-PHY 3相接口的装备中的接收机电路执行的数据通信的方法的流程图2000。

[0140] 在框2002处，接收机电路可将第一时钟恢复电路配置成提供时钟信号，该时钟信号具有第一频率并包括针对在3线3相接口上传送的每个码元的单个脉冲。

[0141] 在框2004处，接收机电路可校准第一时钟恢复电路。例如，接收机电路可初始化第一时钟恢复电路的延迟时段。延迟时段可由第一时钟恢复电路中的延迟元件提供。

[0142] 在框2006，接收机电路可递增地增加由第一时钟恢复电路的延迟元件提供的延迟时段，直到由第一时钟恢复电路提供的时钟信号具有小于第一频率的频率。

[0143] 在框2008处，接收机电路可将时钟信号的当前频率与第一频率进行比较。如果频率相等，则接收机电路可在框2006执行另一校准循环。如果频率不相等，使得第一时钟恢复电路具有小于第一频率的频率，则接收机电路可前进到框2010。

[0144] 在框2010，接收机电路可递增地降低由第一时钟恢复电路的延迟元件提供的延迟时段，直到由第一时钟恢复电路提供的时钟信号具有与第一频率相匹配的频率。

[0145] 第一时钟恢复电路的延迟元件可响应于在3线3相接口上传送的每个码元的信令状态中的第一检出转变而控制与用于生成脉冲的脉冲生成循环相关联的回路延迟。信令状态的其他转变的检测在脉冲生成循环期间可被抑制。

[0146] 在一些事例中，递增地增加延迟时段包括增加延迟时段，直到由第一时钟恢复电路提供的时钟信号具有第一频率的一半的频率。

[0147] 在一些示例中，第二时钟恢复电路被配置为提供用于校准第一时钟恢复电路的参考信号。参考信号可具有与第一频率相匹配或相对应的频率。第二时钟恢复电路可通过为从3线3相接口接收的码元流中的每个码元生成单个脉冲来提供参考信号。校准第一时钟恢复电路可包括：在多个校准循环中的每个校准循环期间将时钟信号和参考信号的频率进行比较，当时钟信号具有比参考信号的频率大的频率时增加延迟时段，当时钟信号具有比参考信号的频率小的频率时降低延迟时段，并且当时钟信号具有与参考信号的频率相等的频率时终止多个校准循环。

[0148] 校准第一时钟恢复电路可包括配置延迟元件以提供初始延迟时段。在一个示例中，延迟时段可在多个校准循环上增加，直到从3线3相接口接收到的码元成功地解码训练序列。在另一示例中，延迟时段可在多个校准循环上降低，直到从3线3相接口接收到的码元成功地解码训练序列。

[0149] 图21是解说采用处理电路2102的装备2100的硬件实现的示例的示图。该处理电路通常具有处理器2116，该处理器2116可包括微处理器、微控制器、数字信号处理器、定序器和状态机中的一者或更多者。处理电路2102可以用由总线2120一般化地表示的总线架构来实现。取决于处理电路2102的具体应用和整体设计约束，总线2120可包括任何数目的互连总线和桥接器。总线2120将包括一个或多个处理器和/或硬件模块（由处理器2116、模块或电路2104, 2106, 2108, 和2110、确定不同连接器或导线2114对之间的差值信令状态的差分接

收机电路2112、以及计算机可读存储介质2118表示)的各种电路链接在一起。总线2120还可链接各种其他电路(诸如定时源、外围设备、稳压器和功率管理电路),这些电路在本领域中是众所周知的,并且因此将不再进一步描述。

[0150] 处理器2116负责一般性处理,包括执行存储在计算机可读存储介质2118上的软件。该软件在由处理器2116执行时使处理电路2102执行上文针对任何特定装备描述的各种功能。计算机可读存储介质2118也可被用于存储由处理器2116在执行软件时操纵的数据,包括从通过连接器或导线2114传送的码元解码得来的数据,连接器或导线2114可被配置为数据通道和时钟通道。处理电路2102进一步包括模块2104、2106、2108和2110中的至少一个模块。模块2104、2106、2108和2110可以是在处理器2116中运行的软件模块、驻留/存储在计算机可读存储介质2118中的软件模块、耦合到处理器2116的一个或多个硬件模块、或其某种组合。模块2104、2106、2108和/或2110可包括微控制器指令、状态机配置参数、或其某种组合。

[0151] 在一个配置中,装备2100可被配置用于C-PHY 3相接口上的数据通信。装备2100可包括:被配置为从嵌入在连接器或导线2114上传送的码元序列中的定时信息中恢复时钟信号的模块和/或电路2104,用于生成参考信号的模块和/或电路2106,以及可校准时钟恢复模块和/或电路2104的模块和/或电路2108。

[0152] 装备2100可被配置用于各种操作模式。在一个示例中,时钟恢复模块和/或电路2104可被适配成提供第一时钟信号,该第一时钟信号包括针对以第一频率在3线3相接口上传送的每个码元的脉冲,校准模块和/或电路2110可被适配成校准时钟恢复电路的环路延迟,时钟生成模块和/或电路2106可被适配成提供第二时钟信号,并且码元捕捉模块和/或电路2108可被适配成使用第一时钟信号和第二时钟信号从3线3相接口捕捉码元。在一种操作模式中,校准模块和/或电路2110将第一时钟信号修改成具有不超过第一频率的一半的第二频率。在第一操作模式中,时钟恢复模块和/或电路2104在整数个码元中的第一码元内生成第一时钟信号中的脉冲并在该整数个码元中的其他码元内抑制脉冲生成。第二时钟信号可包括与该整数个码元中的该其他码元中的每个码元相对应的脉冲。

[0153] 在一些实例中,环路延迟对应于脉冲生成循环,该脉冲生成循环用于响应于3线3相接口的信令状态中的第一检出变而生成脉冲。对3线3相接口的信令状态的其他转变的检测在脉冲生成循环期间可被抑制。校准模块和/或电路2110可被配置成对可编程延迟电路进行编程。

[0154] 在一个示例中,第一频率是第二频率的两倍,并且第二时钟信号针对第一时钟信号中的每个脉冲包括一个脉冲。第二时钟信号相对于第一时钟信号可以相移180度。在另一示例中,第二频率是第一频率的三分之一,并且第二时钟信号针对第一时钟信号中的每个脉冲包括两个脉冲。在另一示例中,第二频率是第一频率的四分之一,并且第二时钟信号针对第一时钟信号中的每个脉冲包括三个脉冲。

[0155] 在一些实例中,校准模块和/或电路2110被适配成:使得第一电路从接收自3线3相接口的码元流中恢复参考时钟信号,通过在多个校准循环中的每个校准循环期间比较参考时钟信号和第一时钟信号的频率来确定第一时钟信号的当前频率,当该当前频率被确定为大于第二频率时增加环路延迟,当该当前频率被确定为小于第二频率时减小环路延迟,以及当该当前频率被确定为等于第二频率时终止该多个校准循环。参考时钟信号可具有与码

元流的传输速率相对应的频率。

[0156] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。此外,一些步骤可被组合或被略去。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所给出的具体次序或层次。

[0157] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所述的各个方面。对这些方面的各种修改将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各个方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于……的装置”来明确叙述的。

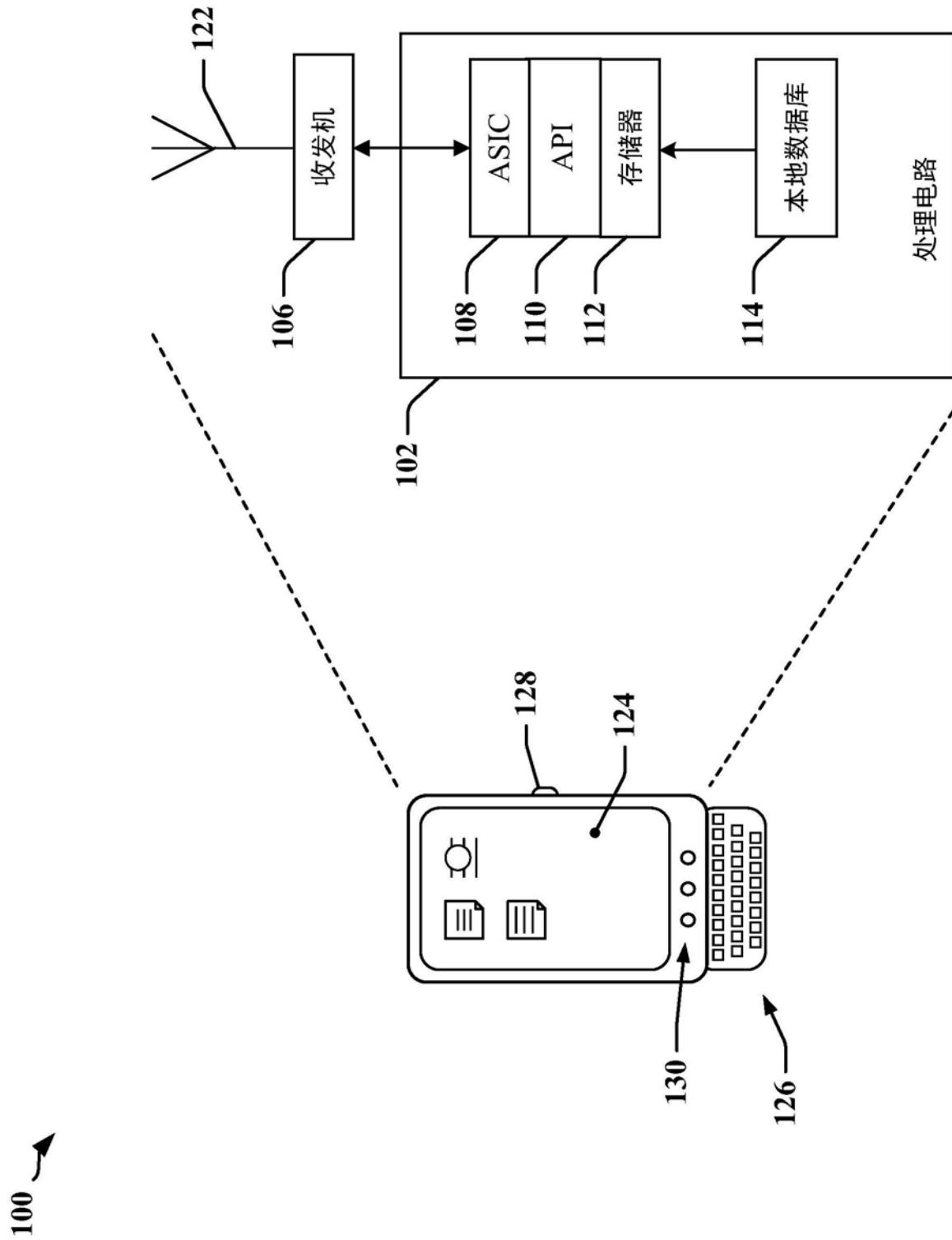


图1

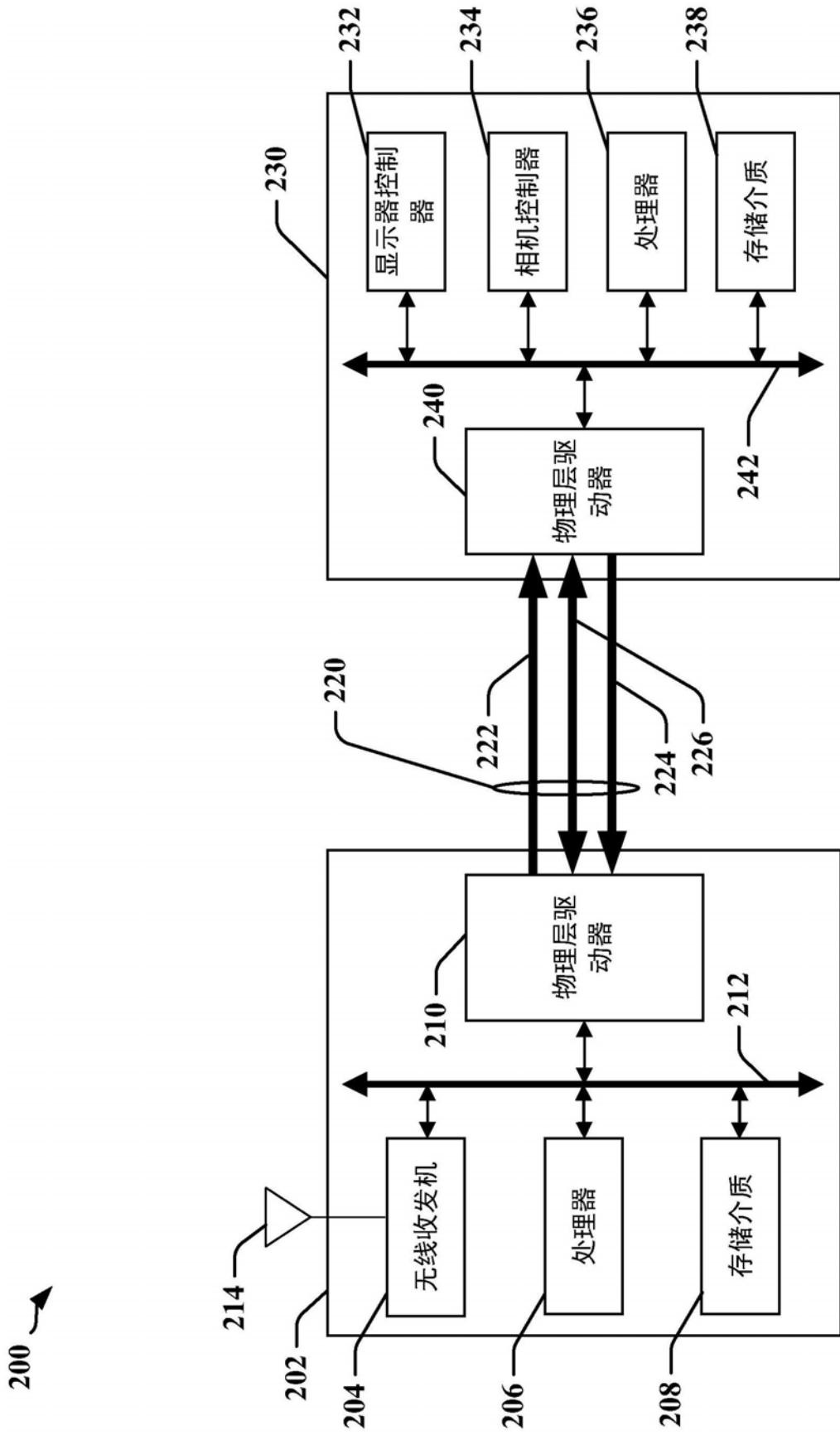


图2

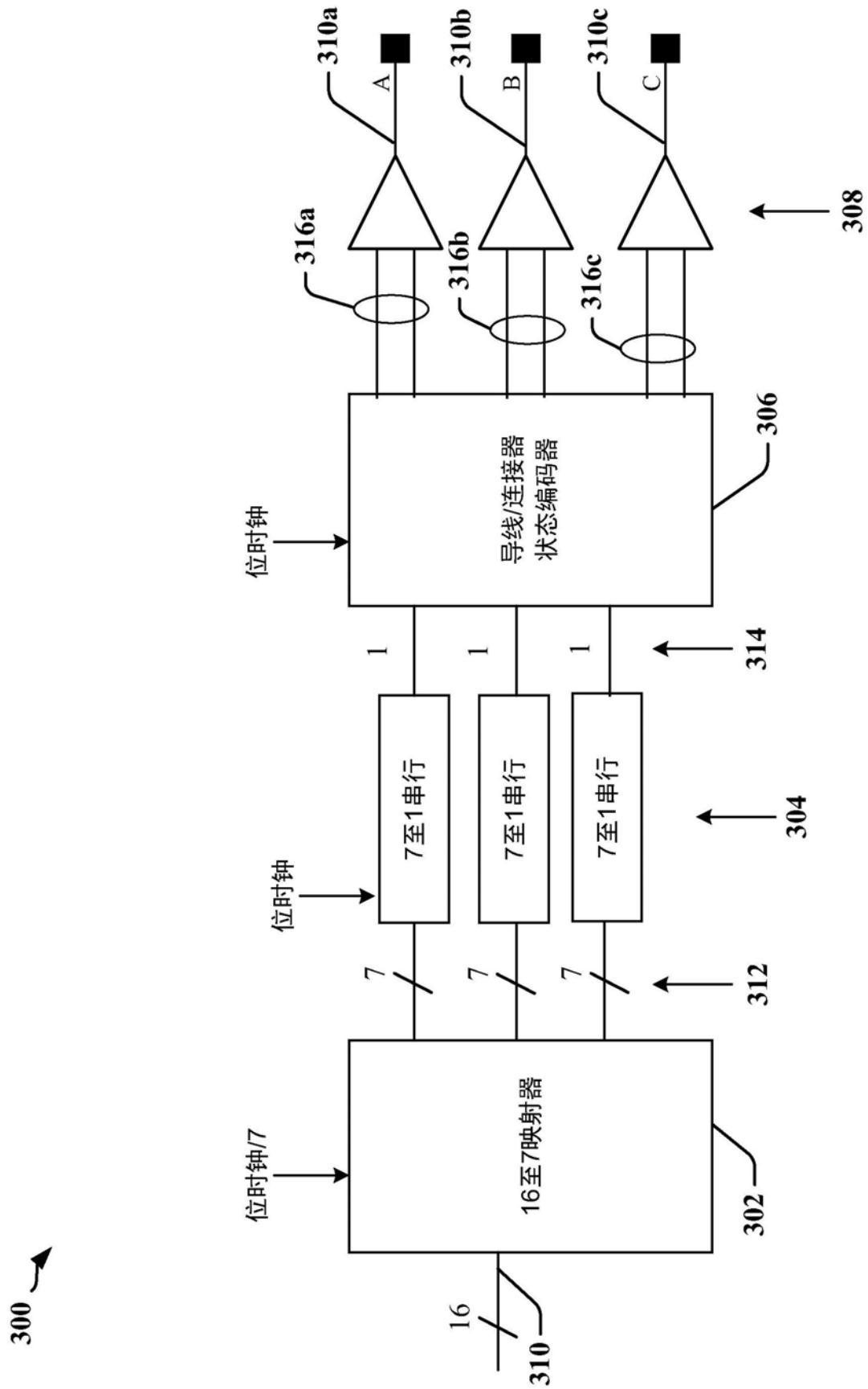


图3

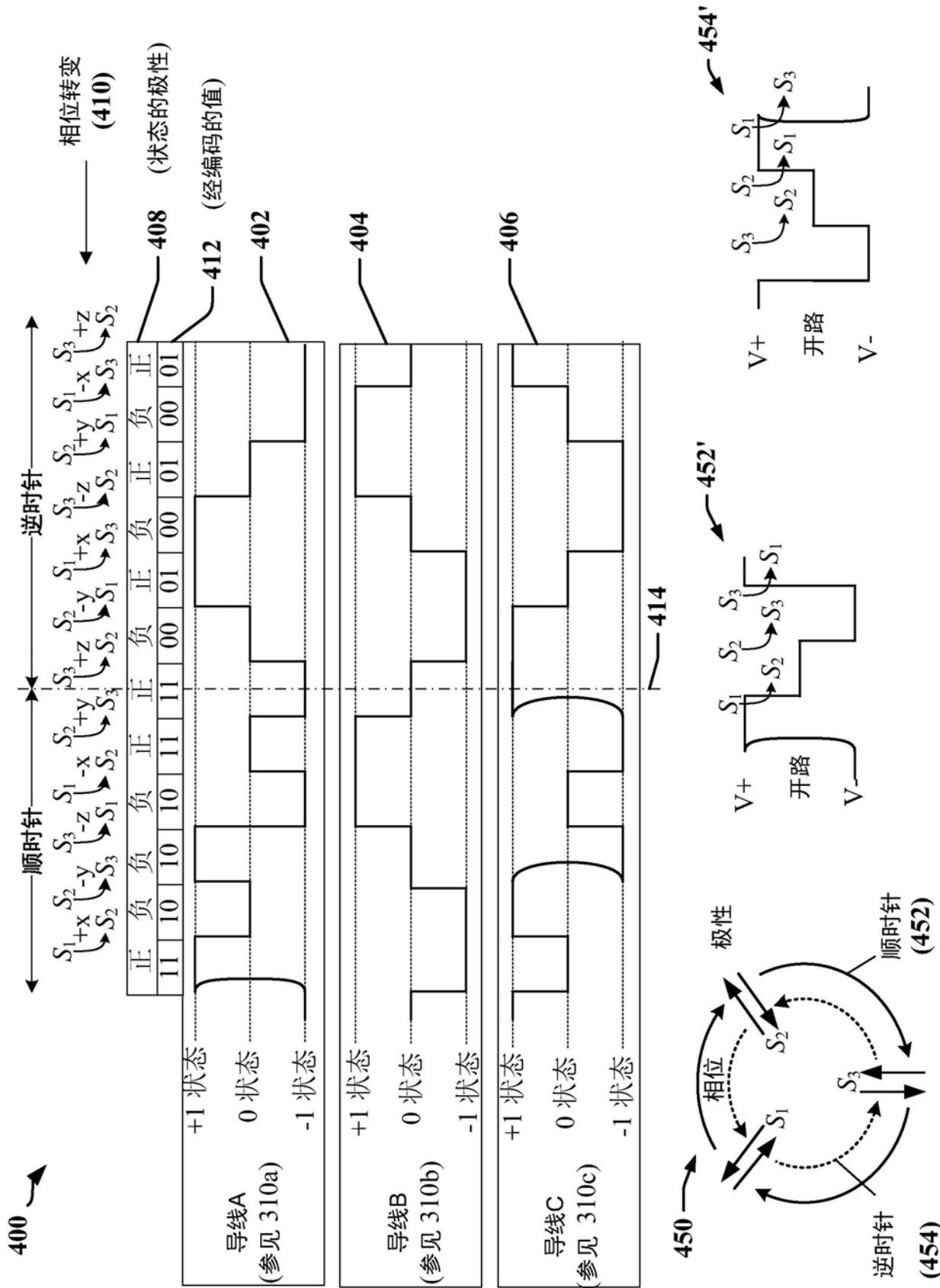


图4

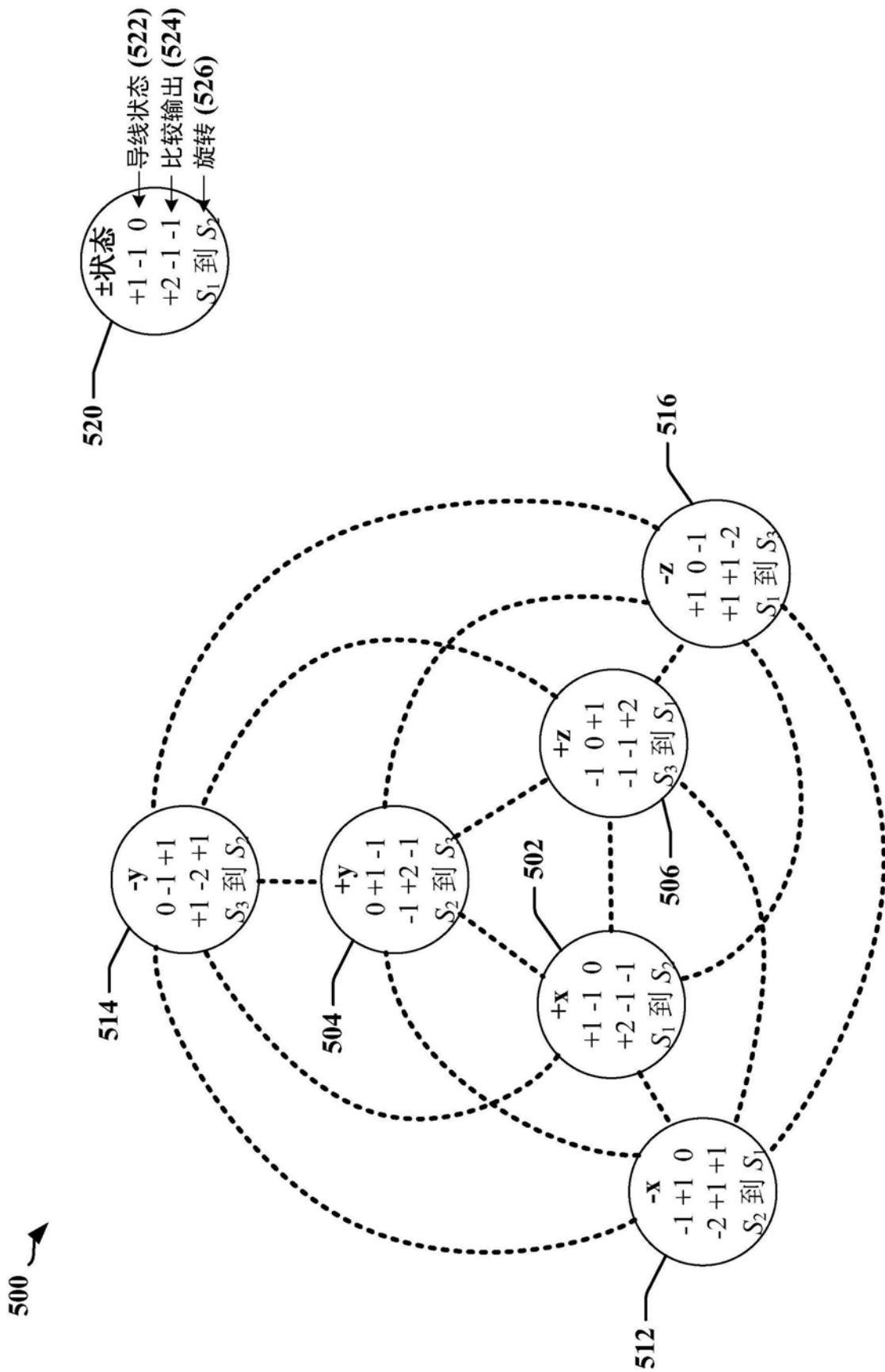


图5

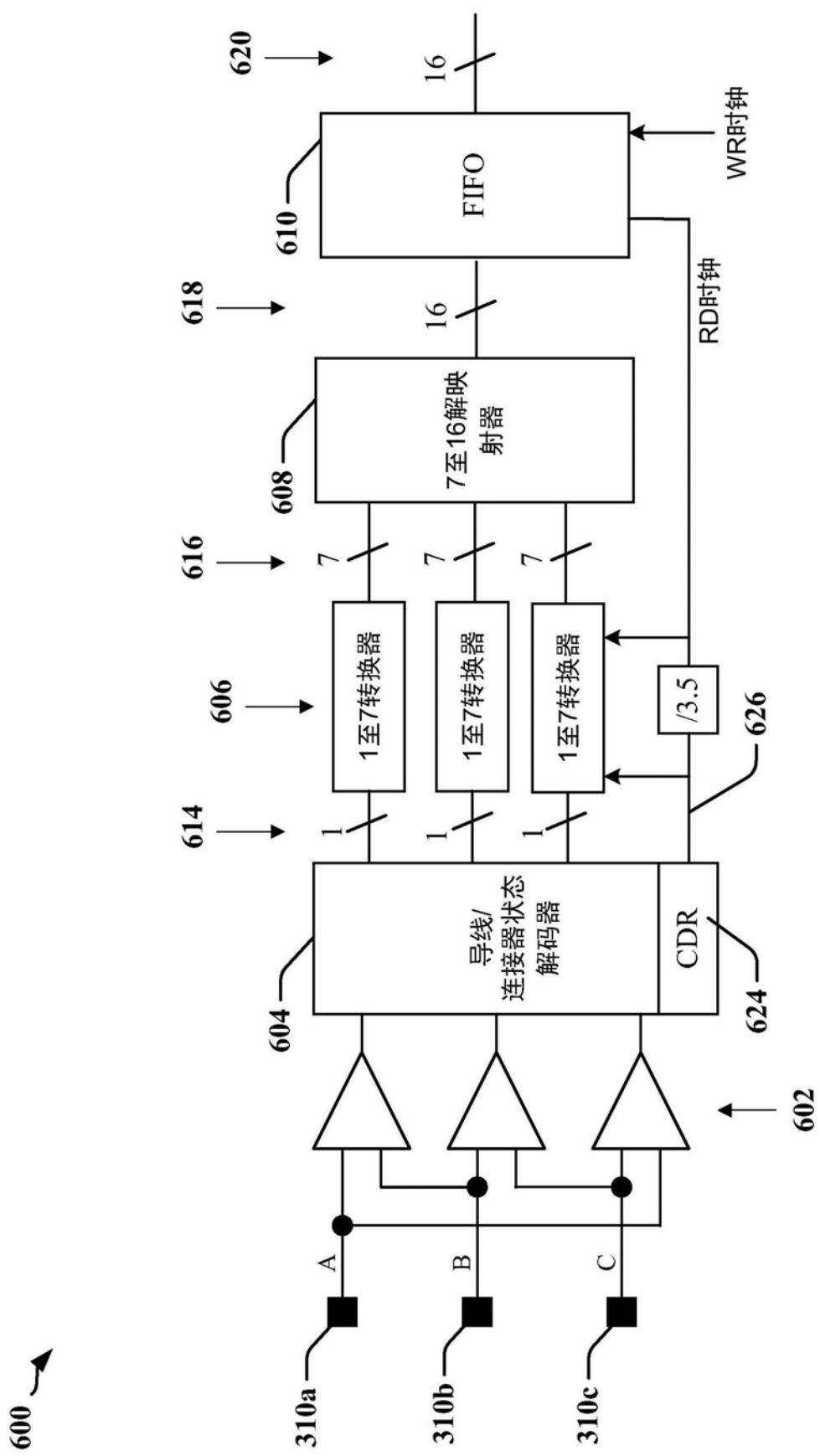


图6

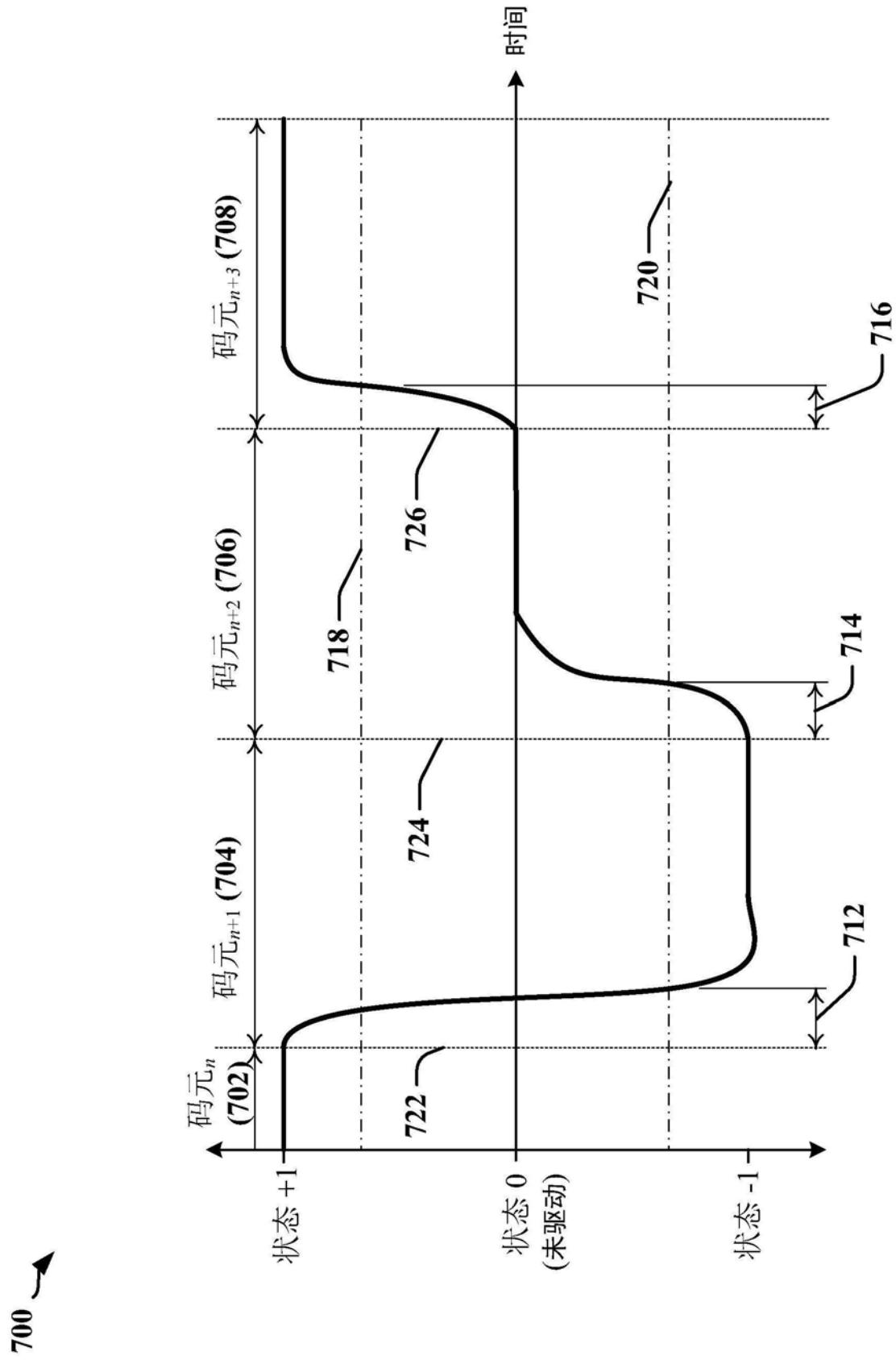


图7

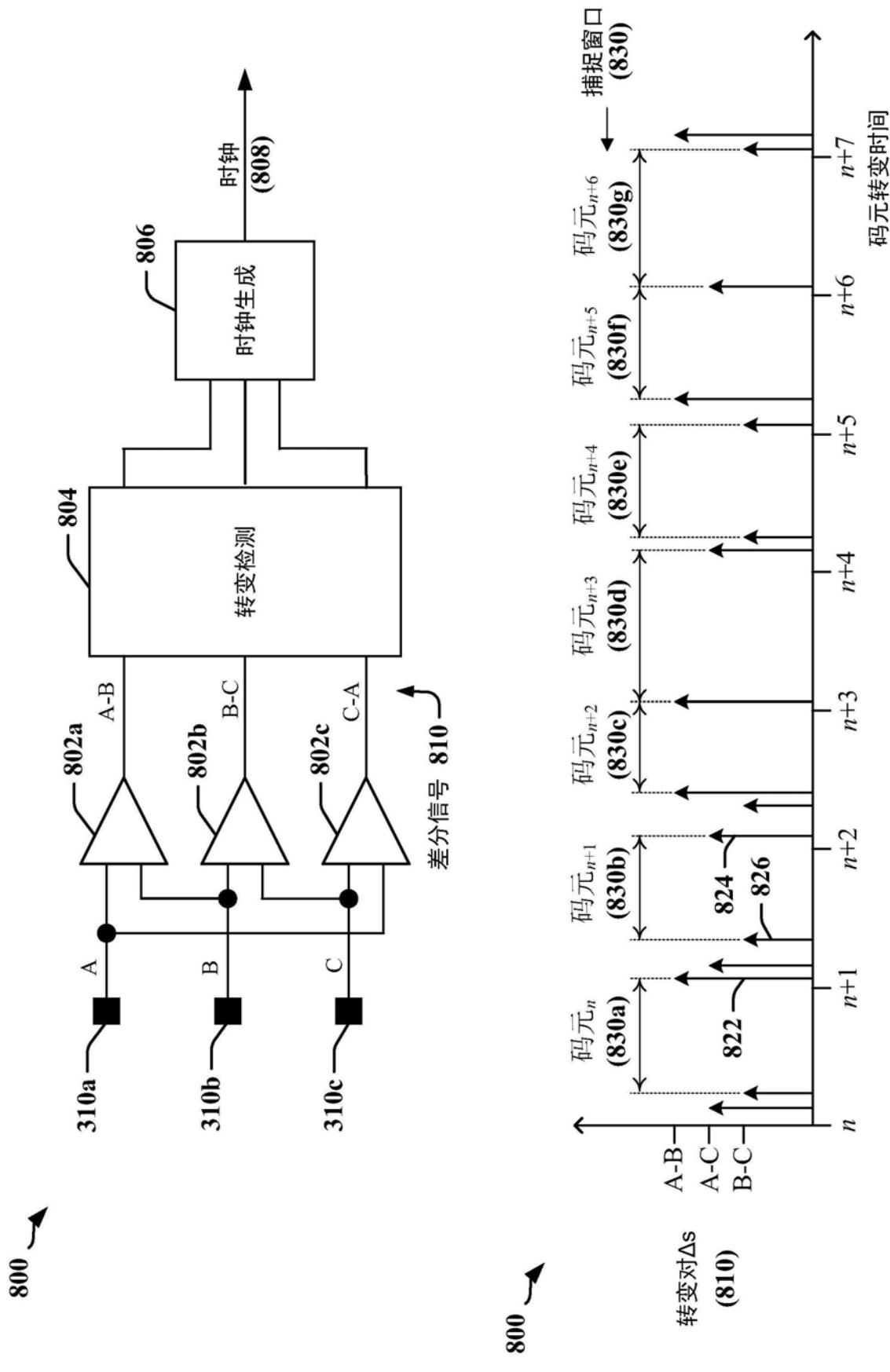


图8

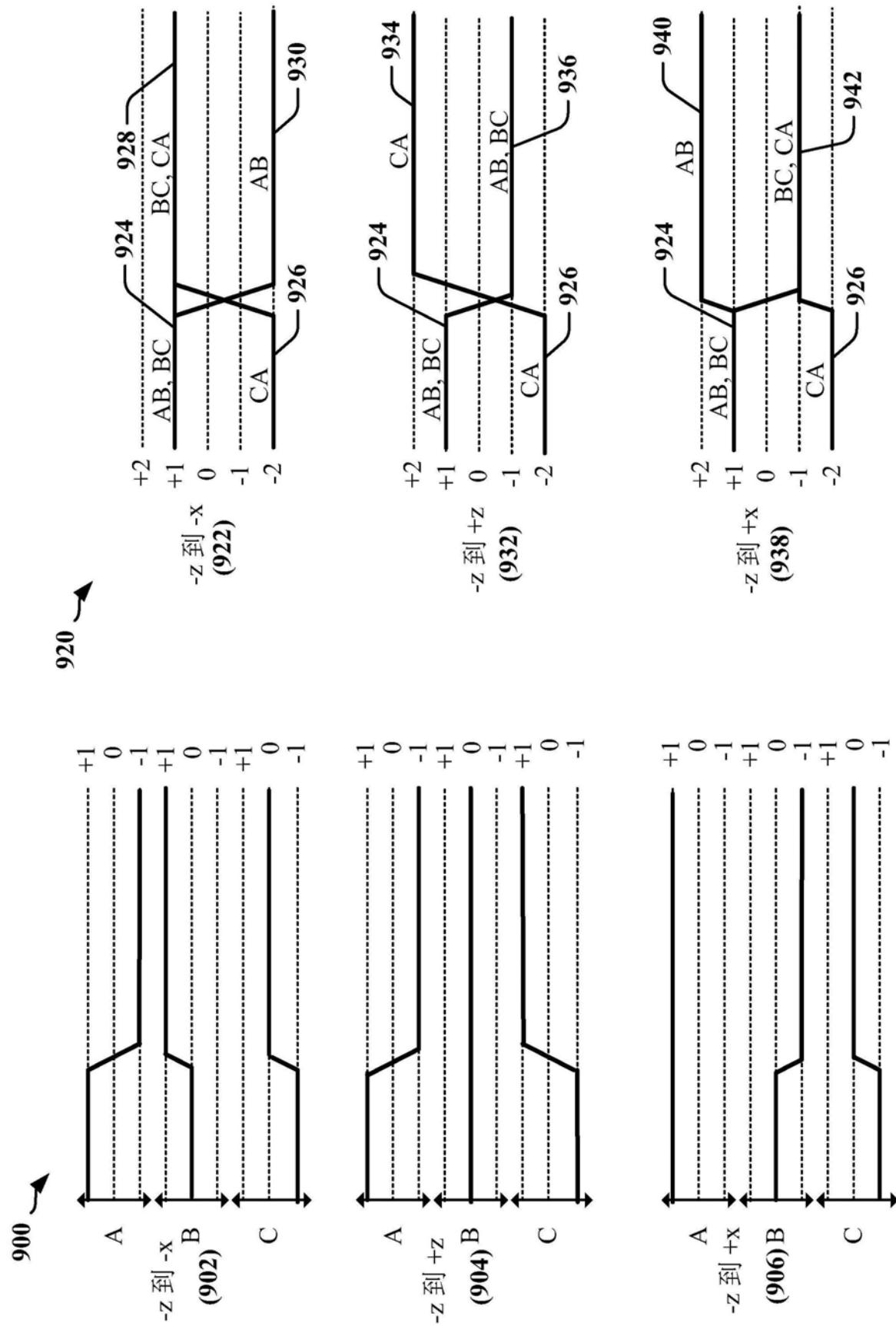


图9

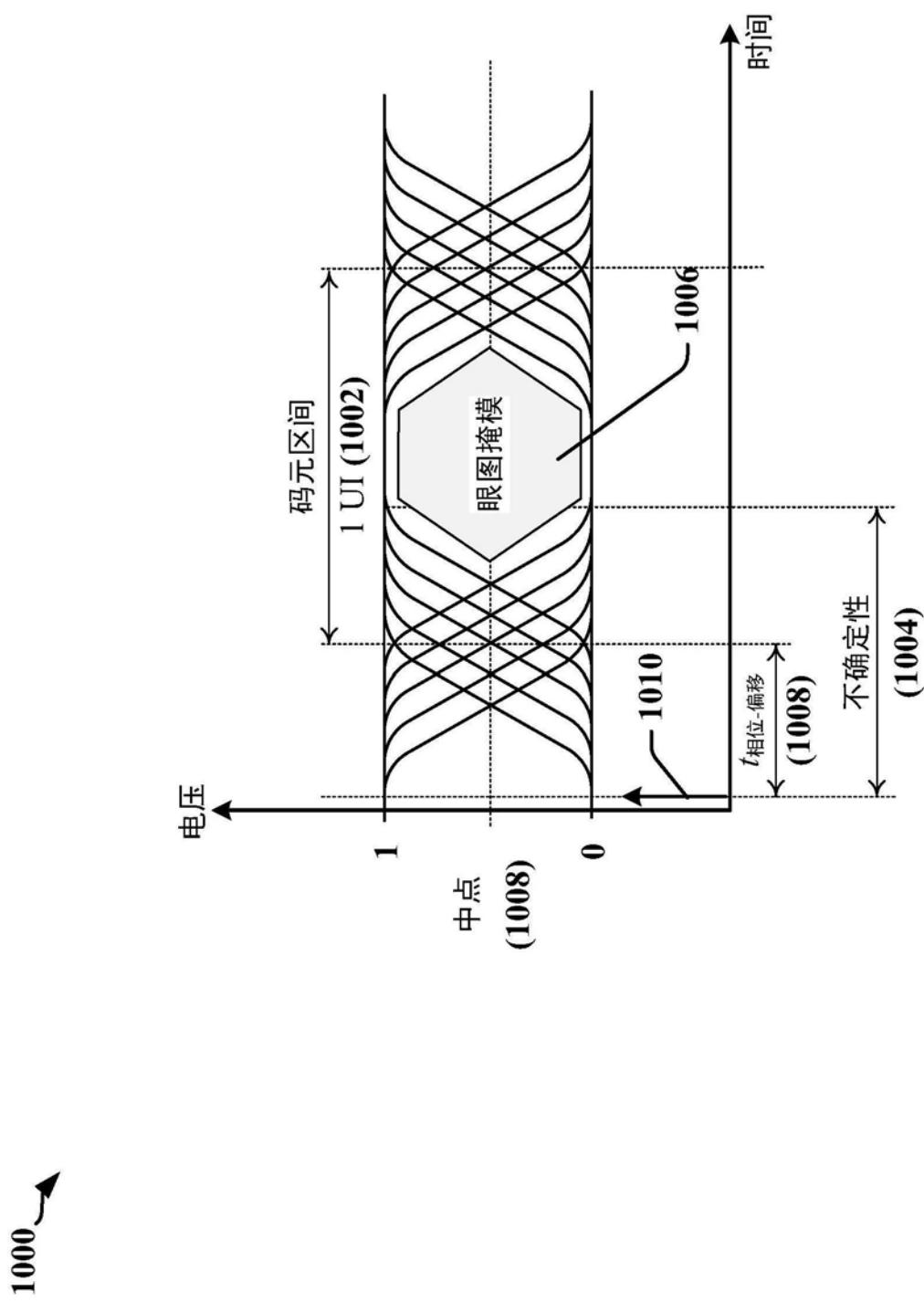


图10

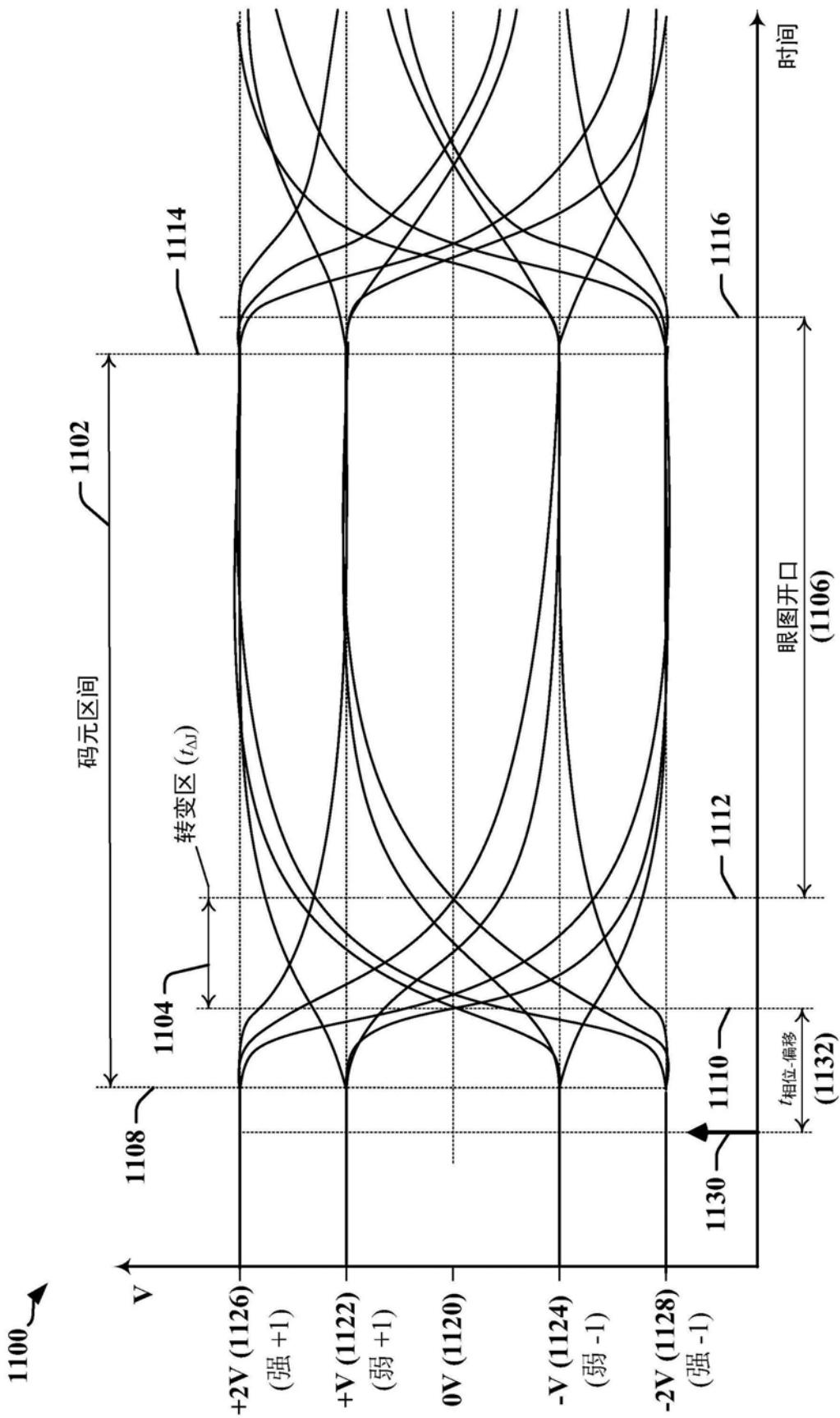


图11

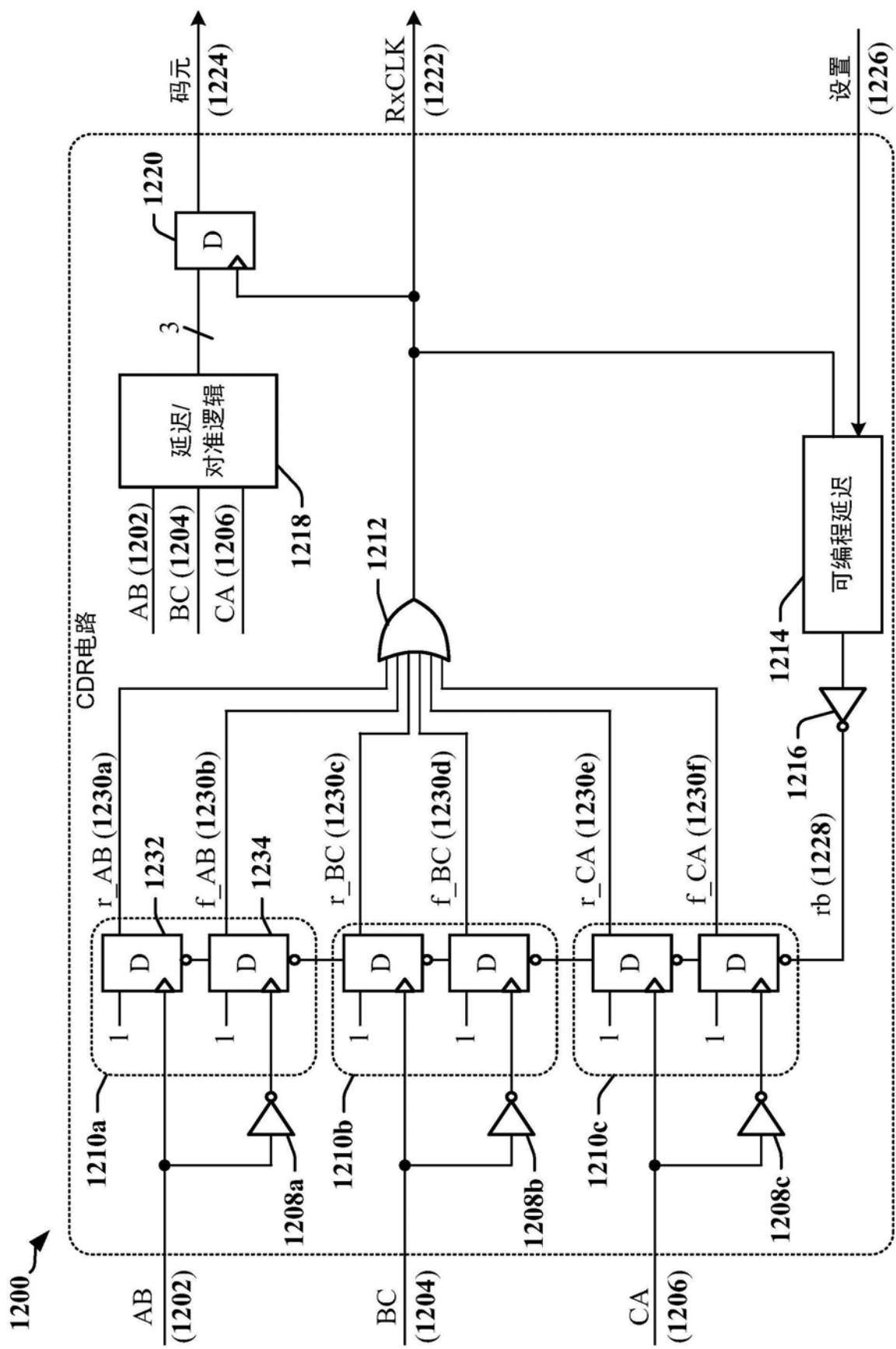


图12

1300 ↗

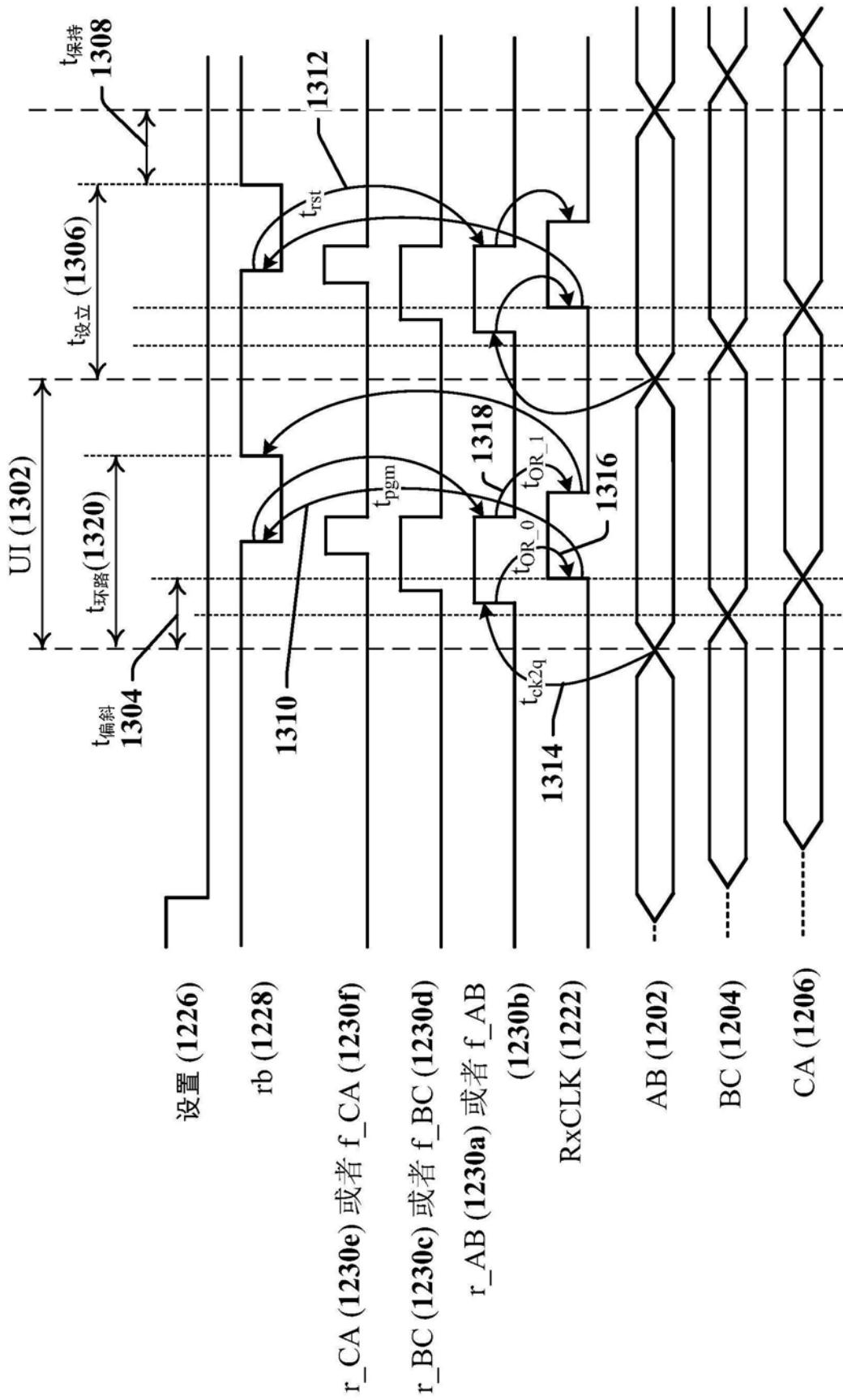


图13

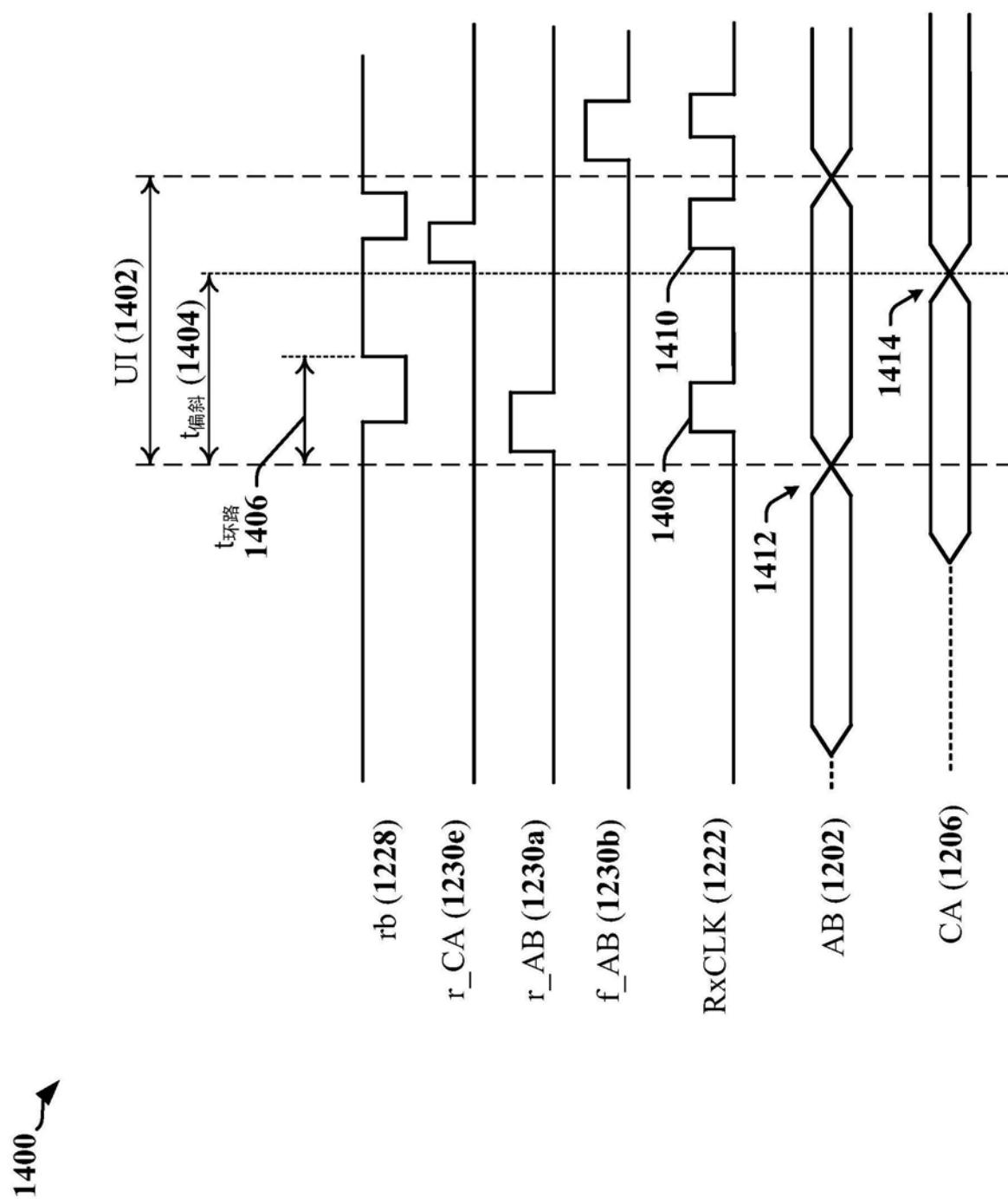


图14

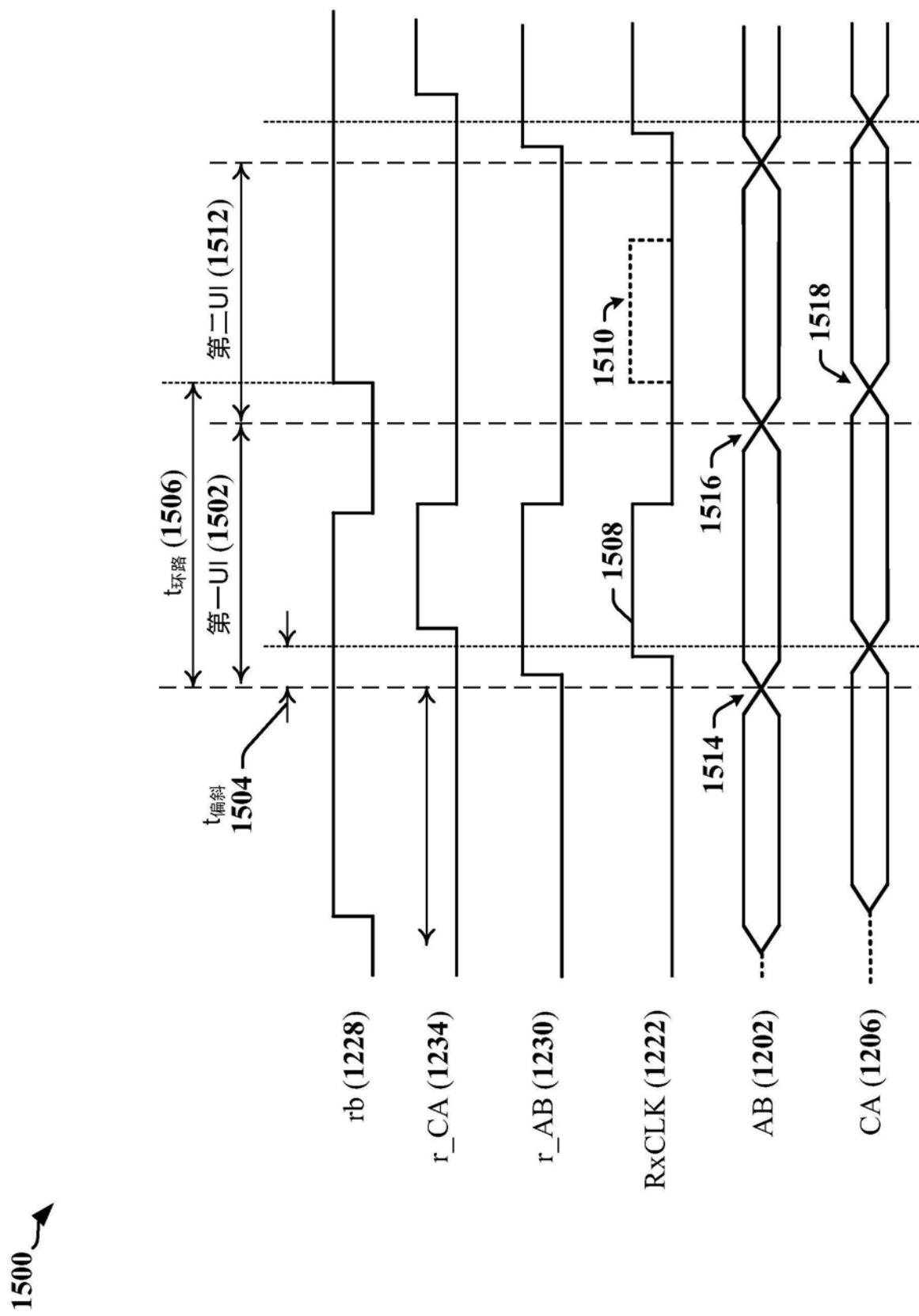


图15

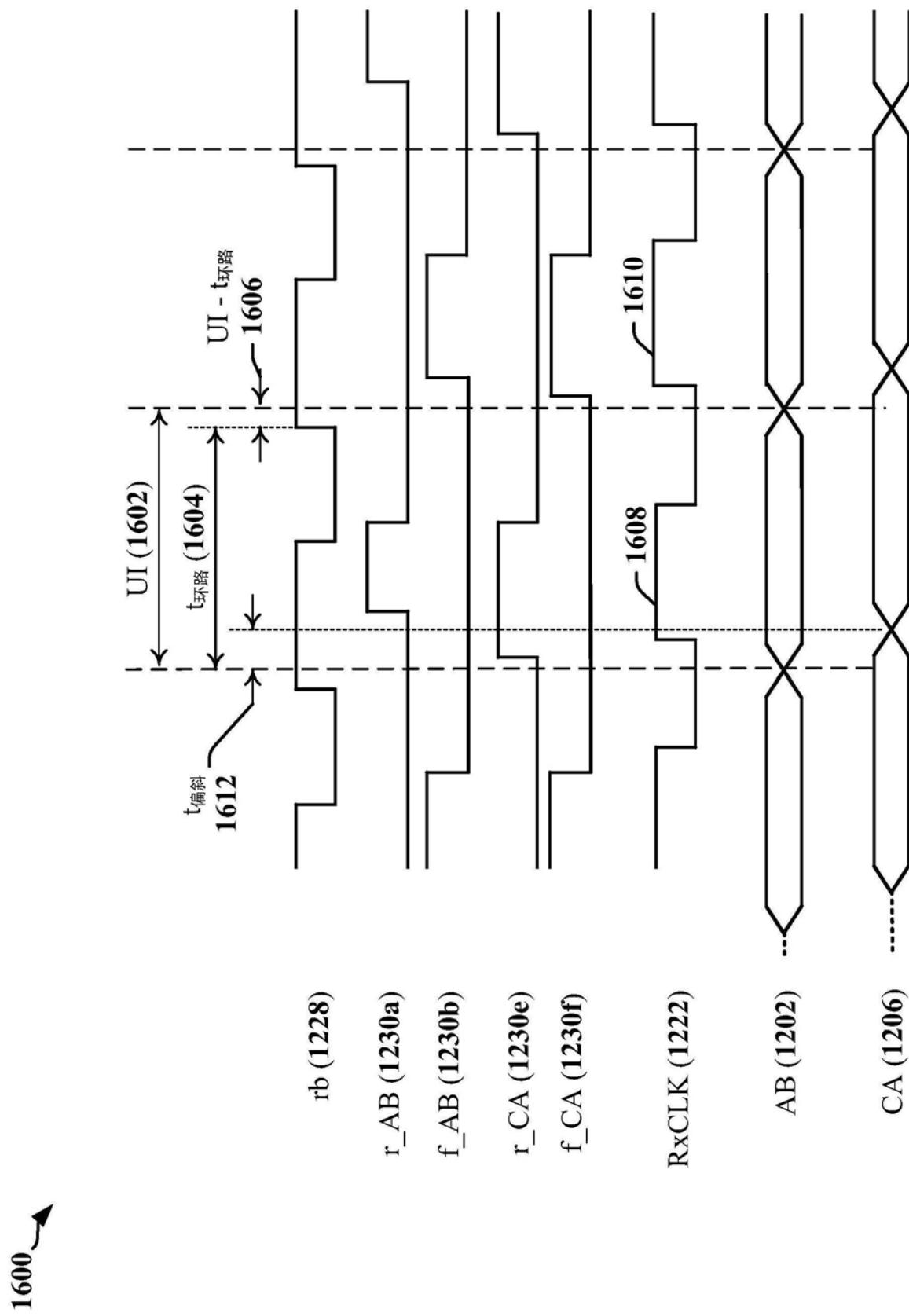


图16

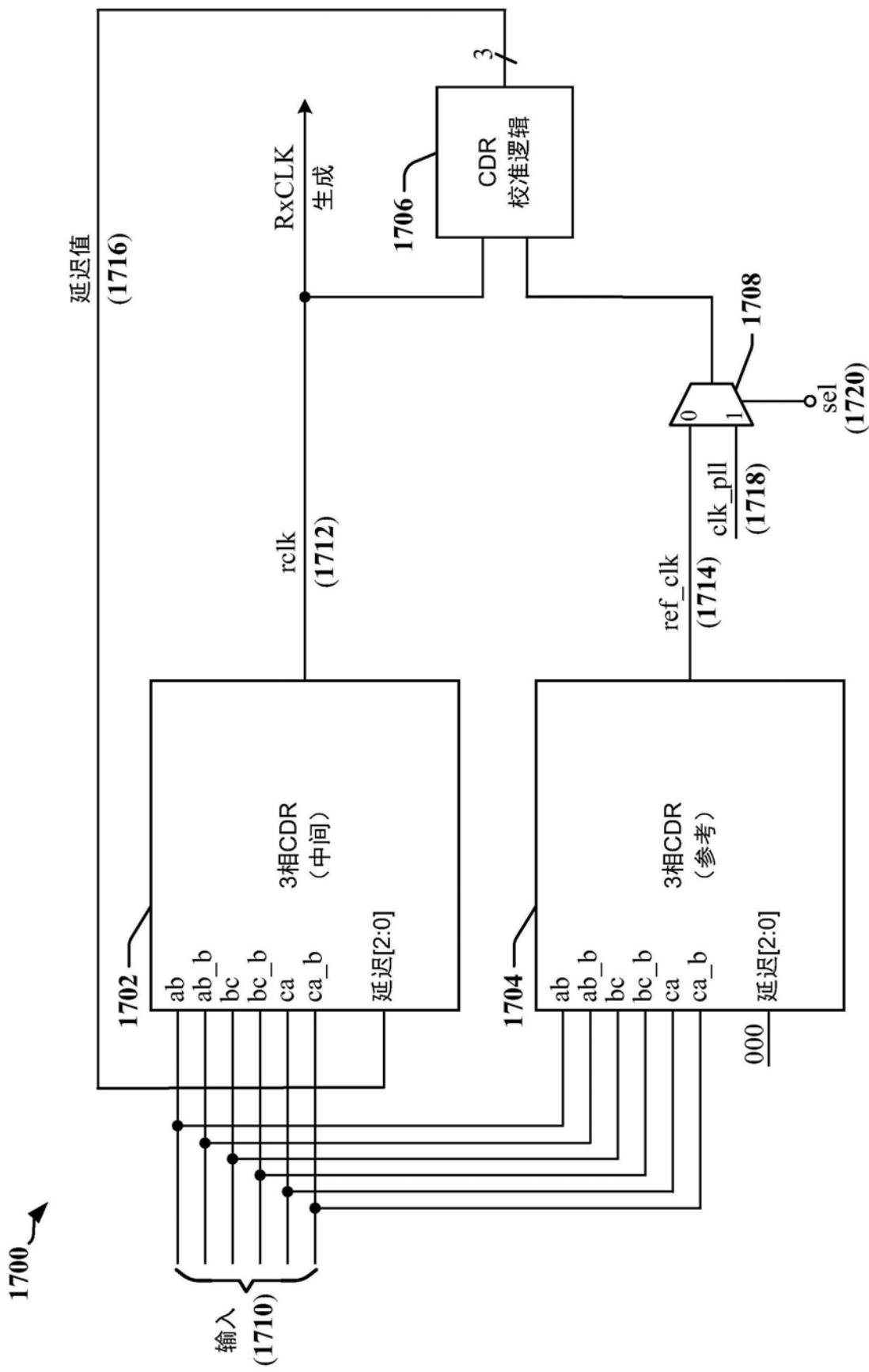


图17

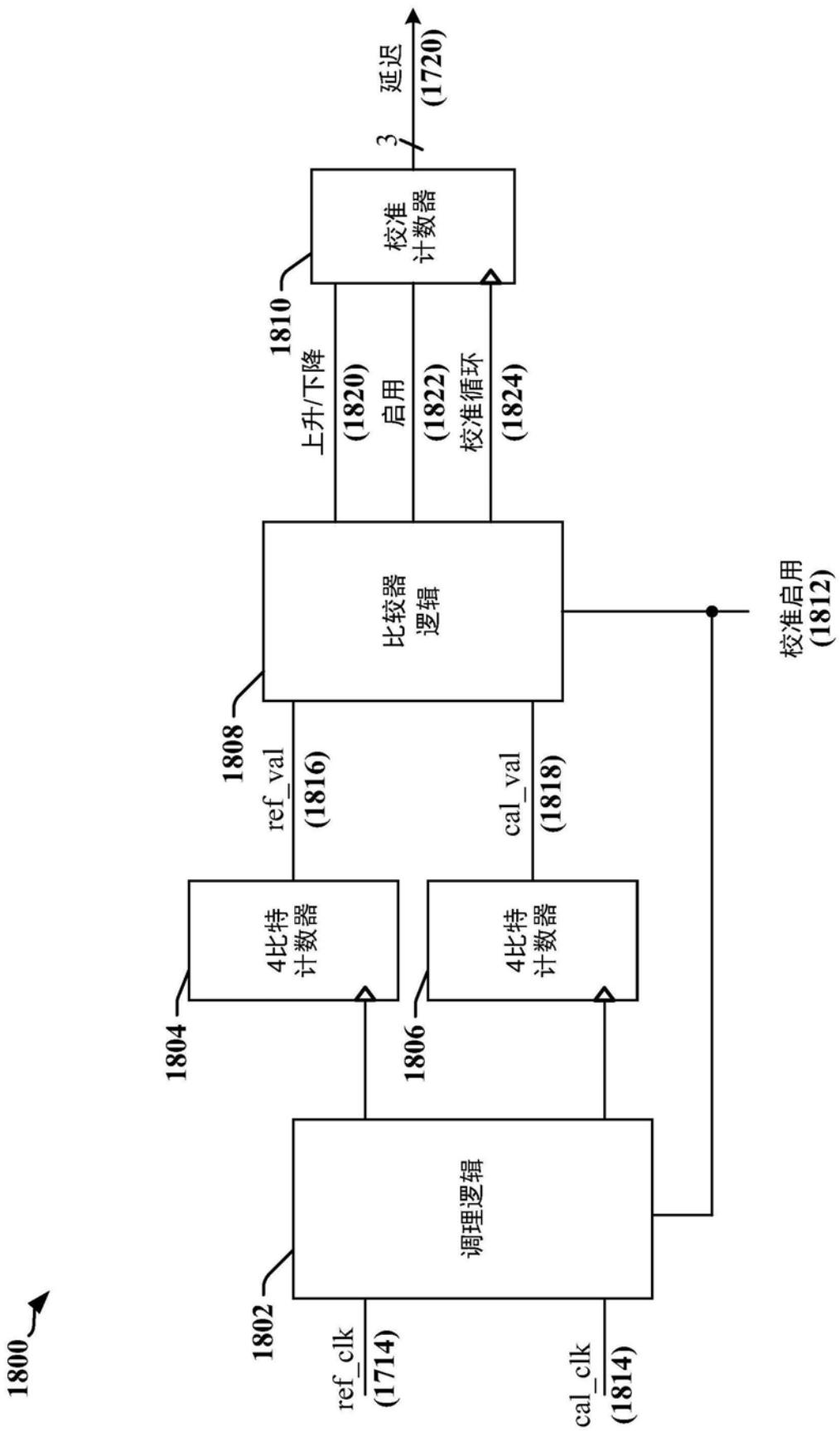


图 18

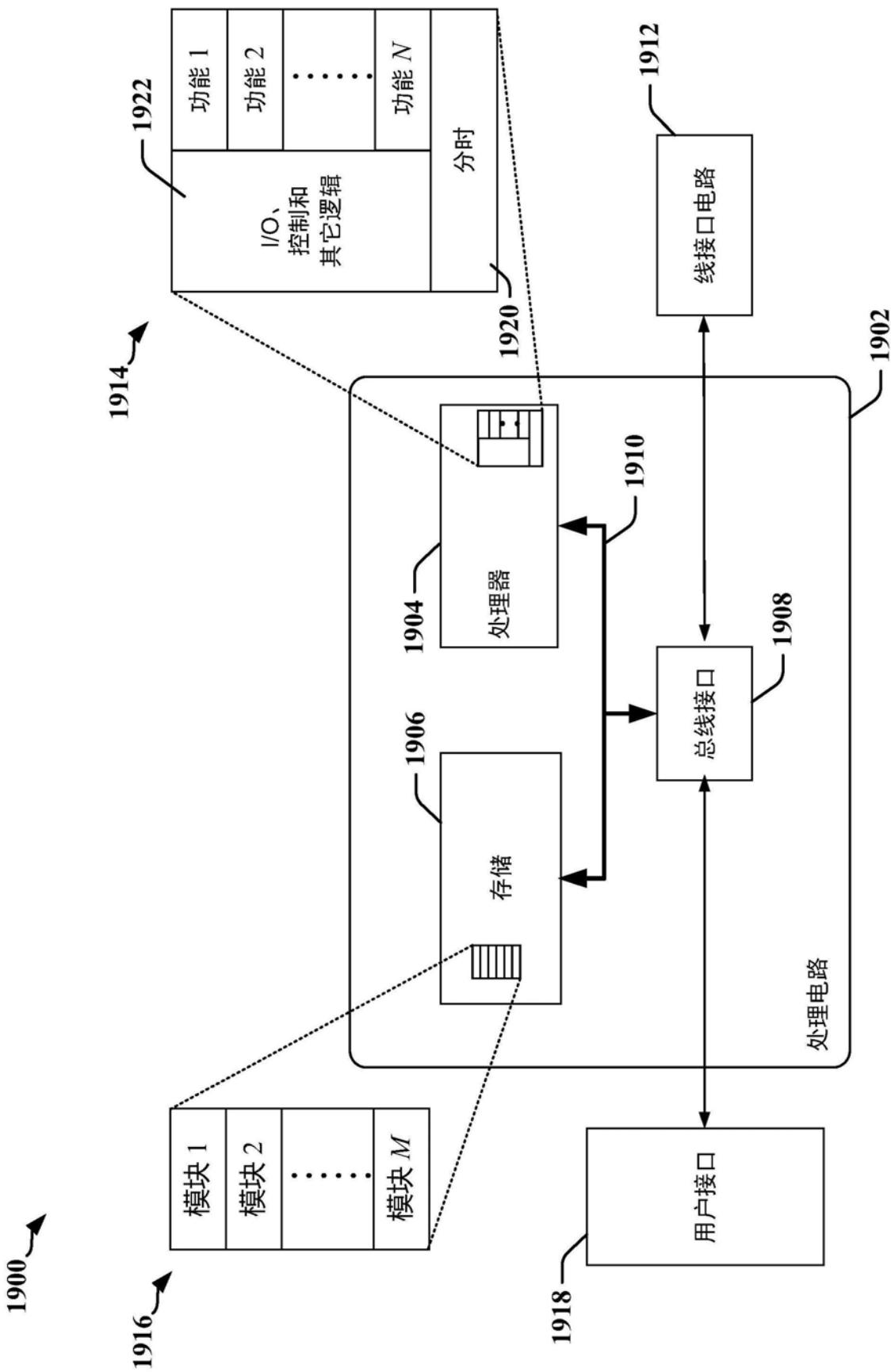


图19

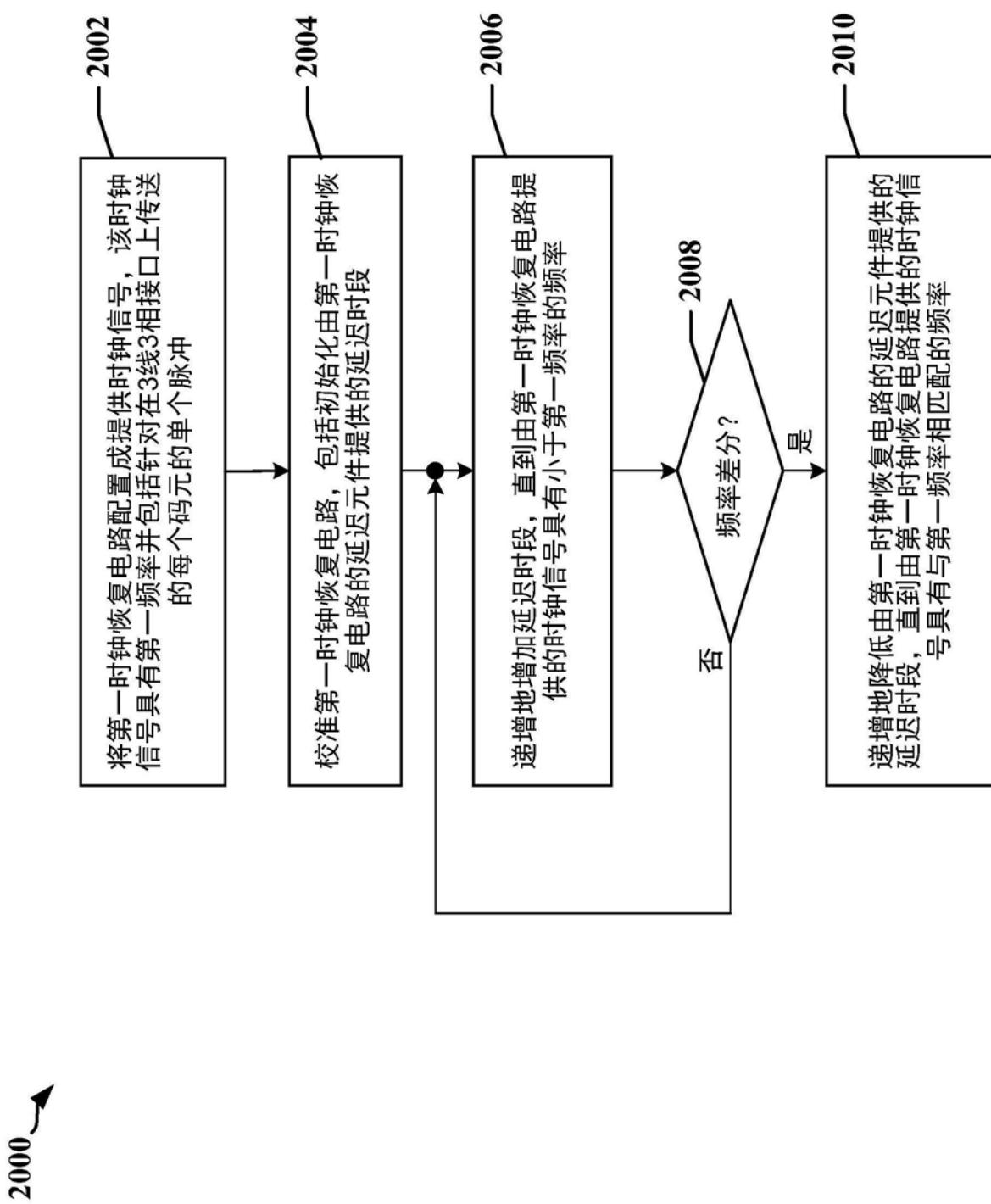


图20

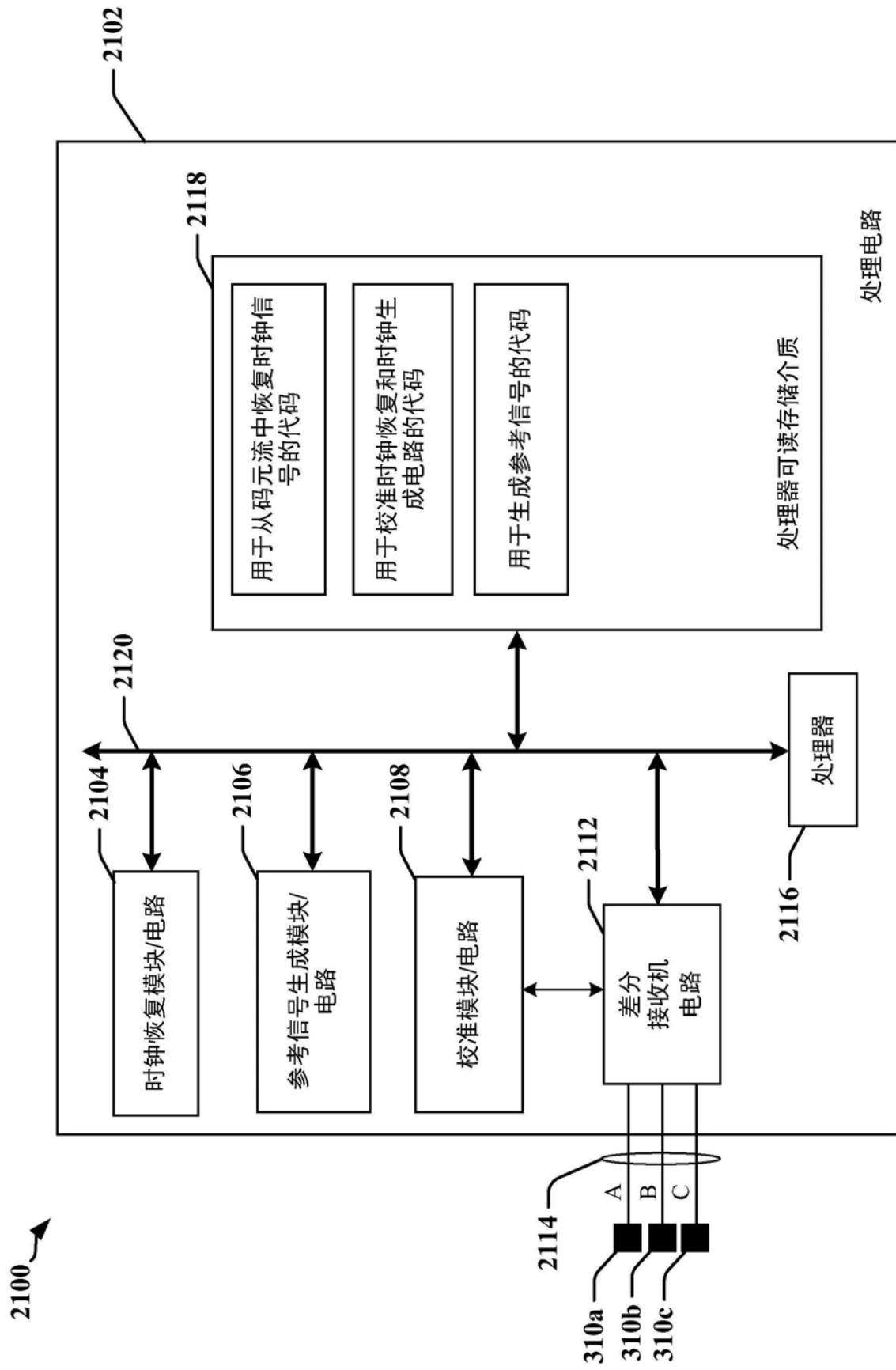


图21