



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0000944
(43) 공개일자 2018년01월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/324 (2017.01)
(52) CPC특허분류
H01L 21/02381 (2013.01)
H01L 21/02244 (2013.01)
(21) 출원번호 10-2016-0079302
(22) 출원일자 2016년06월24일
심사청구일자 2016년06월24일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이희덕
대전광역시 서구 둔산북로 175, 햇님아파트 8동 604호
김제영
대전광역시 중구 서문로 32, 한밭우성아파트 102동 1006호
(뒷면에 계속)
(74) 대리인
특허법인피너클

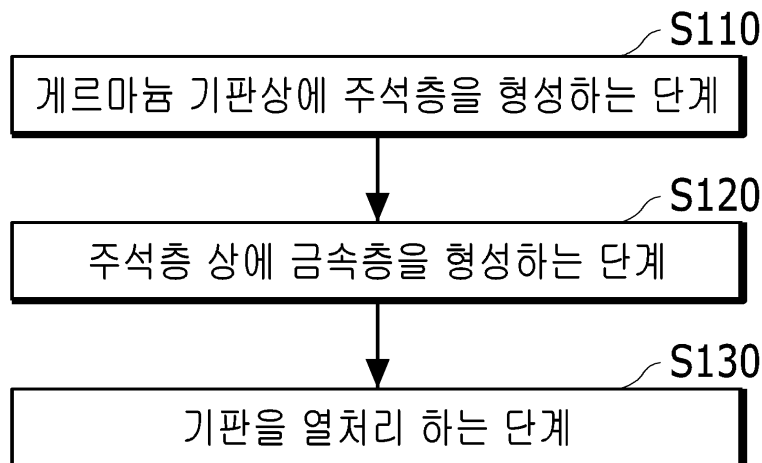
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 저마나이드 형성방법 및 그 저마나이드를 포함하는 반도체 소자

(57) 요약

본 발명은 접촉저항을 낮출 수 있는 저마나이드 형성방법 및 저마나이드를 포함하는 반도체 소자에 관한 것으로, 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은 P형 게르마늄 기관 위에 주석을 증착하여 주석 층을 형성하는 단계; 상기 주석 층 상에 금속을 증착하여 금속 층을 형성하는 단계; 및 상기 주석 층 및 상기 금속 층이 형성된 게르마늄 기관을 열처리하는 단계;를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02384 (2013.01)

H01L 21/324 (2013.01)

H01L 2924/01028 (2013.01)

H01L 2924/04941 (2013.01)

(72) 발명자

이 땡

충청북도 청주시 흥덕구 백봉로 148, 매그나칩사원
아파트 가동 1205호

신건호

대전광역시 유성구 대학로 141번길 26

이정찬

충청남도 공주시 신금1길 98 새뜸현대4차아파트
403동 1901호

이 발명을 지원한 국가연구개발사업

과제고유번호 10048536

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 20nm급 이하 차세대 반도체 소자를 위한 소자 저항 감소 기술 개발

기 여 율 1/1

주관기관 충남대학교

연구기간 2016.06.01 ~ 2017.05.31

명세서

청구범위

청구항 1

P형 게르마늄 기판 위에 주석을 증착하여 주석 층을 형성하는 단계;

상기 주석 층 상에 금속을 증착하여 금속 층을 형성하는 단계; 및

상기 주석 층 및 상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계를 포함하는 저마나이드(germanide) 형성방법.

청구항 2

제1 항에 있어서,

상기 금속 층은 니켈을 포함하는 저마나이드 형성방법.

청구항 3

제1 항에 있어서,

상기 금속 층 상에 타이타늄 나이트라이드(TiN)를 증착하여 타이타늄 나이트라이드 층을 형성하는 단계를 포함하는 저마나이드 형성방법.

청구항 4

제3 항에 있어서,

상기 주석 층, 상기 금속 층, 및 상기 타이타늄 나이트라이드 층의 두께 비는 상기 게르마늄 기판에 증착되는 모든 금속 층의 두께를 기준으로 35%, 22%, 및 43%의 비율이 되도록 하는 저마나이드 형성방법.

청구항 5

제1항에 있어서,

상기 주석 및 상기 금속은 스퍼터링(sputtering) 방식을 통해 증착되는 것을 특징으로 하는 저마나이드 형성방법.

청구항 6

제1 항에 있어서,

상기 열처리하는 단계는,

상기 주석 층 상기 금속 층이 형성된 게르마늄 기판을 300° C의 온도에서 어닐링(Rapid Thermal Annealing)하는 저마나이드 형성방법.

청구항 7

게르마늄 기판;

상기 게르마늄 기판 상에 형성된 제1 저마나이드; 및

상기 제1 저마나이드 상에 형성된 제2 저마나이드를 포함하되,

상기 제1 저마나이드는 상기 게르마늄 기판과 상기 제2 저마나이드 사이에 위치한 것을 특징으로 하는 반도체 소자.

청구항 8

제7 항에 있어서,

상기 제1 저마나이드 층 및 상기 제2 저마나이드 중 적어도 하나의 저마나이드는 주석을 포함하는 반도체 소자.

청구항 9

제7 항에 있어서,

상기 제2 저마나이드는 니켈을 포함하는 반도체 소자.

청구항 10

제7 항에 있어서,

상기 제1 저마나이드 층의 두께는 상기 제2 저마나이드 층의 두께보다 얇은 것을 특징으로 하는 반도체 소자.

청구항 11

제7 항에 있어서,

상기 제1 저마나이드는 주석을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12

제7 항에 있어서,

상기 제2 저마나이드는 니켈 및 주석을 포함하는 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 저마나이드 형성방법 및 그 저마나이드를 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0002] 집적회로의 증가에 의한 회로성능 또는 회로기능의 향상을 위해 집적회로를 구성하는 모스펫(MOSFET) 반도체 소자의 크기는 축소되는 추세이지만, 이에 따라 전계 트랜지스터(MOSFET)가 꺼진 상태에서도 흐르는 소스와 드레인 사이의 누설전류 (I_{off})는 소자 소형화에 따라 해결되어야 할 장애요인이 되었다.

[0003] 즉, 반도체 소자의 게이트 길이(L_{ag})가 줄어들어 쇼트 채널 (Short-Channel) 효과라고 불리는 소자성능에 부정적인 효과가 커지고 누설 전류 또한 크게 증가되는 문제가 발생한 것이다.

[0004] 또한, 반도체 소자의 소형화는 반도체 소자를 구성하는 금속 및 반도체 간의 면(접촉) 저항을 증가시키는 역효과를 가져왔고, 그 접촉저항을 줄이기 위해, 게르마늄 기반의 반도체를 제작하는 경우, 해당 반도체의 소스 및 드레인 영역에 게르마늄과 금속의 화합물인 저마나이드를 사용하게 되었다.

[0005] 이와 같은 저마나이드를 구현하기 위해 모스펫 반도체의 소스 및 드레인 영역에 이온주입공정을 통해 이온을 주입해야 하므로 고가의 비용이 발생하고 추가적인 후속 열처리가 필요하기 때문에 공정과정이 복잡해지는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 저비용으로 반도체 기판과 금속 간의 접촉저항을 낮추는 저마나이드(germaide) 형성방법과 그 저마나이드를 갖는 반도체 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 본 발명의 일 실시 예에 따른 저마나이드 형성방법은 P형 게르마늄 기판 위에 주석을 증착하여 주석 층을 형성하는 단계; 상기 주석 층 상에 금속을 증착하여 금속 층을 형성하는 단계; 및 상기 주석 층 및 상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계; 를 포함할 수 있다.
- [0008] 일 실시 예로서, 상기 금속은 니켈을 포함할 수 있다.
- [0009] 일 실시 예로서, 상기 저마나이드 형성방법은 상기 금속 층 상에 타이타늄 나이트라이드(TiN)를 증착하여 타이타늄 나이트라이드 층을 형성하는 단계를 포함할 수 있다.
- [0010] 일 실시 예로서, 상기 주석 층, 상기 금속 층, 및 상기 타이타늄 나이트라이드 층의 두께 비율은 상기 주석 층, 금속 층, 및 상기 타이타늄 나이트라이드가 구성하는 총 두께를 기준으로 각각 35%, 22%, 및 43%의 비율이 될 수 있다.
- [0011] 일 실시 예로서, 상기 주석 및 상기 금속은 스퍼터링(sputtering)방식을 통해 증착할 수 있다.
- [0012] 일 실시 예로서, 상기 열처리하는 단계는 상기 주석 층 상기 금속 층이 형성된 게르마늄 기판을 300° C의 온도에서 급속하게 어닐링(Rapid thermal annealing)하는 것을 포함할 수 있다.
- [0013] 본 발명의 또 다른 실시 예에 따른 반도체 소자는 게르마늄 기판; 상기 게르마늄 기판 상에 형성된 제1 저마나이드; 및 상기 제1 저마나이드 상에 형성된 제2 저마나이드를 포함하되, 상기 제1 저마나이드는 상기 게르마늄 기판과 상기 제2 저마나이드 사이에 위치할 수 있다.
- [0014] 일 실시 예로서, 상기 제1 저마나이드 및 상기 제2 저마나이드는 주석을 포함할 수 있다.
- [0015] 일 실시 예로서, 상기 제2 저마나이드는 니켈을 포함할 수 있다.
- [0016] 일 실시 예로서, 상기 제1 저마나이드의 두께는 상기 제2 저마나이드의 두께보다 얇을 수 있다.
- [0017] 일 실시 예로서, 상기 제1 저마나이드는 니켈, 게르마늄, 및 주석을 포함할 수 있다.
- [0018] 일 실시 예로서, 상기 제2 저마나이드는 게르마늄 및 주석을 포함할 수 있다.

발명의 효과

- [0019] 본 발명에 따르면, 기존의 공정보다 간단한 공정으로 낮은 접촉저항을 갖는 저마나이드를 형성할 수 있다.
- [0020] 본 발명의 효과가 상술한 효과들로 한정되는 것은 아니며, 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시 예에 따른 저마나이드 형성 방법의 흐름도이다.
- 도 2는 본 발명의 일 실시 예에 따른 저마나이드의 구조를 나타내는 도면이다.
- 도 3은 본 발명의 일 실시 예에 따라 형성된 저마나이드가 적용된 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)구조를 나타내는 단면도이다.
- 도 4는 본 발명의 일 실시 예에 따른 저마나이드가 적용된 수광 다이오드의 구조를 나타낸 단면도이다.
- 도 5는 본 발명의 실시 예 1-1 내지 실시 예 1-5를 어닐링한 저마나이드를 전자현미경으로 촬영한 이미지이다.
- 도 6은 본 발명의 실시 예 1-1 내지 실시 예 1-5에 따른 저마나이드가 사용된 다이오드에 전압을 인가시 생성되는 전류밀도를 나타낸 그래프이다.
- 도 7은 본 발명의 실시 예 1-1 및 실시 예 1-5에 따른 저마나이드가 사용된 다이오드에 전압을 인가시 생성되는 전류밀도를 나타낸 도표이다.
- 도 8은 P형 게르마늄 기판과 니켈 저마나이드 접합 시 존재하는 도펀트(dopant) 밀도를 나타낸 그래프이다.
- 도 9는 P형 게르마늄 기판과 본 발명에 따른 저마나이드를 접합 시 존재하는 도펀트 밀도를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하에서는 본 발명의 실시 예에 관하여 첨부도면을 참조하여 상세하게 설명하기로 한다. 다만, 이하에서 설명

되는 실시 예는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 발명을 쉽게 실시할 수 있을 정도로 상세하게 설명하기 위한 것에 불과하며, 이로 인해 본 발명의 보호범위가 한정되는 것을 의미하지는 않는다. 그리고 본 발명의 여러 실시 예를 설명함에 있어서, 동일한 기술적 특징을 갖는 구성요소에 대하여는 동일한 도면 부호를 사용하기로 한다.

- [0023] 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은, 반도체 소자를 구성하는 게르마늄 기판 위에 복수의 금속 층을 순차적으로 형성하고, 상기 복수의 금속 층이 형성된 게르마늄 기판을 기 설정된 방식으로 열처리하는 단계로 구성된다.
- [0024] 일 예로서, 주석(Sn)은 상기 게르마늄 기판 위에 증착하여 주석 층을 형성하고, 상기 주석 층 위에 니켈(Ni)이 증착되며, 상기 니켈(Ni) 위에 타이타늄 나이트라이드(TiN)가 증착된다.
- [0025] 상기 금속 층 각각에 대한 증착은 스퍼터링 장비를 통해 이루어지고, 상기 증착이 이루어진 게르마늄 기판을 기 설정 온도와 시간에 걸쳐 열처리하여 낮은 접촉 저항을 갖는 저마나이드를 구현할 수 있다.
- [0026] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명에 대해 상세히 설명하고자 한다.
- [0027] 도 1은 본 발명의 일 실시 예에 따른 저마나이드 형성 방법의 흐름도이다.
- [0028] 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 저마나이드 형성방법은 게르마늄 기판 위에 주석을 증착시켜 주석 층을 형성하는 단계(S110), 상기 주석 층 위에 또 다른 금속을 증착시켜 금속 층을 형성하는 단계(S120), 및 상기 주석 및 상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계(S130)를 포함할 수 있다.
- [0029] 본 발명의 일 실시 예에 따라 상기 게르마늄 기판은 실리콘 웨이퍼 상에 에피택셀 성장(Epitaxial growth)방법에 의해 300~ 500nm의 두께의 게르마늄이 증착된 실리콘 기판일 수 있다. 상기 게르마늄 기판은 10^{16} cm^{-3} 의 도핑 밀도를 갖는 P형 게르마늄(Ge)일 수 있다.
- [0030] 상기 P형 게르마늄 기판 위에 스퍼터링(sputtering) 방식을 통해 주석(Sn)을 증착한다 (S110). 상기 주석의 증착은 기존의 이온화된 아르곤(Ar) 가스를 이용하는 일반적인 RF 마그네트론 스퍼터링 방식을 이용한다.
- [0031] 다음으로, 상기 주석이 증착된 기판 위에 또 다른 금속을 증착한다 (S120). 본 발명의 일 실시 예로서, 니켈(Ni)을 상기 주석 층 위에 동일한 스퍼터링 방식을 통해 증착할 수 있다.
- [0032] 다음으로, 캐핑 레이어(capping layer) 역할을 갖는 타이타늄 나이트라이드(TiN)을 상기 니켈 층 위에 증착시켜 산화현상을 억제할 수 있다.
- [0033] 상기 게르마늄 기판 위에 적층 되는 상기 주석 층, 상기 니켈 층, 및 상기 타이타늄 나이트라이드 층 각각의 두께는 이들과 상기 게르마늄 기판 간에 높은 전류밀도가 생성하도록 결정된다.
- [0034] 예를 들어, 상기 저마나이드와 상기 게르마늄 기판이 접합된 경우, 상기 게르마늄 기판에 첨가된 도너가 전류를 전달하는 주된 캐리어라고 가정하고 이들 도너를 상기 게르마늄 기판과 상기 저마나이드의 경계 영역에 이동시킬 수 있다면, 이들 영역은 기존의 자유전자보다 더 많은 자유전자가 분포하게 되므로 전류가 잘 흐르게 될 수 있는 것이다.
- [0035] 즉, 상기 게르마늄 기판에 주입된 도너가 상기 경계영역으로 원활하게 이동하도록 상기 기판에 적층되는 금속들의 두께를 설정하는 것이다.
- [0036] 본 발명의 일 실시 예에 따라, 상기 게르마늄 기판은 10^{16} cm^{-3} 의 도핑 밀도를 갖는 P형 게르마늄을 사용 시, 상기 주석, 니켈, 및 타이타늄 나이트라이드가 이루는 두께를 기준(100%)으로 볼 때, 주석(약 24%), 니켈 (약 46%), 타이타늄 나이트라이드 (약 30%)의 비중을 차지하는 것이 바람직하다.
- [0037] 또한, 10^{16} cm^{-3} 의 도핑 밀도를 갖는 P형 게르마늄 기판을 사용되는 경우, 상기 타이타늄 나이트라이드의 두께를 1.0으로 가정하면, 주석은 0.8 비율의 두께를 갖고, 니켈은 1.5 비율의 두께를 갖는 것이 바람직하다.
- [0038] 다음은 열처리 단계(S130)로서, 상기 금속 층을 기설정된 방식의 열처리하여 이들 금속으로 이루어진 저마나이드를 형성할 수 있다.
- [0039] 일 실시 예로서, 약 300° C에서 약 60초간 상기 기판을 RTA (Rapid thermal annealing) 처리하는 경우, 상기 주석의 열화현상을 최소화하고 니켈과 주석을 포함한 저마나이드 박막층의 결정성을 증가시킬 수 있다.

- [0040] 다음은, 본 발명의 일 실시 예에 따른 에칭 과정으로서, 상기 열처리 과정을 거친 기판을 150° C의 H₃PO₄ 용액에 약 30초간 넣어 상기 공정에 반응하지 않은 금속과 상기 타이타늄 나이트라이드(Capping Layer)를 제거할 수 있다.
- [0041] 또한, 본 발명의 일 실시 예로서, 상기 에칭이 완료된 후, 상기 저마나이드와 접촉되지 않은 상기 게르마늄 기판의 타 면에 RF-마그네트론 스퍼터 (Magnetron sputter)를 이용하여 기설정된 두께의 알루미늄층을 형성할 수 있다.
- [0042] 도 2는 도 1에 따른 P형 게르마늄 기판에 증착한 주석(Sn) 및 니켈(Ni)이 열처리 과정(S130)을 통해 형성되는 저마나이드를 나타내고 있다.
- [0043] 상기 주석의 증착을 통해, 게르마늄(Ge)과 주석(Sn)으로 구성된 제1 저마나이드가 상기 P형 게르마늄 기판 위에 형성되고, 니켈(Ni) 및 게르마늄(Ge)으로 이루어진 제2 저마나이드가 상기 제1 저마나이드 위에 형성될 수 있다.
- [0044] 여기서, 상기 제2 저마나이드는 니켈과 게르마늄 구성되거나 또는 니켈, 게르마늄, 및 낮은 농도의 주석으로 이루어질 수 있다.
- [0045] 이렇게 본 발명에 따른 열처리 과정(S130)을 거쳐 생성된 상기 제1 저마나이드는 매우 높은 농도의 도펀트(보론)를 포함한다. 또한, 이렇게 분포된 도펀트는 상기 제2 저마나이드와 상기 게르마늄 기판 간의 공핍층 폭(depletion width) 및 상기 제2 저마나이드 및 상기 게르마늄 기판 간의 접촉저항을 감소시킬 수 있다.
- [0046] 본 발명의 실시 예에 따른 상기 저마나이드의 구체적인 효과에 관해서는 도 6 및 도7을 참조하여 자세히 살펴볼도록 하겠다.
- [0047] 도 3 및 도 4는 본 발명의 일 실시 예에 따라 형성된 저마나이드가 적용된 반도체 소자로서, MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 수광 다이오드의 구조를 나타내고 있다.
- [0048] 도 3에 도시된 바와 같이, 본 발명의 일 실시 예에 따라 형성되는 복수의 저마나이드는 MOSFET의 소스 및 드레인 전극 영역 각각에 적용될 수 있다.
- [0049] 도 4에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 저마나이드는 수광 다이오드 구성에 적용될 수 있다. 즉, 상기 저마나이드 층은 게르마늄 기판과 하부 금속 전극 사이에 적용되어 접촉저항을 낮출 수 있다.
- [0050] 이하, 본 발명의 실시 예에 따른 실험결과를 통해 본원 발명의 기술적 효과를 더 상세히 설명하고자 한다.
- [0051] <실시 예1>
- [0052] 우선, 10¹⁶cm⁻³의 도핑 밀집도를 갖는 P형 게르마늄 웨이퍼를 사용하고, 그 웨이퍼 표면에 생성되는 얇은 산화막을 제거하기 위해 1:100으로 희석된 불산(HF) 용액에 30초간 담근다.
- [0053] 다음으로, RF 마그네트론 스퍼터(RF-Magnetron sputter)를 이용하여 하드 마스크로 사용할 산화막을 100nm 두께로 증착하고, 리토그래피(lithography) 공정을 통해 다이오드 패턴을 제작한다. 다음으로, HF용액을 사용하여 약 64초간 에치(etch)하여 다이오드 패턴을 형성한다.
- [0054] 상기 다이오드 패턴이 형성된 후, RF-Magnetron 스퍼터를 이용하여 진공 상태에서 각각의 다른 두께의 금속들을 상기 게르마늄 기판 위에 순차적으로 증착시킨다.
- [0055] 여기서, 단순히 니켈과 게르마늄 기판을 접합한 실시 예와 니켈과 각각 다른 두께를 갖는 주석 층을 게르마늄 기판과 접합한 실시 예들을 구현하였다.
- [0056] 즉, Ni/TiN (15/10nm)(실시 예1-1), Sn / Ni/ TiN (2/15/10 nm) (실시 예 1-2), Sn / Ni/ TiN (5/15/10 nm) (실시 예 1-3), Sn / Ni/ TiN (8/15/10 nm)(실시 예 1-4), 및 Sn / Ni/ TiN (12/15/10 nm) (실시 예 1-5)를 제작하였다.
- [0057] <비교 예1>
- [0058] 도 5는 본 발명의 실시 예 1-1 내지 1-5를 어닐링한 저마나이드를 전자현미경으로 촬영한 이미지이다.
- [0059] 도 5를 참조하면, 니켈 저마나이드 및 게르마늄 기판은 어닐링 온도가 350° C 및 400° C인 경우에 그들 접촉영역이 열화되지 않음을 나타낸다.

- [0060] 이와 대조적으로, 본 발명에 따른 니켈 및 주석으로 이루어진 저마나이드 및 게르마늄 기판은 어닐링 온도가 350° C 및 400° C인 경우 그들 간의 접촉영역에서 열화되는 것을 확인하였다. 또한, 추가적인 실험을 통해 주석이 함유된 저마나이드에 적용하는 열처리 과정은 soak-type RTA를 이용하여 300° C의 어닐링 온도를 적용하는 것이 바람직하다는 것을 확인할 수 있었다.
- [0061] <비교 예2>
- [0062] 도 6은 본 발명의 실시 예 1-1 내지 실시 예 1-5에 따른 저마나이드가 사용된 다이오드에 인가된 전압에 의해 생성되는 전류밀도를 나타내는 그래프이다.
- [0063] 도 6의 그래프의 가로축은 상기 다이오드에 인가되는 전압(V)을 나타내고, 세로축은 상기 다이오드에서 측정된 전류 밀도(A/cm²)를 나타내고 있다.
- [0064] 도 6의 그래프는 Ni/TiN (15/10nm)(실시 예1-1)과 비교하여, Sn / Ni/ TiN (2/15/10nm) (실시 예 1-2), Sn / Ni/ TiN (5/15/10nm) (실시 예 1-3), Sn / Ni/ TiN (8/15/10nm)(실시 예 1-4), 및 Sn / Ni/ TiN (12/15/10nm) (실시 예 1-5) 모두가 상대적으로 높은 전류밀도(A/cm²)를 갖고 있음을 나타내고 있다.
- [0065] 또한, 도 6의 그래프는 상기 주석을 첨가한 모든 저마나이드 중, 상기 주석의 두께에 따라 상기 다이오드 반도체(기판)와 저마나이드 경계영역에 존재하는 전류밀도가 다르다는 것을 표시하고 있다.
- [0066] 보다 구체적으로, 상기 저마나이드와 상기 다이오드 반도체(기판) 간의 경계면 및 그것과 인접한 영역에 대해서, 인가되는 동일한 전압에 대해 상기 주석의 두께가 (2nm < 5nm < 8nm) 증가할수록 전류 밀도가 증가하는 관계가 성립되지만, 상기 주석의 두께가 8nm에서 12nm로 증가한 경우, 해당 전류밀도는 오히려 감소하는 관계가 형성되는 것을 확인할 수 있다.
- [0067] 도 7은 본 발명의 실시 예 1-1 내지 실시 예 1-5에 따른 저마나이드가 사용된 다이오드에 순 방향 및 역방향 전압을 인가할 경우 생성되는 전류밀도를 수치를 통해 나타내고 있다.
- [0068] 여기서, Sn / Ni/ TiN (8/15/10 nm)(실시 예 1-4) 로 이루어진 다이오드에 순방향 바이어스(1V) 및 역방향 바이어스(-1V) 전압이 인가되는 경우 각각 209.045 A/cm² 및 207.952 A/cm²의 전류밀도가 형성되는 것을 나타낸다.
- [0069] 즉, 상기 주석 층, 상기 금속 층, 및 상기 타이타늄 나이트라이드 층의 두께 비는 상기 게르마늄 기판에 적층된 모든 금속 층의 두께를 기준(100%)으로 약 35%, 약 22%, 및 약 43%의 비율이 되는 경우 최대의 전류밀도를 갖는 것이다.
- [0070] 반면, 2nm, 5nm, 또는 12nm 두께의 주석 층을 갖는 저마나이드로 구성된 다이오드에 순방향 바이어스(1V) 및 역방향 바이어스 전압(-1V)이 인가된 경우 미미하게 낮은 전류밀도가 형성되는 것을 나타내고 있다.
- [0071] 즉, 실시 예 1-4를 제외한 다른 실시 예들(실시 예 1-1, 실시 예 1-2, 실시 예 1-3, 실시 예 1-5)로 이루어진 다이오드는 순방향 바이어스(1V)가 인가된 경우 14.830 A/cm² 내지 21.066 A/cm² 범위의 전류밀도를 갖는다. 또한, 상기 다이오드는 역방향 바이어스(-1V)가 인가된 경우 12.095 A/cm² 내지 18.344 A/cm² 범위의 전류밀도를 갖는다.
- [0072] <비교 예3>
- [0073] 도 8은 P형 게르마늄 기판과 니켈 저마나이드로 이루어진 다이오드에 전압을 인가하는 경우 P형 도펀트인 보론(Boron)의 밀도를 나타낸 가상실험 결과를 나타낸 그래프이다.
- [0074] 도 8의 그래프의 가로축은 외부에 노출된 상기 니켈 저마나이드의 최상 면으로부터 상기 기판 바닥까지의 거리(깊이)를 나노미터(nm) 단위로 표시하고 있다. 한편, 상기 그래프의 세로축은 단위 면적(cm²)당 상기 P형 게르마늄을 구성하고 전류를 이동시키는 도펀트(보론)의 밀도(cm⁻³)를 나타내고 있다.
- [0075] 그리고, 게르마늄(Ge), 니켈(Ni), 및 보론(B)의 분포도를 각기 다른 점선으로 표시되었다.
- [0076] 비록 여기에 도시되지 않았지만, 상기 P형 게르마늄 기판과 상기 니켈 저마나이드(NiGe)의 경계면은 상기 저마나이드 최상층으로부터 50nm인 지점(깊이)에 있다.

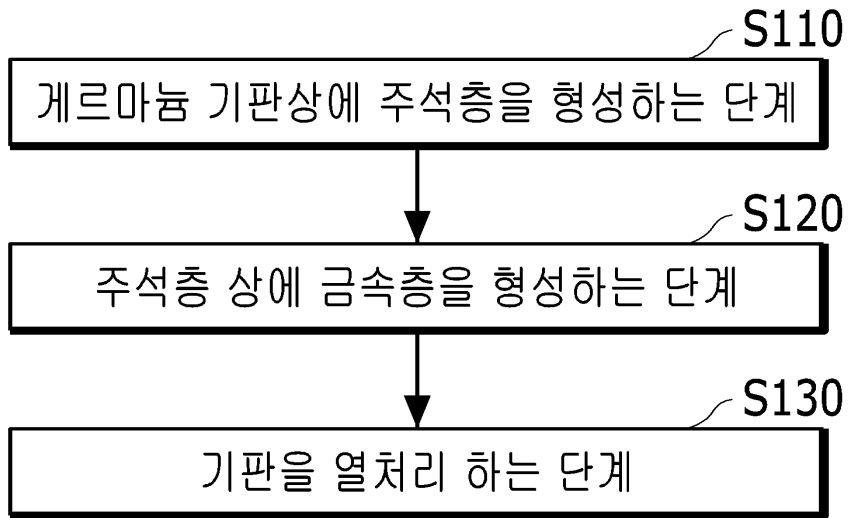
- [0077] 여기서, 상기 니켈 저마나이드와 게르마늄 기관의 경계면(50nm) 및 그것과 인접한 상기 게르마늄 기관영역(60nm) 사이의 범위 내에서는 1cm^3 당 10^{16} 개- 10^{17} 개 범위 사이의 보론이 분포하고 이에 해당하는 접촉 저항 및 전류량을 갖게 된다.
- [0078] 도 9는 P형 게르마늄 기관(반도체)과 본 발명에 따른 주석을 포함한 저마나이드를 접합 시 P형 도펀트 (보론) 밀도를 나타낸 가상실험 결과를 나타낸 그래프이다.
- [0079] 상기 그래프의 가로축 및 세로 축은 도 8의 그래프와 동일하고, 게르마늄(Ge), 니켈(Ni), 보론(B), 주석(Sn)의 밀도는 각기 다른 점선으로 표시되었다. 또한, 상기 P형 게르마늄 기관과 상기 니켈 저마나이드(NiGe)의 경계영역은 외부에 노출된 상기 저마나이드 표면으로부터 60nm인 영역(깊이)에 위치한다.
- [0080] 도 9에서, 상기 니켈 저마나이드와 게르마늄 기관의 경계면(60nm) 및 그것과 인접한 상기 게르마늄 기관영역(70nm) 사이의 범위 내에서는 1cm^3 당 10^{18} 개- 10^{19} 개 범위 사이의 보론이 분포하고 이에 해당하는 접촉 저항 및 전류량을 갖게 된다.
- [0081] 즉, 도 9에서 도시된 본 발명에 따른 저마나이드와 게르마늄 기관 사이에 전류의 흐름을 결정하는 불순물(보론)의 밀도는 도 8의 일반적인 니켈 저마나이드 보다 월등히 높게 형성된다는 것을 나타내고 있다.
- [0082] 기본적으로, 불순물(도너)을 반도체에 첨가시키면 그와 같은 수의 전자를 첨가시키는 것과 동일한 효과를 나타내므로, 진성 반도체의 영역을 벗어나 그 반도체의 저항은 첨가된 전자의 수와 반비례하게 감소한다.
- [0083] 즉, 불순물(도너)에 의해 증가한 자유전자의 수는 그만큼 그 반도체에 전류를 잘 흐르게 한다는 것이고, 해당 영역의 접촉저항이 상기 증가한 불순물에 해당하는 만큼 감소한다는 것이다.
- [0084] 따라서, 본 발명에 따른 저마나이드는 기존의 저마나이드보다 더 낮은 접촉저항을 갖고, 상기 도너에 의해 증가한 자유전자는 전류를 더 잘 흐르게 하는 반도체를 제공할 수 있다.
- [0085] 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

부호의 설명

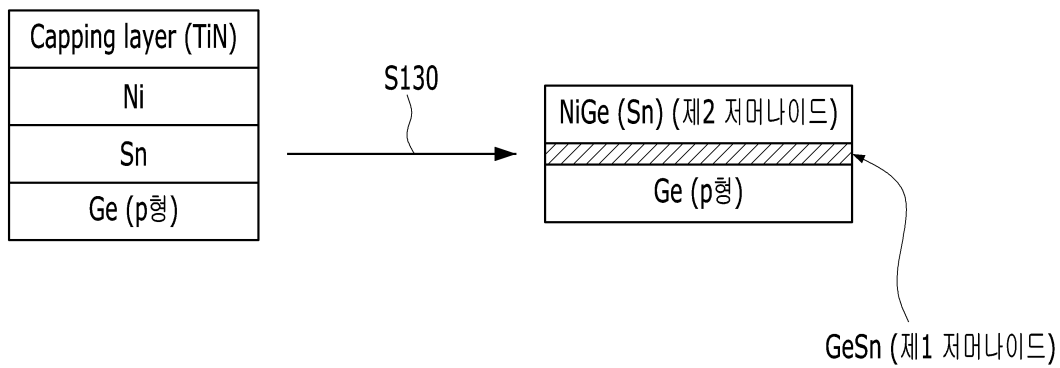
- [0086] S110: 게르마늄 기관상에 주석층을 형성하는 단계
S120: 주석층 상에 금속층을 형성하는 단계
S130: 기관을 열처리하는 단계

도면

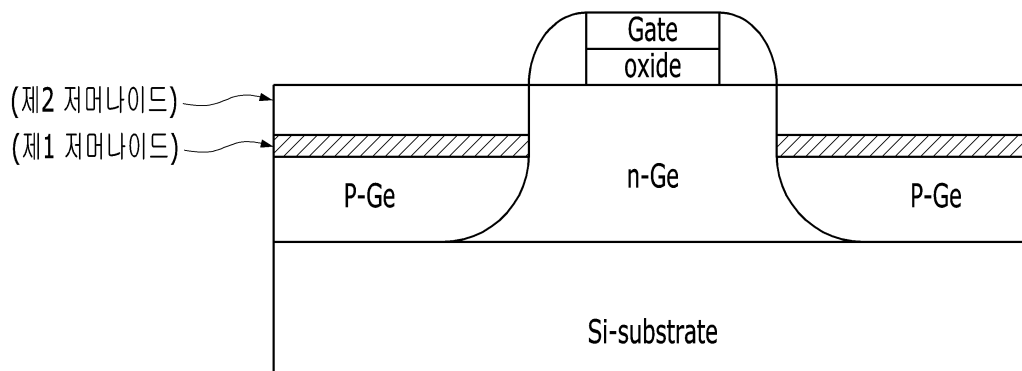
도면1



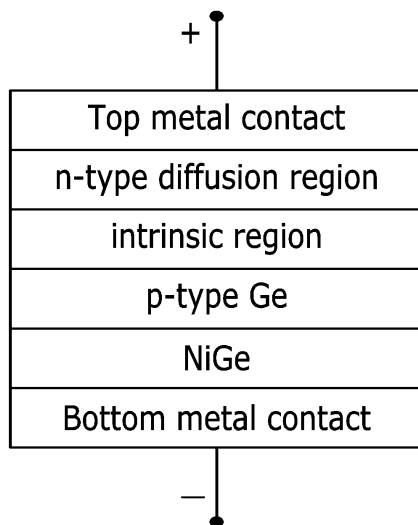
도면2



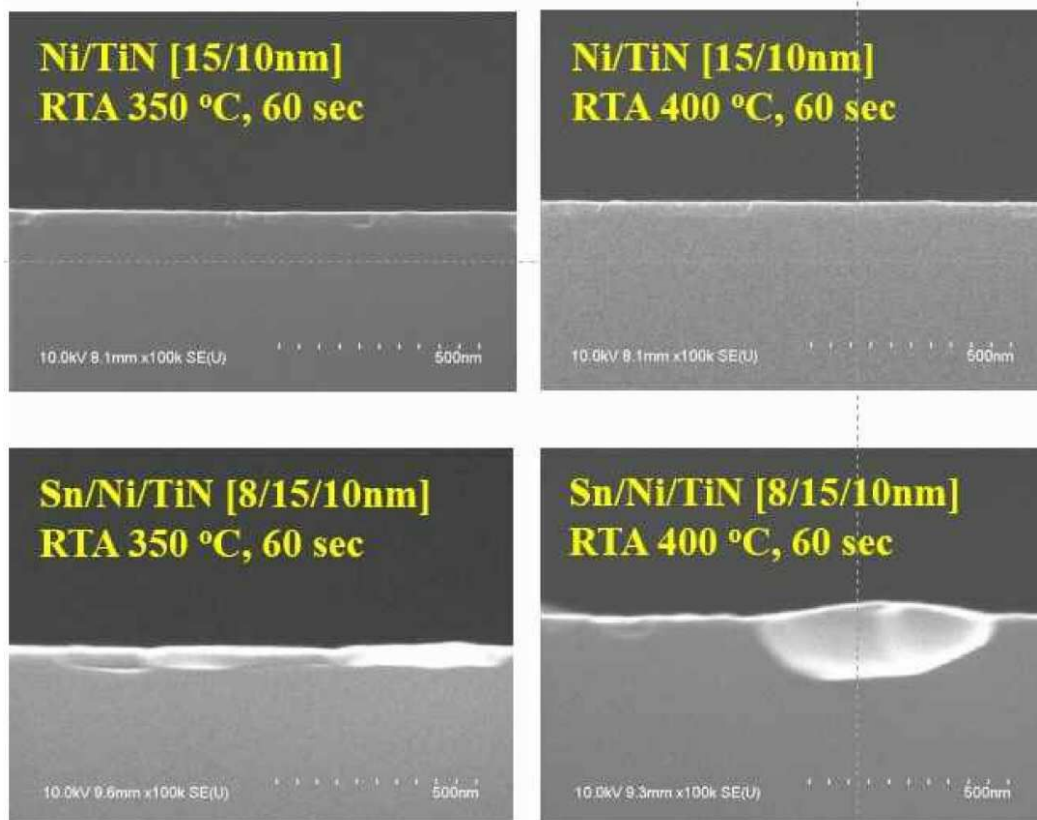
도면3



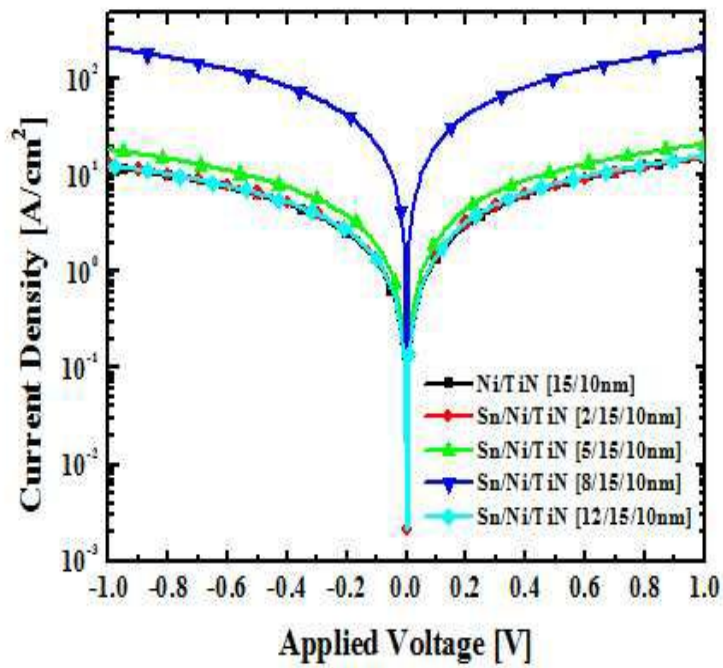
도면4



도면5



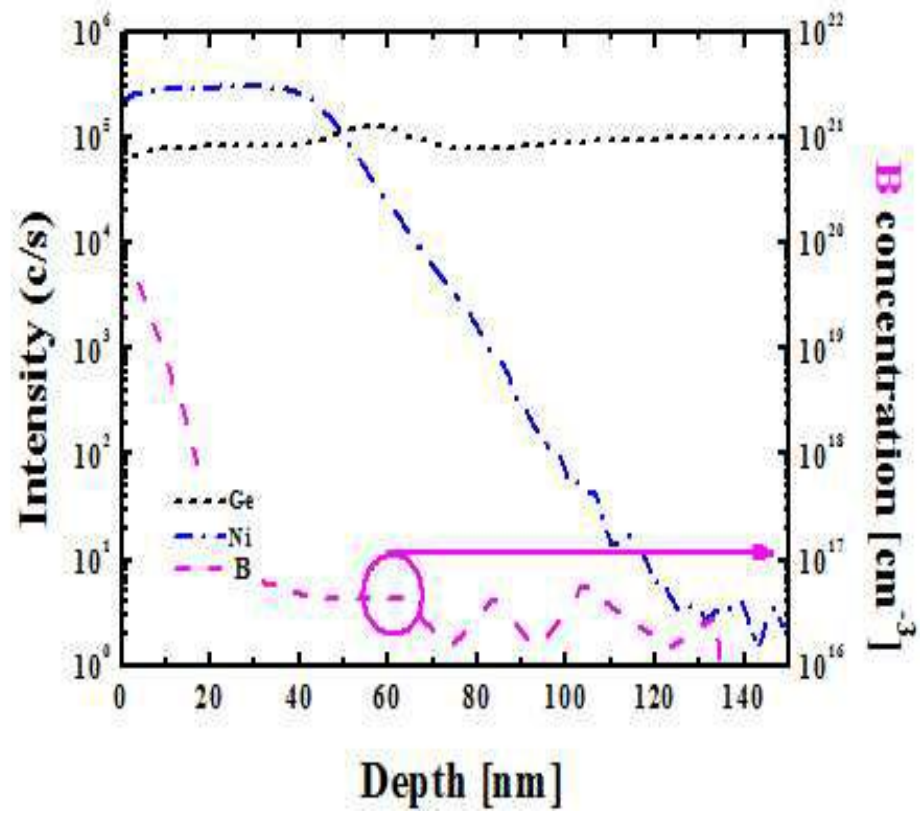
도면6



도면7

	As dep. Structure	RTA	-1 [V]	1 [V]
Current Density [A/cm²]	Ni/TiN(15/10nm)	350°C, 60sec	12.095	14.830
	Sn/Ni/TiN(2/15/10 nm)	350°C, 60sec	12.797	14.962
	Sn/Ni/TiN(5/15/10 nm)	350°C, 60sec	18.344	21.066
	Sn/Ni/TiN(8/15/10 nm)	350°C, 60sec	207.952	209.045
	Sn/Ni/TiN(12/15/10 nm)	350°C, 60sec	12.619	15.669

도면8



도면9

