

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl. ⁶ H01L 23/49	(45) 공고일자 2005년09월26일
	(11) 등록번호 10-0503531
	(24) 등록일자 2005년07월15일

(21) 출원번호 10-1998-0705131	(65) 공개번호 10-1999-0077001
(22) 출원일자 1998년07월03일	(43) 공개일자 1999년10월25일
번역문 제출일자 1998년07월03일	
(86) 국제출원번호 PCT/IB1997/001194	(87) 국제공개번호 WO 1998/20553
국제출원일자 1997년10월02일	국제공개일자 1998년05월14일

(81) 지정국 국내특허 : 아일랜드, 일본,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼,

(30) 우선권주장 96203079.7	1996년11월05일	유럽특허청(EPO)(EP)
(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.		
	네델란드왕국, 아인드호펜, 그로네보드스베그 1	
(72) 발명자 악노크 아테프		
	네덜란드 아인드호펜 엔엘-5656 에이에이 홀스트란 6	
	무어스 페트루스 마티누스 알베르투스 빌헬무스	
	네덜란드 아이드호펜 엔엘-5656 에이에이 홀스트란 6	
(74) 대리인 김창세		
	장성구	

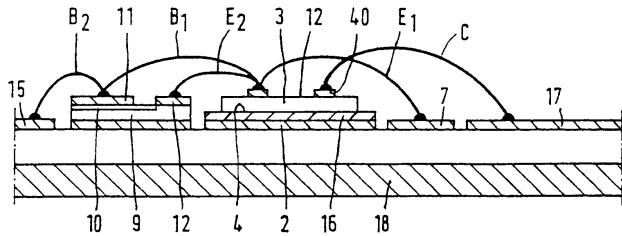
심사관 : 유환철

(54) 반도체디바이스

요약

본 발명은 절연 기판(1) 및 전도성 실장면(2)을 구비한 반도체 디바이스에 관한 것으로서, 절연 기판(1)은 전도성 접지면(18) 위에 제공되며, 바이폴라 트랜지스터(3)는 그의 제 1 주표면(4)이 실장면(2)과 접촉되는 상태로 실장면(2) 위에 실장되고, 에미터(5), 베이스(6) 및 콜렉터(4, 40) 용의 접속 패드를 구비한다. 본 발명에 따르면, 반도체 디바이스는, 에미터, 베이스 및 콜렉터의 접속 패드(5, 6, 40)가 트랜지스터(3)의 제 1 주표면(4)과는 반대편에 위치한 트랜지스터(3)의 제 2 주표면(12) 위에 위치하며 전도성 실장면(2)의 방향 크기가 트랜지스터(3)의 제 1 주표면(4)의 횡방향 크기와 실질적으로 동일한 것을 특징으로 한다.

대표도



명세서

본 발명은 절연 기판 및 전도성 실장면을 구비한 반도체 디바이스에 관한 것으로서, 상기 절연 기판은 전도성 접지면 위에 제공되며, 바이폴라 트랜지스터는 상기 실장면 상에 제공되며, 상기 트랜지스터의 제 1 주표면은 상기 실장면과 접촉하며, 상기 트랜지스터에는 에미터, 베이스 및 콜렉터용의 접속 패드들이 제공되어 있다.

이와 같은 디바이스는 고주파 애플리케이션, 구체적으로는, 송신기 트랜지스터를 구비한 모듈에 특히 적합하다. 이와 같은 모듈은 예로서 세라믹(ceramic) 재료로 만들어진 절연 기판을 포함하며, 그 절연 기판 위의 전도성 실장면에는 트랜지스터, 다이오드, 저항, 캐패시터 등의 다른 구성요소가 제공된다. 이와 같은 반도체 디바이스는 박막 또는 후막 회로로 알려져 있다. 절연 기판은 전도성 접지면, 가령 히트 싱크(heat sink), 인쇄 회로기판, 스크리닝(screening) 또는 하우징(housing) 위에 실장된다.

전술한 종류의 디바이스는 일본 특허 출원 제 6-260563 호의 영문 초록으로부터 알려져 있다. 이 공지된 디바이스의 트랜지스터는 그의 제 1 주표면이 전도성 실장면에 납땜된다. 제 1 주표면이 콜렉터용 접속 표면으로서의 역할을 하므로 전도성 실장면은 트랜지스터의 콜렉터 접속 수단의 기능을 한다. 전도성 실장면은 그와 같은 목적 달성을 위해 본딩 와이어를 통하여 다른 구성 요소와도 접속된다. 트랜지스터를 제공하는 동안 전도성 실장면으로부터 땜납이 유출되는 것을 방지하기 위하여 전도성 실장면에는 트랜지스터가 납땜될 그루브(groove)가 제공된다. 이때, 전도성 실장면을 비교적으로 작게 되도록 선택될 수도 있기 때문에 트랜지스터의 고주파 특성을 좋게 할 수도 있다.

이 공지된 디바이스는 트랜지스터의 고주파 특성이 일부 용도에 따라서는 우수하지 않다는 결점을 가지고 있다. 또한, 이 공지된 디바이스는 실장면내의 그루브 때문에 제조가 곤란하다.

본 발명의 목적은 특히, 상술한 결점을 없애는 것이다.

이같은 목적 달성을 달성하기 위해서, 본 발명에 따른 디바이스는, 에미터, 베이스 및 콜렉터의 접속 패드들이 제 1 주표면의 반대편에 있는 제 2 주표면 위에 위치하며, 전도성 실장면의 횡방향 크기가 실질적으로 트랜지스터의 제 1 주표면의 횡방향 크기와 동일하다는 것을 특징으로 한다.

따라서, 콜렉터용의 접속 패드는 트랜지스터의 제 2 주표면 위에 형성된다. 트랜지스터의 제 1 주표면과 접촉하는 전도성 실장면은 비교적으로 작게 선택할 수도 있다. 실장면은 그 표면 위에 콜렉터의 접속을 위한 본딩 와이어를 제공하기 위해 사용되지는 않는다. 실장면의 크기는 트랜지스터가 쉽게 그 위에 제공될 수 있을 정도면 된다. 즉, 전도성 실장면의 횡방향 크기는 대략 트랜지스터의 제 1 주표면의 횡방향 크기와 동일하면 충분하다. 횡방향 크기는 여기서 (두께에 대하여 직각을 이루는) 평면의 크기로 이해된다. 트랜지스터의 고주파 특성은 전도성 실장면의 크기에 의해서 크게 좌우된다. 실장면이 작으면, 에미터 및 베이스의 접속 패드용 본딩 와이어가 상대적으로 큰 전도성 실장면 위를 통과할 필요가 더 이상 없으므로 더 짧아질 수도 있다. 따라서, 이 본딩 와이어의 자기-인덕턴스(self-inductance) 및 직렬 저항(serial resistance)은 감소된다. 절연 기판은 전도성 접지면에 실장된다. 전도성 접지면은 절연 기판 및 전도성 실장 기판과 함께 바이폴라 트랜지스터에 접속되는 기생 캐패시턴스를 형성한다. 실장면을 작게 하면 기생 캐패시턴스가 작아진다. 기생 캐패시턴스는 고주파 애플리케이션에 특히 중요하다. 좋은 고주파 특성을 얻기 위하여 기판에 그루브를 만드는 것이 불필요하므로, 본 발명의 반도체 디바이스는 이미 알려진 반도체 디바이스보다 제조가 용이하다.

바람직하게는, 본 발명에 따른 디바이스는, 기판에 접지면까지 하향 연장하는 공동(cavity)이 제공되며, 이 공동 내에는 절연 몸체가 위치하며, 절연 몸체의 제 1 면이 접지면과 접촉하고, 제 1 면의 반대편에 놓인 절연 몸체의 제 2 면에는 실장면이 제공되며, 이 실장면 상에 트랜지스터가 배치되며, 절연 몸체는 10W/mK를 초과하는 열 전도도를 가지는 재료를 포함하는 것을 특징으로 한다. 따라서, 전도성 실장면은 비교적 좋은 열 전도도를 가지며 기판의 공동 내에 위치하는 재료의

몸체 상에 제공된다. 따라서, 열은 용이하게 트랜지스터로부터 몸체를 통하여 접지면으로 전달된다. 몸체는 알루미늄, 구리, 다이아몬드 또는 알루미나 등과 같은 재료로 구성될 수 있다. 바람직하게, 몸체는 BeO로 구성되며, BeO는 약 250W/mK 정도의 열 전도도를 가진다.

몸체의 횡방향 크기는, 예를 들어, 본딩 와이어가 연장하지 않는 방향으로는 전도성 실장면의 크기보다 더 클 수도 있다.

그러나, 바람직하게는 몸체의 횡방향 크기는 실질적으로 실장면의 크기와 동일하며, 공동의 횡방향 크기는 몸체가 그 공동 내에 정확하게 정합하도록 되어 있다. 이와 같은 디바이스는 기판을 가로지르는 공동의 크기가 몸체를 실장하는데 필요한 크기보다 크지 않다는 이점을 가진다. 그러므로, 기판의 파손을 포함한 문제점들이 예방될 수 있으며, 또한, 몸체가 작아 가격이 저렴해 진다.

바람직한 실시예에서, 몸체의 횡방향 크기에 대하여 수직인 몸체의 두께는 절연 기판의 두께보다 더 작다. 이와 같이 기판이 얇기 때문에 열 제거가 양호하다.

본딩 와이어가 부착되는 큰 실장면을 가진 얇은 몸체를 사용하면, 콜렉터 본딩 와이어를 실장면에 접속하는 데에 문제가 발생하는데, 이는 비교적 얇은 몸체의 실장면이 기판에서 그루브에 놓여질 것이기 때문이다. 이때, 접속에 사용되는 본딩 와이어는 공동의 모서리(edge)와 쉽게 접촉된다. 이와 같은 접촉은 예로서 제조 공정 동안 문제를 야기시킬 수도 있다. 또한, 본딩 머신(bonding machine)이 공동 내의 실장면에 쉽게 접근할 수 없기 때문에 문제가 발생할 수도 있다. 본 발명에 따른 디바이스에서는, 트랜지스터의 제 2 주표면 위의 접속 패드 위에 본딩 와이어가 제공된다. 상기 제 2 주표면은 실장면보다 훨씬 높게 위치하므로, 본딩 와이어의 실장 시에 발생하는 문제는 없게 된다.

트랜지스터의 에미터 및 콜렉터의 접속 패드는 각각 수개의 본딩 와이어를 통해 반도체 디바이스의 다른 구성 요소에 접속된다. 최신 바이폴라 트랜지스터에서의 전류는 강하다. 이는 그 전류가 높은 동작 주파수와 조합되어, 에미터 본딩 와이어에서의 자기-인덕턴스에 의해 형성된 임피던스가 트랜지스터의 동작에 상당한 영향을 미칠 수 있음을 의미한다. 그 결과, 예를 들면, 한 개의 에미터 본딩 와이어를 사용하는 경우, 부궤환 효과(negative feedback effect)가 발생하며, 트랜지스터의 고주파 이득이 줄어든다. 수개의 에미터 본딩 와이어를 사용하는 경우에는, 본딩 와이어의 임피던스가 작아지고 고주파 동작이 양호하게 된다. 콜렉터 접속을 위해 수개의 본딩 와이어를 사용하면, 트랜지스터 동작은 콜렉터를 통해 비교적 강한 전류가 흐르는 경우에 콜렉터 접속에서의 과도한 직렬 저항에 의하여 악영향을 받지 않게 된다. 이러한 본딩 와이어들은 그들이 평행하게 연장하는 식으로 적용된다.

본 발명은 도면을 참조하여 아래에서 보다 상세하게 설명될 것이다. 도시된 도면들은 순전히 개략적이며, 실제의 비율대로 그려진 것은 아니다. 전체적으로 도면에서 동일한 부분에 대해서는 동일한 참조부호를 사용했다.

도 1은 기존 반도체 디바이스의 평면도이고,

도 2는 도 1에서 a-a'선을 따라 자른 알려진 반도체 디바이스의 단면도이고,

도 3은 본 발명에 따른 반도체 디바이스의 제 1 실시예를 도시한 평면도이고,

도 4는 도 3에서 a-a'선을 따라 자른 본 발명에 따른 반도체 디바이스의 단면도이고,

도 5는 본 발명에 따른 반도체 디바이스의 제 2 실시예를 도시한 평면도이며,

도 6은 도 5에서 a-a'선을 따라 자른 본 발명에 따른 반도체 디바이스의 단면도이다.

도 1은 종래의 반도체 디바이스를 평면도로서 도시하며, 도 2는 도 1의 a-a'선을 따라 자른 단면을 도시한 단면도이다. Al_2O_3 로 만들어진 절연 기판(1)은 전도성 실장면(2)을 가지며, 실장면(2) 위에는 바이폴라 트랜지스터(3)가 제공된다. 이 트랜지스터(3)의 주표면(4)은 실장면(2)과 접촉한다. 전도성의 실장면은 구리로 만들어진다. 트랜지스터(3)는 각각 에미터, 베이스 및 콜렉터의 접속 패드(5, 6, 4)를 구비한다. 일반적인 반도체 디바이스에서 이와 같은 접속 패드는 본딩 와이어(E1, E2, B1, B2, C)를 통해 다른 요소들과 접속된다. 도 1은 에미터 접속 패드(5)가 어떻게 4개로 구성되는 가를 보여준다. 본딩 와이어(E1)는 에미터 접속 패드(5)와 전도체 트랙(7)을 접속시키며, 본딩 와이어(E2)는 에미터 접속 패드(5)와 캐패시터(8)를 접속한다. 본 실시예에서의 캐패시터는 절연층(10)을 구비하는 실리콘 기판(9)을 포함한다. 캐패시터(8)의 제 1 전극(11)은 절연층(10) 위에 위치한다. 제 1 전극(11)은 본딩 와이어(B1, B2)와 접속되어 있다. 실리콘 기판(9)은 캐

패시터(8)의 제 2 전극으로서 동작한다. 실리콘 기판(9)은 전도성 실장면(2)과 접촉되며, 이 실장면 위에는 본딩 와이어(E2)가 소위 0옴 접점으로서 제공된다. 베이스 접속 패드(6)는 2개 제공되며, 본딩 와이어(B1)에 의하여 캐패시터(8)의 전극(11)과 접속되고, 전극(11)은 본딩 와이어(B2)에 의하여 전도체 트랙(15)에 접속된다. 콜렉터 접속 패드(4)는 트랜지스터(3)의 제 1 주표면(4) 위에 있다. 트랜지스터(3)의 제 1 주표면(4)과 전도성의 실장면(2)은 땜납층(16)에 의하여 납땜된다. 전도성 실장면(2)의 크기는 트랜지스터의 제 1 주표면(4)의 크기보다 훨씬 크게 하는데, 이는 전도성의 실장면(2) 위에 트랜지스터(3)를 제조하는 동안 땜납(16)이 훌러 내리고 트랜지스터(3)로 덮여진 부분의 바깥에 놓여진 전도성의 실장면(2)의 일부분(16')이 땜납으로 덮여지기 때문이다. 콜렉터 용의 본딩 와이어(C)는 땜납으로 덮여진 부분(16')에 신뢰성 있게 고정될 수 없다. 전도성 실장면(2)의 크기는 콜렉터용의 본딩 와이어가 신뢰성 있게 고정될 수 있도록 트랜지스터(3)의 제 1 주표면(4)의 크기보다 크게 한다. 본 예에서의 본딩 와이어(C)는 전도체 트랙(17)에 접속된다. 다른 일반적인 해법은 땜납의 훌러내림을 방지하는 그루브를 전도성 실장면(2)에 제공하는 것으로, 이 경우 훌러내린 땜납은 그루브 내에 있게 되므로 부분(16')이 작아지거나 또는 없어지게 된다. 이 반도체 디바이스는 특히 큰 전류와 예로서 대략 1 GHz 이상의 높은 동작 주파수에서 동작하도록 설계된다. 수개의 에미터 본딩 와이어(E1, E2)는 본딩 와이어의 자기-인덕턴스가 작아지게 하여 고주파 특성이 양호하게 되도록 한다. 콜렉터 접속용으로 수개의 본딩 와이어(C)를 사용하면, 콜렉터를 통해 비교적 큰 전류가 흐르는 경우, 콜렉터 접속에서의 과도한 높은 저항에 의해 트랜지스터 성능은 악영향을 받지 않게 된다. 이들 본딩 와이어들은, 실제로는, 생산 기술상의 이유와 최적의 공간 활용을 위해 본딩 와이어(B1, B2, E1, E2, C)들이 평행하게 연장하도록 제공된다.

도 3 내지 도 4는 본 발명에 따른 반도체 디바이스의 부분을 도시한 것이다. 여기서, 에미터의 접속 패드(5), 베이스의 접속 패드(6) 및 콜렉터의 접속 패드(40)는 제 1 주표면(4)의 반대편에 위치한 트랜지스터(3)의 제 2 주표면(12) 위에 위치하며, 전도성 실장면(2)의 크기는 실질적으로 트랜지스터(3)의 제 1 주표면(4)의 크기와 동일하다. 본 발명에 따르면, 콜렉터 접속 패드(40)는 트랜지스터(3)의 제 2 주표면(12) 위에 놓여 있다. 트랜지스터(3)의 제 1 주표면(4)과 접하는 전도성의 실장면(2)은 비교적으로 작게 선택되는데, 이는 실장면(2) 위에 콜렉터를 접속하기 위한 본딩 와이어(C)가 제공되지 않기 때문이다. 이 실장면(2)은 그 위에 트랜지스터를 쉽게 제공할 수 있을 정도로 크면 충분하다. 즉, 전도성 실장면(2)은 트랜지스터(3)의 제 1 주표면(4)의 크기와 대략 동일하면 충분하다. 실장면(2)은 예로서 정렬 공차(alignment tolerances) 및 제조 공정에서의 오류를 고려하여 제 1 주표면(4)보다 약간 크게 할 수도 있다. 일반적인 반도체 디바이스의 전도성 실장면(2)은 본딩 와이어(C)가 실장면(2) 위에 제공되기 때문에 트랜지스터(3)의 크기와 비교하여 비교적 크다. 트랜지스터(3)의 고주파 특성은 전도성 실장면(2)의 크기에 크게 의존한다. 전도성 실장면(2)은 절연 기판(11)과 조합되어 상부에 절연 기판이 실장된 전도성 접지면(18)과 더불어 기생 캐패시턴스, 본 예의 경우 트랜지스터(3) 내에서 발생된 열을 배출시키기 위한 히트 싱크를 형성한다. 특히, 고주파 용도의 경우, 이와 같은 기생 캐패시턴스는 가능한 작게 해야만 하는 것이 매우 중요하다. 또한, 에미터 접속 패드용의 본딩 와이어(E1)가 비교적 큰 전도성 실장면(2)을 지날 필요가 더 이상 없으므로 그 본딩 와이어를 짧게 할 수도 있다. 에미터 본딩 와이어를 짧게 하면, 에미터 본딩 와이어에서의 자기-인덕턴스가 작아지며, 따라서, 고주파수 특성이 좋게 된다. 상술한 본 발명의 실시예에서, 재료, 본딩 와이어의 접속, 캐패시터(8) 및 전도체 트랙은 모든 다른 면에 있어서 도 1 및 도 2의 것과 동일하다.

도 5 내지 도 6에 도시된 본 발명의 제 2 실시예에서, 기판(1)은 전도성의 실장면(2)의 영역에 공동(20)을 가지며, 그 공동 내에는 10W/mK를 초과하는 열 전도도를 가지는 몸체(21)가 제공, 소위 삽입된다. 트랜지스터(3)는 땜납층(16)에 의해 몸체(21)에 고정된다. 동시에 본 실시예의 땜납(16)층은 전도성의 실장면(2)을 구성한다. 몸체(21)의 크기는 전도성 실장면(2)과 동일하다. 몸체(21)는 이 몸체가 없는 도 3 및 도 4의 제 1 실시예에서 보다 열 제거가 양호하게 되도록 하기 위해서 제공된다. 이 실시예에서 몸체(16)는 BeO로 만들어진다. BeO는 약 250W/mK의 열 전도도를 갖는다. 대안으로, 몸체는 AlN 또는 BN으로 만들어 질 수도 있다.

본 발명에 따른 고주파 트랜지스터(3)는 베이스, 에미터 및 콜렉터 영역이 IC 기술 분야에서 알려진 방식으로 제공된 반도체 기판을 포함한다. 이들 영역은, 예로서, 평거(finger)의 형태로 제공된다. 이와 같은 트랜지스터에 대해서는 유럽 특허 출원 제 96201822.2호에서 더욱 상세하게 알 수 있다.

본 발명은 상술한 실시예들에 의하여 한정되는 것은 아니다. 이들 예에서는 수개의 접속 패드와 본딩 와이어를 베이스, 에미터 및 콜렉터에 대해 사용하고 있으나, 분명, 본 발명의 범주 내에서는, 다른 수의 접속 패드, 예로서, 하나의 접속 패드 또는 매우 많은 수의 접속 패드를 사용할 수 있을 것이며, 또한, 접속 패드를 수개의 본딩 와이어가 하나의 패드에 접속될 수 있도록 크게 제조하는 것도 가능하다. 이 예에서는 트랜지스터(3)를 에미터와 베이스를 통해 캐패시터에 접속하나, 본 발명의 범주 내에서 다른 구성도 가능하다. 따라서, 베이스, 에미터 및 콜렉터는 저항, 캐패시터, 반도체 디바이스 예로서 다이오드, 트랜지스터 또는 IC의 입력 또는 출력에 접속될 수도 있다. 상술한 실시예들에서 기판은 Al_2O_3 로 만들어지나, 그 대안으로서, 예를 들어 AlN같은 절연 재료로도 기판을 제조할 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판(1) 및 전도성 실장면(2)을 구비하는 반도체 디바이스로서,

상기 절연 기판(1)은 전도성 접지면(18) 위에 제공되며,

바이폴라 트랜지스터(3)가 자신의 제 1 주표면(4)이 상기 전도성 실장면(2)과 접촉되는 상태로 상기 전도성 실장면(2) 위에 실장되고,

상기 바이폴라 트랜지스터(3)는 에미터, 베이스 및 콜렉터용의 접속 패드(5, 6, 40)들을 구비하며,

상기 에미터, 베이스 및 콜렉터용의 상기 접속 패드들(5, 6, 40)은 상기 제 1 주표면(4)의 반대편에 있는 상기 트랜지스터(3)의 제 2 주표면(12) 위에 위치하고,

상기 전도성 실장면(2)의 횡방향 크기가 상기 트랜지스터(3)의 상기 제 1 주표면(4)의 크기와 실질적으로 동일한 반도체 디바이스.

청구항 2.

제 1 항에 있어서,

상기 기판(1)에는 상기 접지면(18)까지 하향 연장하는 공동(cavity:20)이 제공되며,

상기 공동 내에 절연 몸체(21)가 위치하고,

상기 절연 몸체(21)의 제 1 면은 상기 접지면(18)과 접촉하며,

상기 제 1 면의 반대편에 놓인 상기 절연 몸체(21)의 제 2 면에 상기 전도성 실장면(2)이 제공되고,

상기 실장면 위에는 트랜지스터(3)가 배열되며,

상기 절연 몸체(21)는 10W/mK를 초과하는 열 전도도를 가진 재료를 포함하는

반도체 디바이스.

청구항 3.

제 2 항에 있어서,

상기 몸체(21)의 횡방향 크기는 상기 실장면(2)의 크기와 실질적으로 동일하며,

상기 공동(20)의 횡방향 크기는 상기 몸체(21)가 상기 공동 내에 정확하게 정합되도록 하는 크기인

반도체 디바이스.

청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 몸체(21)의 횡방향 크기에 대해 수직 방향인 상기 몸체(21)의 두께는 상기 절연 기판(1)의 두께보다 작은 반도체 디바이스.

청구항 5.

제 1 항에 있어서,

상기 에미터 및 상기 콜렉터의 상기 접속 패드(5, 40)는 각각 몇 개의 본딩 와이어(E1, E2, C)를 통해서 상기 반도체 디바이스의 다른 소자와 접속하는

반도체 디바이스.

청구항 6.

제 1 항 또는 제 5 항에 있어서,

캐패시터(8)가 상기 트랜지스터(3)에 인접해서 제공되되,

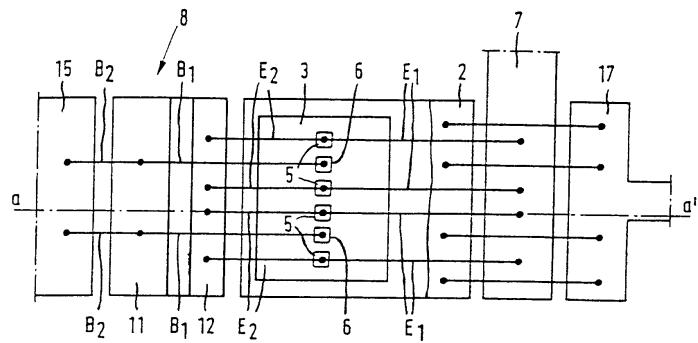
상기 캐패시터(8)는 절연층(10)을 구비한 실리콘 기판(9), 상기 베이스의 본딩 와이어(B1, B2)에 접속된 제 1 전극(11) 및 상기 에미터의 본딩 와이어(E2)에 접속된 도전성 실장면(12)을 포함하며,

상기 실리콘 기판(9)은 제 2 전극의 역할을 하는

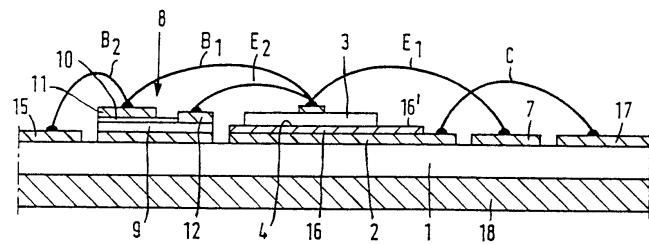
반도체 디바이스.

도면

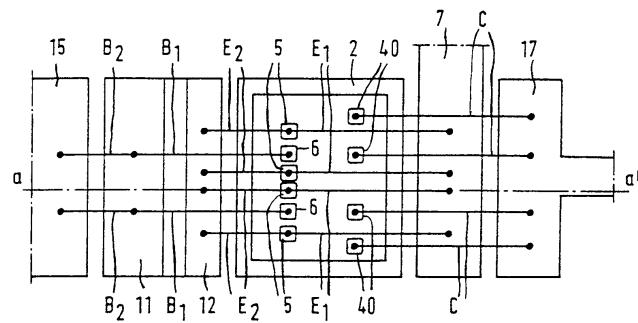
도면1



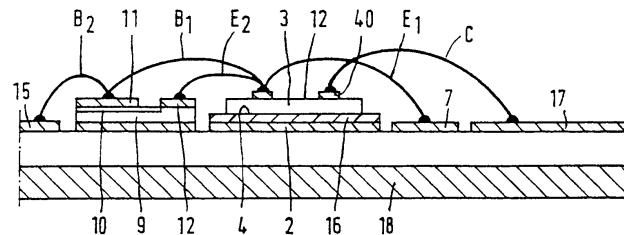
도면2



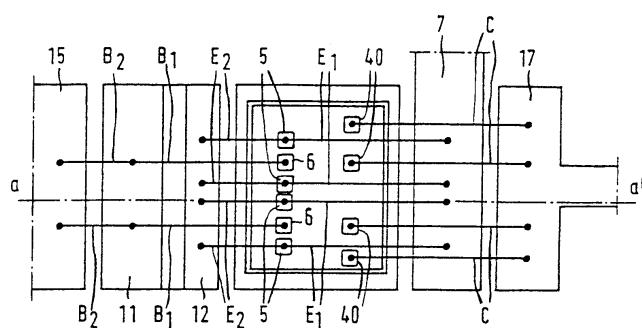
도면3



도면4



도면5



도면6

