



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월16일
(11) 등록번호 10-2000678
(24) 등록일자 2019년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 23/28 (2006.01) H01L 23/12 (2006.01)
(21) 출원번호 10-2012-0119724
(22) 출원일자 2012년10월26일
심사청구일자 2017년10월11일
(65) 공개번호 10-2014-0053598
(43) 공개일자 2014년05월08일
(56) 선행기술조사문헌
JP2012191062 A*
KR1020120094712 A*
US20090146284 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
홍지선
충남 아산시 배방읍 배방로 58-46, 201동 604호
(배방2차한성필하우스아파트)
김현기
충남 천안시 서북구 시청로 73, 205동 903호 (불당동, 동일2차아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

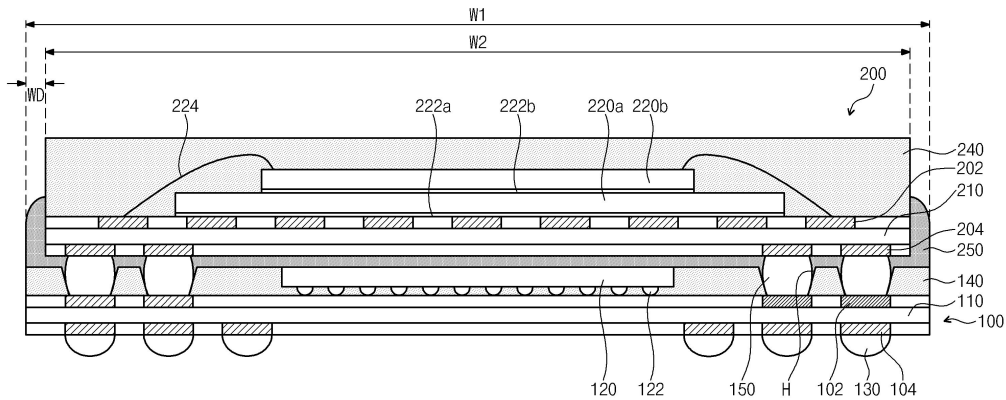
심사관 : 김진우

(54) 발명의 명칭 반도체 장치 및 이를 제조하는 방법

(57) 요약

반도체 장치 및 이를 제조하는 방법을 제공한다. 반도체 장치는, 제1 기판과, 제1 기판 상에 실장된 제1 반도체 칩과, 제1 반도체 칩을 보호하는 제1 몰드부를 포함하는 제1 반도체 패키지와, 제1 반도체 패키지 상에 이격되어 배치되며, 제2 기판과, 제2 기판 상에 실장된 제2 반도체 칩과 제2 반도체 칩을 보호하는 제2 몰드부를 포함하는 제2 반도체 패키지와, 제1 및 제2 반도체 패키지를 전기적으로 연결하는 연결 패턴과, 제1 및 제2 반도체 패키지 사이를 덮는 추가 몰드부를 포함하되, 추가 몰드부는 제2 반도체 패키지 측면의 적어도 일부를 덮고, 제1 반도체 패키지의 측면은 덮지 않는다.

대표도



(72) 발명자

심중보

충남 아산시 탕정면 탕정면로 37, 101동 2804호 (탕정삼성트라팰리스아파트)

이석원

경기 성남시 분당구 중앙공원로 53, 117동 701호 (서현동, 시범단지삼성한신아파트)

최경세

경기 용인시 기흥구 동백8로 19, 1606동 504호 (동백동, 호수마을월드메르디앙)

명세서

청구범위

청구항 1

제1 기판과, 상기 제1 기판 상에 실장된 제1 반도체 칩과, 상기 제1 반도체 칩을 보호하는 제1 몰드부를 포함하는 제1 반도체 패키지;

상기 제1 반도체 패키지 상에 이격되어 배치되며, 제2 기판과, 상기 제2 기판 상에 실장된 제2 반도체 칩과 상기 제2 반도체 칩을 보호하는 제2 몰드부를 포함하는 제2 반도체 패키지;

상기 제1 및 제2 반도체 패키지를 전기적으로 연결하는 연결 패턴; 및

상기 제1 및 제2 반도체 패키지 사이를 채우는 추가 몰드부를 포함하되,

상기 추가 몰드부는 상기 제2 반도체 패키지 측면의 적어도 일부를 덮고, 상기 제1 반도체 패키지의 측면은 덮지 않는 반도체 장치.

청구항 2

제1항에 있어서,

상기 추가 몰드부의 외측면은 상기 제1 반도체 패키지의 측면과 동일 평면을 갖는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제1 반도체 패키지의 너비가 상기 제2 반도체 패키지의 너비보다 크며,

상기 추가 몰드부는 상기 제1 몰드부로부터 연장되어 상기 제2 기판 측면의 적어도 일부를 덮는 반도체 장치.

청구항 4

제1항에 있어서,

상기 추가 몰드부는 언더필 물질을 포함하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 제1 몰드부는 상기 제1 반도체 칩의 상부면을 노출시키는 eMUF(exposure mold underfill) 구조를 가지며,

상기 추가 몰드부는 상기 제1 반도체 칩의 상부면을 덮는 반도체 장치.

청구항 6

제1항에 있어서,

상기 제1 몰드부는 상기 제1 반도체 칩의 상부면을 덮는 구조를 갖는 반도체 장치.

청구항 7

제1항에 있어서,

상기 제1 또는 제2 반도체 칩은, 상기 제1 또는 제2 반도체 칩을 관통하는 관통 전극을 포함하는 반도체 장치.

청구항 8

제1항에 있어서,

상기 연결 패턴은 상기 제1 몰드부 내 형성된 홀(hole) 내부에 배치되며,

상기 추가 몰드부는 상기 연결 패턴이 배치된 홀 내부를 매립하는 반도체 장치.

청구항 9

제1 기관의 상면에 실장된 제1 반도체 칩과, 상기 제1 기관의 상면에 형성된 제1 서브 패턴과, 상기 제1 반도체 칩 및 상기 제1 서브 패턴을 덮는 제1 몰드부를 포함하는 제1 반도체 패키지를 형성하는 단계;

상기 제1 몰드부를 식각하여 상기 제1 서브 패턴을 노출시키는 홀을 형성하는 단계;

제2 기관의 상면에 실장된 제2 반도체 칩과, 상기 제2 반도체 칩을 덮는 제2 몰드부와, 상기 제2 기관의 하면에 형성된 제2 서브 패턴을 포함하는 제2 반도체 패키지를 형성하는 단계;

상기 제1 서브 패턴 및 상기 제2 서브 패턴을 접촉시켜, 상기 제1 및 제2 반도체 패키지들을 전기적으로 연결시키는 연결 패턴을 형성하는 단계; 및

상기 제1 및 제2 반도체 패키지들 사이를 채우는 추가 몰드부를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 추가 몰드부는 상기 제1 몰드부로부터 연장하여, 상기 제2 기관의 적어도 일부를 덮도록 형성하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 이를 제조하는 방법에 관련된 것으로서, 더욱 상세하게는 다수의 반도체 패키지들이 적층된 반도체 장치 및 이를 제조하는 방법에 관련된 것이다.

배경 기술

[0002] 반도체 소자는 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 많은 전자 산업에서 사용되고 있다. 전자 산업이 고도로 발전함에 따라, 반도체 소자의 고집적화에 대한 요구가 점점 심화되고 있다. 이에 따라, 다양한 공정들에서 여러 문제점들이 발생되어 반도체 소자의 구현이 점점 어려워지고 있다. 또한, 전자 산업의 발전에 의하여 반도체 소자의 고속화에 대한 요구도 점점 심화되고 있다. 이러한 반도체 소자의 고집적화 및/또는 고속화에 대한 요구들을 충족시키기 위하여 다양한 연구들이 수행되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 고집적화의 최적화된 반도체 장치를 제공하는 데 있다.
 [0004] 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 장치를 제조하는 방법을 제공하는 데 있다.
 [0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 발명의 개념에 따른 일 실시예는 반도체 장치를 제공한다. 상기 반도체 장치는, 제1 기관과, 상기 제1 기관 상에 실장된 제1 반도체 칩과, 상기 제1 반도체 칩을 보호하는 제1 몰드부를 포함하는 제1 반도체 패키지; 상기 제1 반도체 패키지 상에 이격되어 배치되며, 제2 기관과, 상기 제2 기관 상에 실장된 제2 반도체 칩과 상기 제2 반도체 칩을 보호하는 제2 몰드부를 포함하는 제2 반도체 패키지; 상기 제1 및 제2 반도체 패키지를 전기적으로 연결하는 연결 패턴; 및 상기 제1 및 제2 반도체 패키지 사이를 덮는 추가 몰드부를 포함하되, 상기 추가 몰드부는 상기 제2 반도체 패키지 측면의 적어도 일부를 덮고, 상기 제1 반도체 패키지의 측면은 덮지 않는다.

[0007] 본 발명의 일 실시예에 따르면, 상기 추가 몰드부의 외측면은 상기 제1 반도체 패키지의 측면과 동일 평면을 갖

을 수 있다.

- [0008] 본 발명의 다른 실시예에 따르면, 상기 제1 반도체 패키지의 너비가 상기 제2 반도체 패키지의 너비보다 크며, 상기 추가 몰드부는 상기 제1 몰드부로부터 연장되어 상기 제2 기판 측면의 적어도 일부를 덮을 수 있다.
- [0009] 본 발명의 또 다른 실시예에 따르면, 상기 추가 몰드부는 상기 제1 및 제2 반도체 패키지들 사이를 완전하게 매립할 수 있다.
- [0010] 본 발명의 또 다른 실시예에 따르면, 상기 추가 몰드부는 언더필 물질을 포함할 수 있다.
- [0011] 본 발명의 또 다른 실시예에 따르면, 상기 제1 몰드부는 상기 제1 반도체 칩의 상부면을 노출시키는 eMUF(exposure mold underfill) 구조를 가지며, 상기 추가 몰드부는 상기 제1 반도체 칩의 상부면을 덮을 수 있다.
- [0012] 본 발명의 또 다른 실시예에 따르면, 상기 제1 몰드부는 상기 제1 반도체 칩의 상부면을 덮는 구조를 가질 수 있다.
- [0013] 본 발명의 또 다른 실시예에 따르면, 상기 제1 또는 제2 반도체 칩은, 상기 제1 또는 제2 반도체 칩을 관통하는 관통 전극을 포함할 수 있다.
- [0014] 본 발명의 또 다른 실시예에 따르면, 상기 연결 패턴은 상기 제1 몰드부 내 형성된 홀(hole) 내부에 배치되며, 상기 추가 몰드부는 상기 연결 패턴이 배치된 홀 내부를 매립할 수 있다.
- [0015] 본 발명의 개념에 따른 일 실시예는 반도체 장치의 제조 방법을 제공한다. 상기 반도체 장치의 제조 방법은, 제1 기판의 상면에 실장된 제1 반도체 칩과, 상기 제1 기판의 상면에 형성된 제1 서브 패턴과, 상기 제1 반도체 칩 및 상기 제1 서브 패턴을 덮는 제1 몰드부를 포함하는 제1 반도체 패키지를 형성하는 단계; 상기 제1 몰드부를 식각하여 상기 제1 서브 패턴을 노출시키는 홀을 형성하는 단계; 제2 기판의 상면에 실장된 제2 반도체 칩과, 상기 제2 반도체 칩을 덮는 제2 몰드부와, 상기 제2 기판의 하면에 형성된 제2 서브 패턴을 포함하는 제2 반도체 패키지를 형성하는 단계; 상기 제1 서브 패턴 및 상기 제2 서브 패턴을 접착시켜, 상기 제1 및 제2 반도체 패키지들을 전기적으로 연결시키는 연결 패턴을 형성하는 단계; 및 상기 제1 및 제2 반도체 패키지들 사이를 덮는 추가 몰드부를 형성하는 단계를 포함한다.
- [0016] 본 발명의 일 실시예에 따르면, 상기 추가 몰드부는 상기 제1 몰드부로부터 연장하여, 상기 제2 기판의 적어도 일부를 덮도록 형성할 수 있다.

발명의 효과

- [0017] 본 발명의 개념에 따른 실시예들에 따르면, 제1 및 제2 반도체 패키지들 사이를 추가 몰드부로 채움으로써, 제1 및 제2 반도체 패키지들 사이 연결 패턴의 스트레스가 분산될 수 있다. 따라서, 상기 제1 및 제2 반도체 패키지들을 포함하는 반도체 장치의 수명을 증가시킬 수 있다.

도면의 간단한 설명

- [0018] 도 1a은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.
- 도 1b은 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.
- 도 1c은 본 발명의 또 다른 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.
- 도 2a 내지 도 2f는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- 도 3a는 본 발명의 실시예들에 따른 반도체 장치가 적용된 메모리 카드를 나타내는 블록도이다.
- 도 3b는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

- [0020] 본 명세서에서, 어떤 구성 요소가 다른 구성 요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0021] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.
- [0022] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0023] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0024] **(반도체 장치)**
- [0025] 도 1a는 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 단면도이고, 도 1b는 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 단면도이고, 도 1c는 본 발명의 또 다른 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.
- [0026] 도 1a 내지 도 1c를 참조하면, 반도체 장치는 제1 반도체 패키지(100), 제2 반도체 패키지(200), 연결 패턴(150) 및 추가 몰드부(250)를 포함할 수 있다. 상기 제2 반도체 패키지(200)는 상기 제1 반도체 패키지(100) 상에 배치되며, 상기 연결 패턴(150)에 의해 상기 제1 및 제2 반도체 패키지들(100, 200)이 전기적으로 연결될 수 있다.
- [0027] 상기 제1 반도체 패키지(100)는, 제1 기판(110)과, 상기 제1 기판(110) 상에 실장된 제1 반도체 칩(120)과, 상기 제1 반도체 칩(120)을 덮는 제1 몰드부(140)를 포함할 수 있다.
- [0028] 상기 제1 기판(110)은 인쇄회로기판(printed circuit board)일 수 있다. 상기 제1 기판(110)은, 상기 제1 기판(110)의 상면에 배치되는 제1 패드(102), 하면에 배치되는 제2 패드(104)를 포함할 수 있다. 상기 제1 기판(110)의 제1 패드(102)는 후속하여 설명될 연결 패턴(150)과 전기적으로 연결될 수 있다. 상기 제1 기판(110)의 제2 패드(104)는 솔더 볼(solder ball)과 같은 외부 단자(130)와 전기적으로 연결될 수 있다.
- [0029] 상기 제1 기판(110)의 상면은 상기 제1 반도체 칩(120)이 배치되는 제1 영역과, 상기 제1 패드(102)가 배치되는 제2 영역을 포함할 수 있다. 예컨대, 상기 제1 영역은 상기 제1 기판(110) 상면의 중앙 부위이고, 상기 제2 영역은 상기 제1 기판(110)의 가장자리 부위일 수 있다.
- [0030] 상기 제1 반도체 칩(120)은 상기 제1 기판(110)의 상에 실장될 수 있다. 실장됨은 반도체 부품을 기판 또는 가대 등에 부착하여 실제로 사용할 수 있도록 배치하는 것을 이른다. 본 발명의 실시예에 따르면, 상기 제1 반도체 칩(120)은 칩 연결 패턴들(122)에 의해 상기 제1 기판(110)에 부착될 수 있다. 상기 칩 연결 패턴들(122)은 솔더 볼을 포함할 수 있다.
- [0031] 상기 제1 몰드부(140)는 상기 제1 기판(110) 상의 상기 제1 반도체 칩(120) 및 상기 칩 연결 패턴들(150)을 보호하도록 배치될 수 있다.
- [0032] 본 발명의 일 실시예에 따르면, 상기 제1 몰드부(140)는 상기 제1 패드(102)를 노출시키는 홀(H)을 포함할 수 있다. 예컨대, 상기 홀(H)은 상부가 하부보다 넓은 구조를 가지며, 상부에서 하부로 기울어진 측면을 가질 수 있다.

- [0033] 본 발명의 일 실시예에 따른 상기 제1 몰드부(140)는, 상기 제1 반도체 칩(120)의 상부면을 노출시키며 상기 제1 반도체 칩(120) 및 상기 칩 연결 패턴들(122)을 덮은 e-MUF(exposure mold underfill) 구조를 가질 수 있다. 상기 e-MUF 구조의 제1 몰드부(140)는, 기존의 칩 연결 패턴들(122)을 덮는 언더 필과 제1 반도체 칩(120)을 덮는 몰드를 통합한 구조일 수 있다. 따라서, 상기 제1 몰드부(140)는 상기 칩 연결 패턴들(122)을 덮는 부분 및 상기 제1 반도체 칩(120)을 덮는 부분 사이의 계면이 없으며 연속적일 수 있다. 더불어, 상기 e-MUF 구조의 제1 몰드부(140)는 언더 필 공정이 생략됨으로써, 공정을 더욱 간략화할 수 있다.
- [0034] 상기 제1 몰드부(140)는 다양한 구조를 가질 수 있다. 하지만, 본 발명에서 상기 제1 몰드부(140)의 형상을 한정하는 것은 아니다.
- [0035] 상기 제2 반도체 패키지(200)는 제2 기판(210)과, 상기 제2 기판(210) 상에 실장된 제2 반도체 칩들(220a, 220b)과, 상기 제2 반도체 칩들(220a, 220b)을 포함하는 제2 몰드부(240)를 포함할 수 있다.
- [0036] 상기 제2 기판(210)은 반도체 기판일 수 있다. 상기 제2 기판(210)은, 상기 제2 기판(210)의 상면에 배치되는 제1 패드(202)와, 하면에 배치되는 제2 패드(204)를 포함할 수 있다. 상기 제1 패드(202)는 상기 제2 반도체 칩들(220a, 220b)과 전기적으로 연결될 수 있다. 상기 제2 패드(204)는 상기 연결 패턴(150)과 전기적으로 연결될 수 있다.
- [0037] 상기 제2 반도체 칩들(220a, 220b)은 상기 제2 기판(210) 상에 실장될 수 있다. 본 발명의 일 실시예에 따르면, 상기 제2 반도체 칩들(220a, 220b)은 접착필름(222a, 222b)에 의해 상기 제2 기판(210)에 부착될 수 있다.
- [0038] 본 발명의 일 실시예에 따르면, 제2 반도체 칩들(220a, 220b)은 다수 개 일 수 있으며, 다수의 제2 반도체 칩들(220a, 220b)이 수직 적층되어 배치될 수 있다. 상기 다수의 제2 반도체 칩들(220a, 220b)은 그들 사이를 접착 필름들(222a, 222b)에 의해 부착시킬 수 있다. 도 1a 및 도 1b에서, 상기 제2 반도체 패키지(200)는 두 개의 제2 반도체 칩들(220a, 220b)을 포함하지만, 본 발명에서 상기 제2 반도체 칩들(220a, 220b)의 수량을 한정하는 것은 아니다.
- [0039] 상기 제2 반도체 칩들(220a, 220b)은 상기 제2 기판(210)과 본딩 와이어(224)와 같은 칩 연결 패턴에 의해 각각 전기적으로 연결될 수 있다.
- [0040] 상기 제2 몰드부(240)는 상기 제2 기판(210) 상에 상기 제2 반도체 칩들(220a, 220b)을 보호하도록 배치될 수 있다. 일 예로, 상기 제2 몰드부(240)는 상기 제2 반도체 칩들(220a, 220b)의 상부까지 완전하게 덮는 구조일 수 있다. 다른 예로, 상기 제2 몰드부(240)는 eMUF 구조일 수 있다. 본 발명에서, 상기 제2 몰드부(240)의 구조를 한정하는 것은 아니다.
- [0041] 본 발명의 일 실시예에 따르면, 상기 제1 반도체 패키지(100)의 크기가 상기 제2 반도체 패키지(200)의 크기보다 클 수 있다. 예를 들면, 상기 제1 및 제2 반도체 패키지(200)의 적층 방향으로 절단한 단면에서, 상기 제1 반도체 패키지(100)의 너비(W1)가 상기 제2 반도체 패키지(200)의 너비(W2)보다 넓을 수 있다. 따라서, 상기 제1 및 제2 반도체 패키지들(100, 200)을 적층하면, 상기 제1 반도체 패키지(100)의 측면이 상기 제2 반도체 패키지(200)보다 돌출된 구조를 가질 수 있다. 따라서, 상기 제1 반도체 패키지(100)의 측면과 상기 제2 반도체 패키지(200)의 측면 사이 거리가 있으며, 이하에서, 이 거리를 차이 폭(WD)이라 한다.
- [0042] 상기 연결 패턴(150)은 상기 제1 및 제2 반도체 패키지들(100, 200) 사이에서, 상기 제1 및 제2 반도체 패키지들(100, 200)을 전기적으로 연결시킬 수 있다. 더욱 상세하게는, 제1 기판(110)의 제1 패드(102)와, 상기 제2 기판(210)의 제2 패드(204)를 전기적으로 연결할 수 있다. 예컨대, 상기 연결 패턴(150)은 솔더 볼을 포함할 수 있다.
- [0043] 본 발명의 일 실시예에 따르면, 상기 연결 패턴(150)은 상기 제1 몰드부(140)의 홈(H) 내에 배치될 수 있다. 상기 홈(H)은 상기 연결 패턴(150)보다 넓을 수 있으며, 도시된 바와 같이 홈(H)의 상부가 연결 패턴(150)보다 넓을 수 있다. 또한, 상기 연결 패턴(150)의 상부는 상기 제1 몰드부(140)에 의해 노출될 수 있다.
- [0044] 상기 추가 몰드부(250)는 상기 제1 및 제2 반도체 패키지들(100, 200) 사이를 채우며 배치될 수 있다. 본 발명의 일 실시예에 따르면, 상기 추가 몰드부(250)는 언더필 물질을 포함할 수 있다.
- [0045] 본 발명의 일 실시예에 따르면, 상기 추가 몰드부(250)는 상기 제1 반도체 패키지(100)의 측면은 덮지 않고, 상기 제2 반도체 패키지(200)의 측면 적어도 일부를 덮으며 배치될 수 있다. 상기 추가 몰드부(250)의 외측면은 상기 제1 반도체 패키지(100)의 측면과 실질적으로 동일한 평면을 가질 수 있다.

- [0046] 상기 추가 몰드부(250)는 상기 제1 몰드부(140) 상, 상기 제1 및 제2 반도체 패키지들(100, 200) 크기 차이에 기인하는 차이 폭(WD) 부분을 덮으며 배치될 수 있다. 상기 추가 몰드부(250)는 상기 제1 몰드부(140)로부터 상기 제2 반도체 패키지(200)의 측면을 적어도 일부 덮을 수 있다. 상기 추가 몰드부(250)는 상기 연결 패턴(150)이 배치된 홀(H)의 나머지 부분을 덮으며, 상기 제1 몰드부(140) 및 상기 제2 기판(210) 사이를 매립할 수 있다.
- [0047] 본 발명의 일 측면에 따르면, 상기 제1 몰드부(140)가 eMUF 구조를 갖는 경우, 상기 추가 몰드부(250)는 상기 제1 반도체 칩(120)의 상부면을 덮으며, 상기 제1 반도체 칩(120)과 상기 제2 기판(210) 사이를 매립할 수 있다.
- [0048] 도 1b에 도시된 본 발명의 다른 실시예에 따른 상기 제1 몰드부(140)는, 상기 칩 연결 패턴들(122)을 덮는 언더필(140a)과, 상기 제1 반도체 칩(120)을 덮는 몰드(140b)를 포함할 수 있다. 또한, 상기 몰드(140b)는 상기 제1 반도체 칩(120)의 상부면을 완전하게 덮을 수 있다.
- [0049] 한편, 도 1b에 도시된 바와 같이 상기 제1 몰드부(140)가 상기 제2 기판(210)과 접하는 구조를 갖는 경우, 상기 추가 몰드부(250)는 상기 제1 몰드부(140)의 홀(H)을 매립하고 상기 차이 폭(WD) 부분을 덮으며 배치될 수 있다.
- [0050] 도 1c를 참조하면, 상기 제2 반도체 패키지(200)는 다수의 제2 반도체 칩들(220a, 220b)을 포함할 수 있다. 상기 다수의 제2 반도체 칩들(220a, 220b) 중 적어도 하나는 관통 전극(Through Silicon Via; TSV, 225)를 포함할 수 있다. 본 실시예에서는 제2 반도체 패키지(200)의 제2 반도체 칩들(220a, 220b) 중 하나에 관통 전극(225)을 포함하는 것을 설명하고 있으나, 관통 전극(225)은 제1 반도체 패키지(100) 내에 구비될 수 있다. 본 발명이 상기 관통 전극(225)의 수량 또는 위치를 한정하는 것은 아니다.
- [0051] 상기와 같이, 제1 및 제2 반도체 패키지들(100, 200) 사이를 추가 몰드부(250)가 매립함으로써, 연결 패턴(150)이 받은 스트레스를 분산시킬 수 있다. 또한, 상기 제1 및 제2 반도체 패키지들(100, 200)의 크기 차이에 기인하는 차이 폭 부위에 배치된 추가 몰드부(250)에 의해 스트레스가 상기 제1 반도체 패키지(100)의 하부 측면으로 분산될 수 있다. 따라서, 반도체 장치의 스트레스가 분산되어, 상기 반도체 장치의 수명을 증가시킬 수 있다.
- [0052] **(반도체 패키지의 제조 방법)**
- [0053] 도 2a 내지 도 2f는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0054] 도 2a를 참조하면, 제1 기판(110) 상에 다수의 제1 반도체 칩들(120)을 실장하고, 제1 서브 패턴들(150a)을 형성하고, 상기 제1 반도체 칩들(120) 및 상기 제1 서브 패턴들(150a)을 덮는 제1 몰드부(140)를 형성할 수 있다.
- [0055] 구체적으로, 상기 제1 기판(110)의 상면에는 제1 패드들(102)이, 하면에는 제2 패드들(104)이 형성될 수 있다. 상기 제1 패드들(102) 상에 제1 서브 패턴들(150a)이 형성될 수 있다. 예컨대, 상기 제1 서브 패턴들(150a) 각각은 솔더 볼을 포함할 수 있다. 일 측면에 따르면, 상기 제1 몰드부(140)는 상기 제1 반도체 칩들(120)의 상부면을 노출시키는 eMUF 구조를 가질 수 있다. 다른 측면에 따르면, 상기 제1 몰드부(140)는 상기 제1 반도체 칩들(120)의 상부면까지도 덮는 구조를 가질 수 있다(도 1b 참조).
- [0056] 도 2b를 참조하면, 상기 제1 몰드부(140)를 식각하여, 상기 제1 서브 패턴들(150a)을 노출시키는 홀들(H)을 형성할 수 있다. 일 실시예에 따르면, 상기 제1 몰드부(140)는 드릴(drilling) 공정에 의해 식각될 수 있다. 상기 드릴 공정의 특성 상 상기 홀들(H) 각각은 하부로 갈수록 작아지는 폭을 가지며 슬롭진 측면을 가질 수 있다.
- [0057] 도 2c를 참조하면, 제2 반도체 패키지(200)를 상기 제1 반도체 패키지(100) 상에 접촉시킬 수 있다.
- [0058] 구체적으로, 상기 제2 반도체 패키지(200)는, 상면에 제1 패드들(202)이 형성되고 하면에 제2 패드들(204)이 형성된 제2 기판(210)을 포함할 수 있다. 상기 제2 기판(210) 상에 제2 반도체 칩들(220a, 220b)을 실장하고, 상기 제2 반도체 칩들(220a, 220b)을 보호하는 제2 몰드부(240)를 형성하며, 상기 제2 패드들(204)에 전기적으로 연결되는 제2 서브 패턴들(150b)을 형성할 수 있다. 상기 제1 및 제2 서브 패턴들(150a, 150b)은 서로 대응되는 위치에 배치되도록 형성될 수 있다.
- [0059] 한편, 상기 제2 반도체 패키지 내 다수의 제2 반도체 칩들(220a, 220b)에는 관통 전극(225, 도 1c 참조)이 형성될 수 있다.

- [0060] 도 2d를 참조하면, 상기 제1 및 제2 서브 패턴들(150a, 150b)을 접착한 후, 열과 압력을 가하여 상기 제1 및 제2 서브 패턴들(150a, 150b)이 결합된 연결 패턴들(150)을 형성될 수 있다.
- [0061] 이로써, 상기 제1 및 제2 반도체 패키지들(100, 200)은 상기 연결 패턴들(150)에 의해 각각 전기적으로 연결될 수 있다. 또한, 상기 제1 및 제2 반도체 패키지들(100, 200)은 상기 연결 패턴들(150)에 의해 이격되어 배치될 수 있다.
- [0062] 도 2e를 참조하면, 상기 제1 및 제2 반도체 패키지들(100, 200) 사이로 추가 몰드부(250)를 형성할 수 있다.
- [0063] 본 발명의 일 실시예에 따르면, 상기 제1 및 제2 반도체 패키지들(100, 200) 사이 공간으로 유동적인 몰딩 물질을 채울 수 있다. 예컨대, 상기 유동적인 몰딩 물질은 언더필 물질을 포함할 수 있다. 상기 몰딩 물질이 유동적이기 때문에, 상기 연결 패턴들(150)이 형성된 홀들(H)의 나머지 부분을 매립하며, 상부면이 노출된 제1 반도체 칩(120)의 상부면을 덮을 수 있다.
- [0064] 상기 제1 및 제2 반도체 패키지들(100, 200) 사이를 채운 몰딩 물질을 열 또는 자외선 등으로 경화시켜 추가 몰드부(250)를 형성할 수 있다.
- [0065] 도 2f를 참조하면, 도 2e에 도시된 구조물을 절단하여 제1 및 제2 반도체 패키지들(100, 200)이 적층된 반도체 장치를 완성할 수 있다.
- [0066] 구체적으로, 상기 제1 반도체 패키지(100)의 제1 기판(110)을 상기 제2 기판(210)보다 크도록 절단할 수 있다. 따라서, 상기 제1 및 제2 반도체 패키지(200) 사이의 크기 차이로 기인하는 차이 폭(WD, 도 1a 참조) 부분에 추가 몰드부(250)가 형성될 수 있다.
- [0067] 상기 제1 기판(110)의 하면의 제2 패드들(104)에 외부 단자(130, 도 1a 참조)를 형성할 수 있다. 이로써, 제1 및 제2 반도체 패키지들(100, 200)을 포함하는 반도체 장치를 완성할 수 있다.
- [0068] 상기와 같이, 제1 및 제2 반도체 패키지들(100, 200) 사이를 추가 몰드부(250)가 매립함으로써, 연결 패턴(150)이 받은 스트레스를 분산시킬 수 있다. 또한, 상기 제1 및 제2 반도체 패키지들(100, 200)의 크기 차이에 기인하는 차이 폭 부위에 배치된 추가 몰드부(250)에 의해 스트레스가 상기 제1 반도체 패키지(100)의 하부 측면으로 분산될 수 있다. 따라서, 반도체 장치의 스트레스가 분산되어, 상기 반도체 장치의 수명을 증가시킬 수 있다.
- [0069] **(응용예)**
- [0070] 도 3a는 본 발명의 실시예에 따른 반도체 패키지를 구비한 메모리 카드를 도시한 블록도이다.
- [0071] 도 3a를 참조하면, 상술한 본 발명의 실시예에 따른 반도체 소자는 메모리 카드(300)에 응용될 수 있다. 일례로, 메모리 카드(300)는 호스트와 메모리(310) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(320)를 포함할 수 있다. 에스램(322)은 중앙처리장치(324)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(326)는 메모리 카드(300)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(328)는 메모리(310)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(330)는 메모리(310)와 인터페이싱한다. 중앙처리장치(324)는 메모리 컨트롤러(320)의 데이터 교환을 위한 제반 제어/어드레스 동작을 수행한다.
- [0072] 메모리 카드(300)에 응용된 반도체 메모리(310)가 본 발명의 실시예에 따른 반도체 장치를 포함하는 경우, 추가 몰드부에 의해 반도체 장치의 스트레스가 분산되어, 반도체 장치의 수명을 증가시킬 수 있다.
- [0073] 도 3b는 본 발명의 실시예에 따른 반도체 패키지를 응용한 정보 처리 시스템을 도시한 블록도이다.
- [0074] 도 3b는 참조하면, 정보 처리 시스템(400)은 본 발명의 실시예에 따른 반도체 메모리 소자를 포함할 수 있다. 정보 처리 시스템(400)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(400)은 메모리 시스템(410)과 각각 시스템 버스(460)에 전기적으로 연결된 모뎀(420), 중앙처리장치(430), 램(440), 유저 인터페이스(450)를 포함할 수 있다. 메모리 시스템(410)에는 중앙처리장치(430)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 메모리 시스템(410)은 메모리(412)와 메모리 컨트롤러(414)를 포함할 수 있으며, 도 3a를 참조하여 설명한 메모리 카드(300)와 실질적으로 동일하게 구성될 수 있다. 정보 처리 시스템(400)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(410)은 반도체 디스크

장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(400)은 대용량의 데이터를 메모리 시스템(410)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.

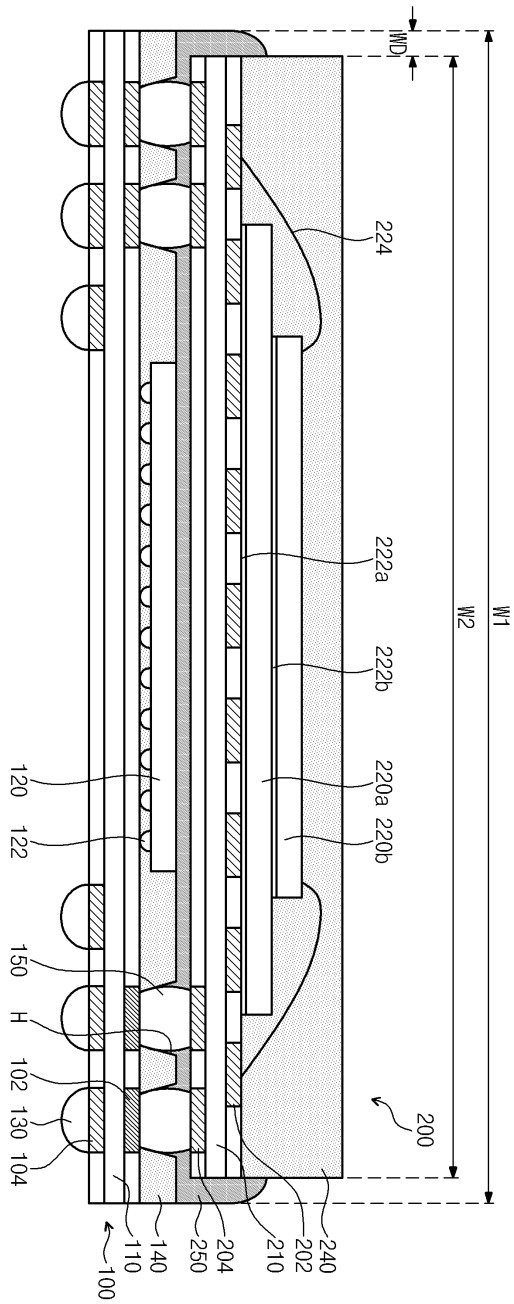
[0075] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

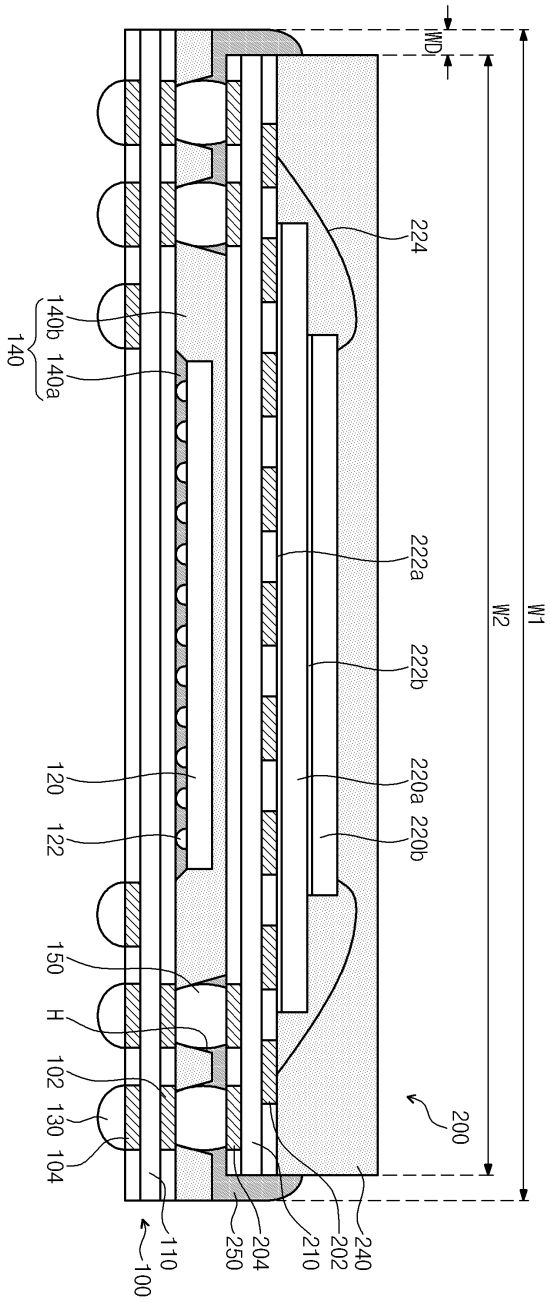
[0076] 100: 제1 반도체 패키지 110: 제1 기판
 120: 제1 반도체 칩 140: 제1 몰드부
 200: 제2 반도체 패키지 210: 제2 기판
 220a, 220b: 제2 반도체 칩 240: 제2 몰드부
 150: 연결 패턴 250: 추가 몰드부

도면

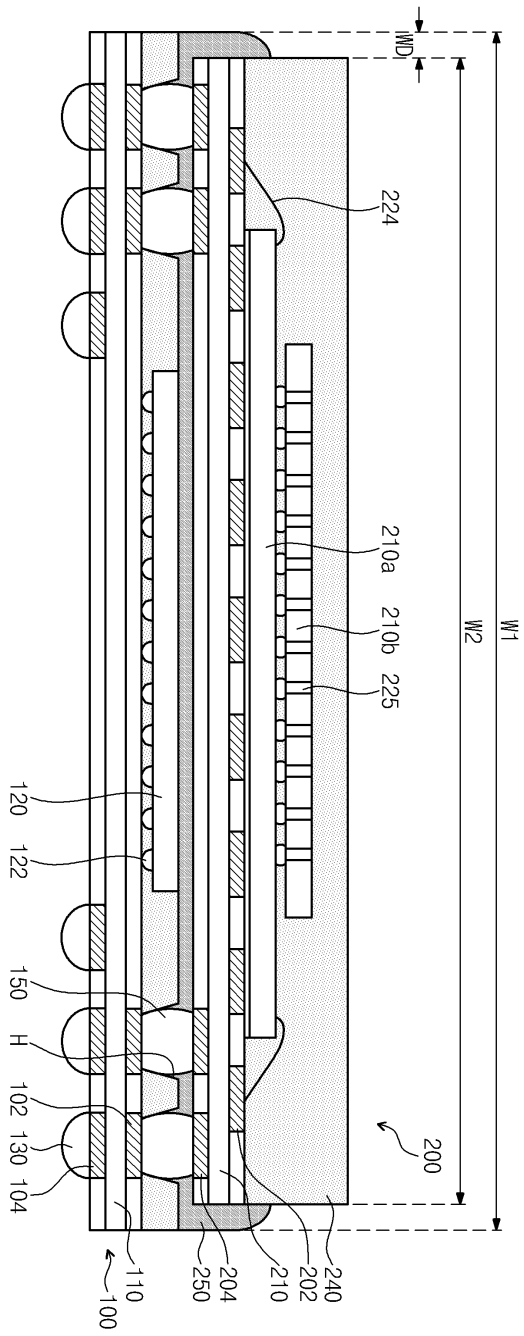
도면1a



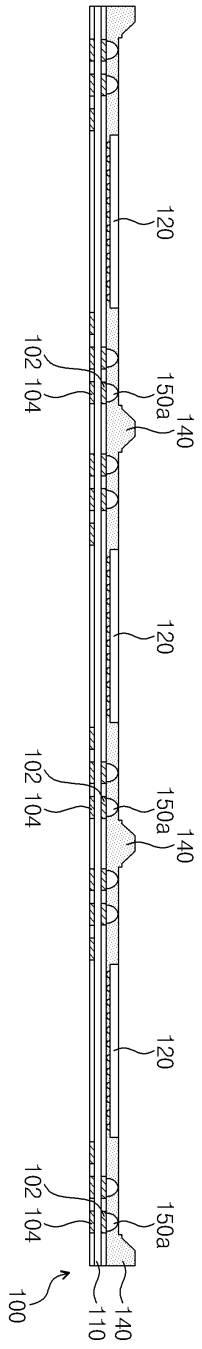
도면1b



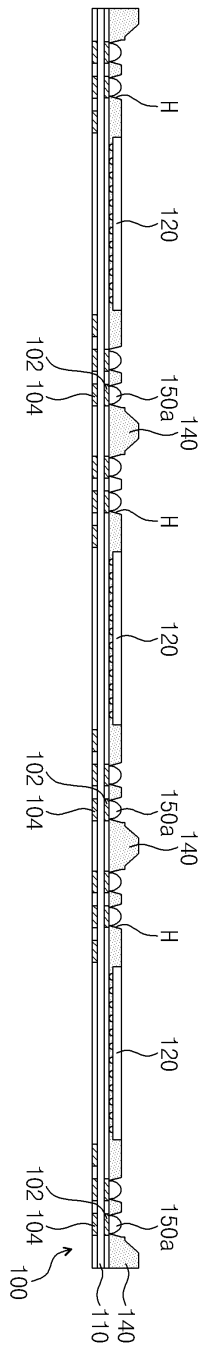
도면1c



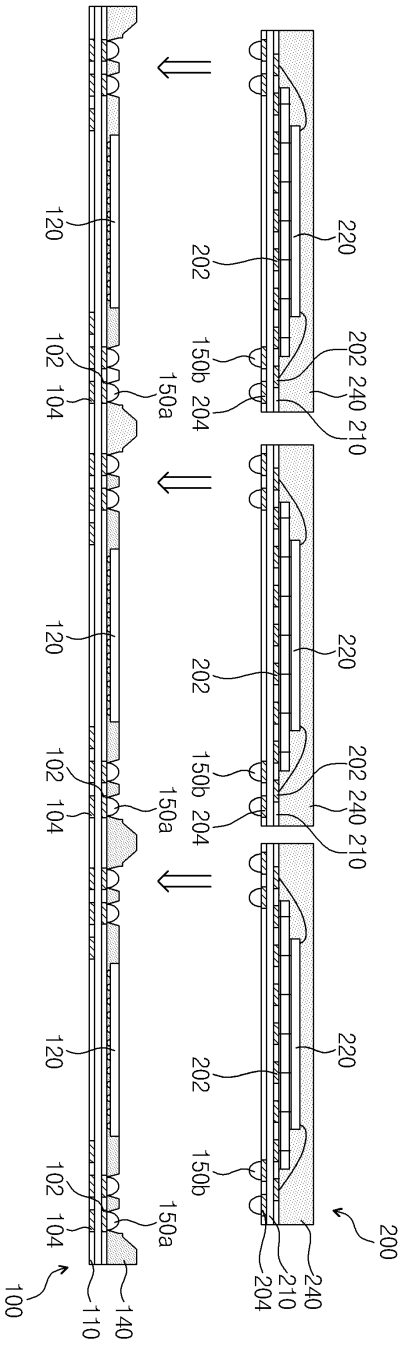
도면2a



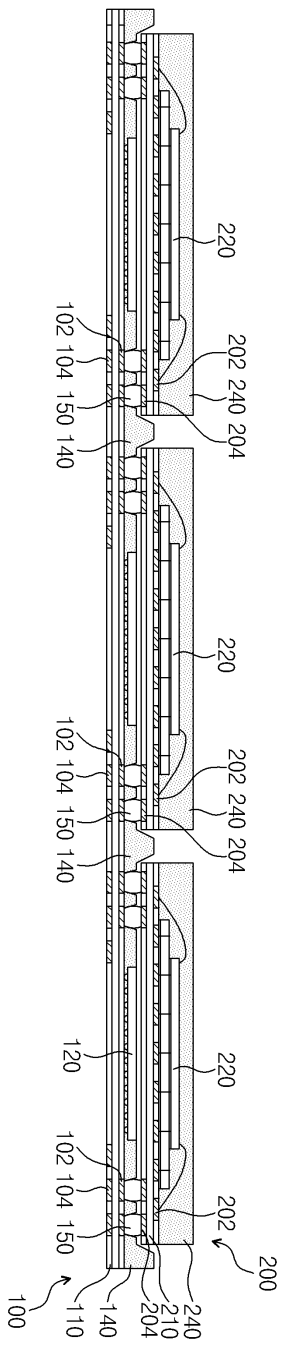
도면2b



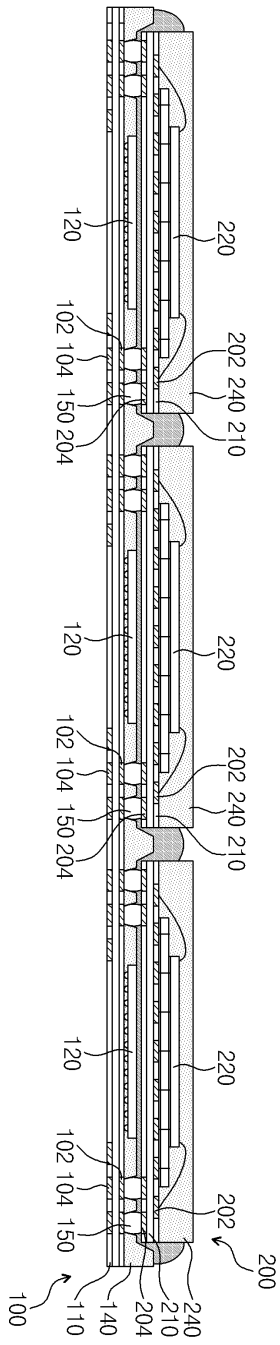
도면2c



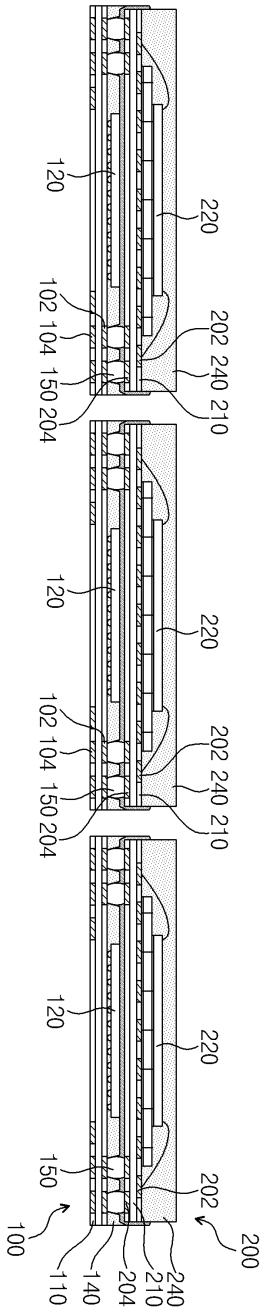
도면2d



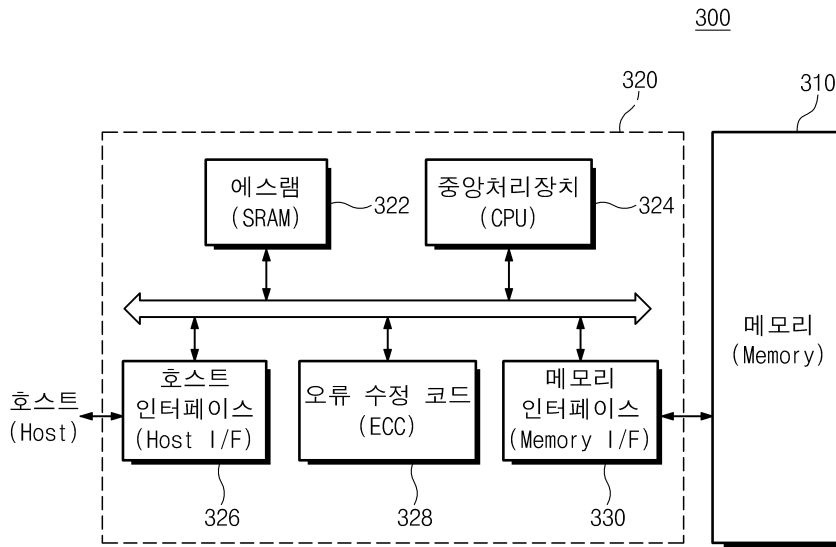
도면2e



도면2f



도면3a



도면3b

