



(21)申請案號：100127675

(22)申請日：中華民國 100 (2011) 年 08 月 03 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C11/15 (2006.01)

(30)優先權：2010/08/03 美國

12/849,043

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：瑞歐 哈里M RAO, HARI M. (IN)；金正丕 KIM, JUNG PILL (KR)；康 森H KANG, SEUNG H. (US)；朱曉中 ZHU, XIAOCHUN (CN)；金泰煥 KIM, TAEHYUN (KR)；李康和 LEE, KANGHO (KR)；李霞 LI, XIA (CN)；徐瑋南 HSU, WAH NAM (SG)；郝武揚 HAO, WUYANG (CN)；蘇忠萬 SUH, JUNGWON (KR)；余 尼裘拉斯 K YU, NICHOLAS K. (HK)；諾瓦 馬修 麥可 NOWAK, MATTHEW MICHAEL (US)；米蘭多夫 史蒂芬M MILLENDORF, STEVEN M. (US)；艾許肯納茲 艾薩夫 ASHKENAZI, ASAF (IL)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：34 項 圖式數：7 共 44 頁

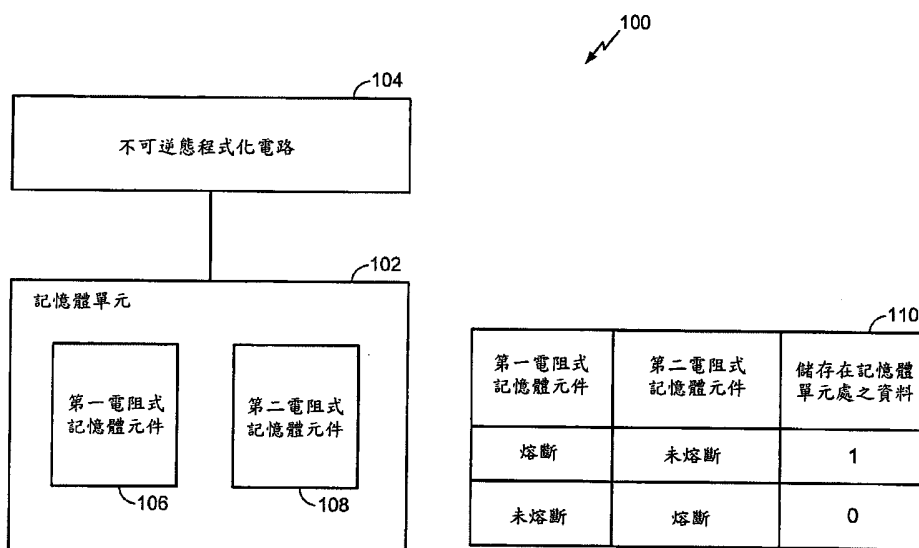
(54)名稱

於具有第一磁穿隧接面及第二磁穿隧接面之位元晶胞產生一非可逆態

GENERATING A NON-REVERSIBLE STATE AT A BITCELL HAVING A FIRST MAGNETIC TUNNEL JUNCTION AND A SECOND MAGNETIC TUNNEL JUNCTION

(57)摘要

一種在具有一第一磁穿隧接面(MTJ)及一第二 MTJ 之一位元晶胞處產生一不可逆態的方法包括：施加一程式電壓至該位元晶胞之該第一 MTJ 而不施加該程式電壓至該位元晶胞之該第二 MTJ。一種記憶體器件包括具有一第一 MTJ 及一第二 MTJ 之一位元晶胞以及程式化電路，該程式化電路經組態以藉由施加一程式信號至該位元晶胞之該第一 MTJ 及該第二 MTJ 中之一選定者而在該位元晶胞處產生一不可逆態。



100：記憶體器件

102：代表性記憶體單元

104：不可逆態程式化電路

106：第一電阻式記憶體元件

108：第二電阻式記憶體元件

110：表



(21)申請案號：100127675

(22)申請日：中華民國 100 (2011) 年 08 月 03 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C11/15 (2006.01)

(30)優先權：2010/08/03 美國

12/849,043

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：瑞歐 哈里M RAO, HARI M. (IN)；金正丕 KIM, JUNG PILL (KR)；康 森H KANG, SEUNG H. (US)；朱曉中 ZHU, XIAOCHUN (CN)；金泰煥 KIM, TAEHYUN (KR)；李康和 LEE, KANGHO (KR)；李霞 LI, XIA (CN)；徐瑋南 HSU, WAH NAM (SG)；郝武揚 HAO, WUYANG (CN)；蘇忠萬 SUH, JUNGWON (KR)；余 尼裘拉斯 K YU, NICHOLAS K. (HK)；諾瓦 馬修 麥可 NOWAK, MATTHEW MICHAEL (US)；米蘭多夫 史蒂芬M MILLENDORF, STEVEN M. (US)；艾許肯納茲 艾薩夫 ASHKENAZI, ASAF (IL)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：34 項 圖式數：7 共 44 頁

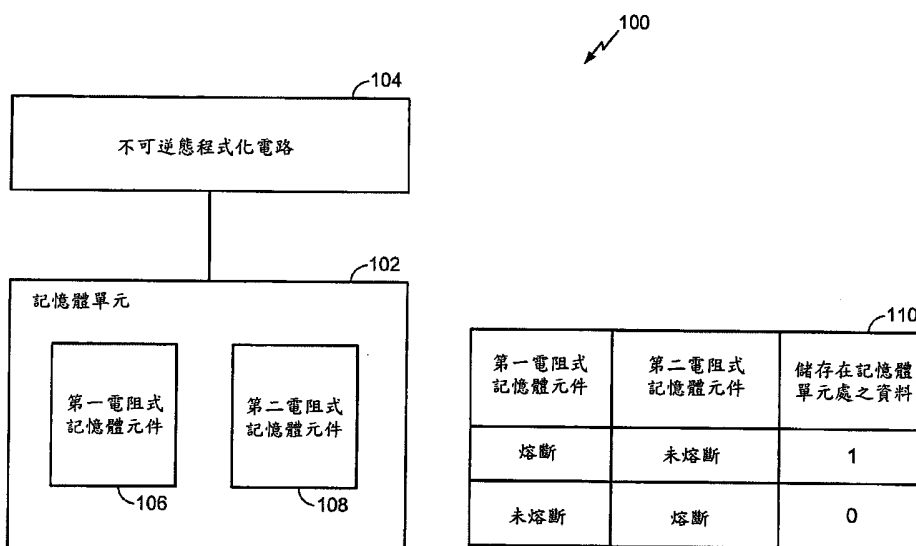
(54)名稱

於具有第一磁穿隧接面及第二磁穿隧接面之位元晶胞產生一非可逆態

GENERATING A NON-REVERSIBLE STATE AT A BITCELL HAVING A FIRST MAGNETIC TUNNEL JUNCTION AND A SECOND MAGNETIC TUNNEL JUNCTION

(57)摘要

一種在具有一第一磁穿隧接面(MTJ)及一第二 MTJ 之一位元晶胞處產生一不可逆態的方法包括：施加一程式電壓至該位元晶胞之該第一 MTJ 而不施加該程式電壓至該位元晶胞之該第二 MTJ。一種記憶體器件包括具有一第一 MTJ 及一第二 MTJ 之一位元晶胞以及程式化電路，該程式化電路經組態以藉由施加一程式信號至該位元晶胞之該第一 MTJ 及該第二 MTJ 中之一選定者而在該位元晶胞處產生一不可逆態。



100：記憶體器件

102：代表性記憶體單元

104：不可逆態程式化電路

106：第一電阻式記憶體元件

108：第二電阻式記憶體元件

110：表

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於基於磁穿隧接面之單次可程式化 (one-time programmable) 位元晶胞。

【先前技術】

技術之進步已產生體積更小且功能更強大之計算器件。此等攜帶型計算器件可包括基於單次可程式化元件之安全架構，諸如具有單次可程式化 (OTP) 記憶體單元之非揮發性記憶體器件。一旦 OTP 記憶體單元經程式化，該單元便維持永久狀態。舉例而言，多晶矽熔絲已用作 OTP 元件。多晶矽記憶體單元可藉由在該單元上施加電壓以使得該單元在程式化期間「被熔斷」來程式化。舉例而言，通常藉由在相對較長時間 (例如，幾微秒) 內用高電流 (例如，大約幾毫安) 熔斷矽來執行單次程式化。多晶矽熔絲之一缺點在於，在熔斷熔絲之前難以測試熔絲之完整性。多晶矽熔絲之另一缺點在於，可見地偵測到熔斷狀態，其可能損害安全性。

【發明內容】

描述一基於磁穿隧接面 (MTJ) 技術之單次可程式化元件。該單次可程式化元件經組態為具有一第一電阻式記憶體元件及一第二電阻式記憶體元件的一位元晶胞。該第一電阻式記憶體元件及該第二電阻式記憶體元件可各自為 MTJ。MTJ 之天然未熔斷狀態具有較高電阻且 MTJ 之熔斷狀態具有較低電阻。可施加一程式信號至第一 MTJ 及第二

MTJ中之一者而不施加該程式信號至第一MTJ及第二MTJ中之另一者，以在該位元晶胞處產生一不可逆態。舉例而言，可藉由擊穿該等MTJ中之一者的穿隧氧化物而產生該不可逆態。當穿隧氧化物被擊穿時，產生一永久低電阻狀態。

在一特定實施例中，一種在具有一第一磁穿隧界面(MTJ)及一第二MTJ之一位元晶胞處產生一不可逆態的方法包括：施加一程式電壓至該位元晶胞之第一MTJ而不施加該程式電壓至該位元晶胞之第二MTJ。

在另一特定實施例中，一記憶體器件包括一磁穿隧界面(MTJ)位元晶胞。該MTJ位元晶胞包括一第一MTJ、一第二MTJ及程式化電路，該程式化電路經組態以藉由施加一程式信號至該位元晶胞之第一MTJ及第二MTJ中之一選定者在該位元晶胞處產生一不可逆態。

由所揭示實施例中之至少一者提供的一特定優點在於，可藉由程式化一不可逆態給具有一第一磁穿隧界面(MTJ)及一第二MTJ之一位元晶胞而達成高速程式化。

由所揭示實施例中之至少一者提供的另一特定優點在於，在程式化之前，可測試位元晶胞之操作。

由所揭示實施例中之至少一者提供的另一特定優點為增強之安全性，其原因在於位元晶胞之程式化狀態的可見偵測比在多晶矽熔絲的情況下要難。

本發明之其他態樣、優點及特徵將在審閱完整申請案之後變得顯而易見，完整申請案包括以下部分：[圖式簡單

說明]、[實施方式]及[申請專利範圍]。

【實施方式】

參看圖1，將一記憶體器件之特定說明性實施例描繪並大體上指定為100，該記憶體器件包括不可逆態程式化電路及一將資料作為不可逆態儲存於雙元件單元中之記憶體單元。記憶體器件100包括一代表性記憶體單元102及不可逆態程式化電路104。該記憶體單元102包括一第一電阻式記憶體元件106及一第二電阻式記憶體元件108。在一特定實施例中，第一電阻式記憶體元件106為第一磁穿隧界面(MTJ)元件且第二電阻式記憶體元件108為第二MTJ元件。該不可逆態程式化電路104經組態以施加一程式信號至該記憶體單元102之第一電阻式記憶體元件106及第二電阻式記憶體元件108中之一者以程式化一不可逆態給該記憶體單元102。

在一特定實施例中，藉由不可逆地程式化記憶體單元102中之兩個電阻式記憶體元件106、108中之一者而達成單次可程式化性(one-time programmability)。舉例而言，可經由不可逆態程式化電路104施加程式電壓至記憶體單元102之第一電阻式記憶體元件106而不施加程式電壓至記憶體單元102之第二電阻式記憶體元件108，以在記憶體單元102處產生不可逆態。或者，可經由不可逆態程式化電路104施加程式電壓至記憶體單元102之第二電阻式記憶體元件108而不施加程式電壓至記憶體單元102之第一電阻式記憶體元件106，以在記憶體單元102處產生不可逆態。為

了說明，當第一電阻式記憶體元件106為MTJ時，程式電壓可使第一電阻式記憶體元件106之穿隧氧化物擊穿，從而產生第一電阻式記憶體元件106之永久低電阻狀態。類似地，當第二電阻式記憶體元件108為MTJ時，程式電壓可使第二電阻式記憶體元件108之穿隧氧化物擊穿，從而產生第二電阻式記憶體元件108之永久低電阻狀態。在一特定實施例中，穿隧氧化物可為MTJ內之氧化鎂障壁層且程式電壓可大於約1.3伏特。

當電阻式記憶體元件中之一者的穿隧氧化物被擊穿時，產生永久低電阻狀態。舉例而言，一旦熔斷(例如，一旦穿隧氧化物被熔斷)，熔斷之電阻式記憶體元件之電阻便可為約250歐姆。電阻式記憶體元件之天然未熔斷狀態可為較高電阻，例如2500歐姆。舉例而言，如表110中所說明，若第一電阻式記憶體元件106被熔斷且第二電阻式記憶體元件108未熔斷，則儲存在記憶體單元102處之資料可表示邏輯「1」狀態。或者，若第一電阻式記憶體元件106未熔斷且第二電阻式記憶體元件108被熔斷，則儲存在記憶體單元102處之資料可表示邏輯「0」狀態。

在一特定實施例中，在程式化一不可逆態給記憶體單元102之前，可藉由施加寫入電壓(而不是程式電壓)至第一電阻式記憶體元件106或第二電阻式記憶體元件108以儲存一可逆值至記憶體單元102而將記憶體單元102用作多次可程式化(MTP)單元。關於圖4進一步描述MTP單元之實例。將記憶體單元102用作單次可程式化(OTP)單元或MTP單元使

得能在施加寫入電壓至第一電阻式記憶體元件106或第二電阻式記憶體元件108之後藉由讀取第一電阻式記憶體元件106及第二電阻式記憶體元件108中之各別電阻式記憶體元件而測試記憶體單元102之操作。

在一特定實施例中，當記憶體單元102經組態為OTP記憶體單元時，可藉由比較在第一電阻式記憶體元件106處讀取之值與在第二電阻式記憶體元件108處讀取之值而在無需單獨的參考單元之情況下感測不可逆態。舉例而言，為了感測MTJ之可逆寫入狀態，可施加參考電壓。當記憶體單元102經組態為OTP記憶體單元時，感測係自參考式感測，原因在於在第一電阻式記憶體元件106及第二電阻式記憶體元件108處維持互補單元值，使得可藉由比較在第一電阻式記憶體元件106處讀取之值與在第二電阻式記憶體元件108處讀取之值來感測不可逆態。

因為記憶體單元102可經組態為OTP記憶體單元或MTP記憶體單元，所以併有該記憶體單元之電子器件的安全架構可得以增強。舉例而言，在使用單次可程式化性之最終測試之後，可停用行動電子器件的硬體特徵，諸如聯合測試行動組(JTAG)。另外，可將原始設備製造者硬體密鑰可與單次可程式化性一起使用，以用於供應使用者資訊、數位版權管理等。另外，與基於多晶矽之熔絲系統相比，併有記憶體單元102之電子器件可能較不易受到篡改(歸因於反處理)且較不易受到資料調處。

參看圖2，將一記憶體器件之特定說明性實施例描繪並

大體上指定為200，該記憶體器件包括不可逆態程式化電路及具有基於磁穿隧接面(MTJ)之單次可程式化記憶體單元的一記憶體陣列。記憶體器件200包括不可逆態程式化電路202、測試電路204及具有單次可程式化(OTP)單元之一記憶體陣列206。記憶體陣列206可包括為非OTP記憶體單元之其他記憶體單元，諸如其他MTJ記憶體單元。可使用相同技術來製造OTP記憶體單元及其他MTJ記憶體單元。記憶體陣列206包括一代表性第一單次可程式化單元208及一代表性第二單次可程式化單元210。在一特定實施例中，該第一單次可程式化單元208包含一第一雙磁穿隧接面(MTJ)位元晶胞且該第二單次可程式化單元210包含一第二雙MTJ位元晶胞。該第一單次可程式化單元208包括一第一電阻式記憶體元件212、一第一存取電晶體213、一第二電阻式記憶體元件214及一第二存取電晶體215。該第二單次可程式化單元210包括一第三電阻式記憶體元件216、一第三存取電晶體217、一第四電阻式記憶體元件218及一第四存取電晶體219。在一特定實施例中，電阻式記憶體元件212至218中之每一者包含一磁穿隧接面元件。字線220耦接至第一存取電晶體213、耦接至第二存取電晶體215、耦接至第三存取電晶體217且耦接至第四存取電晶體219。

不可逆態程式化電路202經由位元線230及位元線232耦接至第一單次可程式化單元208且經由位元線240及位元線242耦接至第二單次可程式化單元210。不可逆態程式化電

路202經組態以經由位元線230施加程式電壓至第一單次可程式化單元208之第一電阻式記憶體元件212而不施加程式電壓至第一單次可程式化單元208之第二電阻式記憶體元件214，以在第一單次可程式化單元208處產生第一不可逆態(例如，邏輯「0」)。或者，不可逆態程式化電路202可經由位元線232施加程式電壓至第一單次可程式化單元208之第二電阻式記憶體元件214而不施加程式電壓至第一單次可程式化單元208之第一電阻式記憶體元件212，以在第一單次可程式化單元208處產生第二不可逆態(例如，邏輯「1」)。

類似地，不可逆態程式化電路202經組態以經由位元線240施加程式電壓至第二單次可程式化單元210之第三電阻式記憶體元件216而不施加程式電壓至第二單次可程式化單元210之第四電阻式記憶體元件218，以在第二單次可程式化單元210處產生第一不可逆態。或者，不可逆態程式化電路202可經由位元線242施加程式電壓至第二單次可程式化單元210之第四電阻式記憶體元件218而不施加程式電壓至第二單次可程式化單元210之第三電阻式記憶體元件216，以在第二單次可程式化單元210處產生第二不可逆態。

在一特定實施例中，可藉由比較在第一電阻式記憶體元件212處讀取之值與在第二電阻式記憶體元件214處讀取之值在第一單次可程式化單元208處感測不可逆態。在一特定實施例中，可在無需單獨的參考單元之情況下感測第一

單次可程式化單元之不可逆態。

舉例而言，第一單次可程式化單元208之感測係自參考式感測，原因在於在第一電阻式記憶體元件212及第二電阻式記憶體元件214處維持互補單元值(例如，電阻式記憶體元件212、214中之一者的穿隧氧化物被熔斷而電阻式記憶體元件212、214中之另一者的穿隧氧化物未熔斷)。可藉由比較在第一電阻式記憶體元件212處讀取之值與在第二電阻式記憶體元件214處讀取之值(例如，藉由比較位元線230處之信號與位元線232處之信號)而感測不可逆態。無需單獨的參考電壓來感測電阻式記憶體元件212、214之可逆態。

測試電路204可經組態以在程式化之前測試記憶體陣列206之一或多個單元。舉例而言，在施加程式電壓至第一單次可程式化單元208之第一電阻式記憶體元件212之前，可施加寫入電壓至第一電阻式記憶體元件212以將可逆值儲存至第一單次可程式化單元208。在施加寫入電壓至第一電阻式記憶體元件212後，可讀取第一電阻式記憶體元件212以測試第一單次可程式化單元208之操作。或者，在施加程式電壓至第一單次可程式化單元208之第二電阻式記憶體元件214之前，可施加寫入電壓至第二電阻式記憶體元件214以將可逆值儲存至第一單次可程式化單元208。在施加寫入電壓至第二電阻式記憶體元件214後，可讀取第二電阻式記憶體元件214以測試第一單次可程式化單元208之操作。

在一特定實施例中，第三電阻式記憶體元件216及第四電阻式記憶體元件218可實質上類似於第一電阻式記憶體元件212及第二電阻式記憶體元件214。在一特定實施例中，可藉由提供一寫入電壓而將電阻式記憶體元件216及218用作多次可程式化記憶體元件，其中該寫入電壓低於程式電壓(例如，具有低於程式電壓之量值)，該寫入電壓使電阻式記憶體元件216或218進入可逆態。

藉由在記憶體陣列的位元晶胞中使用MTJ元件以獲得單次可程式化性，可歸因於程式化MTJ元件所需的較小電流及較短時間(與程式化多晶矽熔絲元件所需的較大電流及較長時間相比)而達成高速程式化。

參看圖3，系統300之特定說明性實施例包括具有一第一電阻式記憶體元件310及一第二電阻式記憶體元件314之一位元晶胞302且亦包括經組態以提供程式化電壓至位元晶胞302的不可逆態程式化電路304。

程式化電路304包括讀取行選擇電路320、感測放大器電路322、字線產生電路324、寫入資料路徑電路326、寫入資料電路328、寫入行選擇電路330及一對位元線332。讀取行選擇電路320經組態以接收位址資料340及讀取資料342，且經組態以提供輸入至感測放大器電路322。感測放大器電路322經組態以放大該對位元線332處之差動信號並產生資料輸出信號(D_o)。寫入資料電路328經組態以鎖存所接收之資料輸入(D_i)362及寫入信號360。寫入行選擇電路330經組態以鎖存所接收之位址資料340。寫入資料路徑

電路326回應於寫入資料電路328及寫入行選擇電路330以施加信號至該對位元線332。字線產生電路324經組態以回應於位址資料340、讀取信號350及寫入信號360而選擇性地加偏壓於字線334。

位元晶胞302包括第一電阻式記憶體元件310及第二電阻式記憶體元件314。在一特定實施例中，第一電阻式記憶體元件310包含第一磁穿隧接面(MTJ)，且第二電阻式記憶體元件包含第二MTJ。位元晶胞302包括耦接至第一MTJ 310之一第一存取電晶體312及耦接至第二MTJ 314之一第二存取電晶體316。在一特定實施例中，第一存取電晶體312可具有具有氧化物厚度 $T1$ 311之一穿隧氧化物，且第二存取電晶體316可具有具有氧化物厚度 $T2$ 315之一穿隧氧化物。氧化物厚度 $T1$ 311可實質上類似於氧化物厚度 $T2$ 315。第一存取電晶體312及第二存取電晶體316回應於字線334。

在操作期間，不可逆態程式化電路304可施加程式電壓至位元晶胞302之第一MTJ 310而不施加程式電壓至位元晶胞302之第二MTJ 314，以在位元晶胞302處產生不可逆態。或者，不可逆態程式化電路304可施加程式電壓至位元晶胞302之第二MTJ 314而不施加程式電壓至位元晶胞302之第一MTJ 310，以在位元晶胞302處產生不可逆態。

舉例而言，在一特定實施例中，程式電壓可使第一MTJ 310之穿隧氧化物擊穿，從而產生第一MTJ 310之永久低電阻狀態。在一特定實施例中，穿隧氧化物可為氧化鎂障壁

層且程式電壓可大於約1.3伏特。在第一MTJ 310之穿隧氧化物被擊穿後，產生第一MTJ 310之永久短或低電阻狀態。舉例而言，一旦被熔斷，熔斷之第一MTJ 310之電阻便可為約250歐姆。第二MTJ 314之天然未熔斷狀態可為較高電阻，例如2500歐姆。在一特定實施例中，第一MTJ 310之狀態(例如，熔斷)可維持為與第二MTJ 314之狀態(例如，未熔斷)互補。位元晶胞302之感測係自參考式感測，原因在於可在無需單獨的參考電壓之情況下藉由比較在第一MTJ 310處讀取之值與在第二MTJ 314處讀取之值(例如，藉由比較在該對位元線332處之信號)而感測不可逆態。

參看圖4，將單次可程式化磁穿隧接面(MTJ)位元晶胞之形狀的特定說明性實施例描繪並大體上指定為400。第一MTJ具有大體上為橢圓形的形狀402，第二MTJ具有大體上為圓形的形狀404，且第三MTJ具有小於第二MTJ之大體上為圓形的形狀406。箭頭說明MTJ 402至406中之每一者的自由層之磁矩的實例以作為說明性非限制性實例。

當MTJ 402未熔斷時，具有橢圓形狀之MTJ 402具有雙穩態。當處於雙穩態中時，MTJ 402可具有低電阻R_{Low}(例如，約2500歐姆)或高電阻R_{High}(例如，大於3000歐姆)。在熔斷狀態中，MTJ 402可具有處於熔斷電阻R_{Blown}(例如，約250歐姆)之電阻。在一特定實施例中，橢圓MTJ 402具有一大於第二軸線長度405之第一軸線長度403以使MTJ 402中的磁矩在平行及反平行狀態中能夠對

準，平行及反平行狀態對應於第一可逆多次可程式化(MTP)狀態及一第二可逆MTP狀態。

在一特定實施例中，當第二MTJ 404未熔斷時，具有圓形形狀之第二MTJ 404處於單穩態中。舉例而言，在未熔斷狀態中，第二MTJ 404可具有在第二MTJ 404之高電阻R High(例如，大於3000歐姆)與第二MTJ 404之低電阻R Low(例如，2500歐姆)之間一半的電阻。在熔斷狀態中，第二MTJ 404可具有處於熔斷電阻R Blown(例如，約250歐姆)之電阻。

在一特定實施例中，具有圓形形狀之第三MTJ 406具有小於圓形MTJ 404之直徑的直徑，使得當第三MTJ 406未熔斷時，第三MTJ 406處於介穩態中。舉例而言，在未熔斷狀態中，第三MTJ 406可具有在第三MTJ 406之高電阻R High(例如，大於3000歐姆)與第三MTJ 406之低電阻R Low(例如，2500歐姆)之間某一點之電阻。在熔斷態中，第三MTJ 406可具有處於熔斷電阻R Blown(例如，約250歐姆)的電阻。

參看圖5，將一種程式化一不可逆態給具有一第一磁穿隧界面(MTJ)及一第二MTJ之一位元晶胞的方法之說明性實施例的流程圖描繪並大體上指定為500。作為一說明性實例，可藉由圖1之記憶體器件、圖2之記憶體器件、圖3之系統或其任一組合來執行方法500。

在502處，在施加程式電壓至位元晶胞之前，可施加寫入電壓至第一MTJ以將可逆值儲存至位元晶胞，且在504

處，在施加寫入電壓至第一MTJ後，可讀取第一MTJ以測試位元晶胞之操作。在一特定實施例中，位元晶胞可為圖1之記憶體單元102、圖2之第一單次可程式化單元208或圖3之位元晶胞302。在一特定實施例中，第一MTJ可為圖1之第一電阻式記憶體元件106、圖2之第一電阻式記憶體元件212或圖3之第一電阻式記憶體元件310，且第二MTJ可為圖1之第二電阻式記憶體元件108、圖2之第二電阻式記憶體元件214或圖3之第二電阻式記憶體元件314。

舉例而言，測試電路204可經組態以在程式化記憶體陣列206之單元中的任一者之前測試記憶體陣列206之一或多個單元。舉例而言，在施加程式電壓之前，可施加寫入電壓至第一電阻式記憶體元件212以將可逆值儲存至第一單次可程式化單元208。在施加寫入電壓至第一電阻式記憶體元件212後，可讀取第一電阻式記憶體元件212以測試第一單次可程式化單元208之操作。或者，可施加寫入電壓至第二電阻式記憶體元件214以將可逆值儲存至第一單次可程式化單元208。在施加寫入電壓至第二電阻式記憶體元件214之後，可讀取第二電阻式記憶體元件214以測試第一單次可程式化單元208之操作。

在506處，可藉由施加程式電壓至位元晶胞之第一MTJ而不施加程式電壓至位元晶胞之第二MTJ在位元晶胞處產生不可逆態。在一特定實施例中，可藉由圖1之不可逆態程式化電路104、圖2之不可逆態程式化電路202或圖3之不可逆態程式化電路304產生程式電壓。

在508處，可將第一MTJ及第二MTJ維持為互補單元值。舉例而言，在一特定實施例中，程式電壓可使穿隧氧化物(諸如第一MTJ 310之具有厚度T1 311之穿隧氧化物)擊穿，從而產生第一MTJ 310之永久低電阻狀態。在第一MTJ 310之穿隧氧化物被擊穿後，產生第一MTJ 310之永久短或低電阻狀態。舉例而言，一旦被熔斷，熔斷之第一MTJ 310之電阻便可為約250歐姆。第二MTJ 314之天然未熔斷狀態可為較高電阻，例如2500歐姆。因而，第一MTJ 310之單元值(例如，熔斷)可維持為與第二MTJ 314之單元值(例如，未熔斷)互補。

在510處，可藉由比較在第一MTJ處讀取之值與在位元晶胞之第二MTJ處讀取之值而感測不可逆態。舉例而言，感測放大器電路322可經組態以回應於比較在第一MTJ 310處讀取之信號(例如，電流或電壓)與在第二MTJ 314處讀取之信號而產生輸出Do。

圖6為一無線通信器件600之實施例的方塊圖，該無線通信器件600具有不可逆態程式化電路及包括一第一穿隧界面(MTJ)及一第二MTJ之一位元晶胞664。無線通信器件600可實施為攜帶型電子器件，其包括耦接至記憶體632的處理器610(諸如，數位信號處理器(DSP))。

不可逆態程式化電路及包括第一MTJ及第二MTJ之位元晶胞664可包括根據圖5操作的圖1至圖4之組件、記憶體或電路中之一或多者或其任一組合。不可逆態程式化電路及包括第一MTJ及第二MTJ之位元晶胞664可在記憶體632中

或可為單獨的器件。儘管將不可逆態程式化電路及包括第一MTJ及第二MTJ之位元晶胞664說明為與記憶體632整合，但在其他實施例中，不可逆態程式化電路及包括第一MTJ及第二MTJ之位元晶胞664可在記憶體632外部，諸如嵌入於處理器610中。

在一特定實施例中，顯示控制器626耦接至處理器610及顯示器件628。編碼器/解碼器(CODEC)634亦可耦接至處理器610。揚聲器636及麥克風可耦接至CODEC 634。無線控制器640可耦接至處理器610及無線天線642。

記憶體632可包括電腦可讀媒體，其儲存可由諸如處理器610之處理器執行的指令(例如，軟體635)。舉例而言，軟體635可包括可由電腦執行以進行以下操作的指令：施加程式電壓至位元晶胞(例如，圖1之記憶體單元102)之第一MTJ(例如，圖1之第一電阻式記憶體元件106)而不施加程式電壓至位元晶胞之第二MTJ(例如，圖1之第二電阻式記憶體元件108)以在位元晶胞處產生不可逆態。

在一特定實施例中，信號處理器610、顯示控制器626、記憶體632、CODEC 634及無線控制器640包括於系統級封裝或晶載系統器件622中。在一特定實施例中，輸入器件630及電源供應器644耦接至晶載系統器件622。此外，在一特定實施例中，如圖6中所說明，顯示器件628、輸入器件630、揚聲器636、麥克風638、無線天線642及電源供應器644係在晶載系統器件622外部。然而，顯示器件628、輸入器件630、揚聲器636、麥克風638、無線天線642及電

源供應器 644 中之每一者可耦接至晶載系統器件 622 之一組件(諸如，介面或控制器)。

前文揭示之器件及功能性可經設計並組態至儲存於電腦可讀媒體上之電腦檔案(例如，RTL、GDSII、GERBER 等)中。可將一些或所有此檔案提供至基於此等檔案來製造器件的製造處置者。所得產品包括半導體晶圓，接著將其切割成半導體晶粒並封裝於半導體晶片中。接著在上文描述之器件中使用該等晶片。

圖 7 描繪電子器件製造程序 700 之特定說明性實施例。在製造程序 700 處(諸如，在研究電腦 706 處)接收實體器件資訊 702。實體器件資訊 702 可包括表示半導體器件(諸如圖 1 之記憶體器件 100、圖 2 之記憶體器件 200、圖 3 之系統 300 或其任一組合)之至少一實體性質的設計資訊。舉例而言，實體器件資訊 702 可包括經由耦接至研究電腦 706 之使用者介面 704 所鍵入之物理參數、材料特性及結構資訊。研究電腦 706 包括耦接至電腦可讀媒體(諸如，記憶體 710)之處理器 708(諸如，一或多個處理器核心)。記憶體 710 可儲存電腦可讀指令，該等電腦可讀指令可執行以使處理器 708 轉換實體器件資訊 702 以遵守檔案晶胞式且產生程式庫檔案 712。

在一特定實施例中，程式庫檔案 712 包括至少一資料檔案，該至少一資料檔案包括經轉換之設計資訊。舉例而言，程式庫檔案 712 可包括半導體器件之程式庫，半導體器件包括：包括圖 1 之記憶體器件 100 之一器件；包括圖 2

之記憶體器件200的一器件；包括圖3之系統300的一器件；或其任一組合，該程式庫經提供以與電子設計自動(EDA)工具720一起使用。

在設計電腦714處可將程式庫檔案712與EDA工具720結合使用，設計電腦714包括耦接至記憶體718之處理器716(諸如一或多個處理核心)。EDA工具720可作為處理器可執行指令儲存在記憶體718處，以使設計電腦714之使用者能夠設計一電路，該電路包括程式庫檔案712之一器件，該器件包括：包括圖1之記憶體器件100的一器件；包括圖2之記憶體器件200的一器件；包括圖3之系統300的一器件；或其任一組合。舉例而言，設計電腦714之使用者可經由耦接至設計電腦714之使用者介面724鍵入電路設計資訊722。電路設計資訊722可包括表示半導體器件(諸如，包括圖1之記憶體器件100的一器件、包括圖2之記憶體器件200的一器件、包括圖3之系統300的一器件或其任一組合)之至少一實體性質的設計資訊。為進行說明，電路設計性質可包括：特定電路之識別及與電路設計中之其他元件之關係、定位資訊、特徵大小資訊、互連資訊，或表示半導體器件之實體性質的其他資訊。

設計電腦714可經組態以轉換設計資訊(包括電路設計資訊722)以遵守檔案晶胞式。為進行說明，檔案形式可包括以階層晶胞式表示平面幾何形狀、文字標示及關於電路佈局之其他資訊的資料庫二進位檔案晶胞式(諸如，圖形資料系統(GDSII)檔案晶胞式)。設計電腦714可經組態以產生

包括轉換設計資訊之資料檔案，諸如包括描述圖1之記憶體器件100、圖2之記憶體器件200、圖3之系統300或其任一組合之資訊以及其他電路或資訊的GDSII檔案726。為進行說明，資料檔案可包括對應於晶載系統(SOC)之資訊，該SOC包括圖1之記憶體器件100且亦包括SOC內之額外電子電路及組件。

可在製造程序728處接收GDSII檔案726，以根據GDSII檔案726中之經轉換的資訊來製造圖1之記憶體器件100、圖2之記憶體器件200、圖3之系統300或其任一組合。舉例而言，器件製造程序可包括提供GDSII檔案726至遮罩製造者730以產生一或多個遮罩(諸如用於光微影處理的遮罩)，該一或多個遮罩被說明為代表性遮罩732。可在製造程序期間使用遮罩732產生一或多個晶圓734，可測試該一或多個晶圓734並將其分成晶粒，諸如代表性晶粒736。晶粒736包括一電路，該電路包括：包括圖1之記憶體器件100的一器件；包括圖2之記憶體器件200的一器件；包括圖3之系統300的一器件；或其任一組合。

可將晶粒736提供至封裝程序738，在封裝程序738中將晶粒736併入於代表性封裝740中。舉例而言，封裝740可包括單一晶粒736或多個晶粒，諸如系統級封裝(SiP)配置。封裝740可經組態以符合一或多種標準或規範，諸如，美國電子器件工程設計聯合協會(Joint Electron Device Engineering Council, JEDEC)標準。

可將關於封裝740之資訊(諸如經由儲存在電腦746處之

組件程式庫)散佈給各個產品設計者。電腦746可包括耦接至記憶體750之處理器748(諸如一或多個處理核心)。印刷電路板(PCB)工具可作為處理器可執行指令儲存在記憶體750處，以處理經由使用者介面744自電腦746之使用者接收到之PCB設計資訊742。PCB設計資訊742可包括電路板上之已封裝半導體器件的實體定位資訊，該已封裝半導體器件對應於包括圖1之記憶體器件100、圖2之記憶體器件200、圖3之系統300或其任一組合的封裝740。

電腦746可經組態以轉換PCB設計資訊742以產生資料檔案，諸如GERBER檔案752，其具有包括電路板上之已封裝半導體器件的實體定位資訊以及電連接件(諸如，跡線及通孔)之佈局之資料，其中該已封裝半導體器件對應於包括圖1之記憶體器件100、圖2之記憶體器件200、圖3之系統300或其任一組合的封裝740。在其他實施例中，藉由經轉換之PCB設計資訊所產生之資料檔案可具有不同於GERBER晶胞式之晶胞式。

可在板組裝程序754處接收GERBER檔案752且將其用來產生根據儲存於GERBER檔案752中之設計資訊而製造的PCB，諸如代表性PCB 756。舉例而言，可將GERBER檔案752上載至一或多個機器以執行PCB生產程序之各步驟。PCB 756可填有包括封裝740之電子組件以形成代表性印刷電路總成(PCA)758。

可在產品製造程序760處接收PCA 758且將其整合至一或多個電子器件(諸如，第一代表性電子器件762及第二代表

性電子器件764)中。作為一說明性非限制性實例，第一代表性電子器件762、第二代表性電子器件764或兩者可選自機上盒、音樂播放器、視訊播放器、娛樂單元、導航器件、通信器件、個人數位助理(PDA)、固定位置資料單元及電腦之群，圖6之不可逆態程式化電路及包括第一MTJ及第二MTJ之位元晶胞664整合至該器件中。作為另一說明性非限制性實例，電子器件762及764中之一或多者可為遠端單元，諸如，行動電話、掌上型個人通信系統(PCS)單元、攜帶型資料單元(諸如，個人資料助理)、具備全球定位系統(GPS)功能之器件、導航器件、固定位置資料單元(諸如，儀錶讀取設備)，或儲存或擷取資料或電腦指令之任何其他器件，或其任何組合。雖然圖7說明根據本發明之教示的遠端單元，但本發明並不限於此等例示性說明單元。本發明之實施例可合適地用於包括主動積體電路(包括記憶體及晶載電路)之任何器件中。

如說明性程序700中所描述，包括圖1之記憶體器件100之器件、包括圖2之記憶體器件200之器件、包括圖3之系統300之器件或其任一組合可被製造、處理且併入至電子器件中。關於圖1至圖4所揭示之實施例之一或多個態樣可包括於各處理階段處(諸如，包括於程式庫檔案712、GDSII檔案726及GERBER檔案752內)，以及儲存於研究電腦706之記憶體710、設計電腦714之記憶體718、電腦746之記憶體750、在各階段中(諸如，在板組裝程序754中)所使用之一或多個其他電腦或處理器(未圖示)之記憶體處，

且亦併入至一或多個其他實體實施例(諸如，遮罩 732、晶粒 736、封裝 740、PCA 758、諸如原型電路或器件(未圖示)之其他產品，或其任何組合)中。雖然描繪了自實體器件設計至最終產品之各代表性生產階段，但在其他實施例中，可使用較少階段或可包括額外階段。類似地，可藉由單一實體或藉由執行程序 700 之各階段的一或多個實體來執行程序 700。

熟習此項技術者應進一步瞭解，可將結合本文中所揭示之實施例所描述之各種說明性邏輯區塊、組態、模組、電路及演算法步驟實施為電子硬體、由處理器執行之電腦軟體，或兩者之結合。上文已大體在功能性方面描述各種說明性組件、區塊、組態、模組、電路及步驟。將此功能性實施為硬體或是處理器可執行指令取決於特定應用及強加於整個系統之設計約束。熟習此項技術者可針對每一特定應用以變化之方式實施所描述之功能性，但不應將該等實施決策解釋為導致脫離本發明之範疇。

結合本文中所揭示之實施例而描述之方法或演算法的步驟可直接體現於硬體中、由處理器執行之軟體模組中，或兩者之組合中。軟體模組可駐留於隨機存取記憶體(RAM)、快閃記憶體、唯讀記憶體(ROM)、可程式化唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)、電可抹除可程式化唯讀記憶體(EEPROM)、暫存器、硬碟、抽取式磁碟、緊密光碟唯讀記憶體(CD-ROM)，或此項技術中已知之任何其他形式的非暫時儲存媒體中。例示

性儲存媒體耦接至處理器，以使得處理器可自儲存媒體讀取資訊及將資訊寫入至儲存媒體。在替代例中，儲存媒體可整合至處理器。處理器及儲存媒體可駐留於特殊應用積體電路(ASIC)中。ASIC可駐留於計算器或使用者終端機中。在替代例中，處理器及儲存媒體可作為離散組件駐留於計算器或使用者終端機中。

提供所揭示之實施例的前述描述以使熟習此項技術者能夠製作或使用所揭示之實施例。在不脫離本發明之範疇的情況下，對此等實施例之各種修改對於熟習此項技術者將容易顯而易見，且可將本文中所定義之原理應用於其他實施例。因此，本發明並不意欲限於本文中所展示之實施例，而應符合可能與如以下申請專利範圍所定義之原理及新穎特徵相一致的最廣泛範疇。

【圖式簡單說明】

圖1為一記憶體器件之特定說明性實施例的方塊圖，該記憶體器件包括不可逆態程式化電路及包括一第一電阻式記憶體元件及一第二電阻式記憶體元件之一記憶體單元；

圖2為一記憶體器件之特定說明性實施例的圖，該記憶體器件包括不可逆態程式化電路及具有基於磁穿隧接面(MTJ)之單次可程式化記憶體單元的一記憶體陣列；

圖3為一系統之特定說明性實施例的圖，該系統包括具有一第一MTJ及一第二MTJ之一位元晶胞以及經組態以提供一程式化電壓至該位元晶胞之不可逆態程式化電路；

圖4為MTJ形狀及每一MTJ形狀之屬性的特定說明性實施

例之圖解表示；

圖5為一種程式化一不可逆態給具有一第一MTJ及一第二MTJ之一位元晶胞的方法之特定說明性實施例的流程圖；

圖6為一器件之特定說明性實施例的方塊圖，該器件包括經組態以提供一程式化電壓至位元晶胞之第一MTJ及第二MTJ中之一者的不可逆態程式化電路；及

圖7為可用以產生一無線器件之製造程序的特定說明性實施例之圖，該無線器件包括經組態以程式化一不可逆態給具有一第一MTJ及一第二MTJ的一位元晶胞之不可逆態程式化電路。

【主要元件符號說明】

100	記憶體器件
102	代表性記憶體單元
104	不可逆態程式化電路
106	第一電阻式記憶體元件
108	第二電阻式記憶體元件
110	表
200	記憶體器件
202	不可逆態程式化電路
204	測試電路
206	記憶體陣列
208	代表性第一單次可程式化單元
210	代表性第二單次可程式化單元

212	第一電阻式記憶體元件
213	第一存取電晶體
214	第二電阻式記憶體元件
215	第二存取電晶體
216	第三電阻式記憶體元件
217	第三存取電晶體
218	第四電阻式記憶體元件
219	第四存取電晶體
220	字線
230	位元線
232	位元線
240	位元線
242	位元線
300	系統
302	位元晶胞
304	不可逆態程式化電路
310	第一電阻式記憶體元件/第一MTJ
311	氧化物厚度T1
312	第一存取電晶體
314	第二電阻式記憶體元件/第二MTJ
315	氧化物厚度T2
316	第二存取電晶體
320	讀取行選擇電路
322	感測放大器電路

324	字線產生電路
326	寫入資料路徑電路
328	寫入資料電路
330	寫入行選擇電路
332	位元線
334	字線
340	位址資料
342	讀取資料
350	讀取信號
352	寫入信號
360	寫入信號
362	所接收之資料輸入(Di)
400	單次可程式化磁穿隧接面(MTJ)位元晶胞 之形狀
402	橢圓形狀/MTJ
403	第一軸線長度
404	圓形形狀/MTJ
405	第二軸線長度
406	圓形形狀/MTJ
600	無線通信器件
610	處理器/數位信號處理器(DSP)
622	晶載系統器件
626	顯示控制器
628	顯示器件

630	輸入器件
632	記憶體
634	編碼器/解碼器(CODEC)
635	軟體
636	揚聲器
638	麥克風
640	無線控制器
642	無線天線
644	電源供應器
664	不可逆態程式化電路及包括第一MTJ及第 二MTJ之位元晶胞
700	電子器件製造程序
702	實體器件資訊
704	使用者介面
706	研究電腦
708	處理器
710	記憶體
712	程式庫檔案
714	設計電腦
716	處理器
718	記憶體
720	電子設計自動(EDA)工具
722	電路設計資訊
724	使用者介面

726	GDSII檔案
728	製造程序
730	遮罩製造者
732	遮罩
734	晶圓
736	晶粒
738	封裝程序
740	封裝
742	PCB設計資訊
744	使用者介面
746	電腦
748	處理器
750	記憶體
752	GERBER檔案
754	板組裝程序
756	代表性印刷電路板(PCB)
758	代表性印刷電路總成(PCA)
760	產品製造程序
762	第一代表性電子器件
764	第二代表性電子器件

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100127675

※申請日：100.8.3

※IPC 分類：G11C 13/00 (2006.01)

一、發明名稱：(中文/英文)

G11C 11/15 (2006.01)

於具有第一磁穿隧接面及第二磁穿隧接面之位元晶胞產生一非可逆態
GENERATING A NON-REVERSIBLE STATE AT A BITCELL HAVING
A FIRST MAGNETIC TUNNEL JUNCTION AND A SECOND
MAGNETIC TUNNEL JUNCTION

二、中文發明摘要：

一種在具有一第一磁穿隧接面(MTJ)及一第二MTJ之一位元晶胞處產生一不可逆態的方法包括：施加一程式電壓至該位元晶胞之該第一MTJ而不施加該程式電壓至該位元晶胞之該第二MTJ。一種記憶體器件包括具有一第一MTJ及一第二MTJ之一位元晶胞以及程式化電路，該程式化電路經組態以藉由施加一程式信號至該位元晶胞之該第一MTJ及該第二MTJ中之一選定者而在該位元晶胞處產生一不可逆態。

三、英文發明摘要：

A method of generating a non-reversible state at a bitcell having a first magnetic tunnel junction (MTJ) and a second MTJ includes applying a program voltage to the first MTJ of the bitcell without applying the program voltage to the second MTJ of the bitcell. A memory device includes a bitcell having a first MTJ and a second MTJ and programming circuitry configured to generate a non-reversible state at the bitcell by applying a program signal to a selected one of the first MTJ and the second MTJ of the bitcell.

七、申請專利範圍：

1. 一種方法，其包含：

施加一程式電壓至一位元晶胞之一第一磁穿隧界面(MTJ)而不施加該程式電壓至該位元晶胞之一第二MTJ以在該位元晶胞處產生一不可逆態。

2. 如請求項1之方法，其中該程式電壓使該第一MTJ之一穿隧氧化物擊穿，從而產生該第一MTJ之一永久低電阻狀態。

3. 如請求項1之方法，其進一步包含將該第一MTJ及該第二MTJ維持為互補單元值。

4. 如請求項1之方法，其進一步包含藉由比較在該第一MTJ處讀取之一值與在該位元晶胞之該第二MTJ處讀取之一值而感測該不可逆態。

5. 如請求項1之方法，其中在無需一單獨的參考單元之情況下執行感測該位元晶胞之該不可逆態。

6. 如請求項1之方法，其進一步包含在施加該程式電壓之前施加一寫入電壓至該第一MTJ以將一值儲存至該位元晶胞。

7. 如請求項6之方法，其進一步包含在施加該寫入電壓至該第一MTJ後讀取該第一MTJ以測試該位元晶胞之一操作。

8. 如請求項1之方法，其中該位元晶胞係在具有單次可程式化能力之一記憶體中，且該方法進一步包含在程式化該位元晶胞之前測試該記憶體之一或多個單元。

9. 如請求項1之方法，其中該位元晶胞包含耦接至該第一MTJ之一第一存取電晶體及耦接至該第二MTJ之一第二存取電晶體。
10. 如請求項9之方法，其中該第一存取電晶體具有實質上類似於該第二存取電晶體之氧化物厚度之氧化物厚度。
11. 如請求項1之方法，其中該第一MTJ具有大於一第二軸線長度之一第一軸線長度以使得能夠將該第一MTJ自一第一非程式化狀態切換至一第二非程式化狀態。
12. 如請求項11之方法，其中該第一MTJ為橢圓形。
13. 如請求項1之方法，其中該第一MTJ實質上為圓形，且該方法進一步包含藉由比較該位元晶胞與一外部參考來測試該位元晶胞。
14. 如請求項1之方法，其中該第一MTJ及該第二MTJ係在一MTJ陣列中，該MTJ陣列進一步包含實質上類似於該第一MTJ及該第二MTJ之一第三MTJ，且該方法進一步包含藉由提供一寫入電壓至該第三MTJ而將該第三MTJ用作一多次可程式化記憶體元件，其中該寫入電壓低於該程式電壓且使該第三MTJ進入一可逆態。
15. 如請求項1之方法，其中施加該程式電壓係回應於整合至一電子器件中的一處理器。
16. 一種記憶體器件，其包含：
 - 一磁穿隧接面(MTJ)位元晶胞，該MTJ位元晶胞包含：
 - 一第一MTJ；及
 - 一第二MTJ；及

程式化電路，其經組態以施加一程式信號至該第一MTJ及該第二MTJ中之一選定者以在該MTJ位元晶胞處產生一不可逆態。

17. 如請求項16之記憶體器件，其進一步包含耦接至該第一MTJ之一第一存取電晶體及耦接至該第二MTJ之一第二存取電晶體。
18. 如請求項17之記憶體器件，其中該第一存取電晶體具有實質上類似於該第二存取電晶體之氧化物厚度的氧化物厚度。
19. 如請求項16之記憶體器件，其中該第一MTJ之一單元值與該第二MTJ之一單元值互補。
20. 如請求項16之記憶體器件，其整合於至少一半導體晶粒中。
21. 如請求項16之記憶體器件，其進一步包含選自由以下各者組成之群的一器件：一機上盒、一音樂播放器、一視訊播放器、一娛樂單元、一導航器件、一通信器件、一個人數位助理(PDA)、一固定位置資料單元及一電腦，該記憶體器件整合至該器件中。
22. 一種裝置，其包含：

用於儲存一資料值之構件，該用於儲存之構件包含一第一磁穿隧接面(MTJ)及一第二MTJ；及

用於藉由施加一程式電壓至該第一MTJ而不施加該程式電壓至該第二MTJ在該用於儲存之構件處產生一不可逆態之構件。

23. 如請求項22之裝置，其整合於至少一半導體晶粒中。
24. 如請求項22之裝置，其進一步包含選自由以下各者組成之群的一器件：一機上盒、一音樂播放器、一視訊播放器、一娛樂單元、一導航器件、一通信器件、一個人數位助理(PDA)、一固定位置資料單元及一電腦，該用於儲存之構件整合至該器件中。
25. 一種方法，其包含：
- 一第一步驟，其用於藉由施加一程式電壓至一位元晶胞之一第一磁穿隧接面(MTJ)而不施加該程式電壓至該位元晶胞之一第二MTJ在該位元晶胞處產生一不可逆態；及
 - 一第二步驟，其用於將該第一MTJ及該第二MTJ維持為互補單元值。
26. 如請求項25之方法，其中藉由整合至一電子器件中之一處理器來執行該第一步驟及該第二步驟。
27. 一種電腦可讀有形媒體，其儲存可由一處理器執行的指令，該等指令包含可由該處理器執行以進行以下操作的指令：
- 藉由施加一程式電壓至一位元晶胞之一第一磁穿隧接面(MTJ)而不施加該程式電壓至該位元晶胞之一第二MTJ在該位元晶胞處產生一不可逆態。
28. 如請求項27之電腦可讀有形媒體，其中該處理器整合於選自由以下各者組成之群的一器件中：一機上盒、一音樂播放器、一視訊播放器、一娛樂單元、一導航器件、

一通信器件、一個人數位助理(PDA)、一固定位置資料單元及一電腦。

29. 一種方法，其包含：

接收表示一半導體器件之至少一實體性質的設計資訊，該半導體器件包含：

一磁穿隧接面(MTJ)位元晶胞，該MTJ位元晶胞包含：

- 一第一MTJ；及
- 一第二MTJ；及

程式化電路，其經組態以藉由施加一程式信號至該位元晶胞之該第一MTJ及該第二MTJ中之一選定者而在該位元晶胞處產生一不可逆態；

轉換該設計資訊以遵守一檔案晶胞式；及

產生包含該經轉換之設計資訊的一資料檔案。

30. 如請求項29之方法，其中該資料檔案包含一GDSII晶胞式。

31. 如請求項29之方法，其中該資料檔案包含一GERBER晶胞式。

32. 一種方法，其包含：

接收包含對應於一半導體器件之設計資訊的一資料檔案；及

根據該設計資訊來製造該半導體器件，其中該半導體器件包含：

一磁穿隧接面(MTJ)位元晶胞，該MTJ位元晶胞包

括：

一 第一MTJ；

一 第二MTJ；及

程式化電路，其經組態以藉由施加一程式信號至該位元晶胞之該第一MTJ及該第二MTJ中之一選定者而在該位元晶胞處產生一不可逆態。

33. 如請求項32之方法，其中該資料檔案具有一GDSII晶胞式。

34. 如請求項32之方法，其中該資料檔案具有一GERBER晶胞式。

八、圖式：

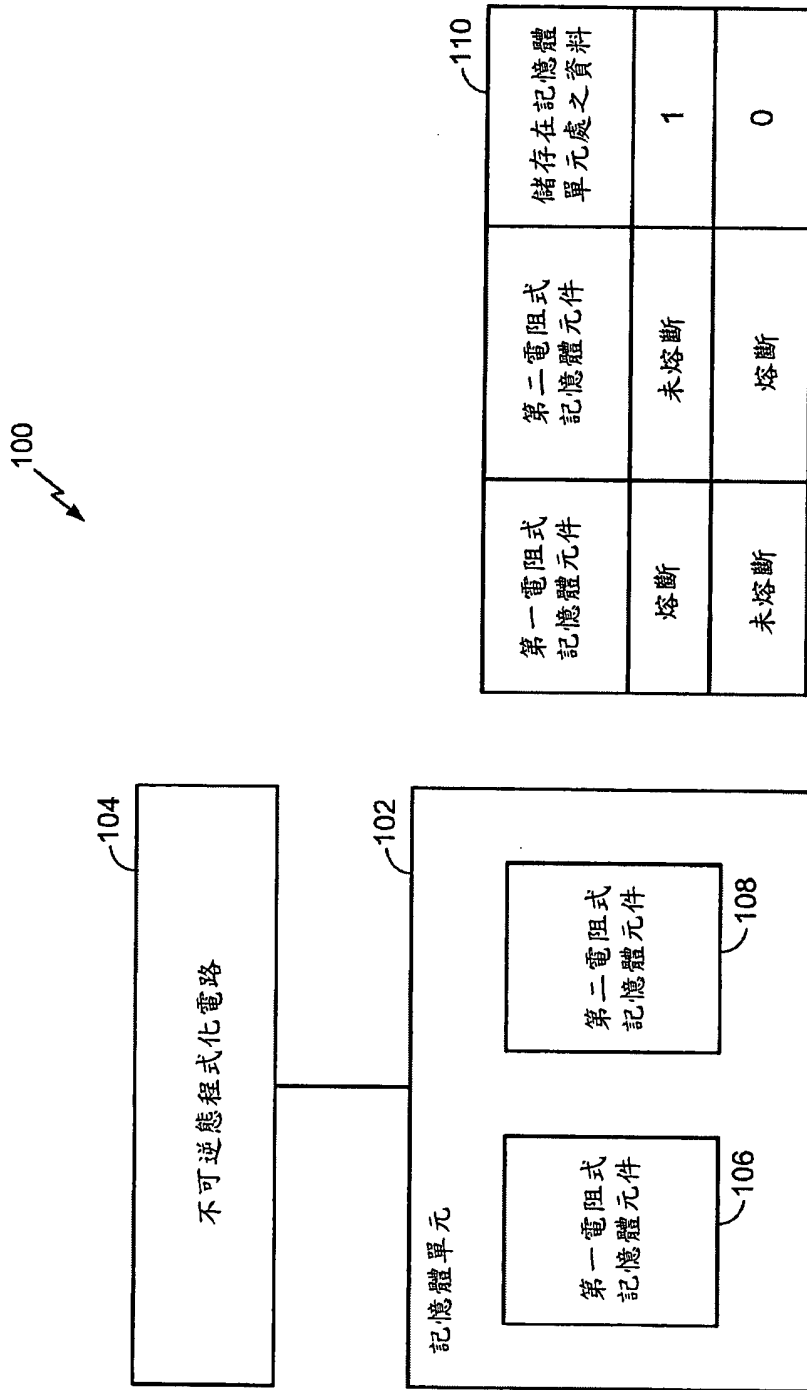


圖1

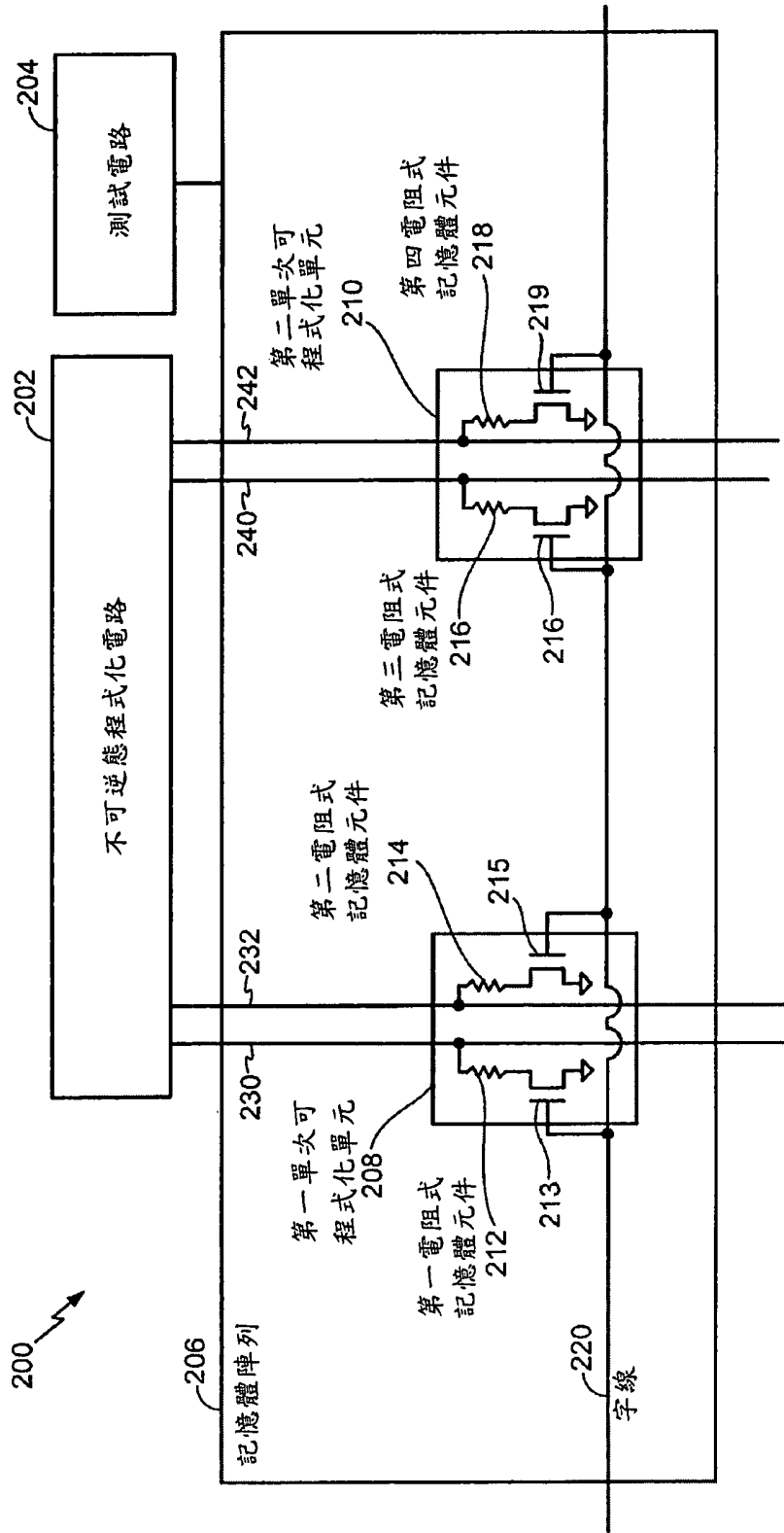


圖2

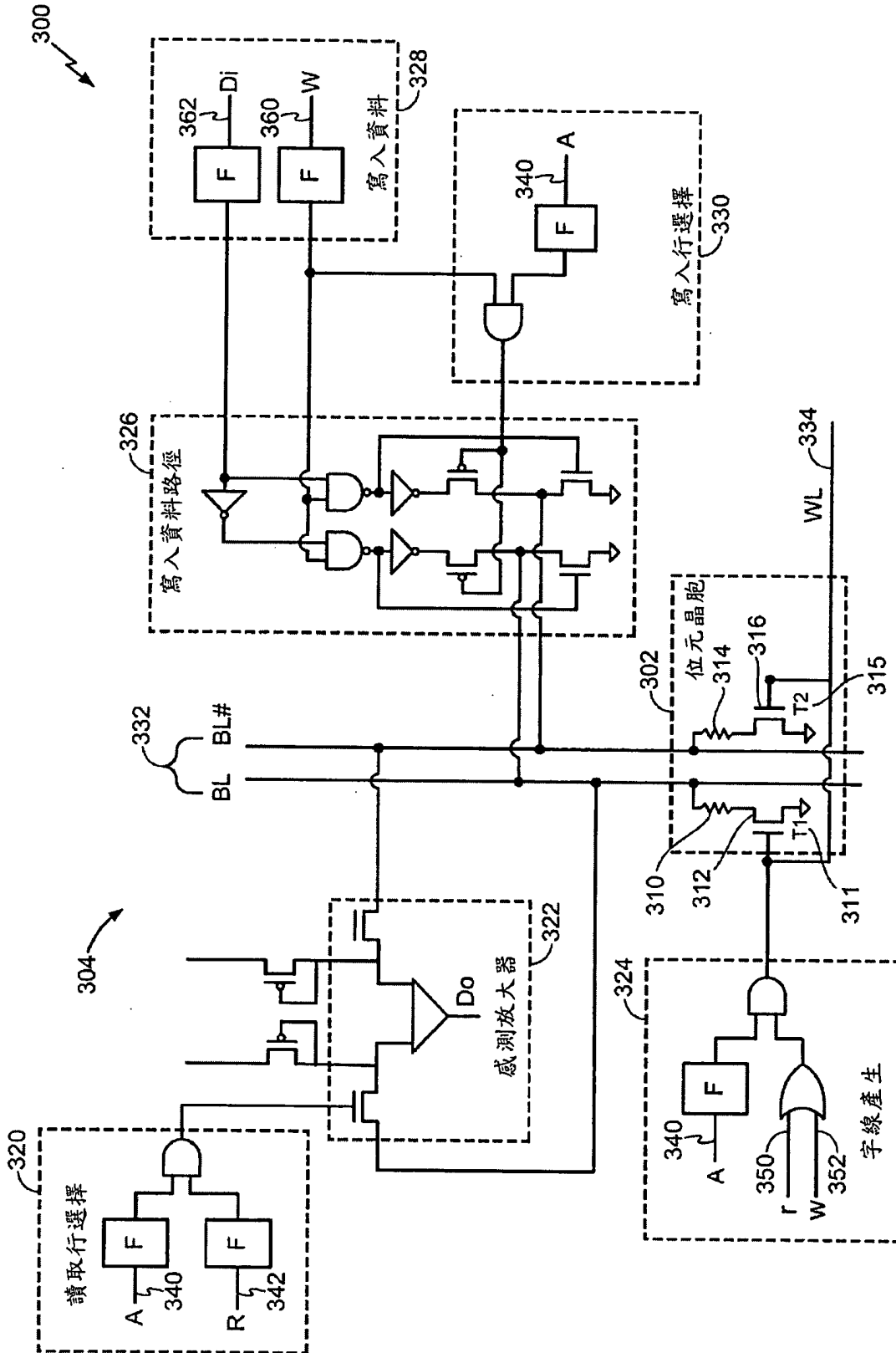


圖3

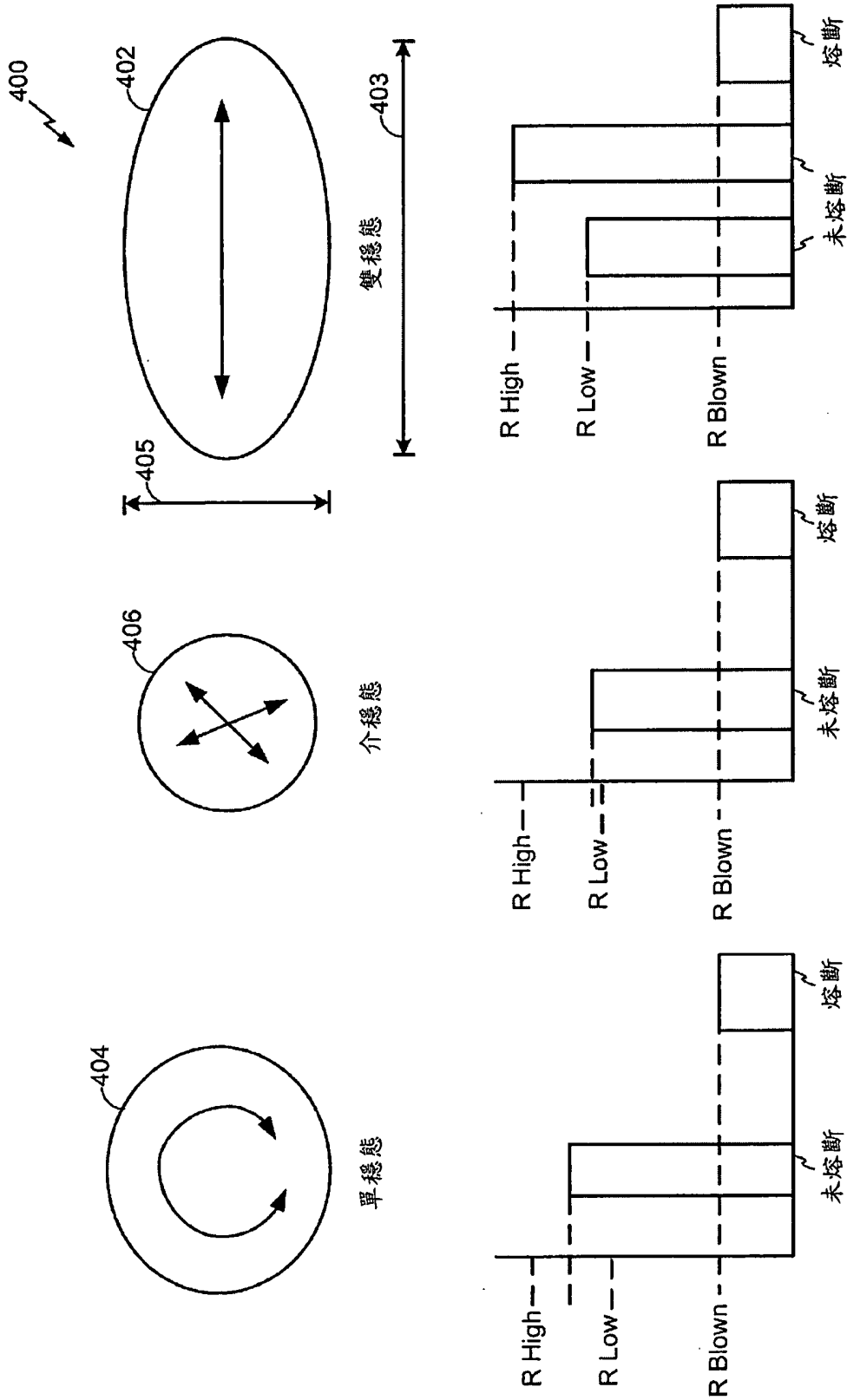


圖4

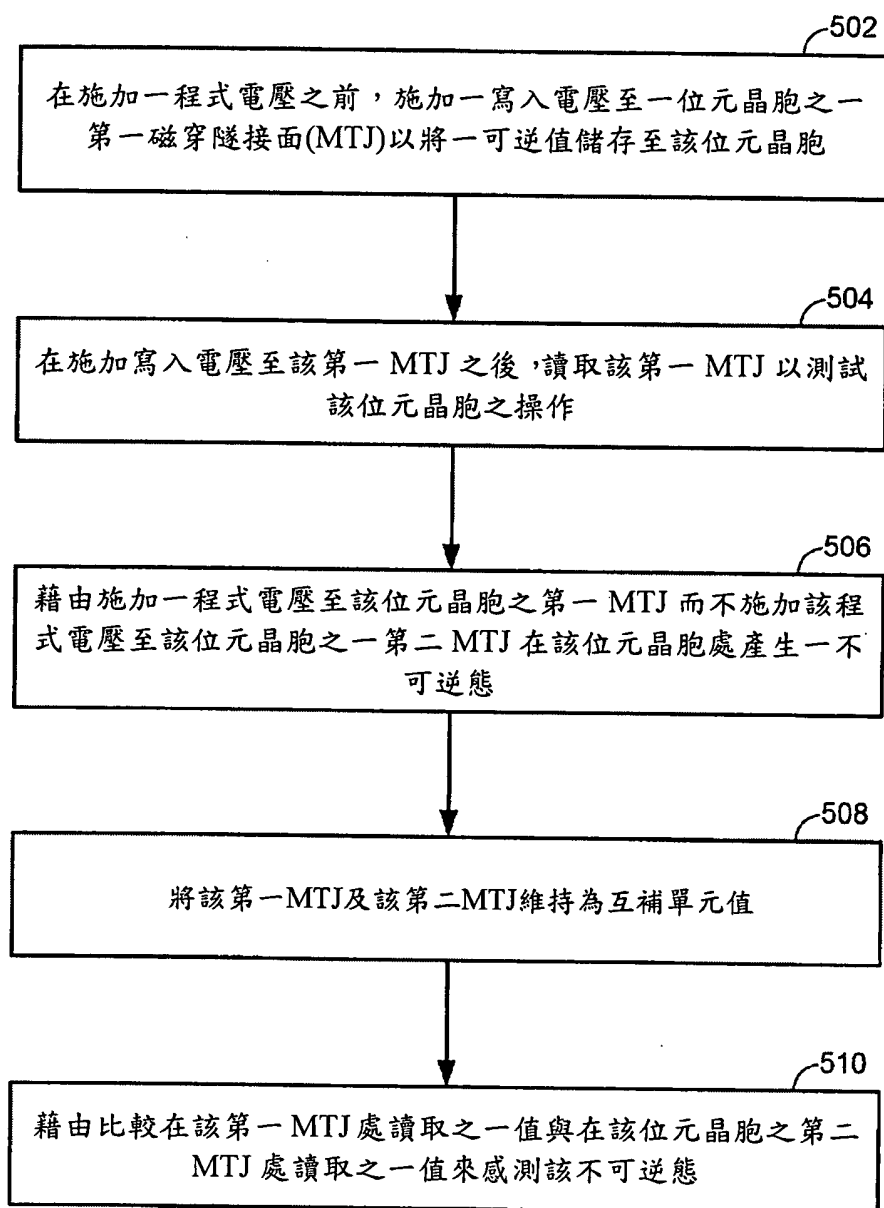


圖5

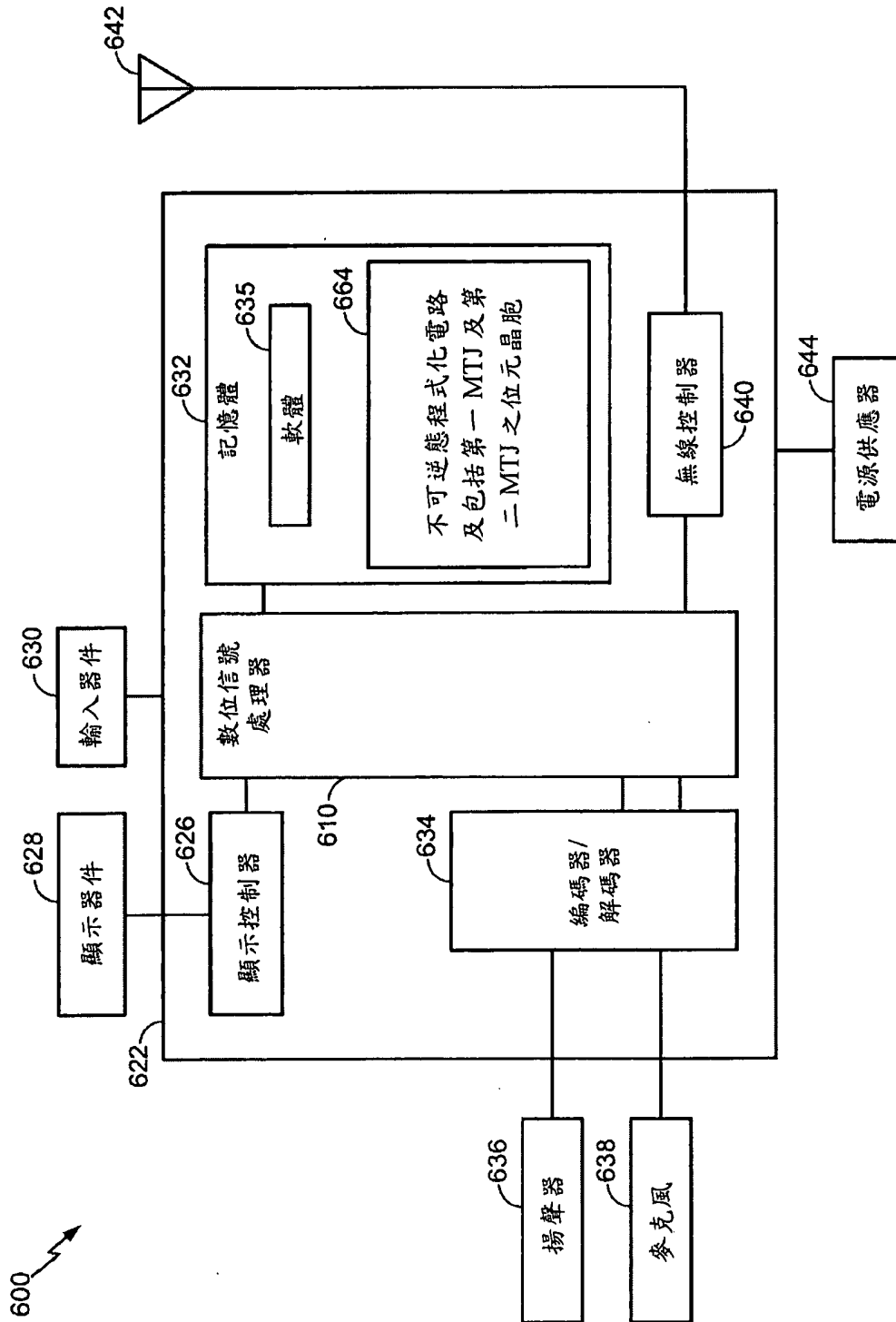


圖 6

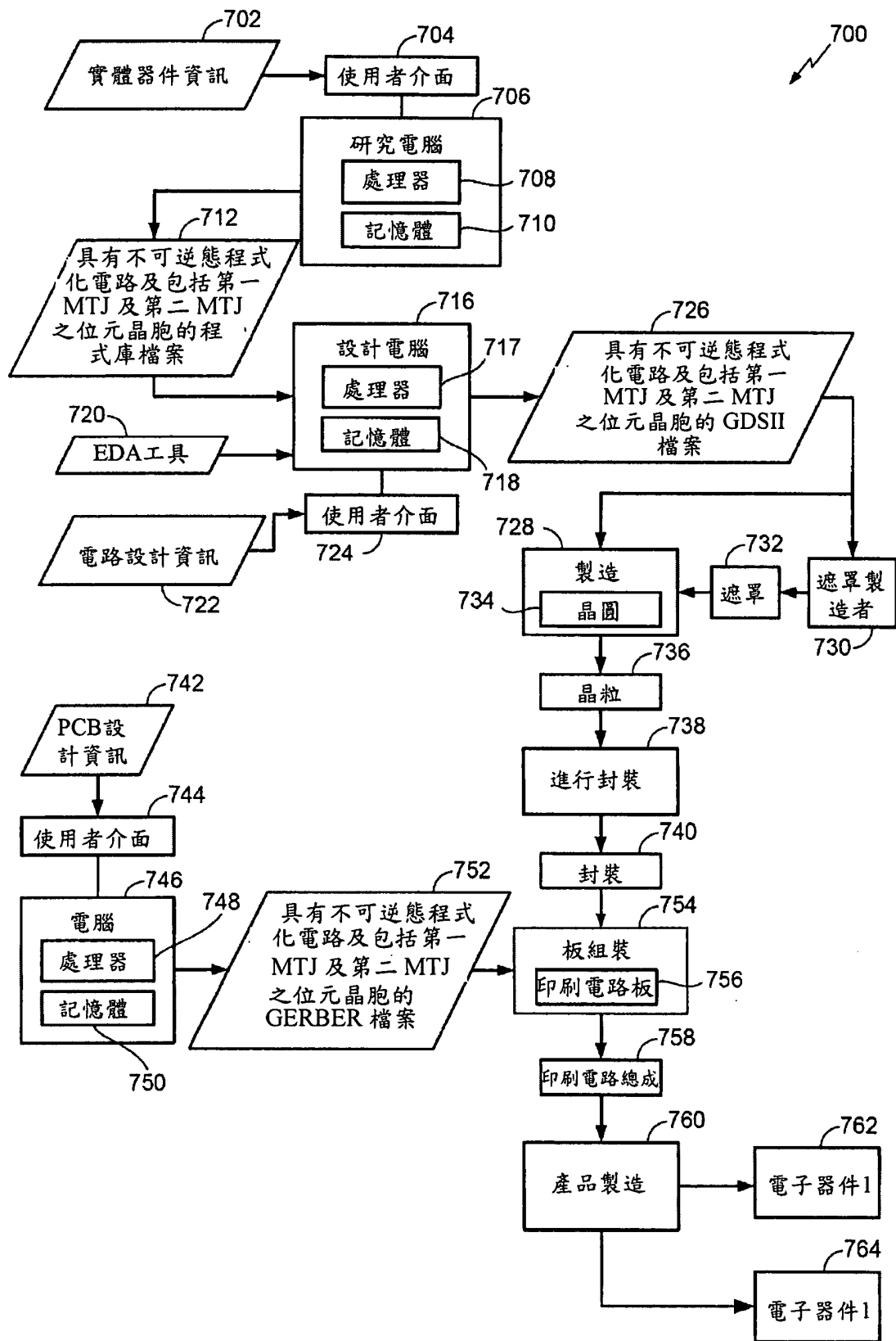


圖7

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	記憶體器件
102	代表性記憶體單元
104	不可逆態程式化電路
106	第一電阻式記憶體元件
108	第二電阻式記憶體元件
110	表

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)