

# 公告本

|      |            |
|------|------------|
| 申請日期 | 91 7 23    |
| 案 號  | 91116337   |
| 類 別  | H01C 21/00 |

A4  
C4

(以上各欄由本局填註)

557477

## 發明專利說明書

|             |               |                                                                                                                                                 |
|-------------|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱  | 中 文           | 電漿灰化方法                                                                                                                                          |
|             | 英 文           | PLASMA ASHING PROCESS                                                                                                                           |
| 二、發明<br>創作人 | 姓 名           | (1)韓 清 源<br>(2)伊凡.貝里<br>(3)帕拉尼.薩克提維<br>(4)卡羅.瓦德費爾德                                                                                              |
|             | 國 籍           | (1)美 國<br>(2)美 國<br>(3)印 度<br>(4)德 國                                                                                                            |
|             | 住、居所          | (1)美國馬里蘭州 21044 哥倫比亞市南風圓環 6522 號<br>(2)美國馬里蘭州 21042 艾利科特市方特山丘道 3716 號<br>(3)美國馬里蘭州 20878 蓋特斯堡西邊道 391 號 203 棟<br>(4)美國維吉尼亞州 22042 瀑布教堂塞瑞巷 3411 號 |
|             |               |                                                                                                                                                 |
| 三、申請人       | 姓 名<br>(名稱)   | 艾克塞利斯科技公司                                                                                                                                       |
|             | 國 籍           | 美 國                                                                                                                                             |
|             | 住、居所<br>(事務所) | 美國麻薩諸塞州 01915 比佛利市櫻桃丘道 55 號                                                                                                                     |
|             | 代 表 人<br>姓 名  | 林內特 C. 法爾隆                                                                                                                                      |

裝

訂

線

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6

B6

本案已向：

美 國 ( 地區 ) 申請專利，申請日期：2001.07.24 案號：09/911,682，☒有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明（1）

### 本發明之技術領域

本發明係概括關於電漿灰化方法，此方法係選擇性地將半導體基材上之光阻、聚合物及殘留物去除。本方法特別是指一種關於電漿灰化半導體基材之處理方法，該等基材包含低K（介電常數）介電質表面。

### 發明背景

灰化係一種以電漿為媒介的清除方法，當基材暴露在電漿中時，藉此方法能清除或移除基材上的光阻、聚合物及／或殘留物。灰化處理一般係在執行完蝕刻處理之後進行，其中光阻材料係作為將圖案蝕刻到基材上所用的光罩。此外，灰化處理可用於移除未對準的光阻圖案（「重製晶圓」）及用於剝離處理。灰化之前所進行的處理步驟可能會改變光阻表面、形成聚合物及／或形成殘留物。吾人亟欲在進行灰化處理時能儘快移除光阻、聚合物及／或殘留物，而不會損失或改變構成基材的任何材料。將損失或改變降到最低始終是一項挑戰。

重要而應注意的是，灰化處理非常不同於蝕刻處理。雖然兩種處理均能以電漿為媒介，但蝕刻處理之顯著差異在於：電漿化學成分係經過選擇，以藉由移除基材表面某些部分並通過光阻罩幕內的開口，而將圖像永久轉移到基材。電漿一般包含在低溫下進行高能離子轟擊，藉以移除基材之某些部分。此外，暴露於離子的基材部分之移除率通常等於或大於光阻罩幕之移除率。對照之下，灰化處理

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(ノ)

一般係指選擇性地移除光阻罩幕，以及移除在蝕刻過程中形成的任何聚合物或殘留物。將固定圖像轉移到位於下層的基材並非此步驟之目的。因此，相較於蝕刻化學成分，灰化電漿化學成分較不具侵蝕性，且灰化電漿化學成分一般會被選擇以遠高於下層基材之移除率的移除率來移除光阻罩幕層。吾人希望能在電漿中產生低能量離子，用於移除光阻、聚合物及／或殘留物，且不會對基材造成損害。再者，大部分的灰化處理會將基材溫度加熱到 200℃ 以上，以增加電漿之反應率。因此，蝕刻與灰化處理係分別針對非常不同的材料進行移除，從而需要完全不同的電漿組成、化學成分及處理方式。成功的灰化處理係根據不影響構成下方基材各層之移除率時的光阻、聚合物及殘留物移除率加以定義。

灰化選擇率之定義為光阻相較於下層之相對移除率。灰化選擇率較佳至少為 50 : 1，其中光阻之移除率比下方基材之移除率快 50 倍。灰化選擇率遠大於 100 : 1 更佳。

在電漿灰化處理過程中，重要的是必須使各式特徵結構之微距維持在嚴密控制的規格範圍內，同時促成適當的下層表面狀態，以便在移除光阻、聚合物及殘留物之後能成功進行金屬填充之處理步驟。在下層內形成的圖案化輪廓之微小偏差會對元件性能、良率和最後形成的積體電路之可靠性等造成不良影響。典型情況下，灰化電漿係由含氧氣體所產生。然而，吾人發現含氧電漿容易破壞高等積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 7 ）

體電路製造商所採用的某些材料。例如，吾人已知含氧電漿會在電漿處理過程中使低介電常數介電下層之介電常數升高。介電常數之升高會伴隨其它因素影響互連電容，而直接影響元件之性能。此外，採用銅金屬層的高等元件製造通常較不適合使用含氧電漿。

爲了克服上述某些問題，無氧電漿化學成分已被開發。無氧電漿能有效移除含有低介電常數介電材料之基材上的光阻、聚合物及殘留物，且不會對低介電常數介電層造成嚴重的實體破壞。無氧電漿通常係由氧氣和氮氣之混合物所形成，混合物中可另包含氟氣。然而，在某些情況下，吾人發現使用含有氮氣的無氧電漿可能會改變及／或影響下層基材之化學、機械及電氣特性。

因此，吾人亟需一種能快速且完全移除光阻、聚合物及殘留物的灰化方法，同時不會影響或移除位於下層表面的材料，其中包括低介電常數介電質表面。

### 發明概要

以下說明用於選擇性地移除半導體基材上之光阻及／或蝕刻後殘留物的灰化方法及裝置。在一實施例中，該灰化方法包含：將一晶圓置入一處理室，其中該晶圓包含一表面，該表面之上具有該光阻及／或蝕刻後殘留物；在一電漿產生區產生一降低離子密度電漿，且壓力至少比該處理室之壓力高 2 托耳；以及將其上具有該光阻及／或蝕刻後殘留物的晶圓表面暴露在該降低離子密度電漿中，藉以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明（4）

選擇性地從該表面上移除該光阻及／或蝕刻後殘留物，並使該表面實質上保持如同暴露在該降低離子密度電漿之前一樣。

在另一實施例中，一種用於降低下游式電漿灰化器內離子密度之方法包含：在一預設壓力下，將一氣體混合物導入一電漿產生區；以及將該氣體混合物暴露在一能量源中，使其足以在該預設壓力下，能於該電漿產生區形成一電漿，其中該預設壓力係被選定用以降低該電漿內的離子密度。上述方法可另包含：將該降低離子密度電漿送入一處理室，其中該預設壓力係被選定用以在該電漿產生區與該處理室之間建立 2 托耳以上的壓力差，且該電漿產生區內的壓力較大。上述方法可另包含：將其上具有一光阻及／或蝕刻後殘留物的表面暴露在該電漿中，藉以選擇性地從該表面上移除該光阻及／或蝕刻後殘留物，其中該表面包含一低介電常數介電材料，且該表面實質上如同暴露在該降低離子密度電漿之前一樣。以較佳情況而言，電漿產生區內的預設壓力範圍係從大於 2 托耳至大氣壓力。

一種下游式電漿灰化器裝置，其包含一處理室；一電漿產生區，該電漿產生區包含一氣體入口、一耦合於該氣體入口之電漿管，以及一排出開口；一導管，其連通於該處理室及該電漿產生區之排出開口，用於將形成於該電漿產生區內的電漿送入該處理室；以及一孔口，其配置在該導管內，其中該孔口使該導管之開口變窄，藉以在該電漿管與該處理室之間建立 2 托耳以上的壓力差，其中該電漿

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 4 )

管內的壓力較大。在一實施例中，上述下游式電漿灰化器包含一微波能量源，其連通於該電漿產生區，用於激發一氣體混合物以形成一降低之離子密度電漿；在另一實施例中，上述下游式電漿灰化器包含一射頻能量源，其連通於該電漿產生區，用於激發一氣體混合物以形成一降低之離子密度電漿。以較佳情況而言，上述孔口包含一可調孔徑，用於調整該電漿產生區內的壓力。

本揭露文件之上述及其它目的、優點和特徵將可經由揭露文件之詳細說明而更加明瞭，其中揭露內容係參照所附圖式予以說明。

### 圖式簡單說明

圖 1 為微波下游式電漿灰化器之剖面圖。

圖 2 為裝設在電漿產生區與處理室之間通道內的孔口之截面圖。

圖 3 係描繪晶圓表面上的相對離子密度，其中相對離子密度為孔口直徑之函數，運用的是  $O_2 / (H_2 / N_2) / CF_4$  電漿。

圖 4 係描繪不同壓力條件下的光放射強度，其中光放射強度為波長之函數。

圖 5 係描繪吸光率在不同操作條件下的傅立葉轉換紅外線分析 (FTIR)，其中吸光率為波長之函數。

### 元件符號說明

|     |     |     |        |
|-----|-----|-----|--------|
| 1 2 | 處理室 | 1 4 | 電漿產生系統 |
|-----|-----|-----|--------|

## 五、發明說明 ( 6 )

|     |       |     |              |
|-----|-------|-----|--------------|
| 1 6 | 通道    | 1 8 | 半導體基材 ( 晶圓 ) |
| 2 0 | 吸盤或接腳 | 2 2 | 電漿管          |
| 2 4 | 磁電管   | 3 0 | 孔口           |

### 較佳實施例之詳細說明

以下說明一種用於有效率地移除半導體基材上之光阻及蝕刻殘留物的改良式電漿灰化方法。吾人已發現，降低基材表面上的電漿密度能促成更健全的方法，其可用於移除光阻及蝕刻後殘留物而不會破壞位於下方的基材。在較有利的情況下，此種電漿灰化方法可在半導體基材上實施—其中包括低介電常數介電質表面，但不以此為限—而且不會破壞低介電常數材料。在一較佳實施例中，增加電漿產生區內的壓力會降低傳送到基材表面上的電漿離子密度。為了增加電漿產生區內的壓力，最好將一或數個窄孔口裝設在電漿產生區與基材處理室之間的開口內。以較佳情況而言，電漿產生區壓力在該區與處理室之間形成約大於 2 托耳的壓力差。

上述方法可在含有電漿源和處理室的電漿灰化器內實施。本揭露內容並不限定於任何特定的電漿灰化器。下游式電漿灰化器係特別適用於實施本揭露內容的電漿灰化器裝置，例如以商標名稱 F u s i o n G E M I N I E S ® 所販售的微波電漿灰化器，其可從位於美國馬里蘭州 R o c k v i l l e 市的 A x c e l i s T e c h n o l o g i e s 公司購得。此種微波電漿灰化器之部分內容

## 五、發明說明 ( 1 )

已描述於美國專利第 5,571,439 號、第 5,498,308 號、第 6,082,374 號、第 5,980,638 號、第 5,961,851 號、第 6,057,645 號、第 6,225,745 號、第 4,341,592 號，以及專利合作協定國際申請案 WO / 97 / 37055 號；在此以引用方式併入上述所有專利及專利申請案之完整內容。根據本揭露內容加以運用的電漿產生及排出裝置包括運用射頻 ( R F ) 能量來產生電漿。熟習此項技術者於參酌本揭露內容後，當能籌思特定電漿灰化器和氣體化學成分的環境及最佳化條件。

在電漿灰化器裝置之操作過程中，單一或多成分氣體混合物會流入電漿產生區，其中氣體會暴露在能量源中以形成電漿。隨後，電漿從電漿產生區經過一或多個開口被送入處理室。處理室內的壓力最好能降至最佳化存留時間，以便在基材表面上獲得最高的反應速率。在正常操作條件下，電漿產生區與處理室之間存在以流入電漿產生區之氣流為函數的壓力差，例如：電漿管、該區與處理室之間的開口以及處理室。以典型情況而言，前述壓力差約為 1 托耳，其中電漿產生區內的壓力大於處理室內的壓力。此關係可以數學方式描述為下列方程式 ( 1 )。

$$(1) \quad P_t = F / C + P_c$$

其中  $P_t$  代表電漿管內的壓力， $F$  為氣流量， $C$  為電

## 五、發明說明 ( 8 )

漿管與處理室之間的傳導係數， $P_c$  則為處理室內的壓力。

本揭露內容係針對增加電漿產生區內的壓力，藉以降低所形成電漿之離子密度含量。電漿產生區內的壓力最好從約 2 托耳至約一大氣壓。大氣壓力界線會隨著氣體組成以及撞擊並維持電漿的能力而改變。以較佳情況而言，電漿產生區內所增加的壓力會在該區與基材處理室之間形成約大於 2 托耳的壓力差。

現請參照各圖式，特別是圖 1；圖中描繪下游式微波電漿灰化器裝置 10。圖示之電漿灰化器裝置 10 概括包含一處理室 12 及一電漿產生系統 14，該電漿產生系統係經由通道 16 連接並連通於處理室 12。

處理室 12 內含半導體基材 18 一即晶圓，且該半導體基材之上有將要進行灰化處理的光阻及／或蝕刻後殘留物。晶圓 18 係由吸盤或接腳 20 所支承，且最好被加熱以加速光阻及／或蝕刻後殘留物與電漿的反應。晶圓上方可設置一或數個導流板（未予以圖示），以促使電漿能均勻散佈。在使用過程中，處理室 12 內的壓力會降低。以較佳情況而言，處理室 12 內的壓力係維持在約 1 托耳至約 7 托耳。上述壓力維持在約 1 托耳至約 3 托耳之間更佳。

電漿產生系統 14 係將電漿供應到處理室 12 之內部。氣箱（未予以圖示）係控制氣體通入電漿產生系統 14 的流量。一旦氣體通入電漿產生系統 14 後，該氣體會暴

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 9 )

露在可被激發的能量源中。舉例而言，微波能量可由磁電管 2 4 產生，藉以使氣體離子化，並在電漿管 2 2 內形成電漿。此範例所示之通道 1 6 於以下將稱作「無孔口」結構。電漿灰化器之操作一般會造成電漿管 2 2 內的操作壓力比處理室 1 2 內的操作壓力高出約 1 托耳。

現請參照圖 2 A 及圖 2 B，在一較佳實施例中，孔口 3 0 被裝設在電漿產生區 1 4 與處理室 1 2 之間的通道 1 6 內。孔口 3 0 適配於使通道 1 6 之開口變窄，藉以增加電漿管 2 2 內的壓力。孔口 3 0 最好由具熱穩定性及非反應性材料所製成。孔口 3 0 最好由石英或氧化鋁所製成。孔口 3 0 會降低電漿管與處理室之間的傳導性，因而電漿管 2 2 內的壓力會隨著通入電漿管的氣流率成正比增加。以較佳情況而言，孔口 3 0 為可調孔口，其中操作人員可在外部藉由調整該可調孔口之大小來控制電漿管 2 2 內的壓力。舉例而言，可調孔口可由運用照相機所使用的硬質快門元件設計所構成。熟習此項技術者當能瞭解，上述孔口、可調孔口或直徑固定的孔口能適用於任何形狀、尺寸或結構，以增加電漿管 2 2 內的操作壓力。

在一較佳實施例中，前述孔口係配置於通道 1 6 內，藉以在處理室 1 2 與電漿產生區 1 4 之間形成至少 2 托耳的壓力差，其中電漿產生區內的壓力大於處理室內的壓力。電漿管 2 2 內所形成的壓力最好從約 2 托耳至約一大氣壓。大氣壓力界線會隨著氣體組成以及撞擊並維持電漿的能力而改變。儘管不欲受限於理論，吾人咸信藉由增加電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

漿產生區 14 — 例如電漿管 22 — 內的壓力，離子密度會隨平均自由路徑縮減之函數而降低。吾人咸信，氣體平均自由路徑之縮減會增加離子與氣體分子或正在進行電荷交換的表面發生碰撞之機會，從而降低離子密度。

一般而言，光阻為將圖像轉移到下層基材所使用的有機感光性薄膜。本揭露內容大致上係能應用於灰化清除使用於 *g-line*、*i-line*、深紫外光、193 nm 及 157 nm 等應用或類似者之上的光阻及蝕刻殘留物。此包括 *novolak*、聚乙烯酚、丙烯酸酯、乙縮醛、聚亞醯胺、酮縮醇、環烯烴或相似物，但不以上述為限。熟習此項技術者於參酌本揭露內容後，當能得知其它適用於本揭露內容的光阻化學組成。光阻可為正作用光阻或負作用光阻，其取決於光阻化學成分及所選擇的顯影劑而定。

高等半導體製造係運用絕緣層，其通常包括使用介電常數小於約 3.0 的低介電常數材料。採用降低離子密度電漿的方法可加以運用，而不破壞或改變低介電常數表面之特性。重要的低介電常數薄膜特性包括：厚度和均勻度、介電常數、折射率、黏著性、抗化學特性、熱穩定性、微孔大小和分佈、熱膨脹係數、玻璃轉移溫度、薄膜應力及銅擴散係數等。低介電常數介電質可概括區分為下列三種類型之一：有機、多孔性和經過摻雜的氧化物。有機低介電常數介電材料包括聚亞醯胺、苯並環丁烯、聚對苯二甲烯及氟碳聚合物。旋塗芳香碳氫化物係可購得的有機介電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

質，其以商標名稱 S I L K®購自 D o w C h e m i c a l 公司。S I L K®不含氟或矽，其介電常數被標示為 2.6 至 2.8。多孔低介電常數材料的例子包括奈米玻璃和氣凝膠。摻雜氧化物之低介電常數材料的例子包括摻雜氫的氧化物一例如氫化倍半氧矽烷 ( H S Q )，摻雜符的氧化物一例如氟玻璃 ( F S G )，以及摻雜碳的氧化物一例如以商標名稱 C O R A L®所販售者。旋塗氫化倍半氧矽烷可從 D o w C o r n i n g 公司購得，其商標名稱爲 F O x®。根據標示，F O x®之介電常數為 2.6 至 3.0。含有介電質的合成碳可購自以 H O S P®為商標名稱之產品。其它例子尚包括固膠和甲基倍半氧矽烷 ( M S Q )。熟習此項技術者於參酌本揭露文件後，當能得知其它低介電常數介電材料。

圖 3 係描繪晶圓表面上的相對離子電漿密度，其中相對離子電漿密度為孔口 30 之直徑的函數。將孔口直徑縮減到小於約 0.4 英吋，會使電漿管 22 內的反向壓力增加到足以大幅降低晶圓表面上的電漿離子密度。在此特定實施例中，電漿係由氧氣、形成氣體和微量 C F 4 之混合所產生。可以預期的是，其它氣體化學成分將能對孔口直徑的縮減做出回應而產生類似結果。因此，上述方法適用於無氧電漿、含氧電漿、氟電漿及類似電漿，例如授予 H a n 等人之申請中的美國專利申請案第 09 / 368,553 號及第 09 / 434,617 號所揭露之氣體化學成分；在此以引用方式併入上述兩案之完整內容。

## 五、發明說明 (1/2)

現請參照圖 4，圖中顯示以無氧電漿所產生的反應性物種之光放射強度圖像表示，其中光放射強度為波長之函數。上述無氧電漿係由含有氟化物及形成氣體的氣體混合物所產生。形成氣體係一種氣體混合物，其實質上包含氫氣及氮氣。熟習此項技術者均知使用氣體混合物內的形成氣體來產生具特徵的 C N 放射訊號。在通道 1 6 內設置有孔口 7 0 的電漿灰化器所產生的電漿被監測其光放射強度，且未設置孔口的電漿灰化器一例如「無孔口」結構一所產生的電漿亦被監測其光放射強度。具有孔口 3 0 的電漿灰化器結構在電漿管 2 2 與處理室 1 2 之間形成約 6 托耳的壓力差，其在 6 9 5 n m、7 1 1 n m 和 7 9 0 n m 等波長上產生弱放射訊號。在「無孔口」結構中，頻譜在 3 8 7 n m 波長處顯現尖銳的放射線，並在 5 0 0 至 8 0 0 n m 波長範圍呈現若干較小的放射訊號尖峰。因此，此資料顯示出降低離子密度電漿內所產生的離子和原子團之重新分佈。

圖 5 係圖示暴露在無氧電漿之前與之後的低介電常數表面之傅立葉轉換紅外光譜分析 (F T I R)。將低介電常數表面暴露在未設置孔口的電漿灰化器所產生的電漿中，會致使在波數 2 2 6 0 c m<sup>-1</sup> 上的 S I - H 延展模式縮減或完全喪失，並造成在波數 1 4 3 0 c m<sup>-1</sup> 上的雙極延展模式吸光率之強度明顯增加。在上述情況下，處理室 1 2 與電漿管 2 2 之間會存在約 1 托耳的壓力差。對照之下，運用孔口 3 0 來增加電漿管 2 2 內的反向壓力以形成超

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (17)

過約 6 托耳的壓力差，將產生一種不會破壞低介電常數表面的電漿。增加的壓力會降低電漿離子密度，且低介電常數表面之傅立葉轉換紅外光譜分析意外地呈現：相較於控制組一即未經處理的低介電常數表面，該表面並未改變。

上述關於本發明之較佳實施例的詳細說明僅用以例示及說明。上述說明並非特意構成徹底之說明內容，或特意將本揭露內容限制在所揭露的確切形式。參酌上述教示內容當能進行明顯的修飾或變更。該等實施例係被選擇及說明，期以最佳方式呈現本揭露內容之原理及其實際應用，並讓熟習此項技術者能在各式實施例及為籌思特之運用所進行的各式修改中運用本揭露內容。所有上述修飾及變更均為本揭露內容之範圍所涵蓋；當根據公平、合法及公正原則來解讀後附申請專利範圍被賦予的權力範圍時，此範圍即由後附申請專利範圍予以界定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

)

電漿灰化方法

一種用於選擇性地移除半導體基材上之光阻及／或蝕刻後殘留物的方法及裝置，其包含：在一電漿產生區產生一降低離子密度的電漿，且壓力至少比該處理室之壓力高2托耳；以及將其上有該光阻及／或蝕刻後殘留物的晶圓基材暴露在該降低離子密度電漿中，藉以選擇性地從表面上移除該光阻及／或蝕刻後殘留物，並使該表面實質上保持如同暴露在該降低離子密度電漿之前一樣。

英文發明摘要（發明之名稱：PLASMA ASHING PROCESS

)

A plasma ashing process and apparatus for selectively ashing photoresist and/or post etch residues from a semiconductor substrate includes generating a reduced ion density plasma in a plasma generation region at a pressure of at least 2 torr greater than the processing chamber pressure; and exposing the wafer surface having the photoresist and/or post etch residues thereon to the reduced ion density plasma to selectively remove the photoresist and /or post etch residues from the surface and leave the surface substantially the same as before exposing the substrate to the reduced ion density plasma.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1.一種用於選擇性地移除半導體基材上之光阻及／或蝕刻後殘留物的電漿灰化方法，該電漿灰化方法包含：

將一晶圓置入一處理室，其中該晶圓包含一表面，該表面之上具有該光阻及／或蝕刻後殘留物；

在一電漿產生區中產生一降低之離子密度的電漿，且壓力至少比該處理室之壓力高2托耳；以及

將其上有該光阻及／或蝕刻後殘留物的晶圓基材暴露在該降低之離子密度電漿中，藉以選擇性地從表面上移除該光阻及／或蝕刻後殘留物，並使該表面實質上保持如同暴露在該降低離子密度電漿之前一樣。

2.如申請專利範圍第1項之電漿灰化方法，其中該電漿產生區內之壓力範圍係從大於2托耳至約大氣壓力。

3.如申請專利範圍第1項之電漿灰化方法，其中該表面包含一低介電常數介電材料，其中暴露在該降低離子密度電漿之後，該低介電常數介電材料實質上如同將該基材暴露在該降低離子密度電漿之前一樣。

4.如申請專利範圍第3項之電漿灰化方法，其中該低介電常數介電材料之介電常數小於3.0。

5.如申請專利範圍第1項之電漿灰化方法，其中該電漿產生區包含一氣體入口、一耦合於該氣體入口之電漿管、一排出開口，以及一能量源，該能量源係用於激發該電漿管內之一氣體混合物以形成該電漿。

6.如申請專利範圍第1項之電漿灰化方法，其中產生該降低離子密度電漿之步驟包含將一可激發氣體混合物暴

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

露在一微波能量源中。

7.如申請專利範圍第1項之電漿灰化方法，其中產生該降低離子密度電漿之步驟包含將一可激發氣體混合物暴露在一射頻能量源中。

8.一種用於降低下游式電漿灰化器內離子密度之方法，該方法包含：

在一預設壓力下，將一氣體混合物導入一電漿產生區；以及

將該氣體混合物暴露在一能量源，使其足以在該預設壓力下，能於該電漿產生區形成一電漿，其中該預設壓力係被選定用以降低該電漿內的離子密度。

9.如申請專利範圍第8項之方法，其另包含：將該降低離子密度電漿送入一處理室，其中該預設壓力係被選定用以在該電漿產生區與該處理室之間建立2托耳以上的壓力差，且該電漿產生區內的壓力較大。

10.如申請專利範圍第8項之方法，其另包含：將其上具有一光阻及／或蝕刻後殘留物的表面暴露在該電漿中，藉以選擇性地從該表面上移除該光阻及／或蝕刻後殘留物，其中該表面包含一低介電常數介電材料，且該表面實質上如同暴露在該降低離子密度電漿之前一樣。

11.如申請專利範圍第8項之方法，其中該電漿產生區內的預設壓力範圍係從大於2托耳至大氣壓力。

12.一種下游式電漿灰化器，其包含：

一處理室；

## 六、申請專利範圍

一電漿產生區，該電漿產生區包含一氣體入口、一耦合於該氣體入口之電漿管，以及一排出孔；

一導管，其連通於該處理室及該電漿產生區之排出孔，用於將形成於該電漿產生區內的電漿送入該處理室；以及

一孔口，其配置在該導管內，其中該孔口使該導管之開口變窄，藉以在該電漿管與該處理室之間建立 2 托耳以上的壓力差，其中該電漿管內的壓力較大。

1 3 .如申請專利範圍第 1 2 項之電漿灰化器，其另包含一微波能量源，該微波能量源連通於該電漿產生區，用於激發一氣體混合物以形成一降低離子密度電漿。

1 4 .如申請專利範圍第 1 2 項之電漿灰化器，其另包含一射頻能量源，該射頻能量源連通於該電漿產生區，用於激發一氣體混合物以形成一降低離子密度電漿。

1 5 .如申請專利範圍第 1 2 項之電漿灰化器，其中該孔口包含一可調孔徑，用於調整該電漿產生區內的壓力。

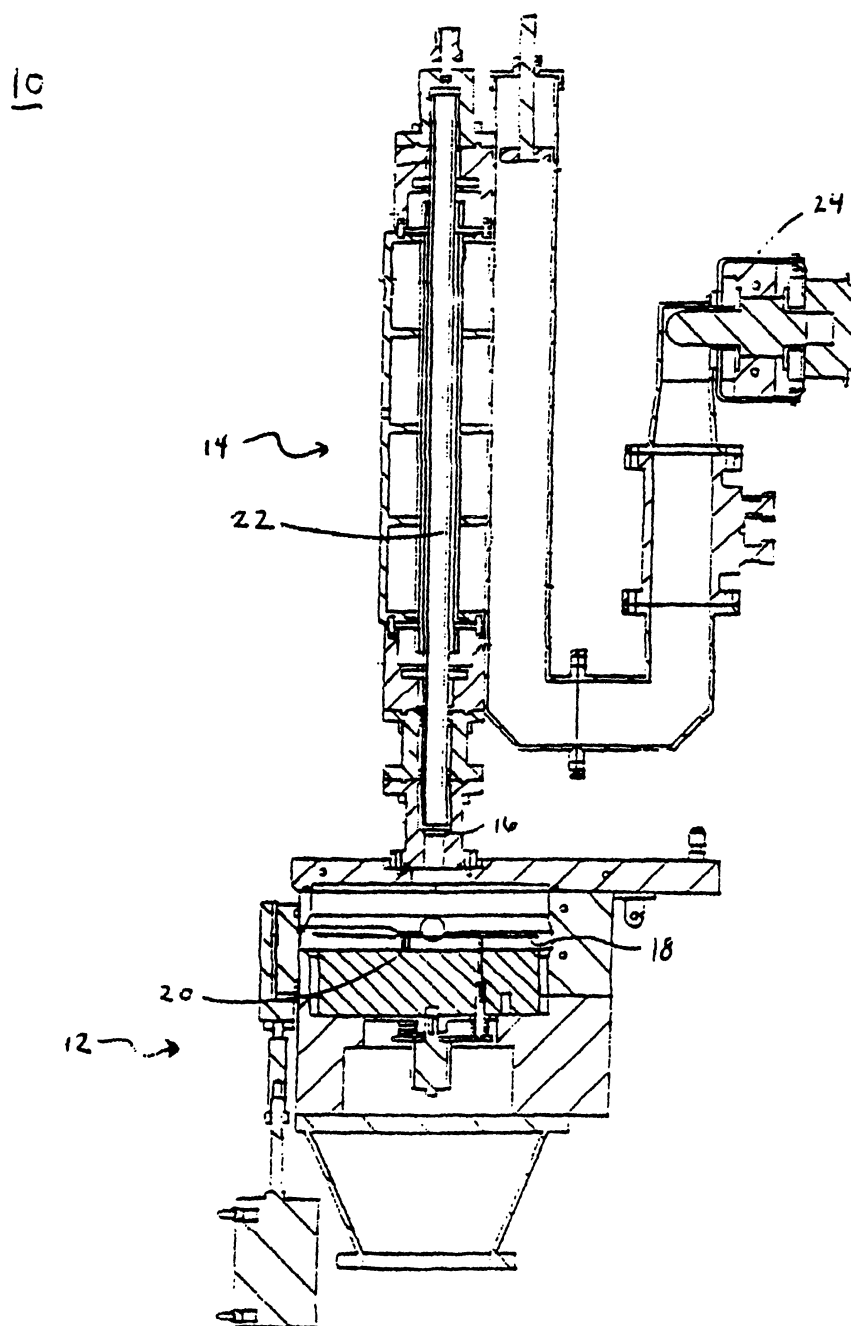


圖 1

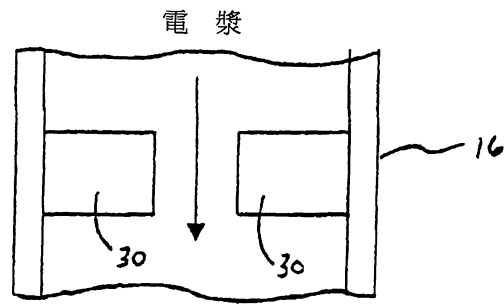


圖 2A

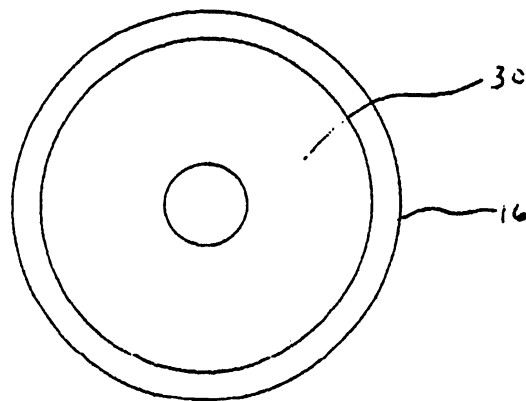


圖 2B

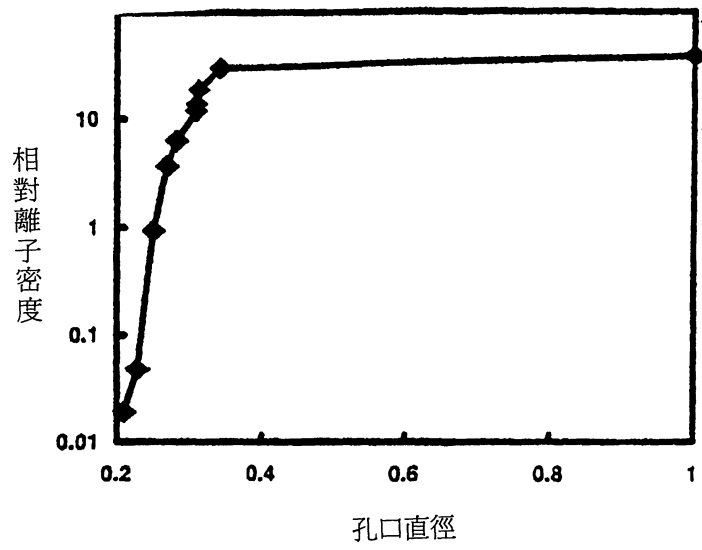


圖 3

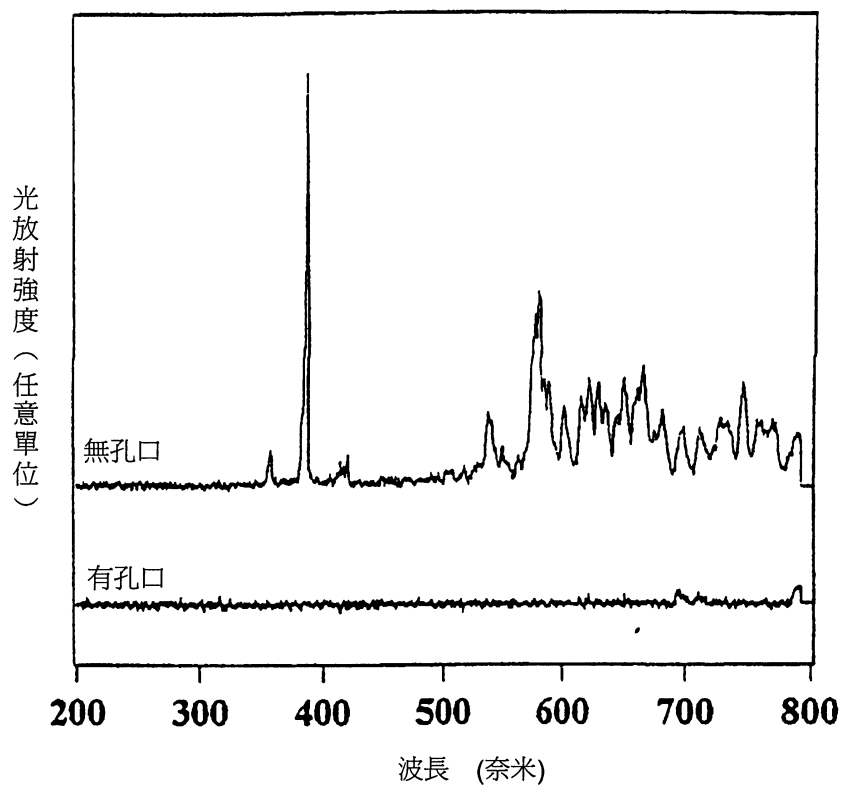


圖 4

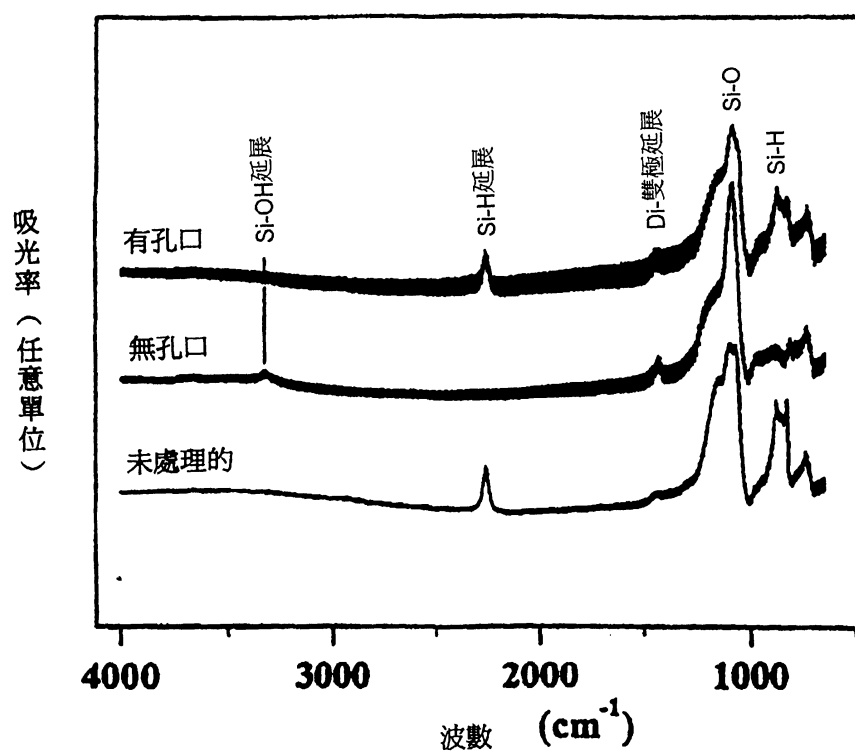


圖 5