

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4324732号
(P4324732)

(45) 発行日 平成21年9月2日(2009.9.2)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl. F I
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 Z
 H O 1 L 23/12 F

請求項の数 8 (全 19 頁)

(21) 出願番号 特願2003-398540 (P2003-398540)
 (22) 出願日 平成15年11月28日(2003.11.28)
 (65) 公開番号 特開2005-159199 (P2005-159199A)
 (43) 公開日 平成17年6月16日(2005.6.16)
 審査請求日 平成18年11月14日(2006.11.14)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 三原 一郎
 東京都青梅市今井3丁目10番地6
 カシオ計算機株式会
 社青梅事業所内
 審査官 石野 忠志

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

上面に端子が露出され前記端子間に絶縁層が設けられた集合配線板を有し、

各々が半導体基板および該半導体基板上に設けられた複数の外部接続用電極を有する複数の半導体構成体と前記各半導体構成体に対応する部分に開口部を有する前記集合配線板とを、前記集合配線板の各開口部内に前記半導体構成体が配置されるようにベース部材上に配置する工程と、

前記半導体構成体および前記集合配線板上に、接続パッド部を有する少なくとも1層の上層配線を前記半導体構成体の外部接続用電極および前記配線板に電氣的に接続させて形成する工程と、

前記半導体構成体間における前記ベース部材および前記集合配線板を少なくとも切断して前記半導体構成体が少なくとも1つ含まれる半導体装置を複数個得る工程と、

を有し、

前記集合配線板および前記半導体構成体の上面に上層絶縁膜を配置し、加熱加圧板により前記上層絶縁膜を加熱加圧する工程を含む

ことを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の発明において、前記集合配線板の各開口部内に前記半導体構成体を配置する工程は、前記集合配線板の各開口部と前記各半導体構成体との間に隙間が形成されるように配置し、前記隙間に充填材を充填する工程を含むことを特徴とする半導体装置の

製造方法。

【請求項 3】

請求項 1 に記載の発明において、前記最上層の上層配線の接続パッド部の少なくとも一部を前記集合配線板上に配置することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 に記載の発明において、前記ベース部材はプリプレグ材からなることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 に記載の発明において、前記集合配線板は多層配線板からなることを特徴とする半導体装置の製造方法。

10

【請求項 6】

請求項 1 に記載の発明において、前記切断は、前記半導体構成体が複数個含まれるように切断することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 に記載の発明において、前記半導体構成体の前記ベース部材上への配置は、切断前の前記集合配線板の開口部の周囲における配線形成部が良品と判定された部分に対応する位置にのみ配置することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の発明において、切断前の前記集合配線板の開口部のうち、前記半導体構成体が配置されない開口部内に充填材を充填することを特徴とする半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、携帯電話に代表されるような携帯型電子機器の小型化に相俟って C S P (chip size package) と呼ばれる半導体装置が開発されている。この C S P は、複数の外部接続用の接続パッドが形成されたベアの半導体装置の上面にパッシベーション膜 (中間絶縁膜) を設け、このパッシベーション膜の各接続パッドの対応部に開口部を形成し、該開口部を介して各接続パッドに接続される配線を形成し、各配線他端部側に柱状の外部接続用電極を形成するとともに、各外部接続用電極間に封止材を充填したものである。

30

【0003】

このような、C S P によれば、各柱状の外部接続用電極上に半田ボールを形成しておくことにより、接続端子を有する回路基板にフェースダウン方式でボンディングすることができ、実装面積をほぼベアの半導体装置と同一のサイズとすることが可能となるので、従来のワイヤーボンディング等を用いたフェースアップ方式のボンディング方法に比し、電子機器を大幅に小型化することが可能である。

【0004】

40

このような、C S P において、生産性を高めるために、ウエハ状態の半導体基板にパッシベーション膜、配線、外部接続用電極、および封止材を形成し、さらに、封止材で覆われずに露出された外部接続用電極の上面に半田ボールを設けた後、ダイシングラインで切断するようにしたものがある (例えば、特許文献 1 参照)。

【0005】

【特許文献 1】特開 2001 - 168128 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、上記従来の半導体装置では、集積化が進むに従って、外部接続用電極の数が

50

増加すると、次のような問題があった。すなわち、上述した如く、CSPは、ペアーの半導体装置の上面に外部接続用電極を配列するので、通常は、マトリクス状に配列するのであるが、そのために、外部接続用電極数の多い半導体装置の場合には、外部接続用電極のサイズおよびピッチが極端に小さくなってしまふ欠点を有しており、このため、ペアーの半導体装置のサイズの割に外部接続用電極が多いものには適用できないものであった。

【0007】

すなわち、外部接続用電極のサイズおよびピッチが極端に小さくなれば、回路基板との位置合わせが困難であるばかりでなく、接合強度が不足する、ボンディング時に電極間の短絡が発生する、通常はシリコン基板からなる半導体基板と回路基板の線膨張係数の差に起因して発生する応力により外部接続用電極が破壊される等の致命的な問題が発生するのである。

10

【0008】

また、上記従来の半導体装置では、上述の如く、回路基板にフェースダウン方式でボンディングすることができ、実装面積をほぼペアーの半導体装置と同一のサイズとすることが可能となるので、従来のワイヤーボンディング等を用いたフェースアップ方式のボンディング方法に比し、電子機器を大幅に小型化することが可能であるが、それでも小型化に限界があった。

【0009】

すなわち、回路基板に他の必要な電子部品、例えば、他の半導体装置、コンデンサや抵抗等のチップ部品を搭載し、これらの電子部品に上記従来の半導体装置を接続すると、これらが平面的に配置されるため、小型化に限界があった。また、平面的に配置される関係から、配線長が増大し、インピーダンス（浮遊容量等）の増加等の問題が生じ、回路特性が劣化することがあった。

20

【0010】

そこで、この発明は、外部接続用電極の数が増加しても、そのサイズおよびピッチを必要な大きさにすることが可能となり、且つ、電子機器のより一層の小型化が可能で、配線長を最短として回路特性劣化を抑制することが可能となる新規な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

請求項1に記載の発明は、上面に端子が露出され前記端子間に絶縁層が設けられた集合配線板を有し、各々が半導体基板および該半導体基板上に設けられた複数の外部接続用電極を有する複数の半導体構成体と前記各半導体構成体に対応する部分に開口部を有する前記集合配線板とを、前記集合配線板の各開口部内に前記半導体構成体が配置されるようにベース部材上に配置する工程と、前記半導体構成体および前記集合配線板上に、接続パッド部を有する少なくとも1層の上層配線を前記半導体構成体の外部接続用電極および前記配線板に電気的に接続させて形成する工程と、前記半導体構成体間における前記ベース部材および前記集合配線板を少なくとも切断して前記半導体構成体が少なくとも1つ含まれる半導体装置を複数個得る工程と、を有し、前記集合配線板および前記半導体構成体の上面に上層絶縁膜を配置し、加熱加圧板により前記上層絶縁膜を加熱加圧する工程を含むことを特徴とするものである。

30

40

請求項2に記載の発明は、請求項1に記載の発明において、前記集合配線板の各開口部内に前記半導体構成体を配置する工程は、前記集合配線板の各開口部と前記各半導体構成体との間に隙間が形成されるように配置し、前記隙間に充填材を充填する工程を含むことを特徴とするものである。

請求項3に記載の発明は、請求項1に記載の発明において、前記最上層の上層配線の接続パッド部の少なくとも一部を前記集合配線板上に配置することを特徴とするものである。

請求項4に記載の発明は、請求項1に記載の発明において、前記ベース部材はプリプレグ材からなることを特徴とするものである。

50

請求項 5 に記載の発明は、請求項 1 に記載の発明において、前記集合配線板は多層配線板からなることを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 に記載の発明において、前記切断は、前記半導体構成体が複数個含まれるように切断することを特徴とするものである。

請求項 7 に記載の発明は、請求項 1 に記載の発明において、前記半導体構成体の前記ベース部材上への配置は、切断前の前記集合配線板の開口部の周囲における配線形成部が良品と判定された部分に対応する位置にのみ配置することを特徴とするものである。

請求項 8 に記載の発明は、請求項 7 に記載の発明において、切断前の前記集合配線板の開口部のうち、前記半導体構成体が配置されない開口部内に充填材を充填することを特徴とするものである。

10

【発明の効果】

【0012】

この発明によれば、半導体構成体の周囲におけるベース部材上に配線板を設けているので、配線板上に最上層の上層配線の少なくとも一部の接続パッドを配置するようにして、最上層の上層配線の接続パッド部（外部接続用電極）の数が増加しても、そのサイズおよびピッチを必要な大きさにすることが可能となる。また、ベース部材下に少なくとも 1 層の下層配線を配線板に電気的に接続させて設けているので、最下層の下層配線に電子部品を接続させて搭載するようにして、電子機器のより一層の小型化が可能で、且つ、配線長を最短として回路特性を向上させることが可能となる。

【発明を実施するための最良の形態】

20

【0013】

（第 1 実施形態）

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示す。この半導体装置は平面形状のベース板（ベース部材）1 を備えている。ベース板 1 は、通常、プリプレグ材と言われるもので、例えば、ガラス繊維やアラミド繊維等からなる基材にエポキシ系樹脂等の熱硬化性樹脂を含浸させたものからなっている。

【0014】

ベース板 1 の上面には、ベース板 1 のサイズよりもある程度小さいサイズの平面形状の半導体構成体 2 の下面が固着されている。この場合、半導体構成体 2 は、後述する配線、柱状電極、封止膜を有しており、一般的には CSP (chip size package) と呼ばれるものであり、特に、後述の如く、シリコンウエハ上に配線、柱状電極、封止膜を形成した後、ダイシングにより個々の半導体構成体 2 を得る方法を採用しているため、特に、ウエハレベル CSP (W - CSP) とも言われている。以下に、半導体構成体 2 の構成について説明する。

30

【0015】

半導体構成体 2 は平面形状のシリコン基板（半導体基板）3 を備えている。シリコン基板 3 の下面はベース板 1 に固着されている。シリコン基板 3 の上面中央部には所定の機能の集積回路（図示せず）が設けられ、上面周辺部にはアルミニウム系金属等からなる複数の接続パッド 4 が集積回路に接続されて設けられている。

【0016】

40

接続パッド 4 の中央部を除くシリコン基板 3 の上面には酸化シリコン等からなる絶縁膜 5 が設けられ、接続パッド 4 の中央部は絶縁膜 5 に設けられた開口部 6 を介して露出されている。絶縁膜 5 の上面にはエポキシ系樹脂やポリイミド系樹脂等からなる保護膜（絶縁膜）7 が設けられている。この場合、絶縁膜 5 の開口部 6 に対応する部分における保護膜 7 には開口部 8 が設けられている。

【0017】

保護膜 7 の上面には銅等からなる下地金属層 9 が設けられている。下地金属層 9 の上面全体には銅からなる配線 10 が設けられている。下地金属層 9 を含む配線 10 の一端部は、両開口部 6、8 を介して接続パッド 4 に接続されている。配線 10 の接続パッド部上面には銅からなる柱状電極 11 が設けられている。配線 10 を含む保護膜 7 の上面にはエポ

50

キシ系樹脂やポリイミド系樹脂等からなる封止膜 12 がその上面が柱状電極 11 の上面と面一となるように設けられている。

【0018】

このように、W - C S P と呼ばれる半導体構成体 2 は、シリコン基板 3、接続パッド 4、絶縁膜 5 を含み、さらに、保護膜 7、配線 10、柱状電極 11、封止膜 12 を含んで構成されている。

【0019】

半導体構成体 2 の周囲におけるベース板 1 の上面には方形枠状の配線板 13 がその上面が半導体構成体 2 の上面とほぼ面一となるように設けられている。配線板 13 は、多層配線板からなり、例えば、第 1 の絶縁基板 14 の上下面に第 2、第 3 の絶縁基板 15、16 が積層され、第 2 の絶縁基板 15 内に設けられたビア 17 と第 3 の絶縁基板 16 内に設けられたビア 18 とが、第 1 の絶縁基板 14 内に設けられたビア 19 および第 1 の絶縁基板 14 の上下面に設けられた上面配線 20、下面配線 21 を介して接続された構造となっている。この場合、第 1 ~ 第 3 の絶縁基板 14 ~ 16 はベース板 1 と同一の材料であるプリプレグ材からなっている。上面配線 20 および下面配線 21 は銅箔からなっている。

【0020】

配線板 13 には半導体構成体 2 よりもやや大きめの開口部 22 が設けられている。したがって、半導体構成体 2 と配線板 13 との間には隙間 23 が形成されている。この隙間 23 の間隔は、一例として、0.1 ~ 0.5 mm である。隙間 23 内には絶縁性の充填材 24 が充填されている。充填材 24 は、エポキシ系樹脂、ポリイミド系樹脂、アクリル系樹脂、ポリベンゾオキサゾール樹脂、カルゾ樹脂等の樹脂中に熱膨張係数低下用材料としての繊維やフィラーが混入されたものからなっている。この場合、繊維は、ガラス繊維やアラミド繊維等である。フィラーは、シリカフィラー等である。

【0021】

半導体構成体 2、充填材 24 および配線板 13 の上面には第 1 の上層絶縁膜 25 がその上面を平坦とされて設けられている。第 1 の上層絶縁膜 25 は、ビルドアップ基板に用いられる、通常、ビルドアップ材と言われるもので、例えば、エポキシ系樹脂や BT 樹脂等の熱硬化性樹脂中に繊維やフィラー等の補強材が混入されたものからなっている。この場合、繊維は、ガラス繊維やアラミド繊維等である。フィラーは、シリカフィラー等である。

【0022】

柱状電極 11 およびビア 17 の上面中央部に対応する部分における第 1 の上層絶縁膜 25 には開口部 26 が設けられている。第 1 の上層絶縁膜 25 の上面には銅等からなる第 1 の上層下地金属層 27 が設けられている。第 1 の上層下地金属層 27 の上面全体には銅からなる第 1 の上層配線 28 が設けられている。第 1 の上層下地金属層 27 を含む第 1 の上層配線 28 の一端部は、開口部 26 を介して柱状電極 11 またはビア 17 の上面に接続されている。

【0023】

第 1 の上層配線 28 を含む第 1 の上層絶縁膜 25 の上面にはエポキシ系樹脂やポリイミド系樹脂等からなる第 2 の上層絶縁膜 29 が設けられている。第 1 の上層配線 28 の接続パッド部に対応する部分における第 2 の上層絶縁膜 29 には開口部 30 が設けられている。第 2 の上層絶縁膜 29 の上面には銅等からなる第 2 の上層下地金属層 31 が設けられている。第 2 の上層下地金属層 31 の上面全体には銅からなる第 2 の上層配線 32 が設けられている。第 2 の上層下地金属層 31 を含む第 2 の上層配線 32 の一端部は、開口部 30 を介して第 1 の上層配線 28 の接続パッド部に接続されている。

【0024】

第 2 の上層配線 32 を含む第 2 の上層絶縁膜 29 の上面にはソルダーレジスト等からなる最上層絶縁膜 33 が設けられている。第 2 の上層配線 32 の接続パッド部に対応する部分における最上層絶縁膜 33 には開口部 34 が設けられている。開口部 34 内およびその上方には半田ボール 35 が第 2 の上層配線 32 の接続パッド部に接続されて設けられてい

10

20

30

40

50

る。複数の半田ボール 35 は、最上層絶縁膜 33 の上面にマトリクス状に配置されている。

【0025】

ビア 18 の下面中央部に対応する部分におけるベース板 1 には開口部 36 が設けられている。ベース板 1 の下面には銅等からなる第 1 の下層下地金属層 37 が設けられている。第 1 の下層下地金属層 37 の下面全体には銅からなる第 1 の下層配線 38 が設けられている。第 1 の下層下地金属層 37 を含む第 1 の下層配線 38 の一端部は、開口部 36 を介してビア 18 の下面に接続されている。

【0026】

第 1 の下層配線 38 を含むベース板 1 の下面には第 1 の上層絶縁膜 25 と同一の材料からなる下層絶縁膜 39 が設けられている。第 1 の下層配線 38 の接続パッド部に対応する部分における下層絶縁膜 39 には開口部 40 が設けられている。下層絶縁膜 39 の下面には銅等からなる第 2 の下層下地金属層 41 が設けられている。第 2 の下層下地金属層 41 の下面全体には銅からなる第 2 の下層配線 42 が設けられている。第 2 の下層下地金属層 41 を含む第 2 の下層配線 42 の一端部は、開口部 40 を介して第 1 の下層配線 38 の接続パッド部に接続されている。第 2 の下層配線 42 を含む下層絶縁膜 39 の下面にはソルダーレジスト等からなる最下層絶縁膜 43 が設けられている。

【0027】

ところで、ベース板 1 のサイズを半導体構成体 2 のサイズよりもある程度大きくしているのは、シリコン基板 3 上の接続パッド 4 の数の増加に応じて、半田ボール 35 の配置領域を半導体構成体 2 のサイズよりもある程度大きくし、これにより、第 2 の上層配線 32 の接続パッド部（最上層絶縁膜 33 の開口部 34 内の部分）のサイズおよびピッチを柱状電極 11 のサイズおよびピッチよりも大きくするためである。

【0028】

このため、マトリクス状に配置された第 2 の上層配線 32 の接続パッド部は、半導体構成体 2 に対応する領域のみでなく、半導体構成体 2 の側面の外側に設けられた配線板 13 に対応する領域上にも配置されている。つまり、マトリクス状に配置された半田ボール 35 のうち、少なくとも最外周の半田ボール 35 は半導体構成体 2 よりも外側に位置する周囲に配置されている。

【0029】

また、この半導体装置では、半導体構成体 2 の周囲におけるベース 1 板上に、樹脂中に熱膨張係数低下用材料が混入されたものからなる充填材 24 を設けているので、樹脂のみからなる充填材を設ける場合と比較して、半導体構成体 2 とその側面を覆っている絶縁層 21 との間に生じる応力を緩和することができる。この場合、充填材 24 の熱膨張係数は、半導体構成体 2 のシリコン基板 2 の熱膨張係数よりも大きく、且つ、配線板 13 の絶縁基板 14 ~ 16 の熱膨張係数よりも小さくなっている。

【0030】

さらに、この半導体装置では、半導体構成体 2 の周囲におけるベース板 1 の上面に方形枠状の配線板 13 を設けているので、配線板 13 の代わりに単なる絶縁層を設けた場合と比較して、高密度配線構造とすることができる。すなわち、配線板 13 の代わりに単なる絶縁層を設けた場合には、当該絶縁層にスルーホールを形成して、上層配線 28、32 と下層配線 38、42 とをただ単に接続するだけとなり、高密度配線構造とすることはできない。なお、第 2 の絶縁基板 15 の上面および第 3 の絶縁基板 16 の下面に銅箔からなる配線をビア 17、18 に接続させて設けるようにしてもよい。

【0031】

次に、この半導体装置の製造方法の一例について説明するに、まず、半導体構成体 2 の製造方法の一例について説明する。この場合、まず、図 2 に示すように、ウエハ状態のシリコン基板（半導体基板）3 上にアルミニウム系金属等からなる接続パッド 4、酸化シリコン等からなる絶縁膜 5 およびエポキシ系樹脂やポリイミド系樹脂等からなる保護膜 7 が設けられ、接続パッド 4 の中央部が絶縁膜 5 および保護膜 7 に形成された開口部 6、8 を

10

20

30

40

50

介して露出されたものを用意する。上記において、ウエハ状態のシリコン基板 3 には、各半導体構成体が形成される領域に所定の機能の集積回路が形成され、接続パッド 4 は、それぞれ、対応する領域に形成された集積回路に電氣的に接続されている。

【 0 0 3 2 】

次に、図 3 に示すように、両開口部 6、8 を介して露出された接続パッド 4 の上面を含む保護膜 7 の上面全体に下地金属層 9 を形成する。この場合、下地金属層 9 は、無電解メッキにより形成された銅層のみであってもよく、またスパッタにより形成された銅層のみであってもよく、さらにスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したのもであってもよい。これは、後述する下地金属層 27、31、37、41 も同様である。

10

【 0 0 3 3 】

次に、下地金属層 9 の上面にメッキレジスト膜 51 をパターン形成する。この場合、配線 10 形成領域に対応する部分におけるメッキレジスト膜 51 には開口部 52 が形成されている。次に、下地金属層 9 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 51 の開口部 52 内の下地金属層 9 の上面に配線 10 を形成する。次に、メッキレジスト膜 51 を剥離する。

【 0 0 3 4 】

次に、図 4 に示すように、配線 10 を含む下地金属層 9 の上面にメッキレジスト膜 53 をパターン形成する。この場合、柱状電極 11 形成領域に対応する部分におけるメッキレジスト膜 53 には開口部 54 が形成されている。次に、下地金属層 9 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 53 の開口部 54 内の配線 10 の接続パッド部上面に柱状電極 11 を形成する。次に、メッキレジスト膜 53 を剥離し、次いで、配線 10 をマスクとして下地金属層 9 の不要な部分をエッチングして除去すると、図 5 に示すように、配線 10 下にのみ下地金属層 9 が残存される。

20

【 0 0 3 5 】

次に、図 6 に示すように、スクリーン印刷法、スピンコーティング法、ダイコート法等により、柱状電極 11 および配線 10 を含む保護膜 7 の上面全体にエポキシ系樹脂やポリイミド系樹脂等からなる封止膜 12 をその厚さが柱状電極 11 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 11 の上面は封止膜 12 によって覆われている。

30

【 0 0 3 6 】

次に、封止膜 12 および柱状電極 11 の上面側を適宜に研磨し、図 7 に示すように、柱状電極 11 の上面を露出させ、且つ、この露出された柱状電極 11 の上面を含む封止膜 12 の上面を平坦化する。ここで、柱状電極 11 の上面側を適宜に研磨するのは、電解メッキにより形成される柱状電極 11 の高さにはばらつきがあるため、このばらつきを解消して、柱状電極 11 の高さを均一にするためである。

【 0 0 3 7 】

次に、図 8 に示すように、バーンイン用検査治具 55 として、下面に配線（図示せず）を有する配線板 56 の下面側に複数のプローブピン 57 を有するプローブピン支持板 58 が配置され、プローブピン 57 の上端面が異方導電性ゴム 59 を介して配線板 56 の配線に接続されたものを用意する。この場合、プローブピン 57 の先端部はほぼ半球形状となっている。また、プローブピン 57 の直径は柱状電極 11 の直径よりもある程度小さくなっている。

40

【 0 0 3 8 】

そして、図示しないステージ上に配置されたウエハ状態のシリコン基板 3 上に形成された柱状電極 11 の上面に、バーンイン用検査治具 55 のプローブピン 57 の先端部を接触させ、バーンインを行なう。そして、このバーンインにより、ウエハ状態における各半導体装置の良否を判定する。次に、シリコン基板 3 をダイシングテープ（図示せず）に貼り付け、図 9 に示すダイシング工程を経た後に、ダイシングテープから剥がすと、図 1 に示す半導体構成体 2 が複数個得られる。そして、上記バーンインによる判定結果に基づいて

50

、良品の半導体構成体 2 のみを選び出す。

【 0 0 3 9 】

次に、図 1 に示す配線板 1 3 の製造方法の一例について、簡単に説明する。まず、図 1 0 に示すように、上面配線 2 0 および 下面配線 2 1 が ビア 1 9 により導通されたプリプレグ材またはビルドアップ材からなる第 1 の絶縁基板 1 4 を用意する。この第 1 の絶縁基板 1 4 を形成するには、通常のビルドアッププリント基板の製造方法を用いればよく、フォトリソグラフィ技術またはレーザービームによりビアホールを形成し、めっきにより、あるいはスパッタ法とめっきにより、上面配線 2 0、下面配線 2 1 およびビア 1 9 を形成する。ビア 1 9 は、導電ペーストをビアホールに充填する方法あるいは導電材料からなるピンを圧入する方法によってもよい。

10

【 0 0 4 0 】

次に、図 1 1 に示すように、上面配線 2 0 を含む第 1 の絶縁基板 1 4 の上面に、プリプレグ材またはビルドアップ材からなる第 2 の絶縁基板 1 5 を積層するとともに、下面配線 2 1 を含む第 1 の絶縁基板 1 4 の下面に、プリプレグ材またはビルドアップ材からなる第 3 の絶縁基板 1 6 を積層する。そして、第 2 の絶縁基板 1 5 にビア 1 7 を、また第 3 の絶縁基板 1 6 にビア 1 8 を、第 1 の絶縁基板 1 4 にビア 1 9 を形成する場合と同様な方法で形成する。図 1 1 においては、ビア 1 7 上とその周辺部、およびビア 1 8 上とその周縁部を覆う配線は形成されていないが、ビア 1 7 およびビア 1 8 を形成する際、このような配線を同時に形成してもよい。いずれにしても、図 1 1 に図示された状態で、ビア 1 7 は上面配線 2 0 の他端部に接続され、ビア 1 8 は下面配線 2 1 の他端部に接続されている。

20

【 0 0 4 1 】

ここで、第 1 ~ 第 3 の絶縁基板 1 4 ~ 1 6 は、図 1 に示す配線板 1 3 を複数枚採取することができる大きさで、限定する意味ではないが、平面形状が方形状となっている。そして、次に、図 1 2 に示すように、パンチングにより、第 1 ~ 第 3 の絶縁基板 1 4 ~ 1 6 に複数の方形状の開口部 2 2 を形成し、平面形状が格子状とされた第 1 ~ 第 3 の絶縁基板 1 4 ~ 1 6 からなる集合配線板 1 3 a を形成する。次に、集合配線板 1 3 a に対して電氣的検査を行ない、集合配線板 1 3 a における各配線板 1 3 形成領域の電氣的良否を判定する。

【 0 0 4 2 】

次に、上記のようにして得られた良品の半導体構成体 2 および各配線板 1 3 形成領域の電氣的良否判定済みの集合配線板 1 3 a を用いて、図 1 に示す半導体装置を製造する場合の一例について説明する。まず、図 1 3 に示すように、図 1 に示すベース板 1 を複数枚採取することができる大きさで、集合配線板 1 3 a に対応する大きさのプリプレグ材からなるベース板 1 を用意する。この場合、ベース板 1 を構成するプリプレグ材中のエポキシ系樹脂等からなる熱硬化性樹脂は、半硬化状態となっている。

30

【 0 0 4 3 】

次に、ベース板 1 の上面の所定の複数箇所にそれぞれ良品の半導体構成体 2 のシリコン基板 3 の下面を仮圧着する。すなわち、加熱機構付きのボンディングツール（図示せず）を用い、半導体装置 2 を、加熱した状態で一定の圧力をかけながら、プリプレグ材からなるベース板 1 の上面の所定の箇所に仮圧着する。仮圧着条件は、一例として、温度 9 0 ~ 1 3 0 、圧力 0 . 1 ~ 1 M p a である。

40

【 0 0 4 4 】

次に、半導体構成体 2 間および最外周に配置された半導体構成体 2 の外側におけるベース板 1 の上面に、集合配線板 1 3 a をピン等で位置決めしながら配置する。この状態では、集合配線板 1 3 a の開口部 2 2 のサイズは半導体構成体 2 のサイズよりもやや大きくなっているため、集合配線板 1 3 a の各開口部 2 2 と半導体構成体 2 との間には隙間 2 3 が形成されている。また、この状態では、集合配線板 1 3 a の上面と半導体構成体 2 の上面とはほぼ同一の平面上に配置されている。上記の工程において、ベース板 1 上に半導体構成体 2 および集合配線板 1 3 a を配置する順序は、逆でもよく、先に集合配線板 1 3 a を配置した後、この集合配線板 1 3 a の各開口部内 2 2 内に半導体構成体 2 を配置するよう

50

にしてもよい。

【0045】

ここで、集合配線板13aの各配線板13形成領域の電氣的良否の判定は済んでいるので、良品と判定された配線板13形成領域の開口部22内にのみ半導体構成体2を配置し、不良品と判定された配線板13形成領域の開口部22内には半導体構成体2を配置しない。これにより、良品と判定された半導体構成体2の無駄を防止し、歩留の向上を図ることができる。

【0046】

次に、図14に示すように、隙間23内に樹脂中に熱膨張係数低下用材料が混入されたものからなるペースト状または粉末状の充填材24を印刷法等により充填する。この場合、不良品と判定された配線板13形成領域の開口部22内には半導体構成体2が配置されていないので、当該開口部22全領域内に充填材24を充填する。

10

【0047】

次に、集合配線板13a、半導体構成体2および充填材24の上面に第1の上層絶縁膜25を形成するためのシート状のビルドアップ材を配置する。このビルドアップ材としては、エポキシ系樹脂等の熱硬化性樹脂中にシリカフィラーを混入させ、熱硬化性樹脂を半硬化状態にしたものがある。

【0048】

次に、一対の加熱加圧板61、62を用いて上下からベース板1、充填材24および第1の上層絶縁膜25形成用のビルドアップ材を加熱加圧する。すると、ベース板1中の熱硬化性樹脂が硬化し、ベース板1の上面に半導体構成体2のシリコン基板3の下面および第3の絶縁基板16の下面が固着される。また、充填材24中の熱硬化性樹脂が硬化し、充填材24が半導体構成体2の側面、集合配線板13aの各開口部22の内壁面およびその間のベース板1の上面に固着される。さらに、ビルドアップ材中の熱硬化性樹脂が硬化し、半導体構成体2、充填材24および第2の絶縁基板15の上面に第1の上層絶縁膜25が形成される。

20

【0049】

この場合、第1の上層絶縁膜25の上面は、上側の加熱加圧板61の下面によって押さえ付けられるため、平坦面となる。また、ベース板1の下面は、下側の加熱加圧板62の上面によって押さえ付けられるため、平坦面となる。したがって、第1の上層絶縁膜25の上面およびベース板1の下面を平坦化するための研磨工程は不要である。このため、ベース板1のサイズが例えば500×500mm程度と比較的大きくても、その上に配置された複数の半導体構成体2に対して第1の上層絶縁膜25の上面およびベース板1の下面の平坦化を一括して簡単に行なうことができる。

30

【0050】

なお、ベース板1上に半導体構成体3および集合配線板13aを配置し、次いで、上下から加熱加圧し、次いで、印刷法等により隙間23内に充填材24を充填し、次いで、それらの上にビルドアップ材を配置し、次いで、上下から加熱加圧するようにしてもよい。また、ベース板1上に半導体構成体3および集合配線板13aを配置し、次いで、上下から加熱加圧し、次いで、印刷法等により隙間23内に充填材24を充填するとともにそれらの上に充填材24と同一の材料からなる第1の上層絶縁膜形成用層を形成し、次いで、上下から加熱加圧するようにしてもよい。

40

【0051】

次に、図15に示すように、レーザービームを照射するレーザー加工により、柱状電極11およびビア17の上面中央部に対応する部分における第1の上層絶縁膜25に開口部26を形成する。また、ビア18の下面中央部に対応する部分におけるベース板1に開口部36を形成する。次に、必要に応じて、開口部26、36内等に発生したエポキシスミア等をデスミア処理により除去する。

【0052】

次に、図16に示すように、開口部26を介して露出された柱状電極11およびビア1

50

7の上面を含む第1の上層絶縁膜25の上面全体および開口部36を介して露出されたビア18の下面を含むベース板1の下面全体に、銅の無電解メッキ等により、第1の上層下地金属層27および第1の下層下地金属層37を形成する。

【0053】

次に、第1の上層下地金属層27の上面に上層メッキレジスト膜63をパターン形成し、また、第1の下層下地金属層37の下面に下層メッキレジスト膜64をパターン形成する。この場合、第1の上層配線28形成領域に対応する部分における上層メッキレジスト膜63には開口部65が形成されている。また、第1の下層配線38形成領域に対応する部分における下層メッキレジスト膜64には開口部66が形成されている。

【0054】

次に、下地金属層27、37をメッキ電流路として銅の電解メッキを行なうことにより、上層メッキレジスト膜63の開口部65内の第1の上層下地金属層27の上面に第1の上層配線28を形成し、また、下層メッキレジスト膜64の開口部66内の第1の下層下地金属層37の下面に第1の下層配線38を形成する。

【0055】

次に、両メッキレジスト膜63、64を剥離し、次いで、第1の上層配線28および第1の下層配線38をマスクとして第1の上層下地金属層27および第1の下層下地金属層37の不要な部分をエッチングして除去すると、図17に示すように、第1の上層配線28下にのみ第1の上層下地金属層27が残存され、また、第1の下層配線38上にのみ第1の下層下地金属層37が残存される。

【0056】

次に、図18に示すように、第1の上層配線28を含む第1の上層絶縁膜25の上面にシート状のビルドアップ材等からなる第2の上層絶縁膜29を形成し、また、第1の下層配線38を含むベース板1の下面にシート状のビルドアップ材等からなる下層絶縁膜39を形成する。

【0057】

次に、レーザビームを照射するレーザ加工により、第1の上層配線28の接続パッド部に対応する部分における第2の上層絶縁膜29に開口部30を形成し、また、第1の下層配線38の接続パッド部に対応する部分における下層絶縁膜39に開口部40を形成する。次に、必要に応じて、開口部30、40内等に発生したエポキシスミア等をデスミア処理により除去する。

【0058】

次に、図19に示すように、開口部30を介して露出された第1の上層配線28の接続パッド部を含む第2の上層絶縁膜29の上面全体および開口部40を介して露出された第1の下層配線38の接続パッド部を含む下層絶縁膜39の下面全体に、銅の無電解メッキ等により、第2の上層下地金属層31および第2の下層下地金属層41を形成する。

【0059】

次に、第2の上層下地金属層31の上面に上層メッキレジスト膜67をパターン形成し、また、第2の下層下地金属層41の下面に下層メッキレジスト膜68をパターン形成する。この場合、第2の上層配線32形成領域に対応する部分における上層メッキレジスト膜67には開口部69が形成されている。また、第2の下層配線42形成領域に対応する部分における下層メッキレジスト膜68には開口部70が形成されている。

【0060】

次に、下地金属層31、41をメッキ電流路として銅の電解メッキを行なうことにより、上層メッキレジスト膜67の開口部69内の第2の上層下地金属層31の上面に第2の上層配線32を形成し、また、下層メッキレジスト膜68の開口部70内の第2の下層下地金属層41の下面に第2の下層配線42を形成する。

【0061】

次に、両メッキレジスト膜67、68を剥離し、次いで、第2の上層配線32および第2の下層配線42をマスクとして第2の上層下地金属層31および第2の下層下地金属層

10

20

30

40

50

41の不要な部分をエッチングして除去すると、図20に示すように、第2の上層配線32下にのみ第2の上層下地金属層31が残存され、また、第2の下層配線42上にのみ第2の下層下地金属層41が残存される。

【0062】

次に、図21に示すように、スクリーン印刷法やスピンコーティング法等により、第2の上層配線32を含む第2の上層絶縁膜29の上面にソルダーレジスト等からなる最上層絶縁膜33を形成し、また、第2の下層配線42を含む下層絶縁膜39の下面にソルダーレジスト等からなる最下層絶縁膜43を形成する。この場合、第2の上層配線32の接続パッド部に対応する部分における最上層絶縁膜33には開口部34が形成されている。なお、第2の下層配線42の接続パッド部に対応する部分における最下層絶縁膜43には開口部は形成しない。したがって、第2の下層配線42の接続パッド部は最下層絶縁膜43によって覆われている。

10

【0063】

次に、開口部34内およびその上方に半田ボール35を第2の上層配線32の接続パッド部に接続させて形成する。次に、互いに隣接する半導体構成体2間において、最上層絶縁膜33、第2の上層絶縁膜29、第1の上層絶縁膜25、集合配線板13a、ベース板1、下層絶縁膜39および最下層絶縁膜43を切断すると、図1に示す半導体装置が複数個得られる。

【0064】

(第2実施形態)

20

図22はこの発明の第2実施形態としての半導体装置の断面図を示す。この半導体装置において、図1に示す場合と異なる点は、最下層絶縁膜43下に複数の半導体構成体(電子部品)71を搭載した点である。すなわち、第2の下層配線42の接続パッド部に対応する部分における最下層絶縁膜43には開口部44が設けられている。最下層絶縁膜43の下面には複数の半導体構成体71が、その上面に設けられた半田ボール72が最下層絶縁膜43の開口部44を介して第2の下層配線42の接続パッド部に接続されて、搭載されている。

【0065】

この場合、半導体構成体71は、詳細には図示していないが、ベアチップ、BGA(ball grid array)、CSP等のいずれであってもよく、シリコン等からなる半導体基板の上面には所定の機能の集積回路が設けられ、上面周辺部にはアルミニウム系金属等からなる複数の接続パッドが集積回路に接続されて設けられ、接続パッド自体または該接続パッドに接続された柱状電極等からなる外部接続用電極上に半田ボール72が設けられた構造となっている。

30

【0066】

そして、この半導体装置では、ベース板下に第1、第2の下層配線38、42を配線板13のビア18に接続させて設け、最下層絶縁膜43下に半導体構成体71を第2の下層配線42の接続パッド部に接続させて搭載しているので、電子機器のより一層の小型化が可能になるとともに、配線長を最短として回路特性を向上させることができる。なお、最下層絶縁膜43下にコンデンサや抵抗等からなるチップ部品(電子部品)を搭載するよう

40

【0067】

(その他の実施形態)

上記実施形態では、配線板13として、多層配線板を用い、例えば、プリプレグ材からなる第1~第3の絶縁基板を積層してなるものを用いた場合について説明したが、これに限らず、例えば、スルーホールメッキ導通部を有する両面配線構造のものを用いてもよい。

【0068】

また、上記実施形態では、上層配線および下層配線を共に2層とした場合について説明したが、これに限らず、1層または3層以上としてもよく、また、同数層ではなく異数層

50

としてもよい。ただし、同数層とした場合には、半導体装置の反りを低減することができる。

【0069】

また、上記実施形態では、互いに隣接する半導体構成体2間において切断したが、これに限らず、2個またはそれ以上の半導体構成体2を1組として切断するようにしてもよい。この場合、複数で1組の半導体構成体2は同種、異種のいずれであってもよい。

【0070】

また、上記実施形態では、半導体構成体2は、外部接続用電極としての柱状電極11を有するものとしたが、これに限らず、柱状電極を有せず、外部接続用電極としての接続パッド部を有する配線11を有するものであってもよく、また、柱状電極および配線を有せず、外部接続用電極としての接続パッド4を有するものであってもよい。

10

【0071】

また、上記実施形態では、ベース板1としてプリプレグ材を用いた場合について説明したが、これに限らず、樹脂単体、シリコン、ガラス、セラミックス等の絶縁板を用いてもよい。ただし、このような絶縁板を用いる場合には、絶縁板の上面に半導体構成体2のシリコン基板3の下面および配線板13の下面を接着剤を介して接着するようにしてもよい。

【0072】

また、上記実施形態では、ベース板1は、そのまま半導体装置の構成部材の一部として残存されるものであるが、図14に図示された第1の上層絶縁膜25を形成した以降のいずれかの工程において、半導体構成体3から剥離し、接着、印刷、コーティング等適宜な方法により新たに形成するようにしてもよい。この場合、ベース板としての支持部材に剥離材を介して金属箔等からなる薄膜を形成し、第1の上層絶縁膜25を形成した後、支持部材を剥離し、薄膜のみを残したり、あるいは残存された薄膜上にさらに導電性あるいは絶縁性の支持用あるいは保護用の膜を形成してもよい。

20

【図面の簡単な説明】

【0073】

【図1】この発明の第1実施形態としての半導体装置の断面図。

【図2】図1に示す半導体構成体の製造に際し、当初用意したものの断面図。

【図3】図2に続く工程の断面図。

30

【図4】図3に続く工程の断面図。

【図5】図4に続く工程の断面図。

【図6】図5に続く工程の断面図。

【図7】図6に続く工程の断面図。

【図8】図7に続く工程の断面図。

【図9】図8に続く工程の断面図。

【図10】図1に示す配線板の製造に際し、当初用意したものの断面図。

【図11】図10に続く工程の断面図。

【図12】図11に続く工程の断面図。

【図13】図1に半導体装置の製造に際し、所定の工程の断面図。

40

【図14】図13に続く工程の断面図。

【図15】図14に続く工程の断面図。

【図16】図15に続く工程の断面図。

【図17】図16に続く工程の断面図。

【図18】図17に続く工程の断面図。

【図19】図18に続く工程の断面図。

【図20】図19に続く工程の断面図。

【図21】図20に続く工程の断面図。

【図22】この発明の第2実施形態としての半導体装置の断面図。

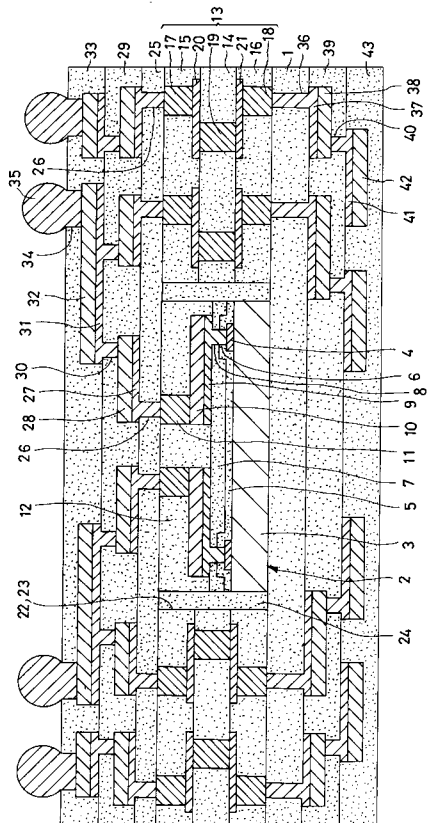
【符号の説明】

50

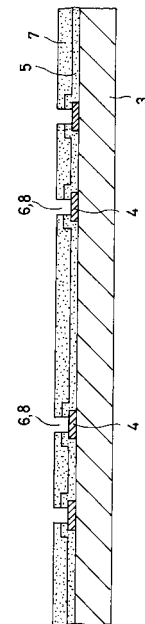
【 0 0 7 4 】

- 1 ベース板
- 2 半導体構成体
- 3 シリコン基板
- 4 接続パッド
- 10 配線
- 11 柱状電極
- 12 封止膜
- 13 配線板
- 25 第1の上層絶縁膜
- 28 第1の上層配線
- 29 第2の上層絶縁膜
- 32 第2の上層配線
- 33 最上層絶縁膜
- 35 半田ボール
- 38 第1の下層配線
- 39 下層絶縁膜
- 42 第2の下層配線
- 43 最下層絶縁膜

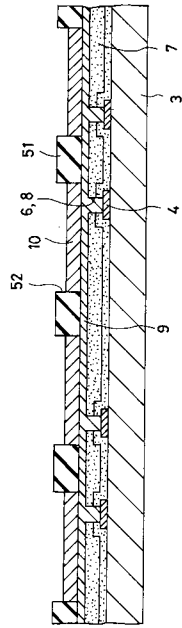
【 図 1 】



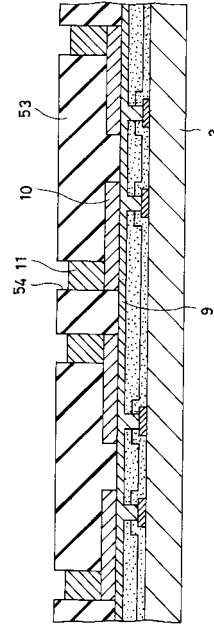
【 図 2 】



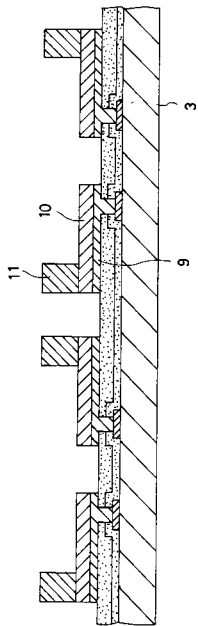
【図 3】



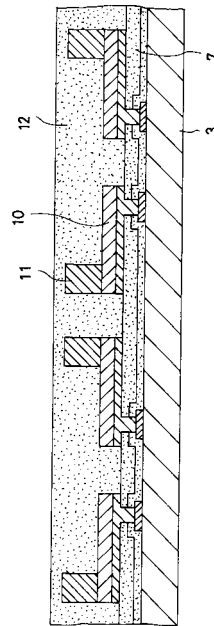
【図 4】



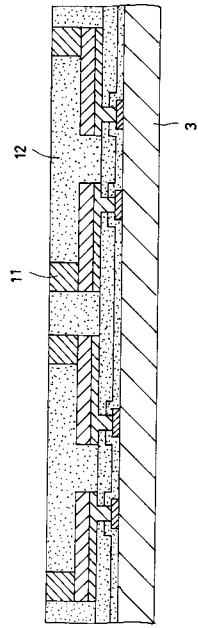
【図 5】



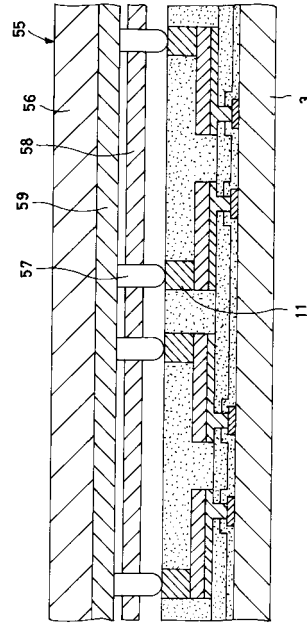
【図 6】



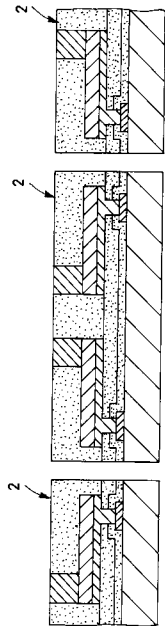
【図 7】



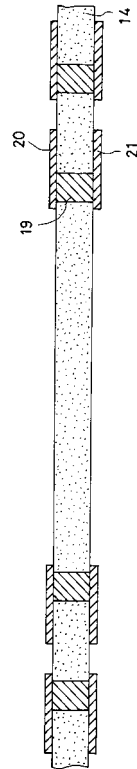
【図 8】



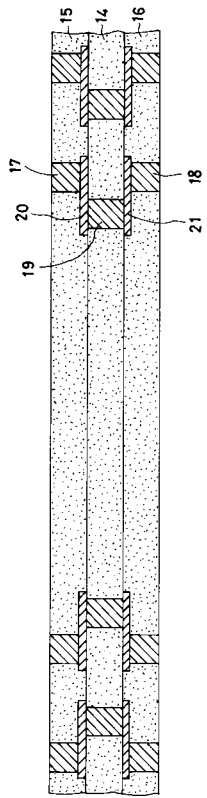
【図 9】



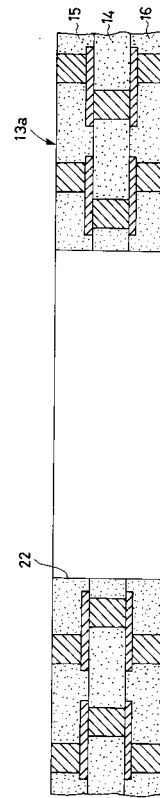
【図 10】



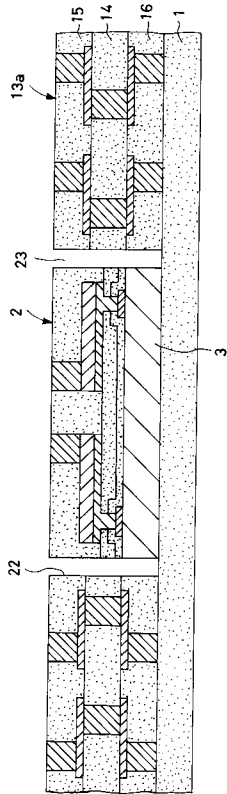
【図 1 1】



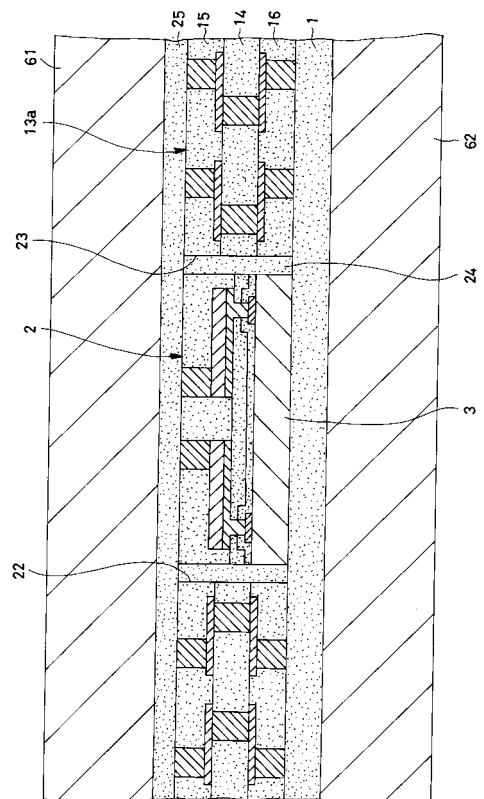
【図 1 2】



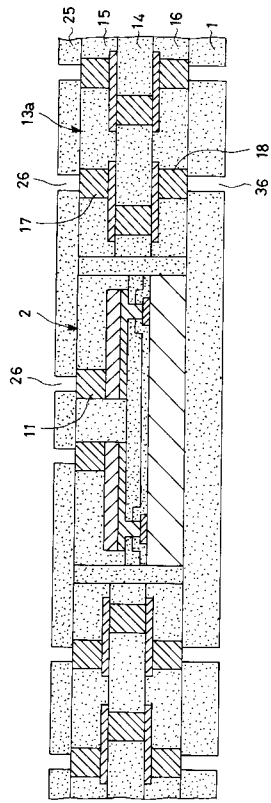
【図 1 3】



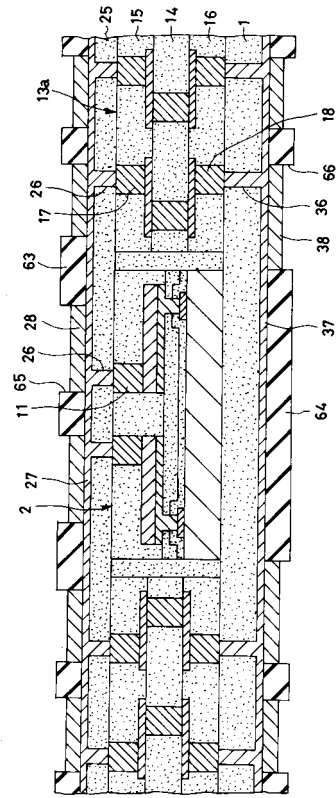
【図 1 4】



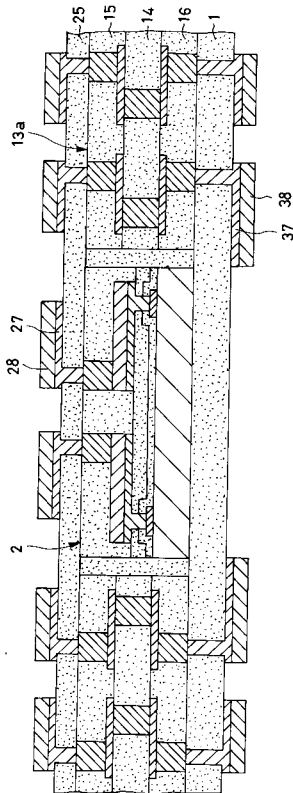
【図 15】



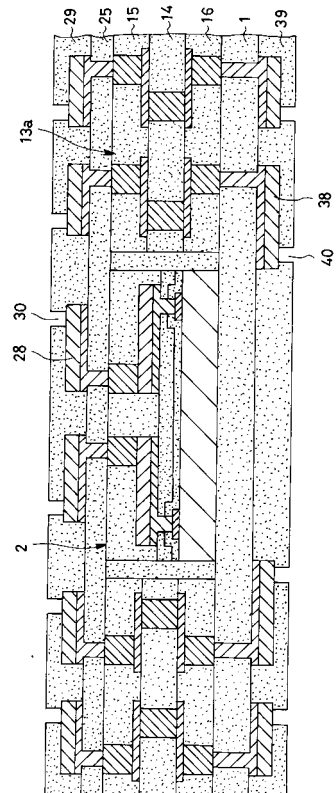
【図 16】



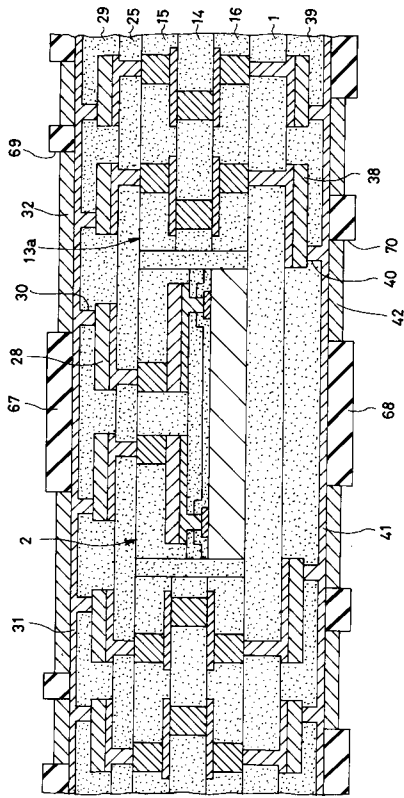
【図 17】



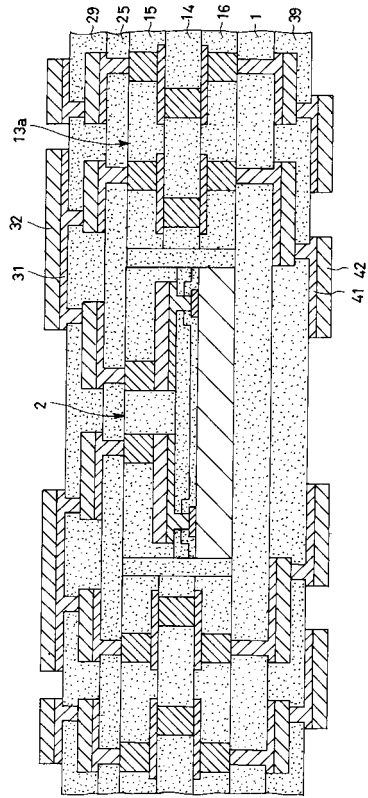
【図 18】



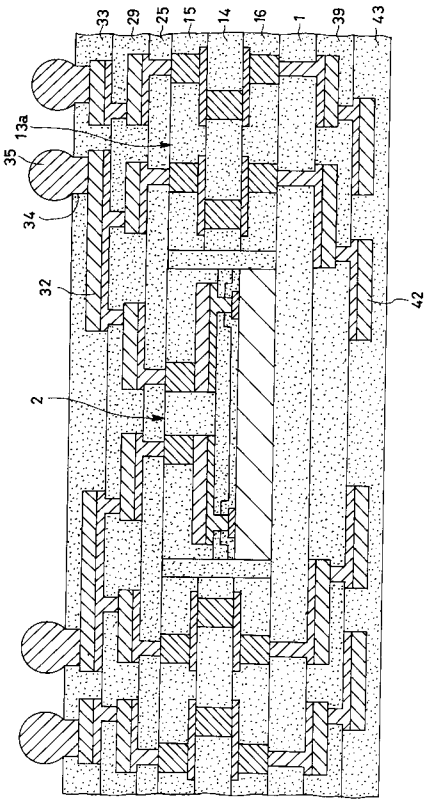
【図19】



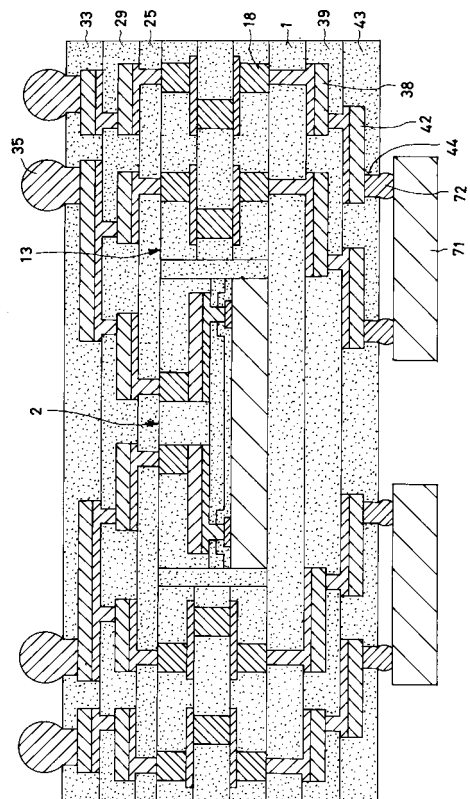
【図20】



【図21】



【図22】



フロントページの続き

- (56)参考文献 特開2002-016173(JP,A)
特開2001-217337(JP,A)
特開2001-024333(JP,A)
特開2002-270712(JP,A)
特開2003-188314(JP,A)
特開2001-044641(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H05K 3/46