(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3733219号
(P3733219)
(45)発行日　平成18年1月11日(2006.1.11)　(24)登録日　平成17年10月21日(2005.10.21)

(51)Int.Cl.　F I
H01L 21/822 (2006.01)　H01L 27/04 L
H01L 27/04 (2006.01)

請求項の数 2　(全 6 頁)

(21)出願番号　特願平9-267823
(22)出願日　平成9年9月12日(1997.9.12)
(65)公開番号　特開平11-87618
(43)公開日　平成11年3月30日(1999.3.30)
審査請求日　平成15年9月5日(2003.9.5)

(73)特許権者　000191238
新日本無線株式会社
東京都中央区日本橋横山町３番１０号
(72)発明者　石丸　賢一
埼玉県上福岡市福岡二丁目１番１号　新日本無線株式会社川越製作所内

審査官　棚田　一也

(56)参考文献　特開平０７－２１１８６５（ＪＰ，Ａ）
特開昭６３－０４８８５６（ＪＰ，Ａ）
特開昭５２－０８５４８９（ＪＰ，Ａ）
特開平０８－０９７３７５（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体装置用インダクタ及びその製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板上の絶縁膜上に設けられ、薄膜状の配線で構成される半導体装置用インダクタにおいて、前記絶縁膜を櫛歯状に交互に平行する複数個の凸状部および凹状部を有するように段差をつけた形状に形成し、前記凸状部及び凹状部に沿って形成した配線部分及び前記段差部分に形成した折り返し配線部分によりメアンダ型のコイルを構成したことを特徴とする半導体装置用インダクタ。
【請求項２】
半導体基板上の絶縁膜上に設けられ、薄膜状の配線で構成される半導体装置用インダクタの製造方法において、前記半導体基板上の所定範囲一面に第１絶縁膜を堆積する工程と、該第１絶縁膜上に第２絶縁膜を堆積し、該第２絶縁膜を選択エッチングし、櫛歯状に交互に平行する複数個の凸状部及び凹状部を、その段差部分が順テーパー状になるように形成する工程と、前記第１絶縁膜、前記第２絶縁膜の上面に配線材料を堆積し、エッチングにより、又は配線材料の直接描写により、前記凸状部及び凹状部に沿って延び、前記段差部分で折り返すメアンダ型のコイルを形成する工程と、を含むことを特徴とする半導体装置用インダクタの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、高周波用ＩＣの内部に、受動素子の一つとして設けられるインダクタに関す

る。
【０００２】
【従来の技術】
従来、高周波用ＩＣ内部に作り込まれるインダクタとして、スパイラル型のものとメアンダ型のものが広く用いられている。
【０００３】
図２（ａ）は、スパイラル型インダクタの平面図、同（ｂ）はその断面図、図３（ａ）は、メアンダ型インダクタの平面図、同（ｂ）はその断面図を示す。
【０００４】
スパイラル型インダクタは、通常図２に示すように、２層構造で形成されている。半導体基板６上に設けられた絶縁膜５上に引出し配線２が形成され、これらを被って第２層の絶縁膜４が設けられ、その上に金属薄膜配線よりなる渦巻き状のコイルが形成され、同コイルの中心端は絶縁膜４に開けられたビアホール（ｖｉａｈｏｌｅ）３を介して引出し配線２に接続されている。
【０００５】
一方、メアンダ型インダクタは、図３に示すように単層構造で、絶縁膜５上に形成されたつづら折れ状の配線１でコイル部を構成している。
【０００６】
【発明が解決しようとする課題】
図２及び図３に示したような従来のインダクタでは、巻数を多くしようとすると、占有面積と共に、配線の長さ（従って抵抗の大きさ）が大きく増大し、面積効率がよく、またＱ特性のよいインダクタを作ることが困難となるという問題があった。
【０００７】
因みに、図２に示したスパイラル型インダクタについては、コイルのピッチをｓ、最小のコイルの辺の長さをＬ１、巻数をｎとすれば、コイル部の配線長さＡ１及び占有面積Ｓ１は、それぞれ以下のようとなる。
Ａ１＝４ｎ・Ｌ１＋２（２ｎ－１）ｎ・ｓ
Ｓ１＝｛Ｌ１＋２（ｎ－１）ｓ｝２
【０００８】
上式が示すように巻数が多くなると、配線長さ及び占有面積は共に巻数ｎの２乗に比例して増加することとなるので、上述の問題が顕著となる。
【０００９】
一方、図３に示したメアンダ型インダクタについては、素辺の長さをＬ２、ピッチをｓ、巻数をｎとすると、配線長さＡ２及び占有面積Ｓ２は、以下のようになり、
Ａ２＝２ｎ・Ｌ２＋２ｎ・ｓ
Ｓ２＝２ｎ・Ｌ２・ｓ
配線長さ及び占有面積は共に巻数ｎに比例して増加するので、上述の面積効率やＱ特性については、巻数を大きくすることによる問題はない。
【００１０】
しかし、メアンダ型のインダクタにおいては、隣接導体を流れる電流が互いに逆方向となるため、隣接導体間の相互インダクタンスが自己インダクタンスに対して負に働き、導体間の間隔（配線の間隔）を狭くするほど、インダクタンス値が低減されるという、メアンダ型インダクタ固有の特性があり、それが実装密度を上げる上での制約になっている。
【００１１】
本発明は、上記問題点を解消した半導体装置用インダクタを提供しようとするものである。
【００１２】
【課題を解決するための手段】
半導体基板上の絶縁膜上に設けられ、薄膜状の配線で構成される半導体装置用インダクタにおいて、前記絶縁膜を櫛歯状に交互に平行する複数個の凸状部および凹状部を有するよ

うに段差をつけた形状に形成し、前記凸状部及び凹状部に沿って形成した配線部分及び前記段差部分に形成した折り返し配線部分によりメアンダ型のコイルを構成した。

【００１３】

上記のように絶縁膜を段差を有するように形成し、その凸状部及び凹状部に沿った配線を主要部分としてメアンダ型のコイルを構成することにより、隣接導体間の間隔を実質的に大きくすることができ、上述の導体間隔の狭小によるインダクタンス値の低減の問題が緩和されるので、メアンダ型のコイルでありながら実装密度を上げることが可能となる。

【００１４】

上記半導体装置用インダクタは、前記半導体基板上の所定範囲一面に第１絶縁膜を堆積する工程と、該第１絶縁膜上に第２絶縁膜を堆積し、該第２絶縁膜を選択エッチングし、櫛歯状に交互に平行する複数個の凸状部及び凹状部を、その段差部分が順テーパー状になるように形成する工程と、前記第１絶縁膜、前記第２絶縁膜の上面に配線材料を堆積し、エッチングにより、又は配線材料の直接描写により、前記凸状部及び凹状部に沿って延び、前記段差部分で折り返すメアンダ型のコイルを形成する工程と、を含む一連の工程により製作できる。

【００１５】

【発明の実施の形態】

図１は、本発明の半導体装置用インダクタの説明図であり、（ａ）はその平面図、（ｂ）はその断面図である。以下、Ｓｉ等の半導体基板上に設けた一実施例につき、本発明のインダクタの構造、及びその製作手順を説明する。

【００１６】

先ず半導体基板６上に、ＣＶＤ等により例えばＳｉＯ2 等の絶縁膜５を形成させるが、この絶縁膜５は下地絶縁膜として他の素子の形成にも利用されるものである。

【００１７】

次に、絶縁膜５の上面にＣＶＤ等によりＳｉＯ2 等の絶縁膜４を堆積させ、同絶縁膜の選択エッチングにより櫛歯状に交互に平行する複数個の凸状部８を形成する。この工程により底面に絶縁膜５の面をもつ凹状部が形成される。段差部７は次工程で行う配線を確実にするために、順テーパーをもつように形成する必要があり、ドライエッチング等により行うが、ウエットエッチングで行う場合は、アンダーカットを防ぐため、絶縁膜の材質とエッチング液の組成との調節が必要である。

【００１８】

また、絶縁膜４としてポリイミドを用いることもできる。この場合は、スピンコートにより膜を形成し、同様にエッチングにより凸状部を形成するが、素材の性質から段差部は順テーパー状となる。

【００１９】

次に、上記により構成した段差つきの絶縁膜上に、スパッタ、蒸着等によりＡｌ、Ａｕ等の金属薄膜を被着させ、選択箇所を残してエッチングすることにより、平行する凸状部８、凹状部９に沿って延び、段差部７で折り返すメアンダ型の薄膜コイルが形成される。上記薄膜コイルの形成は、ＦＩＢ装置等を用い配線材料を直接描画し、被着させる方法によっても可能である。

【００２０】

上記のように構成することにより、配線構造が立体的となるので、同一実装密度に対し、従来のものに比べ、実質的に配線間隔が広いインダクタを実現することができる。

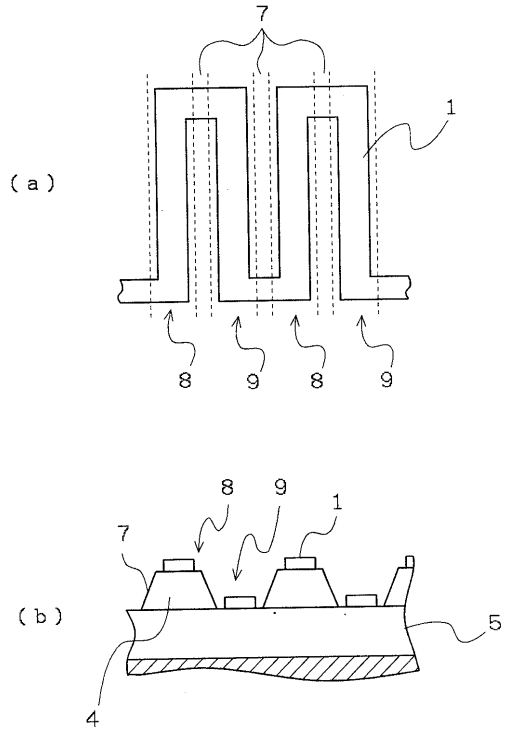
【００２１】

【発明の効果】

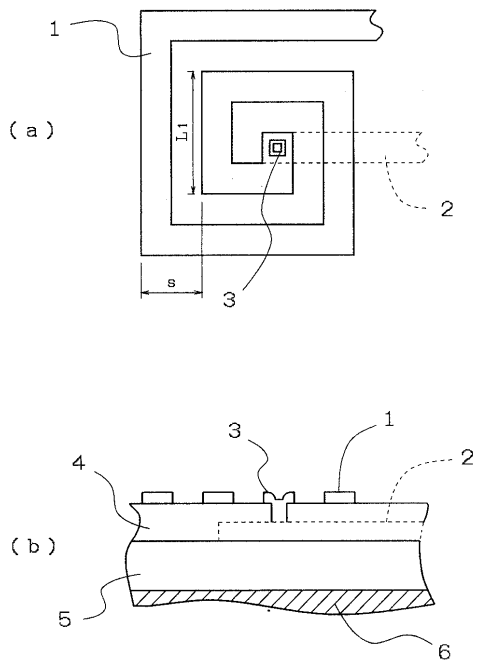
以上説明したように、本発明の半導体装置用インダクタは、絶縁膜を櫛歯状に交互に平行する複数個の凸状部および凹状部を有するように段差をつけた形状に形成し、前記凸状部および凹状部に沿った配線及び前記段差部での折り返し配線によりメアンダ型のコイルを構成したので、配線間隔を実質的に大きくすることができ、メアンダ型の弱点である配線間隔の狭小に伴うインダクタンス値の低減の問題が緩和される。

【００２２】
このため、巻数が大きい場合に特別にＱの低下がないメアンダ型の利点をもちながら、実装効率のよいメアンダ型のインダクタを実現することができる。
【００２３】
また、本発明の特徴である上記の段差を有する絶縁膜は、半導体基板上の所定範囲一面に第１絶縁膜を堆積する工程、該第１絶縁膜上に、第２絶縁膜を堆積し、該第２絶縁膜を選択エッチングする工程を用いることにより容易に形成することができる。
【００２４】
　また、本発明のインダクタは、ビアホールによる配線接続等を含む複雑な２層配線を必要とせず、比較的簡易な一層配線で製作できる利点をもっている。
【図面の簡単な説明】
【図１】本発明の半導体装置用インダクタの一実施例の説明図であり、（ａ）はその平面図、（ｂ）はその断面図である。
【図２】従来のスパイラル型半導体装置用インダクタの説明図であり、（ａ）はその平面図、（ｂ）はその断面図である。
【図３】従来のメアンダ型半導体装置用インダクタの説明図であり、（ａ）はその平面図、（ｂ）はその断面図である。
【符号の説明】
１　コイル部配線
２　引出し配線
３　ビアホール
４、５　絶縁膜
６　半導体基板
７　段差部
８　凸状部
９　凹状部

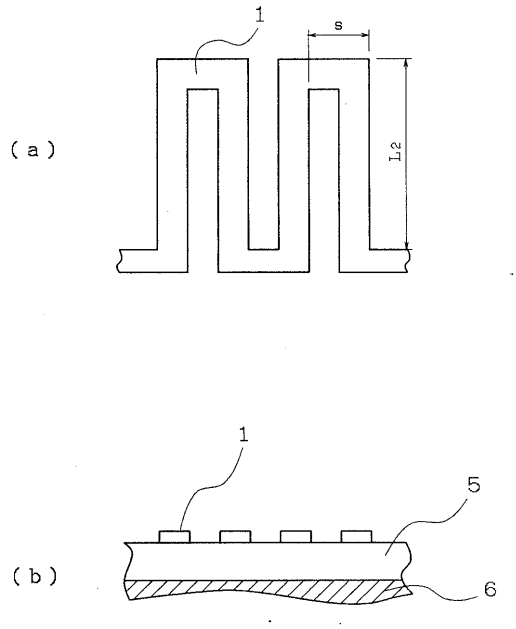
【図１】



【図２】



【図３】



フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/822
H01L 27/04