



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I742771 B

(45)公告日：中華民國 110 (2021) 年 10 月 11 日

(21)申請案號：109124558

(22)申請日：中華民國 100 (2011) 年 02 月 16 日

(51)Int. Cl. : G09G3/36 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2010/02/18 日本

2010-033669

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)；木村肇 KIMURA, HAJIME (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200733032A

TW 200818215A

US 2008/0079685A1

US 2009/0224245A1

審查人員：楊喻仁

申請專利範圍項數：10 項 圖式數：16 共 74 頁

(54)名稱

顯示裝置和電子裝置

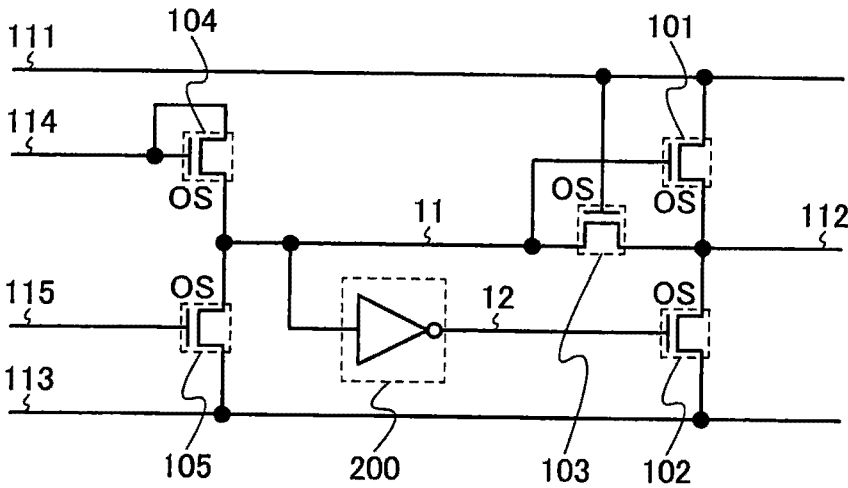
(57)摘要

將使用氧化物半導體形成通道區的電晶體用作下拉電晶體。該氧化物半導體具有 2.0eV 以上，較佳為 2.5eV 以上，更佳為 3.0eV 以上的帶隙。由此，可以抑制電晶體中的熱載子退化。其結果是，可以縮小具有該下拉電晶體的半導體裝置的電路規模。另外，藉由該電晶體的開關功能使下拉電晶體的閘極為浮動狀態。另外，藉由使該氧化物半導體高純度化，可以使電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$) 以下。其結果是，可以提高半導體裝置的驅動能力。

A transistor whose channel region includes an oxide semiconductor is used as a pull down transistor. The band gap of the oxide semiconductor is 2.0 eV or more, preferably 2.5 eV or more, more preferably 3.0 eV or more. Thus, hot carrier degradation in the transistor can be suppressed. Accordingly, the circuit size of the semiconductor device including the pull down transistor can be made small. Further, a gate of a pull up transistor is made to be in a floating state by switching of on/off of the transistor whose channel region includes an oxide semiconductor. Note that when the oxide semiconductor is highly purified, the off-state current of the transistor can be $1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{ A}/\mu\text{m}$) or less. Therefore, the drive capability of the semiconductor device can be improved.

指定代表圖：

圖5B



符號簡單說明：

- 11:節點
- 12:節點
- 101:電晶體
- 102:電晶體
- 103:電晶體
- 104:電晶體
- 105:電晶體
- 111:佈線
- 112:佈線
- 113:佈線
- 114:佈線
- 115:佈線
- 200:電路

發明摘要

【發明名稱】(中文/英文)

顯示裝置和電子裝置

DISPLAY DEVICE AND ELECTRONIC DEVICE

【中文】

將使用氧化物半導體形成通道區的電晶體用作下拉電晶體。該氧化物半導體具有 2.0eV 以上，較佳為 2.5eV 以上，更佳為 3.0eV 以上的帶隙。由此，可以抑制電晶體中的熱載子退化。其結果是，可以縮小具有該下拉電晶體的半導體裝置的電路規模。另外，藉由該電晶體的開關功能使下拉電晶體的閘極為浮動狀態。另外，藉由使該氧化物半導體高純度化，可以使電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ ($1\times 10^{-18}\text{A}/\mu\text{m}$) 以下。其結果是，可以提高半導體裝置的驅動能力。

【 英文 】

A transistor whose channel region includes an oxide semiconductor is used as a pull down transistor. The band gap of the oxide semiconductor is 2.0 eV or more, preferably 2.5 eV or more, more preferably 3.0 eV or more. Thus, hot carrier degradation in the transistor can be suppressed. Accordingly, the circuit size of the semiconductor device including the pull down transistor can be made small. Further, a gate of a pull up transistor is made to be in a floating state by switching of on/off of the transistor whose channel region includes an oxide semiconductor. Note that when the oxide semiconductor is highly purified, the off-state current of the transistor can be 1 aA/ μm (1×10^{-18} A/ μm) or less. Therefore, the drive capability of the semiconductor device can be improved.

【代表圖】

【本案指定代表圖】：第(5B)圖。

【本代表圖之符號簡單說明】：

11：節點

12：節點

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：電晶體

111：佈線

112：佈線

113：佈線

114：佈線

115：佈線

200：電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置和電子裝置

DISPLAY DEVICE AND ELECTRONIC DEVICE

【技術領域】

本發明的一個實施例關於一種顯示裝置。例如，可以舉出液晶顯示裝置，除此以外，作為技術領域之一還包括由閘極信號線和源極電極信號線選擇像素來顯示圖像的顯示裝置。另外，作為技術領域之一還包括用於顯示裝置的驅動電路等的半導體裝置和使用顯示裝置的電子裝置。

【先前技術】

目前對由非晶矽電晶體(也稱為 a-Si TFT)構成的閘極驅動電路正在進行研究開發。這種閘極驅動電路有用來將閘極線的電位保持在低電位(也稱為 L 位準)的電晶體(也稱為下拉電晶體)的臨界值電壓偏移而發生錯誤工作的問題。為了解決上述問題，已公開了在將閘極線的電位保持在低電位的期間中，下拉電晶體反復成為導通狀態和截止狀態的閘極驅動電路(例如專利文獻 1 及專利文獻 2)。由此，由於可以縮短下拉電晶體成為導通狀態的時間，所以可以抑制下拉電晶體的退化。

另外，由非晶矽電晶體構成的閘極驅動電路具有用來

控制對閘極線輸出高電壓的時序的電晶體(也稱為上拉電晶體)。在上拉電晶體中，源極電極和汲極電極中的一方連接於時鐘信號線，而源極電極和汲極電極中的另一方連接於閘極信號線。並且，使用如下驅動方法：藉由電容耦合將上拉電晶體的閘極的電位上升到高於時鐘信號的 H 位準的電位的值。為了實現上述驅動方法，需要使上拉電晶體的閘極成為浮動狀態。為此，需要使與上拉電晶體的閘極連接的所有電晶體成為截止狀態。

[專利文獻 1]日本專利申請公開第 2007-207413 號公報

[專利文獻 2]日本專利申請公開第 2008-009393 號公報

在現有的技術中，為了使下拉電晶體反復成為導通狀態和截止狀態，需要用來控制下拉電晶體的導電狀態的電路。由此，對半導體裝置的電路規模的縮小有限制。另外，即使與上拉電晶體的閘極連接的所有電晶體成為截止狀態，也因該電晶體的截止電流而導致隨時間失去上拉電晶體的閘極所保持的電荷。因此，難以降低閘極驅動電路等的半導體裝置的驅動頻率。另外，半導體裝置能夠工作的驅動頻率的範圍變窄。其結果是，對半導體裝置的驅動能力的提高有限制。

【發明內容】

鑒於上述問題，本發明的一個實施例的課題之一是縮

小半導體裝置的電路規模。另外，本發明的一個實施例的課題之一是提高半導體裝置的驅動能力。注意，本發明的一個實施例不一定需要解決所有上述課題。

藉由作為該上拉電晶體或該下拉電晶體應用使用氧化物半導體形成通道區的電晶體可以解決上述課題。在此，該氧化物半導體是藉由徹底去除成為電子給體(施體)的雜質(氫或水等)來實現高純度化的氧化物半導體。

該氧化物半導體具有 2.0eV 以上，較佳為 2.5eV 以上，更佳為 3.0eV 以上的帶隙。由此，在使用該氧化物半導體形成通道區的電晶體中不容易發生碰撞離子化(impact ionization)及雪崩擊穿(avalanche breakdown)。換言之，氧化物半導體中的載子(電子)不容易被加速。從而，使用氧化物半導體形成通道區的電晶體可以抑制因載子(電子)注入到閘極絕緣層而發生的電晶體的臨界值電壓的變動(所謂，熱載子退化)。

另外，在使用該氧化物半導體形成通道區的電晶體中載子極少。由此，可以使通道寬度的每 $1\mu\text{m}$ 的截止電流為 $1\text{aA}(1\times 10^{-18}\text{A})$ 以下。此截止電流表示為 $1\text{aA}/\mu\text{m}$ 。

本發明的一個實施例是一種顯示裝置，包括：多個閘極信號線；多個源極電極信號線；分別配置在所述閘極信號線與所述源極電極信號線的交叉區域的像素；以及與所述多個閘極信號線電連接的閘極驅動電路，所述閘極驅動電路包括：第一電晶體；第二電晶體；以及反相器電路，其中，所述第一電晶體的第一端子與第一佈線電連接，所

述第一電晶體的第二端子與第二佈線電連接，所述第二電晶體的第一端子與第三佈線電連接，所述第二電晶體的第二端子與所述第二佈線電連接，所述反相器電路的輸入端子與所述第一電晶體的閘極電連接，所述反相器電路的輸出端子與所述第二電晶體的閘極電連接，所述第一電晶體及所述第二電晶體中的通道區包括氧化物半導體，並且，所述第一電晶體及所述第二電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ 以下。

本發明的一個實施例是一種顯示裝置，包括：多個閘極信號線；多個源極電極信號線；分別配置在所述閘極信號線與所述源極電極信號線的交叉區域的像素；以及與所述多個閘極信號線電連接的閘極驅動電路，所述閘極驅動電路包括：第一電晶體；第二電晶體；以及反相器電路，其中，所述第一電晶體的第一端子與第一佈線電連接，所述第一電晶體的第二端子與第二佈線電連接，所述第二電晶體的第一端子與第三佈線電連接，所述第二電晶體的第二端子與所述第一電晶體的閘極電連接，所述反相器電路的輸入端子與所述第一電晶體的閘極電連接，所述反相器電路的輸出端子與所述第二電晶體的閘極電連接，所述第一電晶體及所述第二電晶體中的通道區包括氧化物半導體，並且，所述第一電晶體及所述第二電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ 以下。

本發明的一個實施例是一種顯示裝置，包括：多個閘極信號線；多個源極電極信號線；分別配置在所述閘極信

號線與所述源極電極信號線的交叉區域的像素；以及與所述多個閘極信號線電連接的閘極驅動電路，所述閘極驅動電路包括：第一電晶體；第二電晶體；第三電晶體；以及反相器電路，其中，所述第一電晶體的第一端子與第一佈線電連接，所述第一電晶體的第二端子與第二佈線電連接，所述第二電晶體的第一端子與第三佈線電連接，所述第二電晶體的第二端子與所述第二佈線電連接，所述第三電晶體的第一端子與第四佈線電連接，所述第三電晶體的第二端子與所述第一電晶體的閘極電連接，所述第三電晶體的閘極與所述第四佈線電連接，所述反相器電路的輸入端子與所述第一電晶體的閘極電連接，所述反相器電路的輸出端子與所述第二電晶體的閘極電連接，所述第一電晶體至所述第三電晶體中的通道區包括氧化物半導體，並且，所述第一電晶體至所述第三電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ 以下。

本發明的一個實施例是一種顯示裝置，包括：多個閘極信號線；多個源極電極信號線；分別配置在所述閘極信號線與所述源極電極信號線的交叉區域的像素；以及與所述多個閘極信號線電連接的閘極驅動電路，所述閘極驅動電路包括：第一電晶體；第二電晶體；第三電晶體；以及反相器電路，其中，所述第一電晶體的第一端子與第一佈線電連接，所述第一電晶體的第二端子與第二佈線電連接，所述第二電晶體的第一端子與第三佈線電連接，所述第二電晶體的第二端子與所述第二佈線電連接，所述第三

電晶體的第一端子與所述第三佈線電連接，所述第三電晶體的第二端子與所述第一電晶體的閘極電連接，所述第三電晶體的閘極與第四佈線電連接，所述反相器電路的輸入端子與所述第一電晶體的閘極電連接，所述反相器電路的輸出端子與所述第二電晶體的閘極電連接，所述第一電晶體至所述第三電晶體中的通道區包括氧化物半導體，並且，所述第一電晶體至所述第三電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ 以下。

本發明的一個實施例是一種顯示裝置，包括：多個閘極信號線；多個源極電極信號線；分別配置在所述閘極信號線與所述源極電極信號線的交叉區域的像素；以及與所述多個閘極信號線電連接的閘極驅動電路，所述閘極驅動電路包括：第一電晶體；第二電晶體；第三電晶體；第四電晶體；以及反相器電路，其中，所述第一電晶體的第一端子與第一佈線電連接，所述第一電晶體的第二端子與第二佈線電連接，所述第二電晶體的第一端子與第三佈線電連接，所述第二電晶體的第二端子與所述第二佈線電連接，所述第三電晶體的第一端子與第四佈線電連接，所述第三電晶體的第二端子與所述第一電晶體的閘極電連接，所述第三電晶體的閘極與所述第四佈線電連接，所述第四電晶體的第一端子與所述第三佈線電連接，所述第四電晶體的第二端子與所述第一電晶體的閘極電連接，所述第四電晶體的閘極與第五佈線電連接，所述反相器電路的輸入端子與所述第一電晶體的閘極電連接，所述反相器電路的

輸出端子與所述第二電晶體的閘極電連接，所述第一電晶體至所述第四電晶體中的通道區包括氧化物半導體，並且，所述第一電晶體至所述第四電晶體的截止電流為 $1\text{aA}/\mu\text{m}$ 以下。

本發明的一個實施例也是一種具備上述顯示裝置和操作上述顯示裝置的圖像的操作開關的電子裝置。

在本說明書等中，明確地記載為單數的最好為單數。但是，不侷限於此，也可以是複數。與此同樣，明確地記載為複數的最好為複數。但是，不侷限於此，也可以是單數。

在本說明書等中，第一、第二、第三等詞句是用來區分描述各種因素、構件、區域、層、領域的詞句。因此，第一、第二、第三等詞句不是限定因素、構件、區域、層、領域等的個數的詞句。再者，例如，可以用“第二”或“第三”等替換“第一”。

在本發明的一個實施例中，將使用氧化物半導體形成通道區的電晶體用作下拉電晶體。由此，可以抑制在該下拉電晶體中產生的熱載子退化。因此，可以減少用作下拉電晶體的電晶體的個數。另外，伴隨上述情況，可以縮減用來控制下拉電晶體的開關功能的電路的規模。其結果是，可以縮小具有該下拉電晶體的半導體裝置的電路的規模。

另外，在本發明的一個實施例中，藉由利用使用氧化物半導體形成通道區的電晶體的開關功能，使下拉電晶體

的閘極成爲浮動狀態。由此，可以在長時間保持該下拉電晶體的閘極所儲存的電荷。因此，可以降低具有該下拉電晶體的半導體裝置的驅動頻率。另外，可以擴大半導體裝置能夠工作的驅動頻率的範圍。其結果是，可以提高半導體裝置的驅動能力。

【圖式簡單說明】

在附圖中：

圖 1A 和圖 1B 是說明有關實施例 1 的電路的結構的圖；

圖 2A 是說明有關實施例 1 的電路的工作的時序圖，並且圖 2B 是說明有關實施例 1 的電路的工作的示意圖；

圖 3A 和圖 3B 是說明有關實施例 1 的電路的工作的示意圖；

圖 4A 和圖 4B 是說明有關實施例 1 的電路的工作的示意圖；

圖 5A 至圖 5C 是說明有關實施例 1 的電路的結構的圖；

圖 6A 至圖 6C 是說明有關實施例 1 的電路的結構的圖；

圖 7A 和圖 7B 是說明有關實施例 1 的電路的結構的圖；

圖 8A 至圖 8C 是說明有關實施例 1 的電路的結構的圖；

圖 9A 和圖 9B 是說明有關實施例 1 的電路的工作的
時序圖；

圖 10A 至圖 10D 是說明有關實施例 1 的電路的結構
的圖；

圖 11 是說明有關實施例 2 的移位暫存器電路的結構
的圖；

圖 12 是說明有關實施例 2 的移位暫存器電路的工作
的時序圖；

圖 13A 至圖 13D 是說明有關實施例 3 的電晶體的製
造製程的圖的一個例子；

圖 14A 至圖 14C 是有關實施例 4 的顯示裝置的結構
的圖；

圖 15A 至圖 15H 是例示出實現本發明的技術思想的
設備的方式的圖；以及

圖 16A 至圖 16H 是例示出實現本發明的技術思想的
設備的方式的圖。

【實施方式】

以下，將參照附圖說明實施例。但是，實施例可以以
多個不同方式來實施，所屬技術領域的普通技術人員可以
很容易地理解一個事實，就是其方式和詳細內容可以被變
換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因
此，本發明不應該被解釋為僅限定在實施例所記載的內容
中。另外，在以下所說明的結構中，在不同附圖之間共同

使用同一附圖標記表示同一部分或具有同樣功能的部分，而省略同一部分或具有同樣功能的部分的詳細說明。在所參照的附圖中，為清楚起見而有時對大小、層的厚度或區域進行誇張。因此，不一定限定於其尺度。

實施例 1

本實施例說明有關本發明的一個實施例的顯示裝置的電路。

圖 1A 示出具有電晶體 101、電晶體 102、電晶體 103、電晶體 104、電晶體 105 及電路 200 的電路的結構例。構成圖 1A 所示的電路的電晶體是 N 通道型。N 通道型的電晶體是在閘極和源極電極之間的電位差大於臨界值電壓時成為導通狀態的電晶體。

另外，作為構成圖 1A 所示的電路的電晶體的半導體層，可以使用氧化物半導體。該氧化物半導體較佳的是氫濃度充分得到降低而被高純度化的載子密度充分小的本徵(i 型)或實質上本徵(i 型)的氧化物半導體。由此，可以實現如下情況：降低電晶體的次臨界擺幅(S 值)；減小電晶體的截止電流；提高電晶體的耐壓；提高電晶體的溫度特性；抑制電晶體的退化。明確而言，可以降低電晶體的臨界值電壓的偏移量。

另外，作為一部分的電晶體的半導體層使用上述氧化物半導體，並且作為其他電晶體的半導體層使用上述氧化物半導體以外的半導體(例如，矽(非晶矽、微晶矽或多晶

矽等)、有機半導體等)。但是，作為至少其源極電極或汲極電極與電晶體 101 的閘極連接的電晶體的半導體層使用上述氧化物半導體。

以下說明圖 1A 所示的電路的連接關係。電晶體 101 的第一端子與佈線 111 連接。電晶體 101 的第二端子與佈線 112 連接。電晶體 102 的第一端子與佈線 113 連接。電晶體 102 的第二端子與佈線 112 連接。電晶體 103 的第一端子與佈線 113 連接。電晶體 103 的第二端子與電晶體 101 的閘極連接。電晶體 103 的閘極與電晶體 102 的閘極連接。電晶體 104 的第一端子與佈線 114 連接。電晶體 104 的第二端子與電晶體 101 的閘極連接。電晶體 104 的閘極與佈線 114 連接。電晶體 105 的第一端子與佈線 113 連接。電晶體 105 的第二端子與電晶體 101 的閘極連接。電晶體 105 的閘極與佈線 115 連接。電路 200 的輸入端子與電晶體 101 的閘極連接。電路 200 的輸出端子與電晶體 102 的閘極連接。另外，電晶體 101 的閘極表示為節點 11，並且電晶體 102 的閘極表示為節點 12。另外，電路 200 根據其結構可以與任意的佈線或任意的節點連接。例如，電路 200 可以與佈線 111、佈線 112、佈線 113、佈線 114、佈線 115、節點 11 及節點 12 中的一個以上連接。

在此，因為電晶體的源極電極和汲極電極根據電晶體的結構或工作條件等而更換，所以很難限定哪個是源極電極哪個是汲極電極。於是，在本說明書中，將源極電極和

汲極電極中的一方表示為第一端子，並且將源極電極和汲極電極中的另一方表示為第二端子，來進行區別。

參照圖 1B 說明電路 200 的結構的一個例子。電路 200 包括電晶體 201、電晶體 202、電晶體 203 及電晶體 204。電晶體 201 的第一端子與佈線 116 連接。電晶體 201 的第二端子與節點 12 連接。電晶體 202 的第一端子與佈線 113 連接。電晶體 202 的第二端子與節點 12 連接。電晶體 202 的閘極與節點 11 連接。電晶體 203 的第一端子與佈線 116 連接。電晶體 203 的第二端子與電晶體 201 的閘極連接。電晶體 203 的閘極與佈線 116 連接。電晶體 204 的第一端子與佈線 113 連接。電晶體 204 的第二端子與電晶體 201 的閘極連接。電晶體 204 的閘極與節點 11 連接。

將時鐘信號輸入到佈線 111。將本實施例的電路的輸出信號輸入到佈線 112。向佈線 113 供應電壓 V_2 。將起始脈衝輸入到佈線 114。將重設信號輸入到佈線 115。向佈線 116 供應電壓 V_1 。在此，為方便起見，將輸入到佈線 111、佈線 112、佈線 114 及佈線 115 的信號的 H 位準的電位設定為電位 V_1 ，並且將輸入到佈線 111、佈線 112、佈線 114 及佈線 115 的信號的 L 位準的電位設定為電位 V_2 。

佈線 111 是用來從控制器等的外部電路向本實施例的電路傳送時鐘信號等的信號的佈線，並具有信號線或時鐘信號線的功能。佈線 112 是用來向像素電路或多工器等的

電路傳送本實施例的電路的輸出信號的佈線，並具有信號線或閘極信號線的功能。佈線 113 是用來從電源電路等的外部電路向本實施例的電路供應電壓 V_2 等的電源電壓的佈線，並具有電源線、負電源線或接地線的功能。佈線 114 是用來從時序控制器等的外部電路或其他電路向本實施例的電路傳送啓動信號的佈線，並具有信號線的功能。佈線 115 是用來從時序控制器等的外部電路或其他電路向本實施例的電路傳送重設信號的佈線，並具有信號線的功能。佈線 116 是用來從電源電路等的外部電路向本實施例的電路供應電壓 V_1 等的電源電壓的佈線，並具有電源線或正電源線的功能。

電晶體 101 具有控制佈線 111 與佈線 112 之間的導電狀態的開關的功能。另外，電晶體 101 具有藉由第二端子與閘極的電容耦合來控制使節點 11 的電位上升的時序的功能。電晶體 102 具有控制佈線 113 與佈線 112 之間的導電狀態的開關的功能。電晶體 103 具有控制佈線 113 與節點 11 之間的導電狀態的開關的功能。電晶體 104 具有控制佈線 114 與節點 11 之間的導電狀態的開關的功能。此外，電晶體 104 具有其輸入端子與佈線 114 連接，並且其輸出端子與節點 11 連接的二極體的功能。電晶體 105 具有控制佈線 113 與節點 11 之間的導電狀態的開關的功能。電晶體 201 具有控制佈線 116 與節點 12 之間的導電狀態的開關的功能。此外，電晶體 201 具有藉由第二端子與閘極的電容耦合來控制使節點 21 的電位上升的時序的

功能。電晶體 202 具有控制佈線 113 與節點 12 之間的導通狀態的開關的功能。電晶體 203 具有控制佈線 116 與節點 12 之間的導通狀態的開關的功能。此外，電晶體 203 具有其輸入端子與佈線 116 連接，並且其輸出端子與節點 21 連接的二極體的功能。電晶體 204 具有控制佈線 113 與節點 21 之間的導通狀態的開關的功能。

電路 200 具有控制節點 12 的電位，並控制電晶體 102 及電晶體 103 的導通/截止的控制電路的功能。此外，電路 200 具有使節點 11 的電位反相並將其輸出到節點 12 的反相器電路的功能。

接著，參照圖 2A 所示的時序圖說明圖 1A 及圖 1B 所示的電路的工作的例子。在此，以圖 1B 所示的電路為例子而進行說明。圖 2A 所示的時序圖具有期間 A、期間 B、期間 C 以及期間 D。

在期間 A 中，佈線 111 的電位(表示為電位 V_{111})成為 V_2 ，佈線 114 的電位(表示為電位 V_{114})成為 V_1 ，佈線 115 的電位(表示為電位 V_{115})成為 V_2 。由此，電晶體 104 成為導通狀態，並且佈線 114 與節點 11 成為導電狀態。電晶體 105 成為截止狀態。此時，電路 200 使節點 12 的電位(表示為電位 V_{12})成為 V_2 。由此，電晶體 102 成為截止狀態，並且佈線 113 與佈線 112 成為非導電狀態。電晶體 103 成為截止狀態，並且佈線 113 與節點 11 成為非導電狀態。因此，向節點 11 供應佈線 114 的電位，而節點 11 的電位(表示為電位 V_{11})開始上升。然後，節點 11 的電位

變得高於 $V_2 + V_{th101}$ (V_{th101} 是電晶體 101 的臨界值電壓)。由此，電晶體 101 成為導通狀態，並且佈線 111 與佈線 112 成為導電狀態。因此，向佈線 112 供應佈線 111 的電位，並且佈線 112 的電位(表示為 V_{112})等於 V_2 (參照圖 2B)。

然後，節點 11 的電位繼續上升。然後，節點 11 的電位到達 $V_1 - V_{th104}$ (V_{th104} 是電晶體 104 的臨界值電壓)。由此，電晶體 104 成為截止狀態，並且佈線 114 與節點 11 成為非導電狀態。因此，節點 11 成為浮動狀態，並且節點 11 的電位維持為等於 $V_1 - V_{th104}$ ($V_1 - V_{th104}$ 是比 $V_2 + V_{th101}$ 高的值)的值(參照圖 3A)。

在期間 B 中，佈線 111 的電位成為 V_1 ，佈線 114 的電位成為 V_2 ，而佈線 115 的電位保持在 V_2 。由此，電晶體 104 保持在截止狀態，並且佈線 114 與節點 11 保持在非導電狀態。電晶體 105 保持在截止狀態，並且佈線 113 與節點 11 保持在非導電狀態。此時，電路 200 使節點 12 的電位保持在等於 V_2 。由此，電晶體 102 保持在截止狀態，並且佈線 113 與佈線 112 保持在非導電狀態。電晶體 103 保持在截止狀態，並且佈線 113 與節點 11 保持在非導電狀態。因此，由於節點 11 保持在浮動狀態，所以節點 11 的電位保持在等於 $V_1 - V_{th104}$ 的值。由此，電晶體 101 保持在導通狀態，並且佈線 111 與佈線 112 保持在導電狀態。此時，佈線 111 的電位成為 V_1 。因此，佈線 112 的電位開始上升。然後，由於節點 11 為浮動狀態，所以節

點 11 的電位因電晶體 101 的閘極與第二端子之間的寄生電容而開始上升。最後，節點 11 的電位到達 $V_1 + V_{th101} + V_a$ (V_a 是正電位)。由此，可以使佈線 112 的電位上升到等於 V_1 的值(參照圖 3B)。上述工作稱為升壓(bootstrap)工作。

在期間 C 中，佈線 111 的電位成為 V_2 ，佈線 114 的電位保持在 V_2 ，佈線 115 的電位成為 V_1 。由此，電晶體 104 保持在截止狀態，並且佈線 114 與節點 11 保持在非導電狀態。電晶體 105 成為導通狀態，並且佈線 113 與節點 11 成為導電狀態。因此，向節點 11 供應佈線 113 的電位，並且節點 11 的電位等於 V_2 。由此，電晶體 101 成為截止狀態，並且佈線 111 與佈線 112 成為非導電狀態。此時，電路 200 使節點 12 的電位等於 V_1 。由此，電晶體 102 成為導通狀態，並且佈線 113 與佈線 112 成為導電狀態。電晶體 103 成為導通狀態，並且佈線 113 與節點 11 成為導電狀態。因此，由於向佈線 112 供應佈線 113 的電位，所以佈線 112 的電位成為 V_2 (參照圖 4A)。

在期間 D 中，佈線 111 的電位反復成為 V_1 和 V_2 ，佈線 114 的電位保持在 V_2 ，佈線 115 的電位成為 V_2 。由此，電晶體 104 保持在截止狀態，並且佈線 114 與節點 11 保持在非導電狀態。電晶體 105 成為截止狀態，並且佈線 113 與節點 11 成為非導電狀態。此時，電路 200 使節點 12 的電位保持在 V_1 。由此，電晶體 102 保持在導通狀態，並且佈線 113 與佈線 112 保持在導通狀態。電晶體 103 保持在導通狀態，並且佈線 113 與節點 11 保持在導

電狀態。因此，由於向節點 11 繼續供應佈線 113 的電位，所以節點 11 的電位保持在 V_2 。由此，由於電晶體 101 保持在截止狀態，所以佈線 111 與佈線 112 保持在非導電狀態。因此，由於向佈線 112 繼續供應佈線 113 的電位，所以佈線 112 的電位保持在 V_2 (參照圖 4B)。

接著，具體說明電路 200 的工作。例如，當節點 11 的電位為 $V_2 + V_{th202}$ (V_{th202} 為電晶體 202 的臨界值電壓) 以上且 $V_2 + V_{th204}$ (V_{th204} 為電晶體 204 的臨界值電壓) 以上時，電晶體 202 成為導通狀態，並且佈線 113 與節點 12 成為導電狀態。電晶體 204 成為導通狀態，並且佈線 113 與節點 21 成為導電狀態。此時，電晶體 203 成為導通狀態，並且佈線 116 與節點 21 成為導電狀態。因此，向節點 21 供應佈線 116 的電位和佈線 113 的電位，並且節點 21 的電位(表示為電位 V_{21})成為高於 V_2 且低於 V_1 。該節點 21 的電位根據電晶體 203 的電流供應能力(例如，通道長度、通道寬度、遷移率等)和電晶體 204 的電流供應能力而決定。在此，節點 21 的電位低於 $V_2 + V_{th201}$ (V_{th201} 是電晶體 201 的臨界值電壓)。由此，電晶體 201 成為截止狀態，並且佈線 116 與節點 12 成為非導電狀態。因此，向節點 12 供應佈線 113 的電位，並且節點 12 的電位等於 V_2 (例如期間 A 及期間 B)。

另一方面，例如當節點 11 的電位低於 $V_2 + V_{th202}$ 且低於 $V_2 + V_{th204}$ 時，電晶體 202 成為截止狀態，並且佈線 113 與節點 12 成為非導電狀態。電晶體 204 成為截止狀態，並

且佈線 113 與節點 21 成為非導電狀態。此時，電晶體 203 成為導通狀態，並且佈線 116 與節點 21 成為導電狀態。因此，向節點 21 供應佈線 116 的電位，從而節點 21 的電位上升。然後，節點 21 的電位最後到達 $V_1 + V_{th201} + V_b$ (V_b 是正電位)。由此，電晶體 201 成為導通狀態，並且佈線 116 與節點 12 成為導電狀態。因此，向節點 12 供應佈線 116 的電位，從而節點 12 的電位成為 V_1 (例如期間 C 及期間 D)。

如上所述，圖 1A 及圖 1B 所示的電路藉由使用升壓工作可以使佈線 112 的電位等於佈線 111 的電位。再者，由於在期間 B 中可以增大電晶體 101 的閘極和源極電極之間的電位差 (V_{gs})，所以可以縮短 V_{112} 的上升時間。

另外，在現有的半導體裝置中電晶體的 S 值較大。由此，從佈線 114 的電位成為 V_1 到電晶體 104 成為導通狀態的時間長。另外，由於需要使期間 A 延長，所以提高驅動頻率是很困難的。另外， V_{112} 的上升時間長 (輸出信號的上升時間長)。另外，連接到佈線 112 的負載小。另外，電晶體 101 的通道寬度大。另外，佈局面積大。

與此相反，在本實施例中電晶體的 S 值小。由此，可以提高驅動能力。例如，由於電晶體 104 的 S 值小，所以可以縮短從佈線 114 的電位成為 V_1 到電晶體 104 成為導通狀態的時間。由此，可以縮短期間 A 的時間。由此，可以提高驅動頻率。作為其他例子，由於電晶體 101 的 S 值小，可以縮短 V_{112} 的上升時間。另外，即使將較大的負載

連接到佈線 112，也可以驅動該負載。另外，由於可以縮短電晶體 101 的通道寬度，所以可以減小佈局面積。

另外，在現有的半導體裝置中電晶體的截止電流大。由此，隨著時間的經過從節點 11 消失的電荷量多。另外，節點 11 的電位下降。另外，將節點 11 的電位維持為電晶體 101 成為導通狀態的電位以上的時間短。另外，降低驅動頻率是很困難的。另外，能夠工作的驅動頻率的範圍窄。

與此相反，在本實施例中電晶體的截止電流小。由此，可以提高驅動能力。例如，由於電晶體 103、電晶體 104 及電晶體 105 的截止電流小，可以減少從節點 11 消失的電荷量。由此，可以抑制節點 11 的電位的降低。換言之，可以延長將節點 11 的電位維持為電晶體 101 成為導通狀態的電位以上的時間。由此，由於可以降低驅動頻率，所以可以擴大工作的驅動頻率的範圍。

另外，在現有的半導體裝置中電晶體容易退化，並電晶體的臨界值電壓的偏移量多。由此，電晶體反復成為導通狀態和截止狀態而驅動。另外，將兩個電晶體並聯連接，並使這些兩個電晶體交替成為導通狀態。另外，用來控制電晶體的導通狀態的電路很複雜。另外，電晶體的數量增加。另外，為了抑制電晶體的退化需要增大電晶體的通道寬度。另外，為了抑制電晶體的退化，需要增大電晶體的通道長度。另外，佈局面積大。

與此相反，在本實施例中電晶體的臨界值電壓的偏移

量小。由此，可以提高驅動能力。例如，由於電晶體 102 及電晶體 103 的臨界值電壓的偏移量小，可以延長這些電晶體成為導通狀態的時間。由此，可以簡化控制電晶體 102 及電晶體 103 的導通狀態的電路。由此，由於可以減少電晶體的數量，所以可以減小佈局面積。另外，由於電晶體 102 及電晶體 103 的臨界值電壓的偏移量小，可以減小這些電晶體的通道寬度或通道長度。由此，可以減小佈局面積。另外，由於電晶體的臨界值電壓的偏移量小，可以延長能夠工作的時間。

有關本發明的一個實施例的顯示裝置的電路不侷限於圖 1A 及圖 1B 所示的電路，可以使用其他各種結構的電路。以下說明其一個例子。

例如，在圖 1A、圖 1B 所示的電路中，如圖 5A 所示，可以將電路 200 的輸入端子與佈線 112 連接。明確而言，可以將電晶體 202 的閘極與佈線 112 連接，並且可以將電晶體 204 的閘極與佈線 112 連接。另外，圖 5A 是示出在圖 1A 所示的電路中電路 200 的輸入端子與佈線 112 連接的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B 及圖 5A 所示的電路中，如圖 5B 所示，可以將電晶體 103 的第一端子與佈線 112 連接，並且可以將電晶體 103 的閘極與佈線 111 連接。藉由採用上述結構，由於可以縮短電晶體 103 成為導通的時間，所以可以抑制電晶體 103 的退化。另外，由於在期間 B 中可以防止節點 11 的電位變得過高，所以可以

實現與節點 11 電連接的電晶體(例如，電晶體 101、電晶體 104、電晶體 105 或構成電路 200 的電晶體等)的損壞的防止或退化的抑制等。另外，圖 5B 是示出在圖 1A 所示的電路中電晶體 103 的第一端子與佈線 112 連接，並且電晶體 103 的閘極與佈線 111 連接的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B、圖 5A 及圖 5B 所示的電路中，如圖 5C 所示，可以將電晶體 104 的第一端子與佈線 116 連接。另外，圖 5C 是示出在圖 1A 所示的電路中電晶體 104 的第一端子與佈線 116 連接的情況的結構的圖。

在圖 1A、圖 1B、圖 5A、圖 5B 及圖 5C 所示的電路中，可以設置電晶體或電容元件等的各種元件。以下說明其一個例子。

例如，在圖 1A、圖 1B、圖 5A、圖 5B 及圖 5C 所示的電路中，如圖 6A 所示，可以設置電晶體 121，該電晶體 121 的第一端子與佈線 113 連接，其第二端子與佈線 112 連接，並且其閘極與佈線 115 連接。電晶體 121 在期間 C 成為導通狀態，並且佈線 113 的電位供應到佈線 112。因此，可以縮短 V_{112} 的下降時間。另外，圖 6A 是示出在圖 1A 所示的電路中設置電晶體 121 的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B、圖 5A、圖 5B、圖 5C 及圖 6A 所示的電路中，如圖 6B 所示，可以設置電晶體 122，該電晶體的第一端子與佈線 113 連接，其第二端

子與節點 12 連接，並且其閘極與佈線 114 連接。電晶體 122 在期間 A 中成為導通狀態，並且佈線 113 的電位供應到節點 12。由此，在期間 A 中可以縮短 V_{12} 的下降時間，從而可以使電晶體 103 成為截止狀態的時序變得早。因此，由於可以使節點 11 的電位到達 $V_1 - V_{th104}$ 的時序變得早，所以可以縮短期間 A。其結果是，可以提高驅動頻率。另外，圖 6B 是示出在圖 1A 所示的電路中設置電晶體 122 的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B、圖 5A、圖 5B、圖 5C、圖 6A 及圖 6B 所示的電路中，如圖 6C 所示，可以設置電晶體 123，該電晶體 123 的第一端子與佈線 116 連接，其第二端子與節點 12 連接，並且其閘極與佈線 115 連接。電晶體 123 在期間 C 中成為導通狀態，並且佈線 116 的電位供應到節點 12。由此，在期間 C 中可以縮短 V_{12} 的上升時間，從而可以使電晶體 102 及電晶體 103 成為導通狀態的時序變得早。其結果是，由於可以使佈線 113 的電位向佈線 112 供應的時序變得早，所以可以縮短 V_{112} 的下降時間。另外，圖 6C 是示出在圖 1A 所示的電路中設置電晶體 123 的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B、圖 5A、圖 5B、圖 5C、圖 6A、圖 6B 及圖 6C 所示的電路中，如圖 7A 所示，可以設置電晶體 124 以及電晶體 125，該電晶體 124 的第一端子與佈線 111 連接，其第二端子與佈線 117 連接，並且其閘極與節點 11 連接，該電晶體 125 的第一端

子與佈線 113 連接，其第二端子與佈線 117 連接，並且其閘極與節點 12 連接。由此，可以以與佈線 112 的電位變化的時序相同的時序使佈線 117 的電位變化。例如，較佳的是將佈線 112 和佈線 117 中的一方與負載連接，並且將佈線 112 和佈線 117 中的另一方與其他電路連接。另外，可以省略電晶體 125。另外，圖 7A 是示出在圖 1A 所示的電路中設置電晶體 124 及電晶體 125 的情況的結構的圖。

作為其他例子，在圖 1A、圖 1B、圖 5A、圖 5B、圖 5C、圖 6A、圖 6B、圖 6C 及圖 7A 所示的電路中，如圖 7B 所示，可以在電晶體 101 和第二端子之間設置電容元件 126。另外，也可以在電晶體 124 的閘極和第二端子之間設置電容元件 126。另外，圖 7B 是示出在圖 1A 所示的電路中設置電容元件 126 的情況的結構的圖。

電路 200 不侷限於圖 1B 所示的結構，而可以採用其他結構。以下說明其他結構的一個例子。例如，如圖 8A 所示，可以省略電晶體 201 和電晶體 202。另外，在圖 8A 所示的電路 200 中，如圖 8B 所示，可以將電晶體 203 的閘極與節點 12 連接。另外，在圖 8A 所示的電路 200 中，如圖 8C 所示，可以將電晶體 203 的閘極與佈線 118 連接。將輸入到佈線 111 的信號的反相信號(反相時鐘信號)或其相位與輸入到佈線 111 的信號的相位錯開(例如其相位錯開 180° 、 90° 、 45° 等)的信號輸入到佈線 118。由此，佈線 118 具有信號線、時鐘信號線或反相時鐘信號線的功能。但是，只要實現電路 200 所具有的功能，電路

200 就不侷限於上述結構。

不侷限於圖 2A 所示的時序圖，上述電路可以採用其他時序圖。以下說明作為其一個例子。例如，如圖 9A 所示，輸入到佈線 111 的信號可以為不平衡。由此，由於可以在期間 C 中與佈線 111 的電位成為 V_2 的時序相比佈線 115 的電位成為 V_1 的時序慢，所以可以縮短 V_{112} 的下降時間。作為其他例子，如圖 9B 所示，輸入到佈線 111 的信號可以為多相的時鐘信號。由此，可以減少耗電量。另外，圖 9B 是示出對佈線 111 輸入四相的時鐘信號時的時序圖的一個例子的圖。

電晶體 101 的 W/L (W : 通道寬度, L : 通道長度) 比最好大於電晶體 102、電晶體 103、電晶體 104、電晶體 105 的 W/L 比。尤其是，較佳的是電晶體 101 的 W/L 比為電晶體 104 的 W/L 比的 1.5 倍以上且 10 倍以下。更佳的是 1.8 倍以上且 7 倍以下。進一步佳的是 2 倍以上且 4 倍以下。另外，電晶體 102 的 W/L 比最好大於電晶體 103 的 W/L 比。這是因為電晶體 103 的負載(例如節點 11)比電晶體 102 的負載(例如佈線 112)小的緣故。尤其是，電晶體 102 的 W/L 比為電晶體 103 的 W/L 比的 1.5 倍以上且 8 倍以下。更佳的是 2 倍以上且 6 倍以下。進一步佳的是 2 倍以上且 5 倍以下。另外，電晶體 102 的通道長度和電晶體 103 的通道長度中的至少一個最好大於電晶體 105 的通道長度。尤其是，電晶體 102 的通道長度和電晶體 103 的通道長度中的至少一個最好為大於電晶體 105 的通道長度的

1 倍且 4 倍以下。更佳的是 1.3 倍以上且 3 倍以下。進一步佳的是 1.8 倍以上且 2.5 倍以下。

佈線 111 的佈線寬度最好小於電晶體 101 的通道寬度、電晶體 102 的通道寬度和電晶體 104 的通道寬度中的至少一個。另外，佈線 111 的佈線寬度最好包含比佈線 116 的至少一部分的佈線寬度大的部分。

作為本發明的一個實施例，本實施例所說明的電路包括以下結構：具有電晶體 101、電晶體 102 及電路 200 的半導體裝置(參照圖 10A)；具有電晶體 101、電晶體 103 及電路 200 的半導體裝置(參照圖 10B)；具有電晶體 101、電晶體 102、電晶體 103 及電路 200 的半導體裝置(參照圖 10C)；具有電晶體 101、電晶體 102、電晶體 104 及電路 200 的半導體裝置(參照圖 10D)。

實施例 2

在本實施例中，說明根據本發明的一個實施例的顯示裝置的移位暫存器電路。本實施例的移位暫存器電路可以包括實施例 1 所述的電路。另外，本實施例的移位暫存器電路可以應用於閘極驅動器電路及/或源極電極驅動器電路等的顯示裝置的驅動電路。

圖 11 是示出具有 N (N 是自然數)個電路 301(表示為電路 301_1 至 301_ N)的移位暫存器電路的結構例的圖。作為電路 301，可以使用實施例 1 所說明的電路。圖 11 示出使用圖 1A 所示的電路作為電路 301 時的例子。

以下，說明圖 11 所示的移位暫存器電路的連接關係。以電路 301_i(i 為 2 以上且小於 $N-1$ 的自然數)的連接關係為例進行說明。電路 301_i 與佈線 311_i、佈線 311_{i-1}、佈線 311_{i+1}、佈線 312 和佈線 313 中的一方以及佈線 314 連接。明確地說，在電路 301_i 中，佈線 112 與佈線 311_i 連接，佈線 114 與佈線 311_{i-1} 連接，佈線 115 與佈線 311_{i+1} 連接，佈線 111 與佈線 312 和佈線 313 中的一方連接，佈線 113 與佈線 314 連接。另外，較佳的是，在電路 301_i 中佈線 111 與佈線 312 連接時，在電路 301_{i+1} 及電路 301_{i-1} 中佈線 111 與佈線 313 連接。另外，電路 301₁ 與電路 301_i 不同的一點在於：佈線 114 與佈線 315 連接。另外，電路 301_N 與電路 301_i 不同的一點在於：佈線 115 與虛擬電路(表示為電路 301_D)的輸出端子連接。此外，作為電路 301_D，既可以使用與電路 301 同樣的結構，又可以使用電路 301 的結構的一部分。

參照圖 12 所示的時序圖說明圖 11 所示的移位暫存器電路的工作。

以下，以電路 301_i 的工作為例進行說明。首先，佈線 311_{i-1} 的電位(表示為電位 $V_{311_{i-1}}$)成為 V_1 。結果，電路 301_i 進行實施例 1 所說明的期間 A 中的工作，佈線 311_i 的電位(表示為電位 V_{311_i})成為 V_2 。然後，佈線 312 的電位(表示為電位 V_{312})及佈線 313 的電位(表示為電位 V_{313})反相。結果，電路 301_i 進行實施例 1 所說明的期間

B 中的工作，佈線 311_i 的電位成為 V_1 。然後，佈線 312 的電位及佈線 313 的電位反相，佈線 311_{i+1} 的電位(表示為電位 $V_{311_{i+1}}$)成為 V_1 。結果，電路 301_i 進行實施例 1 所說明的期間 C 中的工作，佈線 311_i 的電位成為 V_2 。然後，電路 301_i 直到佈線 311_{i-1} 的電位再次成為 V_1 為止進行實施例 1 所說明的期間 D 中的工作，佈線 311_i 的電位一直為 V_2 。注意，電路 301₁ 與電路 301_i 不同的一點在於：當佈線 315 的電位(表示為電位 V_{315})成為 V_1 時，進行期間 A 中的工作。此外，電路 301_N 與電路 301_i 不同的一點在於：當電路 301_D 的輸出信號成為 V_1 時，進行期間 C 中的工作。

如上所述，可以使從佈線 311₁ 的電位(表示為電位 V_{311_1})到佈線 311_N 的電位(表示為電位 V_{311_N})依次成為 V_1 。當圖 11 所示的移位暫存器電路使用實施例 1 所說明的電路形成時，該移位暫存器電路可以獲得與實施例 1 所說明的電路同樣的優點。

將移位暫存器電路的輸出信號輸入到佈線 311(佈線 311₁ 至佈線 311_N 中的一個)。將時鐘信號輸入到佈線 312。將其相位與輸入到佈線 312 的時鐘信號不同的時鐘信號或輸入到佈線 312 的時鐘信號的反相信號輸入到佈線 313。將電壓 V_2 供應到佈線 314。將起始信號輸入到佈線 315。

佈線 311 是用來將移位暫存器電路的輸出信號傳達到像素電路或多路分解器等的電路的佈線，而用作信號線或

閘極信號線。佈線 312 及佈線 313 是用來將時鐘信號等的信號從控制器等的外部電路傳達到本實施例的移位暫存器電路的佈線，而用作信號線或時鐘信號線。佈線 314 是用來將電壓 V_2 等的電源電壓從電源電路等的外部電路供應到本實施例的移位暫存器電路的佈線，而用作電源線、負電源線或接地線。佈線 315 是用來將起始信號從控制器等的外部電路傳達到本實施例的移位暫存器電路的佈線，而用作信號線。

實施例 3

在本實施例中對構成實施例 1 或 2 所說明的電路的電晶體的一個例子進行說明。明確而言，對使用氧化物半導體形成通道形成區的電晶體的結構及製造製程的一個例子進行說明。

作為氧化物半導體，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體、三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體、二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等的氧化物

半導體。另外，也可以使用對上述氧化物半導體添加 SiO_2 的氧化物半導體。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不是自然數)表示的物質。在此， M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M ，具有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。在具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不是自然數)表示的結構的氧化物半導體中，將具有作為 M 包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 氧化物半導體，並且將其薄膜還稱為 In-Ga-Zn-O 類膜。另外，本說明書所述的由 In-Ga-Zn-O 表示的氧化物半導體材料是 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不是自然數)，藉由使用 ICP-MS 分析或 RBS 分析可以確認到 m 不是自然數。

參照圖 13A 至圖 13D 說明使用氧化物半導體形成通道區的電晶體的製造方法的一個例子。

圖 13A 至圖 13D 是示出電晶體的截面結構的一個例子的圖。圖 13D 所示的電晶體 410 是被稱為通道蝕刻型的底閘結構的一種。

另外，圖 13D 示出單閘結構的電晶體，但是根據需要也可以採用具有多個通道區的多閘結構的電晶體。

以下，使用圖 13A 至圖 13D 說明在基板 400 上製造電晶體 410 的製程。

首先，在具有絕緣表面的基板 400 上形成導電膜之後，藉由第一光微影製程形成閘極電極層 411。

雖然對於可以用作具有絕緣表面的基板 400 的基板沒有特別限制，但基板對後面將進行的熱處理至少具有足夠的耐熱性是必要的。例如，作為具有絕緣表面的基板 400，可以使用鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等的玻璃基板。作為具有絕緣表面的基板 400，當後面的加熱處理的溫度較高時，最好使用其應變點為 730°C 以上的玻璃基板。

也可以在基板 400 與閘極電極層 411 之間設置作為基底膜的絕緣膜。基底膜具有防止雜質元素從基板 400 擴散的功能，並且基底膜可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的一種或多種膜的疊層結構形成。

另外，作為閘極電極層 411，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈐、釭等金屬材料或以這些金屬材料為主要成分的合金材料的單層或疊層。

接著，在閘極電極層 411 上形成閘極絕緣層 402。

作為閘極絕緣層 402，可以藉由電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層形成。此外，作為閘極絕緣層可以使用 High-k 材料例如氧化鈦(HfO_x)或氧化鉭(TaO_x)。將閘極絕緣層 402 的厚度設定為 100nm 以上且 500nm 以下。當採用疊層時，例如採用厚度為 50nm 以上且 200nm 以下的第一閘極絕緣層和第一閘極絕緣層上的厚度為 5nm 以上且 300nm 以下的第二閘極絕緣層的疊層。

在本實施例中，利用電漿 CVD 法形成厚度為 100nm 以下的氮化矽層作為閘極絕緣層 402。

另外，作為閘極絕緣層 402 也可以使用高密度電漿裝置形成氮化矽層。在此，高密度電漿裝置是指能夠實現 $1 \times 10^{11} / \text{cm}^3$ 以上的電漿密度的裝置。例如，施加 3kW 至 6kW 的微波功率產生電漿，而形成絕緣層。因為利用高密度電漿裝置得到的絕緣層可以形成為其厚度均勻，所以其臺階覆蓋性優越。另外，利用高密度電漿裝置得到的絕緣層，可以對薄膜的厚度進行準確地控制。

使用高密度電漿裝置而得到的絕緣層的品質與使用現有的平行平板型 PCVD 設備而得到的絕緣層的品質不同得多，並且，在使用相同的蝕刻劑比較蝕刻速度的情況下，使用高密度電漿裝置而得到的絕緣層的蝕刻速度比使用現有的平行平板型 PCVD 設備而得到的絕緣層的蝕刻速度慢 10% 以上或 20% 以上，從而可以說使用高密度電漿裝置而得到的絕緣層是細緻的層。

另外，由於藉由在後面的製程中實現 i 型化或實質上實現 i 型化的氧化物半導體(高純度化了的氧化物半導體)對介面能級或介面電荷非常敏感，所以與閘極絕緣層之間的介面很重要。由此，要求與高純度化了的氧化物半導體接觸的閘極絕緣層(GI)的高品質化。從而，使用 μ 波(2.45GHz)的高密度電漿 CVD 可以形成緻密的絕緣耐壓高的高品質的絕緣層，因此是較佳的。這是因為如下緣故：藉由使高純度化了的氧化物半導體與高品質的閘極絕緣層

密接，可以降低介面能級並使介面特性良好。重要的不僅是作為閘極絕緣層的膜質良好，而且還是可以降低與氧化物半導體層之間的介面態密度而形成良好的介面。

接著，在閘極絕緣層 402 上形成 2nm 以上且 200nm 以下厚的氧化物半導體膜 430。氧化物半導體膜 430 使用 In-Ga-Zn-O 類或 In-Zn-O 類等的氧化物半導體膜。在本實施例中，使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法來形成氧化物半導體膜 430。該步驟的截面圖相當於圖 13A。此外，可以在稀有氣體(典型的是氬)氣圍下、氧氣圍下或稀有氣體(典型的是氬)及氧的混合氣圍下藉由濺射法形成氧化物半導體膜 430。

在此，使用包含 In、Ga 及 Zn 的金屬氧化物靶材 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩爾數比]) 並以如下條件下進行成膜，該條件是：基板和靶材之間的距離是 100mm；壓力是 0.2Pa；直流(DC)功率是 0.5kW；在氬及氧(氬：氧 = 30sccm : 20sccm，氧流量比率 40%)氣圍下。此外，藉由使用脈衝直流(DC)功率，可以減少當成膜時產生的粉狀物質，厚度分佈也變為均勻，所以這是較佳的。將 In-Ga-Zn-O 類膜的厚度設定為 5nm 以上且 200nm 以下。在本實施例中，作為氧化物半導體膜，使用 In-Ga-Zn-O 類金屬氧化物靶材藉由濺射法形成厚度為 20nm 的 In-Ga-Zn-O 類膜。接著，藉由第二光微影製程將氧化物半導體膜 430 加工為島狀氧化物半導體層。

接著，進行氧化物半導體層的脫水化或脫氫化。進行

脫水化或脫氫化的第一加熱處理的溫度設定為 400°C 以上且 750°C 以下，最好為 400°C 以上且低於基板的應變點。在此，對加熱處理裝置之一的電爐引入基板，在氮氣圍下以 450°C 對氧化物半導體層進行一個小時的加熱處理，然後不使其接觸於大氣以防止水、氫混入到氧化物半導體層，由此獲得氧化物半導體層 431(參照圖 13B)。

注意，加熱處理裝置不侷限於電爐，可以具備藉由由電阻發熱體等的發熱體產生的熱傳導或熱輻射而對被處理物進行加熱的裝置。例如，可以使用 GRTA(Gas Rapid Thermal Annealing：氣體快速熱退火)裝置、LRTA(Lamp Rapid Thermal Annealing：燈快速熱退火)裝置等的 RTA(Rapid Thermal Annealing：快速熱退火)裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光(電磁波)的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的惰性氣體如氬等的稀有氣體或氮。

例如，作為第一加熱處理，也可以進行如下 GRTA，在該 GRTA 中，將基板移動到加熱為 650°C 至 700°C 的高溫的惰性氣體中，加熱幾分鐘，然後將基板從加熱為高溫的惰性氣體中移動。當採用 GRTA 時，可以進行短時間內的高溫加熱處理。

另外，在第一加熱處理的氣圍中，最好不使氮或稀有氣體諸如氬、氖、氫等、乾燥空氣包含水、氫等。例

如，在加熱處理裝置內所引入的氮或稀有氣體諸如氮、氬或氫等的純度較佳為 6N(99.9999%)以上，更佳為 7N(99.99999%)以上(即，雜質濃度較佳為 1ppm 以下，更佳為 0.1ppm 以下)。

另外，也可以對加工成島狀氧化物半導體層之前的氧化物半導體膜 430 進行氧化物半導體層的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置拿出基板，以進行第二光微影製程。

另外，在閘極絕緣層 402 中形成開口部時，該製程也可以在對氧化物半導體膜 430 進行脫水化或脫氫化處理之前或者之後進行。

注意，這裏的對氧化物半導體膜 430 的蝕刻不侷限於濕蝕刻，而也可以使用乾蝕刻。

作為用於乾蝕刻的氧化物半導體膜 430 的蝕刻氣體，最好使用含氯的氣體(例如氯(Cl_2)、三氯化硼(BCl_3)等)。

作為用於濕蝕刻的氧化物半導體膜 430 的蝕刻液，可以使用磷酸、醋酸以及硝酸混合的溶液、過氧化氫氨水(31wt.%的過氧化氫水：28wt.%的氨水：水=5：2：2)等。另外，可以使用 ITO-07N(由日本關東化學株式會社製造)。

接著，在閘極絕緣層 402 及氧化物半導體層 431 上形成金屬導電膜。使用濺射法或真空蒸鍍法形成金屬導電膜即可。作為金屬導電膜的材料，可舉出選自鋁(Al)、鉻(Cr)、銅(Cu)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鎢(W)、鈳

(Nd)、釷(Sc)中的元素；以上述元素為成分的合金；或者組合上述元素的合金等。另外，也可以使用上述元素的氮化膜。此外，也可以使用選自錳(Mn)、鎂(Mg)、鋯(Zr)、鈹(Be)、釔(Y)中的任一種或多種的材料。另外，金屬導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鈦膜上層疊鋁膜、在該鋁膜上層疊鈦膜的三層結構等。

在形成金屬導電膜之後進行加熱處理的情況下，金屬導電膜最好具有能夠耐受該加熱處理的耐熱性。

藉由第三光微影製程在金屬導電膜上形成抗蝕劑掩模，選擇性地進行蝕刻來形成源極電極層 415a、汲極電極層 415b，然後去除抗蝕劑掩模(參照圖 13C)。

在本實施例中，將鈦膜用作金屬導電膜，將 In-Ga-Zn-O 類氧化物用作氧化物半導體層 431，並且將過氧化氫氨水(氨水、水、過氧化氫水的混合液)用作蝕刻劑。

注意，在第三光微影製程中，氧化物半導體層 431 有時僅有一部分被蝕刻，而成為包括槽部(凹部)的氧化物半導體層。

另外，為了縮減在光微影製程中使用的光掩模數量及製程數，也可以使用由多色調掩模形成的抗蝕劑掩模來進行蝕刻製程，該多色調掩模是所透過的光具有多種強度的曝光掩模。使用多色調掩模形成的抗蝕劑掩模呈具有多種厚度的形狀，並且進行灰化來可以進一步改變其形狀，所

以可以將其用於加工為不同圖案的多個蝕刻製程。因此，可以利用一個多色調掩模形成對應於至少兩種以上的不同圖案的抗蝕劑掩模。從而，可以縮減曝光掩模數，並還可以縮減與其對應的光微影製程，所以可以實現製程的簡化。

接著，進行使用一氧化二氮(N_2O)、氮(N_2)或氬(Ar)等的氣體的電漿處理。藉由該電漿處理去除附著在被露出的氧化物半導體層的表面上的吸附水。另外，還可以進行使用氧和氬的混合氣體的電漿處理。

在進行電漿處理後，以不接觸於大氣的方式形成與氧化物半導體層 431 的一部分接觸的成為保護絕緣膜的氧化物絕緣層 416。

將氧化物絕緣層 416 的厚度至少設定為 1nm 以上，並且可以適當地使用濺射法等防止水、氫等的雜質混入的方法來形成氧化物絕緣層 416。如果氧化物絕緣層 416 含有氫，該氫就侵入到氧化物半導體層，從而使氧化物半導體層 431 的背通道低電阻化(N 型化)而形成寄生通道。因此，為了使氧化物絕緣層 416 儘量地不含有氫，作為成膜方法，不使用氫是重要的。

在本實施例中，藉由濺射法形成用作氧化物絕緣層 416 的厚度為 200nm 的氧化矽膜。將形成膜時的基板溫度設定為室溫以上且 300℃ 以下即可，在本實施例中將該基板溫度設定為 100℃。藉由濺射法進行的氧化矽膜的成膜可以在稀有氣體(典型的是氬)氣圍下、氧氣圍下或稀有氣

體(典型的是氫)及氧氣圍下進行。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以在氧及氮氣圍下使用矽靶材並藉由濺射法來形成氧化矽膜。

接著，在惰性氣體氣圍下、乾燥空氣氣圍下或氧氣體氣圍下進行第二加熱處理(最好為 200°C 以上且 400°C 以下，例如為 250°C 以上且 350°C 以下)。例如，在氮氣圍下進行 250°C 且 1 小時的第二加熱處理。藉由進行第二加熱處理，在氧化物半導體層的一部分(通道區)與氧化物絕緣層 416 接觸的狀態下受到加熱。由此，對氧化物半導體層的一部分(通道區)供應氧。

藉由上述製程，對氧化物半導體層進行用於脫水化或脫氫化的加熱處理之後，選擇性地使氧化物半導體層的一部分(通道區)處於氧過剩狀態。藉由上述製程形成電晶體 410。

再者，也可以在大氣中以 100°C 以上且 200°C 以下的溫度進行 1 小時以上且 30 小時以下的加熱處理。在本實施例中以 150°C 進行 10 小時的加熱處理。作為該加熱處理，既可以在保持一定的加熱溫度的情況下進行，也可以反復多次進行從室溫到 100°C 以上且 200°C 以下的加熱溫度的升溫和從加熱溫度到室溫的降溫。

也可以在氧化物絕緣層 416 上還形成保護絕緣層。例如，使用 RF 濺射法形成氮化矽膜。RF 濺射法因為具有高量產性而最好用作保護絕緣層的成膜方法。作為保護絕緣層使用不包含水分、氫離子、 OH^- 等的雜質且阻擋上述雜

質從外部侵入的無機絕緣膜，即使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。在本實施例中，作為保護絕緣層，使用氮化矽膜形成保護絕緣層 403(參照圖 13D)。

在本實施例中，電晶體 410 的氧化物半導體層是如下氧化物半導體層：從氧化物半導體中除去 n 型雜質的氫，並藉由儘量地不使其含有主要成分以外的雜質來使其高純度化以使其成為本徵(i 型)或實質上本徵氧化物半導體。換言之，其特徵是不藉由添加雜質實現 i 型化，而藉由儘量去除氫、水等的雜質，來實現高純度化的 i 型(本徵半導體)或近於高純度化的 i 型。因此，費米能級(E_f)可以得到與本徵費米能級(E_i)相同的能級。

在氧化物半導體的帶隙(E_g)被認為是 3.15eV ，電子親和力(χ)被認為是 4.3eV 。構成源極電極層及汲極電極層的鈦(Ti)的功函數與氧化物半導體的電子親和力(χ)大致相等。在此情況下，在金屬-氧化物半導體介面未形成對電子的肖特基勢壘。

例如，即使在電晶體的通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ ，且通道長度 L 為 $3 \mu\text{m}$ 的元件中，也可以在室溫下截止電流為 10^{-13}A 以下， S 值為 0.1V/decade (閘極絕緣層的厚度為 100nm)。

像這樣，藉由以儘量不包含氧化物半導體的主要成分以外的雜質的方式實現高純度化，可以使電晶體 410 的工作優良。

爲了抑制上述氧化物半導體的電特性變動，意圖性地去除成爲變動因素的氫、水分、羥基或氫化物(也稱爲氫化合物)等的雜質。並且，藉由供給當進行雜質的去除製程的同時減少的構成氧化物半導體的主要成分的氧，上述氧化物半導體成爲高純度化了的在電性上 I 型(本徵)化了的氧化物半導體。

由此，在氧化物半導體中的氫越少越好。另外，在高純度化了的氧化物半導體中，載子極少(近於 0)，載子密度低於 $1 \times 10^{12}/\text{cm}^3$ ，最好低於 $1 \times 10^{11}/\text{cm}^3$ 。就是說，氧化物半導體層的載子密度儘量接近 0。因爲在氧化物半導體層中載子極少，所以可以降低電晶體的截止電流。截止電流越少越好。電晶體的每通道寬度(w) $1\mu\text{m}$ 的電流值爲 100aA 以下，較佳爲 10zA(zeptoampere：仄普托安培)以下，更佳爲 1zA 以下。再者，由於沒有 pn 接面及熱載子退化，因此電晶體的電特性不受到這些因素的影響。

像這樣，將藉由徹底去除包含在氧化物半導體層中的氫來高純度化了的氧化物半導體用作通道區的電晶體的截止電流可以極小。換言之，在電晶體處於截止狀態下，可以將氧化物半導體層看作絕緣體地進行電路設計。另一方面，在電晶體處於導通狀態下，可以預期氧化物半導體層的電流供應能力高於由非晶矽形成的半導體層。

另外，估計具有低溫多晶矽的電晶體的截止電流值與使用氧化物半導體製造的電晶體相比大 10000 倍左右而進行設計。由此，具有氧化物半導體的電晶體與具有低溫多

晶矽的電晶體相比在儲存電容為相等(0.1pF)時，可以使電壓的保持期間延長 10000 倍左右。作為一個例子，在每秒 60 框進行動態圖像顯示時，可以將一次信號寫入的保持期間為 10000 倍，即 160 秒左右。即使視頻信號的寫入次數少，也可以在顯示部進行靜態圖像的顯示。

實施例 4

在本實施例中，對根據本發明的一個實施例的顯示裝置的例子進行說明。

圖 14A 示出使用實施例 2 的移位暫存器電路的顯示裝置的例子。圖 14A 所示的顯示裝置包括：時序控制器 5360；源極電極驅動電路 5362；具有閘極驅動電路 5363_1 和閘極驅動電路 5363_2 的驅動電路 5361；以及像素部 5364。在像素部 5364 中，多個源極電極信號線 5371 從源極電極驅動電路 5362 延伸而配置，並且多個閘極信號線 5372 從閘極驅動電路 5363_1 和閘極驅動電路 5363_2 延伸而配置。在多個源極電極信號線 5371 與多個閘極信號線 5372 交叉的各區域中，像素 5367 被配置為矩陣狀。

另外，顯示裝置可以具有照明裝置和其控制電路等。此時，像素 5367 最好具有液晶元件。

另外，可以省略閘極驅動電路 5363_1 和閘極驅動電路 5363_2 中的一方。

時序控制器 5360 是具有藉由對驅動電路 5361 供應控

制信號來控制驅動電路 5361 的工作的功能的電路。例如，時序控制器 5360 對源極電極驅動電路 5362 供應啓動信號 SSP、時鐘信號 SCK、反相時鐘信號 SCKB、視頻信號 DATA、鎖存信號 LAT 等的控制信號。另外，時序控制器 5360 對閘極驅動電路 5363_1 和閘極驅動電路 5363_2 供應啓動信號 GSP、時鐘信號 GCK、反相時鐘信號 GCKB 等的控制信號。

源極電極驅動電路 5362 是具有對多個源極電極信號線 5371 分別輸出視頻信號的功能的電路，可以稱為驅動電路或信號線驅動電路等。視頻信號輸入到像素 5367，構成像素 5367 的顯示元件具有與視頻信號相應的灰度。

閘極驅動電路 5363_1 和閘極驅動電路 5363_2 是具有依次選擇各列的像素 5367 的功能的電路，可以稱為驅動電路或掃描線驅動電路。藉由閘極驅動電路 5363_1 和閘極驅動電路 5363_2 對閘極信號線 5372 輸出閘極信號，控制選擇像素 5367 的時序。

另外，在圖 14A 所示的顯示裝置中，閘極驅動電路 5363_1 和閘極驅動電路 5363_2 可以形成在與像素部 5364 同一基板上。圖 14B 示出在與像素部 5364 同一基板(表示為基板 5380)上形成閘極驅動電路 5363_1 和閘極驅動電路 5363_2 的情況的例子。另外，基板 5380 藉由端子 5381 連接到外部電路。

另外，在圖 14A 所示的顯示裝置中，可以將源極電極驅動電路 5362 的一部分(例如，開關、多工器、移位暫存

器電路、解碼器電路、反相器電路、緩衝電路及/或位準轉移電路等)形成在與像素部 5364 同一基板上。圖 14C 示出在與像素部 5364 同一基板(表示為基板 5380)上形成閘極驅動電路 5363_1 和閘極驅動電路 5363_2 以及源極電極驅動電路 5362 的一部分(表示為 5362a)，而源極電極驅動電路 5362 的其他部分(表示為 5362b)形成在與基板 5380 不同的基板上的情況的例子。

作為顯示裝置的驅動電路或驅動電路的一部分，可以使用在實施例 2 中說明的移位暫存器電路。尤其是在使用實施例 3 所說明的電晶體構成顯示裝置的驅動電路的情況下，藉由使用實施例 2 所說明的移位暫存器電路，可以提高驅動電路的驅動能力。由此，可以實現顯示裝置的大型化。或者，可以提高顯示裝置的解析度。或者，由於可以縮小驅動電路的設計面積，所以可以縮小顯示裝置的邊框。

實施例 5

在本實施例中說明電子裝置的例子。

圖 15A 至圖 15H 以及圖 16A 至圖 16D 是示出電子裝置的圖。這些電子裝置可以包括框體 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005(包括電源開關或操作開關)、連接端子 5006、感測器 5007(它具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物

質、聲音、時間、硬度、電場、電流、電壓、電力、射線、流量、濕度、傾斜度、振動、氣味或紅外線)、麥克風 5008 等。

圖 15A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外埠 5010 等。圖 15B 示出具備記錄媒體的可攜式圖像再現裝置(例如 DVD 再現裝置)，該可攜式圖像再現裝置除了上述以外還可以包括第二顯示部 5002、記錄媒體讀取部 5011 等。圖 15C 示出護目鏡型顯示器，該護目鏡型顯示器除了上述以外還可以包括第二顯示部 5002、支撐部 5012、耳機 5013 等。圖 15D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括記錄媒體讀取部 5011 等。圖 15E 示出投影儀裝置，該投影儀裝置除了上述以外還可以包括光源 5033、投射透鏡 5034 等。圖 15F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括第二顯示部 5002、記錄媒體讀取部 5011 等。圖 15G 示出電視接收機，該電視接收機除了上述以外還可以包括調諧器、圖像處理部等。圖 15H 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 5017 等。圖 16A 示出顯示器，該顯示器除了上述以外還可以包括支撐台 5018 等。圖 16B 示出相機，該相機除了上述以外還可以包括外部連接埠 5019、快門按鈕 5015、圖像接收部 5016 等。圖 16C 示出電腦，該電腦除了上述以外還可以包括定位裝置 5020、外部連接埠 5019、讀寫器 5021 等。圖 16D 示出行動電話

機，該行動電話機除了上述以外還可以包括天線、單波段(用於行動電話·移動終端的單波段廣播部分接收服務)用調諧器等。

圖 15A 至圖 15H、圖 16A 至圖 16D 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態圖像、動態圖像、文字圖像等)顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體(程式)控制處理；進行無線通信；藉由利用無線通信功能來連接到各種電腦網路；藉由利用無線通信功能，進行各種資料的發送或接收；讀出儲存在記錄媒體中的程式或資料來將其顯示在顯示部上；等。再者，在具有多個顯示部的電子裝置中，可以具有如下功能：一個顯示部主要顯示圖像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的圖像來顯示立體圖像；等。再者，在具有圖像接收部的電子裝置中，可以具有如下功能：拍攝靜態圖像；拍攝動態圖像；對所拍攝的圖像進行自動或手動校正；將所拍攝的圖像儲存在記錄媒體(外部或內置於相機)中；將所拍攝的圖像顯示在顯示部上；等。注意，圖 15A 至圖 15H、圖 16A 至圖 16D 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

圖 16E 示出將顯示裝置和建築物設置為一體的例子。圖 16E 包括框體 5022、顯示部 5023、作為操作部的遙控單元 5024、揚聲器 5025 等。顯示裝置以壁掛式的方式結

合到建築物內並且可以不需要較大的空間而設置。

圖 16F 示出在建築物內將顯示裝置和建築物設置為一體的另一個例子。顯示面板 5026 被結合到浴室 5027 內，並且洗澡的人可以觀看顯示面板 5026。

另外，在本實施例中，舉出牆、浴室作為建築物的例子，但是本實施例不侷限於此，也可以將顯示裝置安裝到各種建築物。

下面，示出將顯示裝置和移動體設置為一體的例子。

圖 16G 示出將顯示裝置設置到汽車中的例子。顯示面板 5028 被安裝到汽車的車體 5029，並且可以根據需要而顯示車體的工作或從車體內部或外部輸入的資訊。另外，也可以具有導航功能。

圖 16H 示出將顯示裝置和旅客用飛機設置為一體的例子。圖 16H 示出在將顯示面板 5031 設置在旅客用飛機的座位上方的天花板 5030 上的情況下的使用形狀。顯示面板 5031 藉由鉸鏈部 5032 被結合到天花板 5030，並且藉由鉸鏈部 5032 的伸縮，乘客可以觀看顯示面板 5031。顯示面板 5031 具有藉由乘客的操作來顯示資訊的功能。

另外，在本實施例中，舉出汽車、飛機作為移動體，但是不限於此，還可以設置在各種移動體諸如自動二輪車、自動四輪車(包括汽車、公共汽車等)、電車(包括單軌、鐵路等)以及船舶等。

最好在本實施例所示的電子裝置中安裝實施例 2 的移位暫存器電路。尤其是，作為用來驅動電子裝置的顯示部

的電路，最好安裝實施例 2 的移位暫存器電路。藉由將實施例 2 的移位暫存器用作用來驅動電子裝置的顯示部的電路，可以縮小驅動電路的面積，並可以實現顯示部的大型化。另外，可以提高顯示部的解析度。

【符號說明】

11：節點

12：節點

21：節點

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：電晶體

111：佈線

112：佈線

113：佈線

114：佈線

115：佈線

116：佈線

117：佈線

118：佈線

121：電晶體

122：電晶體

123 : 電 晶 體
124 : 電 晶 體
125 : 電 晶 體
126 : 電 容 元 件
200 : 電 路
201 : 電 晶 體
202 : 電 晶 體
203 : 電 晶 體
204 : 電 晶 體
301 : 電 路
311 : 佈 線
312 : 佈 線
313 : 佈 線
314 : 佈 線
315 : 佈 線
400 : 基 板
402 : 閘 極 絕 緣 層
403 : 保 護 絕 緣 層
410 : 電 晶 體
411 : 閘 極 電 極 層
415a : 源 極 電 極 層
415b : 汲 極 電 極 層
416 : 氧 化 物 絕 緣 層
430 : 氧 化 物 半 導 體 膜

431：氧化物半導體層
5000：框體
5001：顯示部
5002：第二顯示部
5003：揚聲器
5004：LED 燈
5005：操作鍵
5006：連接端子
5007：感測器
5008：麥克風
5009：開關
5010：紅外埠
5011：記錄媒體讀取部
5012：支撐部
5013：耳機
5015：快門按鈕
5016：圖像接收部
5017：充電器
5018：支撐台
5019：外部連接埠
5020：定位裝置
5021：讀寫器
5022：框體
5023：顯示部

5024：遙控單元
5025：揚聲器
5026：顯示面板
5027：浴室
5028：顯示面板
5029：車體
5030：天花板
5031：顯示面板
5032：鉸鏈部
5360：時序控制器
5361：電路
5362：電路
5362a：電路
5362b：電路
5363_1：電路
5363_2：電路
5364：像素部
5367：像素
5371：源極電極信號線
5372：閘極信號線
5380：基板
5381：端子

申請專利範圍

【請求項 1】一種半導體裝置，其包含：

第一至第六電晶體，

其中該第一電晶體的源極和汲極中之一者係電連接至第一閘極信號線，

其中該第一電晶體的該源極和該汲極中之另一者係電連接至第一時鐘信號線，

其中該第二電晶體的源極和汲極中之一者係電連接至該第一閘極信號線，

其中該第二電晶體的該源極和該汲極中之另一者係電連接至電源線，

其中該第二電晶體的閘極係電連接至該第三電晶體的源極和汲極中之一者，

其中該第三電晶體的閘極係電連接至第二時鐘信號線，

其中該第二電晶體的該閘極係電連接至該第四電晶體的源極和汲極中之一者，

其中該第二電晶體的該閘極係電連接至該第五電晶體的閘極，

其中該第四電晶體的該源極和該汲極中之另一者係電連接至該電源線，

其中該第四電晶體的閘極係電連接至該第一閘極信號線，

其中該第五電晶體的源極和汲極中之一者係電連接至

該第一電晶體的閘極，

其中該第五電晶體的該源極和該汲極中之另一者係電連接至該電源線，

其中該第一電晶體的該閘極係電連接至該第六電晶體的源極和汲極中之一者，

其中該第六電晶體的閘極係電連接至第二閘極信號線。

【請求項 2】如請求項 1 之半導體裝置，

其中該第一電晶體係配置成控制該第一閘極信號線和該第一時鐘信號線之間的導通狀態，

其中該第三電晶體係配置成控制該第二電晶體的導通狀態，

其中該第六電晶體係配置成控制該第一電晶體的該閘極的電位。

【請求項 3】如請求項 1 之半導體裝置，其中該第一電晶體的 W/L (W ：通道寬度， L ：通道長度)比大於該第五電晶體的 W/L 比。

【請求項 4】如請求項 3 之半導體裝置，其中該第一電晶體的該 W/L (W ：通道寬度， L ：通道長度)比大於該第六電晶體的 W/L 比。

【請求項 5】如請求項 1 之半導體裝置，其中該第一電晶體的 W/L (W ：通道寬度， L ：通道長度)比大於該第二電晶體的 W/L 比。

【請求項 6】一種半導體裝置，其包含：

第一至第十二電晶體，

其中該第一電晶體的源極和汲極中之一者係電連接至第一閘極信號線，

其中該第一電晶體的該源極和該汲極中之另一者係電連接至第一時鐘信號線，

其中該第二電晶體的源極和汲極中之一者係電連接至該第一閘極信號線，

其中該第二電晶體的該源極和該汲極中之另一者係電連接至電源線，

其中該第二電晶體的閘極係電連接至該第三電晶體的源極和汲極中之一者，

其中該第三電晶體的閘極係電連接至第二時鐘信號線，

其中該第二電晶體的該閘極係電連接至該第四電晶體的源極和汲極中之一者，

其中該第二電晶體的該閘極係電連接至該第五電晶體的閘極，

其中該第四電晶體的該源極和該汲極中之另一者係電連接至該電源線，

其中該第四電晶體的閘極係電連接至該第一閘極信號線，

其中該第五電晶體的源極和汲極中之一者係電連接至該第一電晶體的閘極，

其中該第五電晶體的該源極和該汲極中之另一者係電

連接至該電源線，

其中該第一電晶體的該閘極係電連接至該第六電晶體的源極和汲極中之一者，

其中該第六電晶體的閘極係電連接至第二閘極信號線，

其中該第七電晶體的源極和汲極中之一者係電連接至該第二閘極信號線，

其中該第七電晶體的該源極和該汲極中之另一者係電連接至該第二時鐘信號線，

其中該第八電晶體的源極和汲極中之一者係電連接至該第二閘極信號線，

其中該第八電晶體的該源極和該汲極中之另一者係電連接至該電源線，

其中該第八電晶體的閘極係電連接至該第九電晶體的源極和汲極中之一者，

其中該第九電晶體的閘極係電連接至該第一時鐘信號線，

其中該第八電晶體的該閘極係電連接至該第十電晶體的源極和汲極中之一者，

其中該第十電晶體的該源極和該汲極中之另一者係電連接至該電源線，

其中該第十電晶體的閘極係電連接至該第二閘極信號線，

其中該第八電晶體的該閘極係電連接至該第十一電晶

體的閘極，

其中該第十一電晶體的源極和汲極中之一者係電連接至該電源線，

其中該第十一電晶體的該源極和該汲極中之另一者係電連接至該第七電晶體的閘極，

其中該第七電晶體的該閘極係電連接至該第十二電晶體的源極和汲極中之一者，

其中該第十二電晶體的閘極係電連接至第三閘極信號線。

【請求項 7】如請求項 6 之半導體裝置，

其中該第一電晶體係配置成控制該第一閘極信號線和該第一時鐘信號線之間的導通狀態，

其中該第三電晶體係配置成控制該第二電晶體的導通狀態，

其中該第六電晶體係配置成控制該第一電晶體的該閘極的電位，

其中該第七電晶體係配置成控制該第二閘極信號線和該第二時鐘信號線之間的導通狀態，

其中該第九電晶體係配置成控制該第八電晶體的導通狀態，

其中該第十二電晶體係配置成控制該第七電晶體的該閘極的電位。

【請求項 8】如請求項 6 之半導體裝置，

其中該第一電晶體的 W/L (W ：通道寬度， L ：通道長

度)比大於該第二電晶體的 W/L 比，

其中該第一電晶體的該 W/L 比大於該第五電晶體的 W/L 比，

其中該第一電晶體的該 W/L 比大於該第六電晶體的 W/L 比，

其中該第七電晶體的 W/L 比大於該第八電晶體的 W/L 比，

其中該第七電晶體的該 W/L 比大於該第十一電晶體的 W/L 比，

其中該第七電晶體的該 W/L 比大於該第十二電晶體的 W/L 比。

【請求項 9】如請求項 1 或 6 之半導體裝置，其中輸入到該第二時鐘信號線的信號係輸入到該第一時鐘信號線的信號的反相信號，或者與輸入到該第一時鐘信號線的信號異相的信號。

【請求項 10】一種電子裝置，其包含如請求項 1 或 6 之半導體裝置。

圖 1A

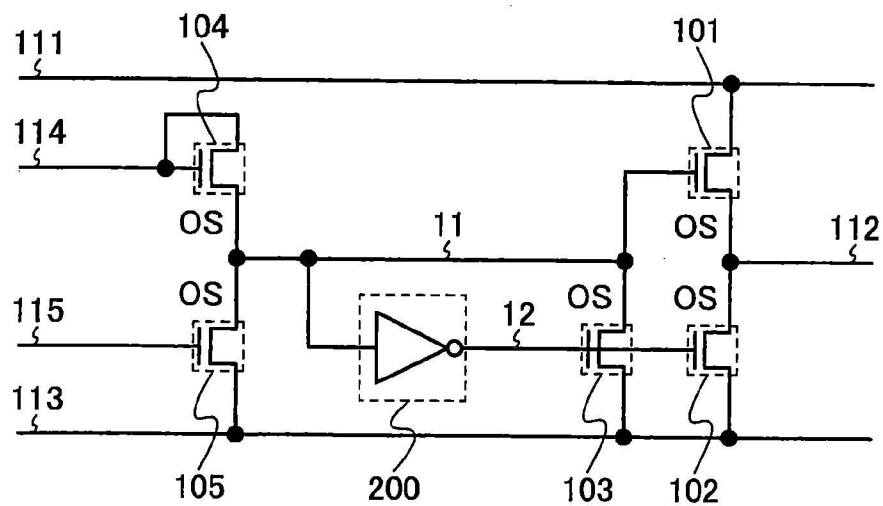


圖 1B

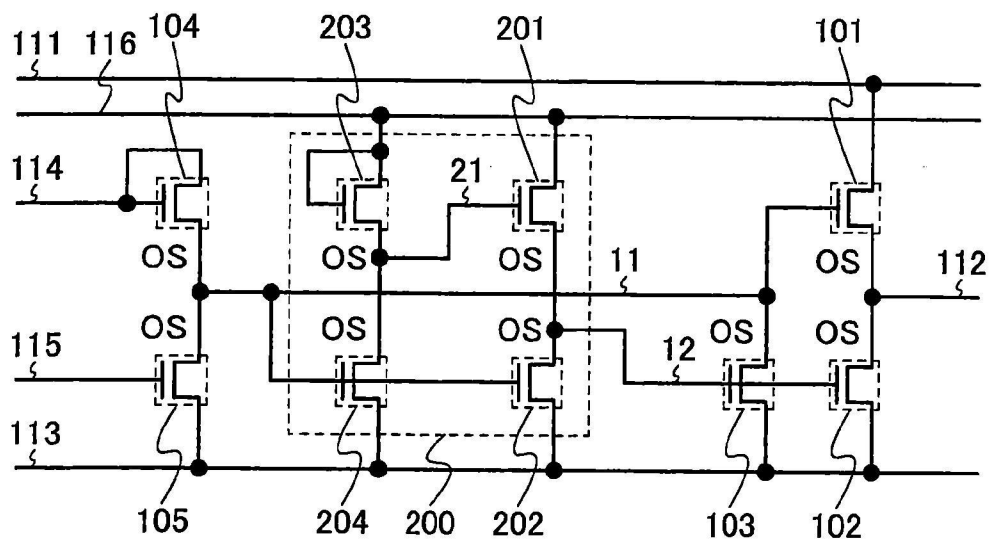


圖 2A

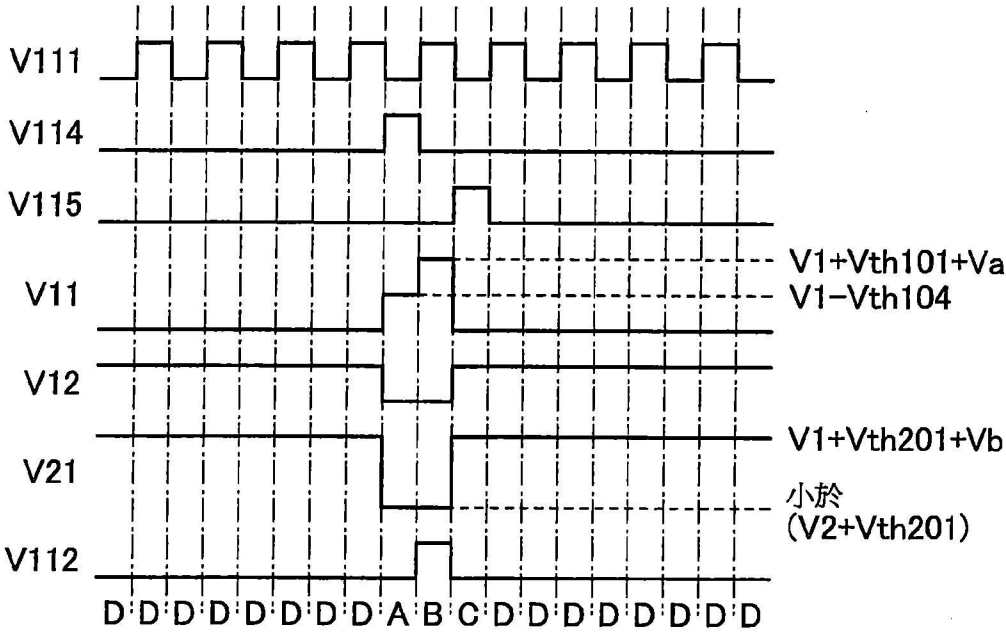


圖 2B

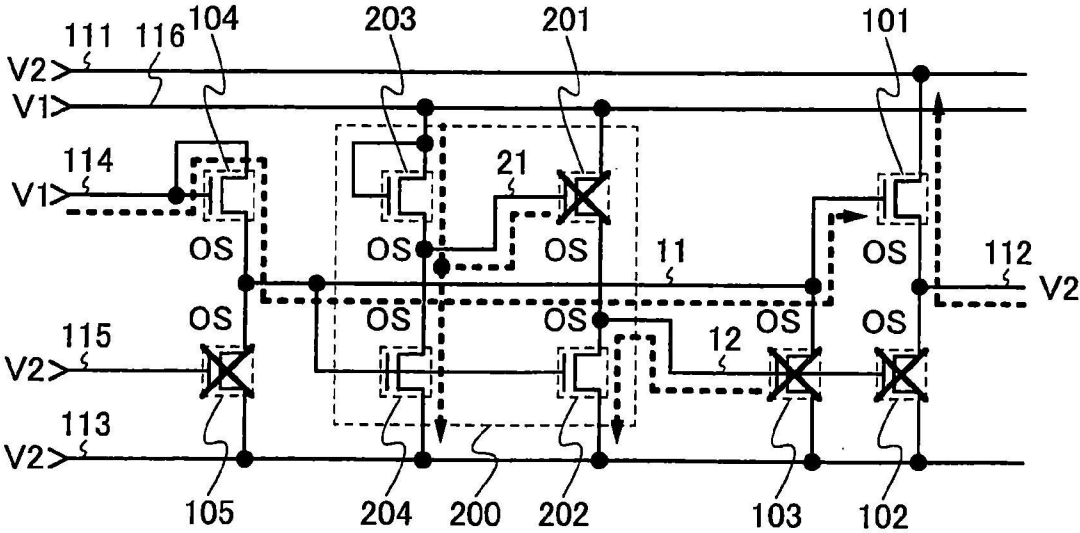


圖 3A

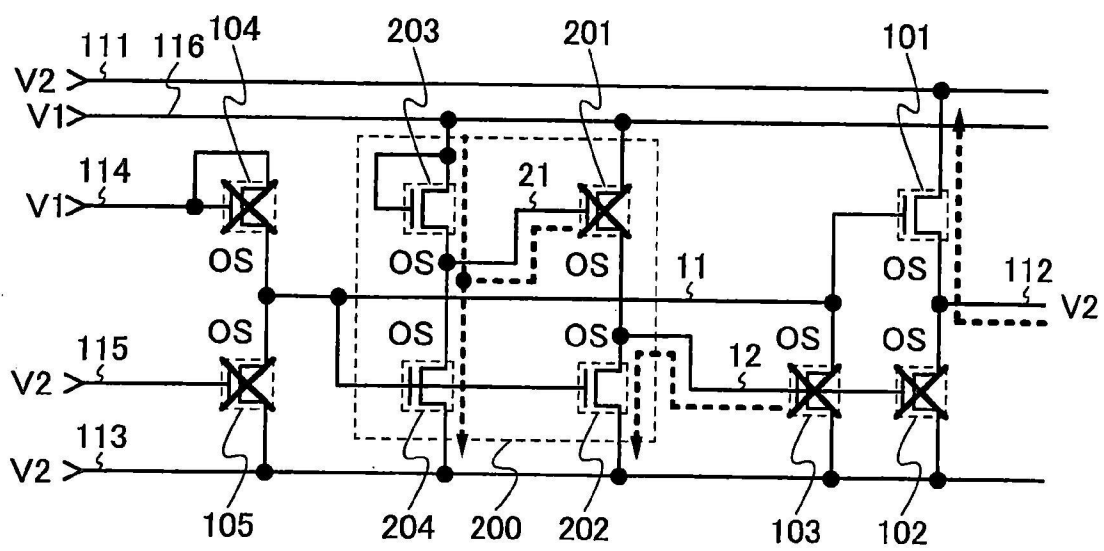


圖 3B

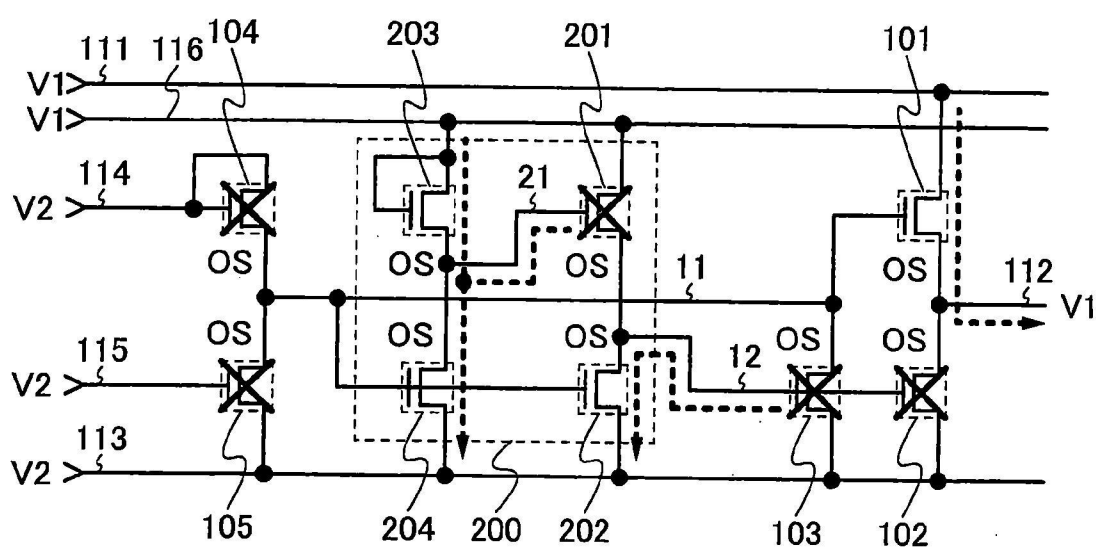


圖 4A

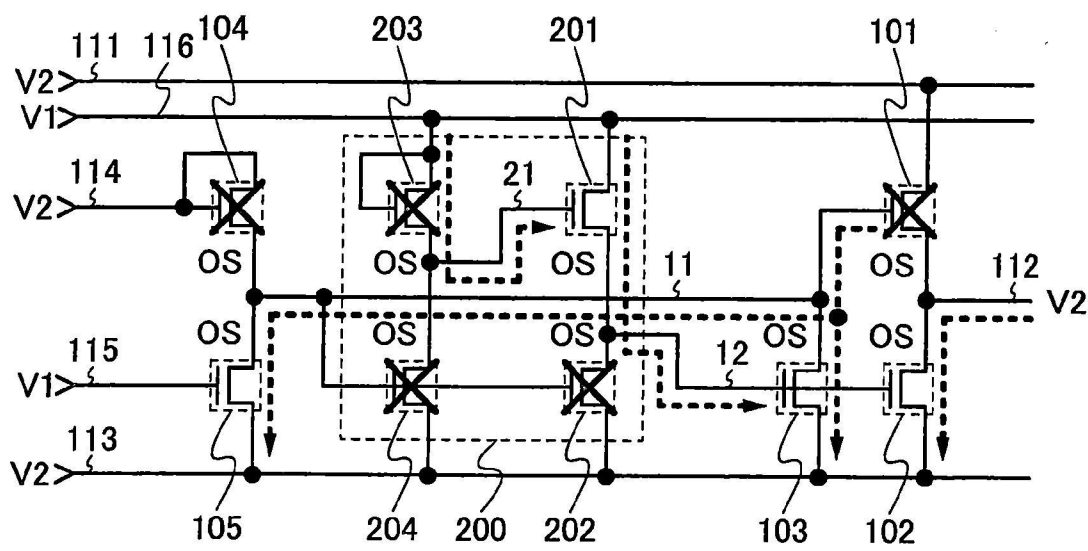


圖 4B

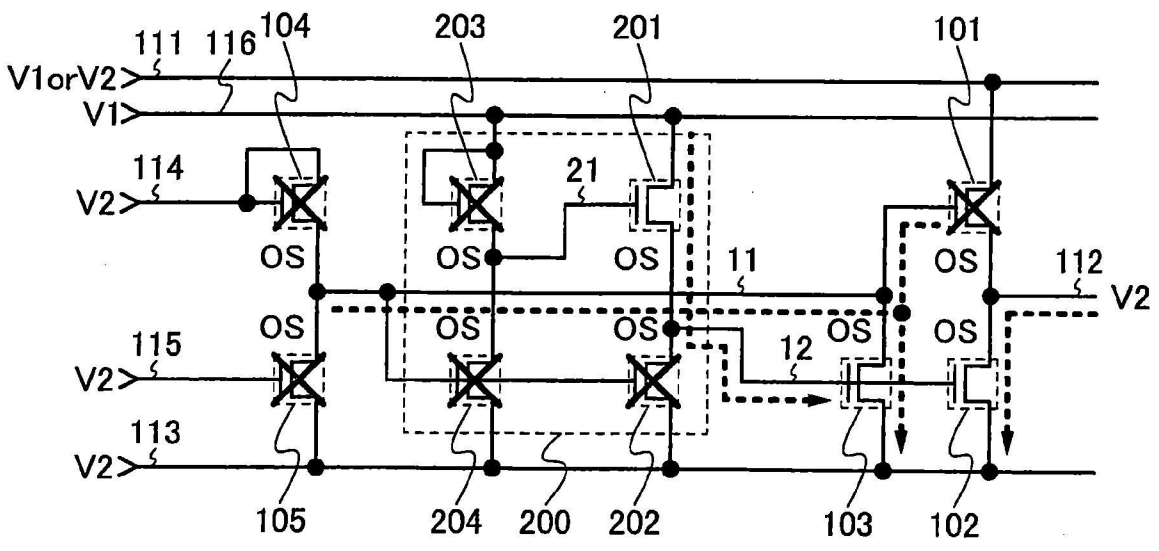


圖 5A

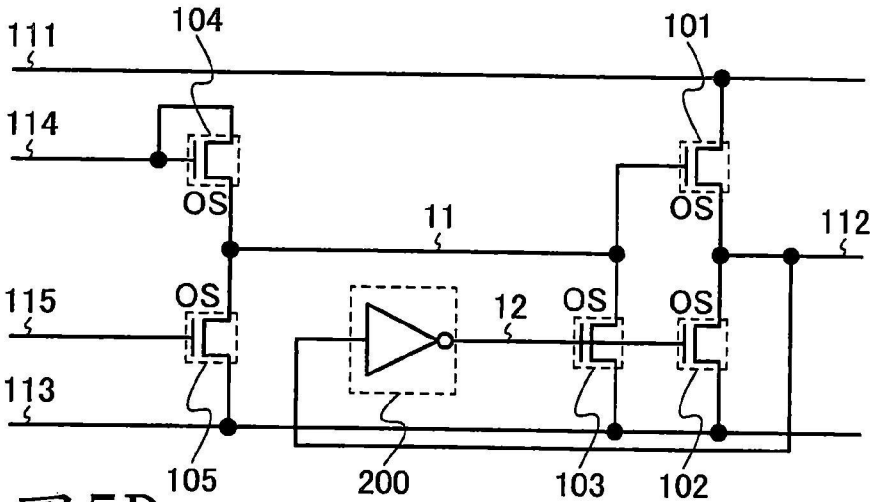


圖 5B

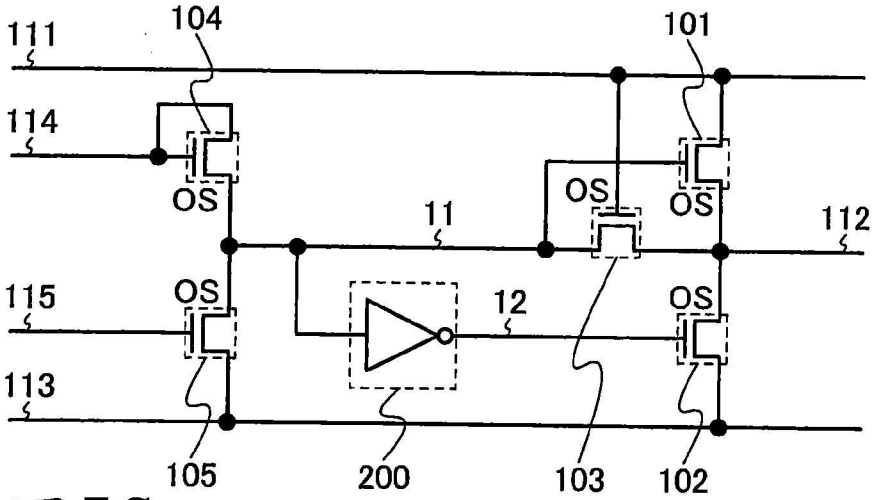


圖 5C

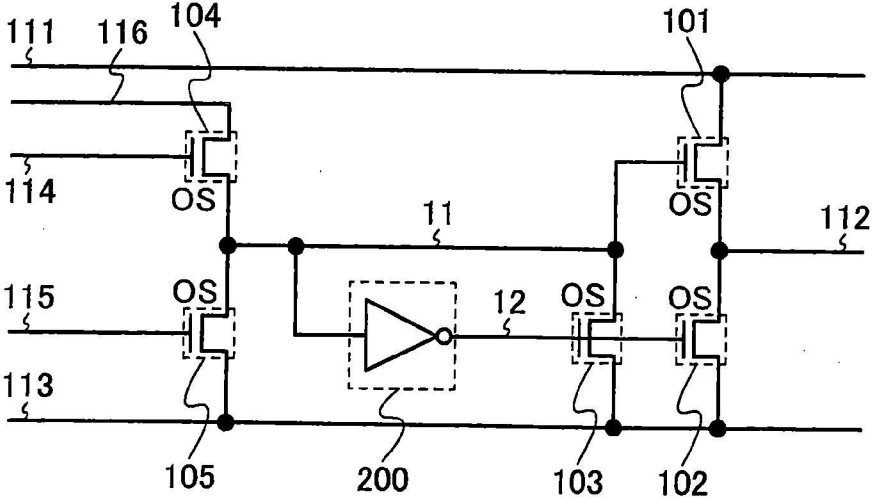


圖 6A

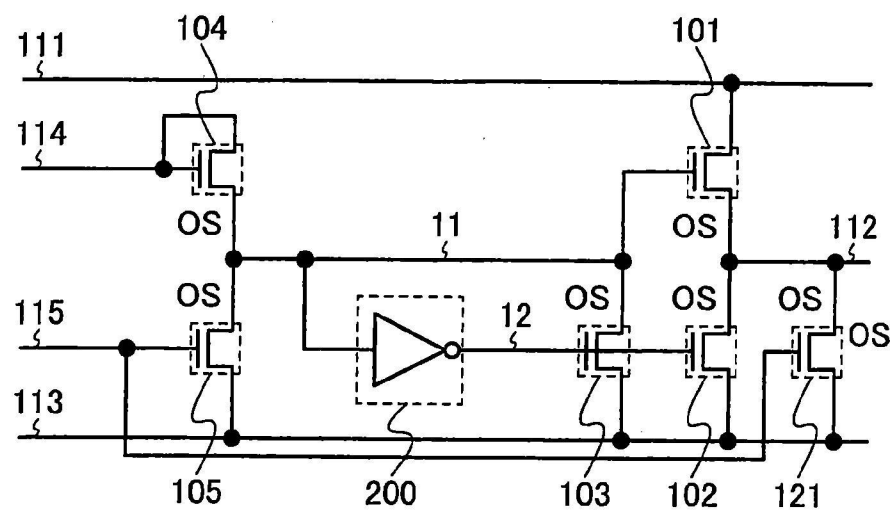


圖 6B

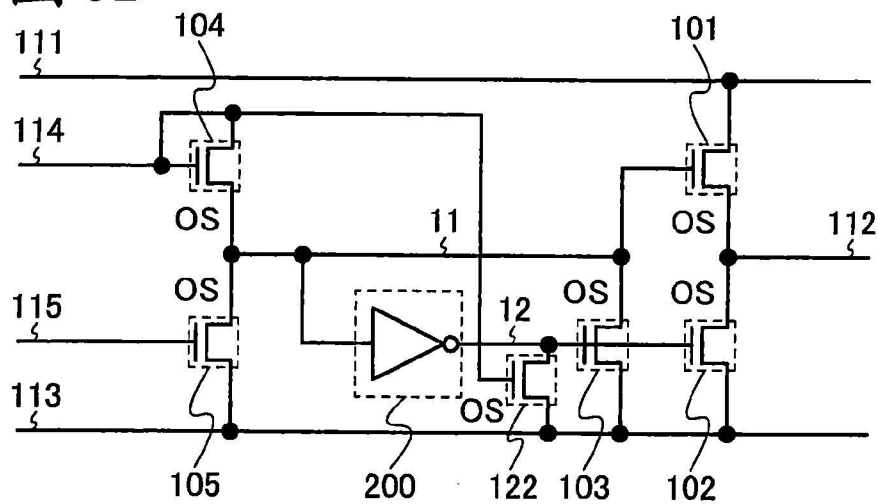


圖 6C

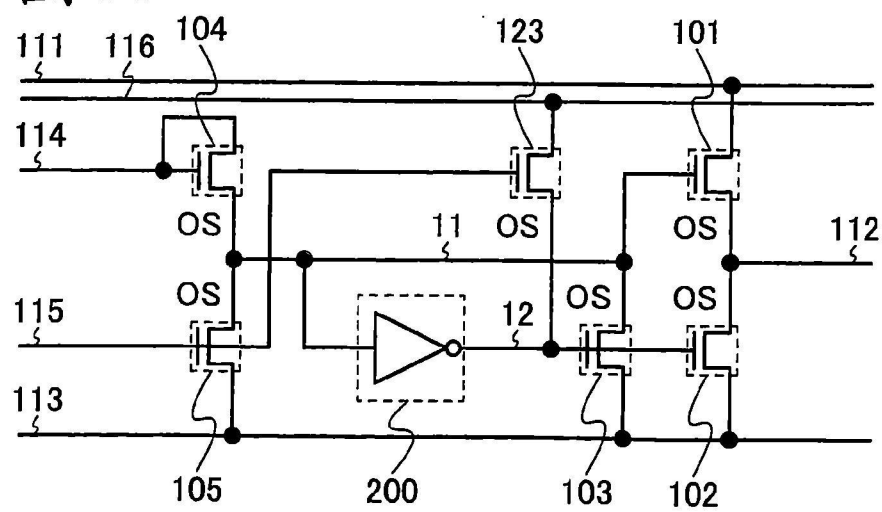


圖 7A

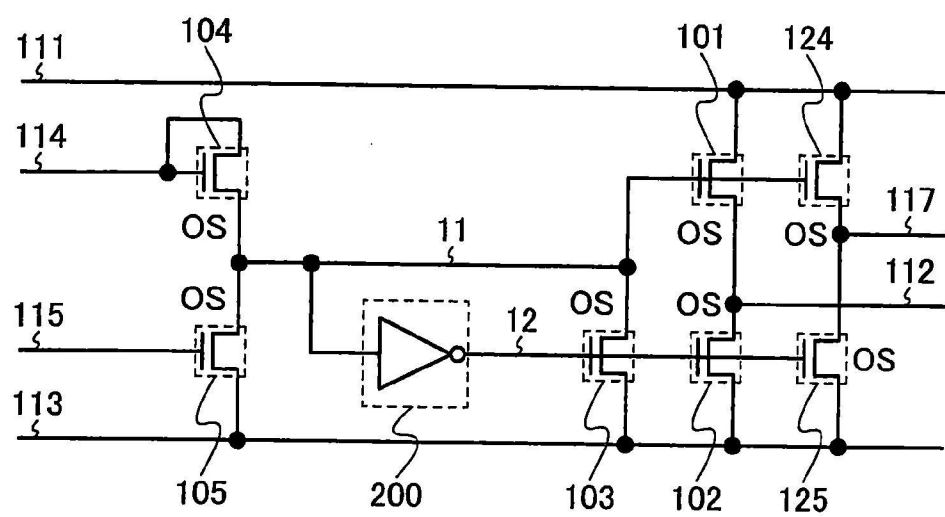


圖 7B

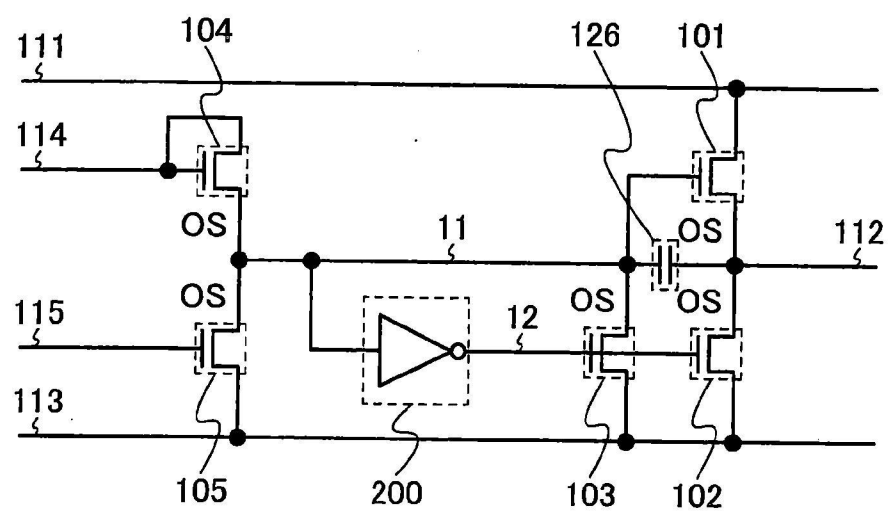


圖 8A

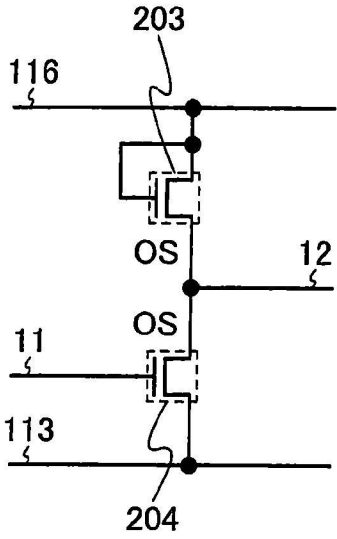


圖 8B

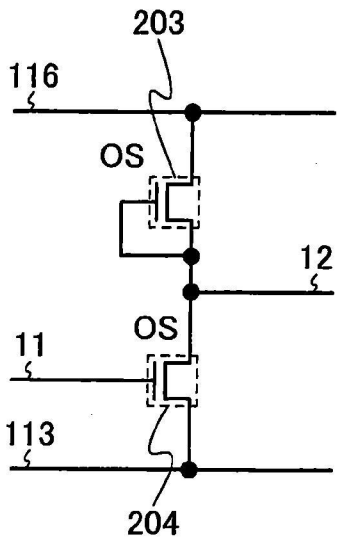


圖 8C

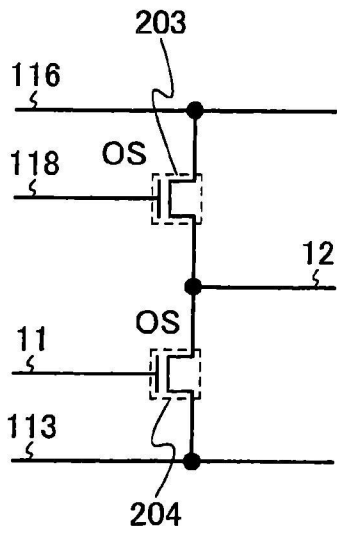


圖 9A

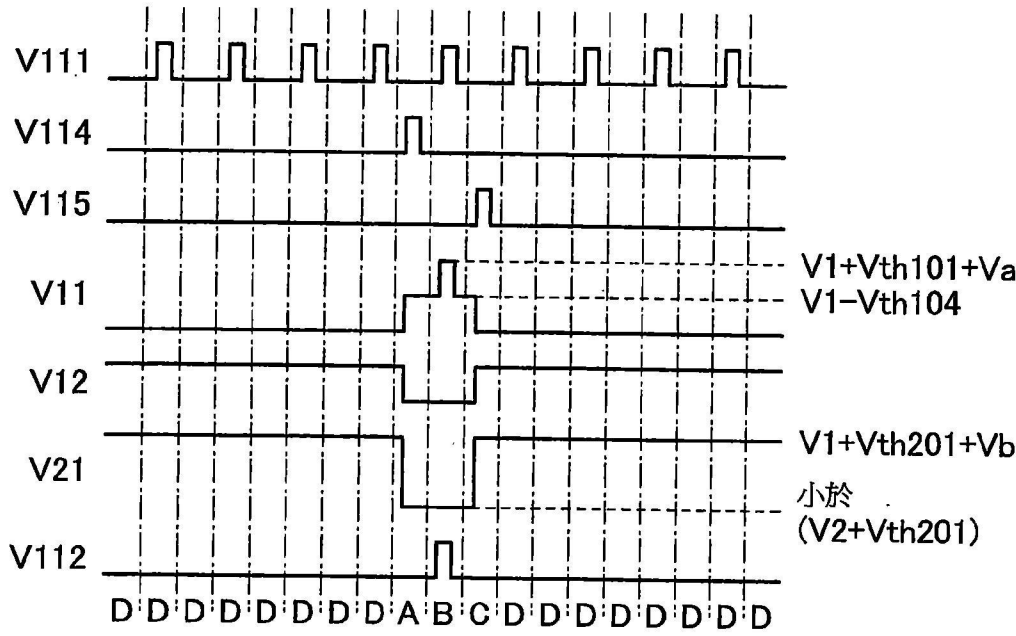


圖 9B

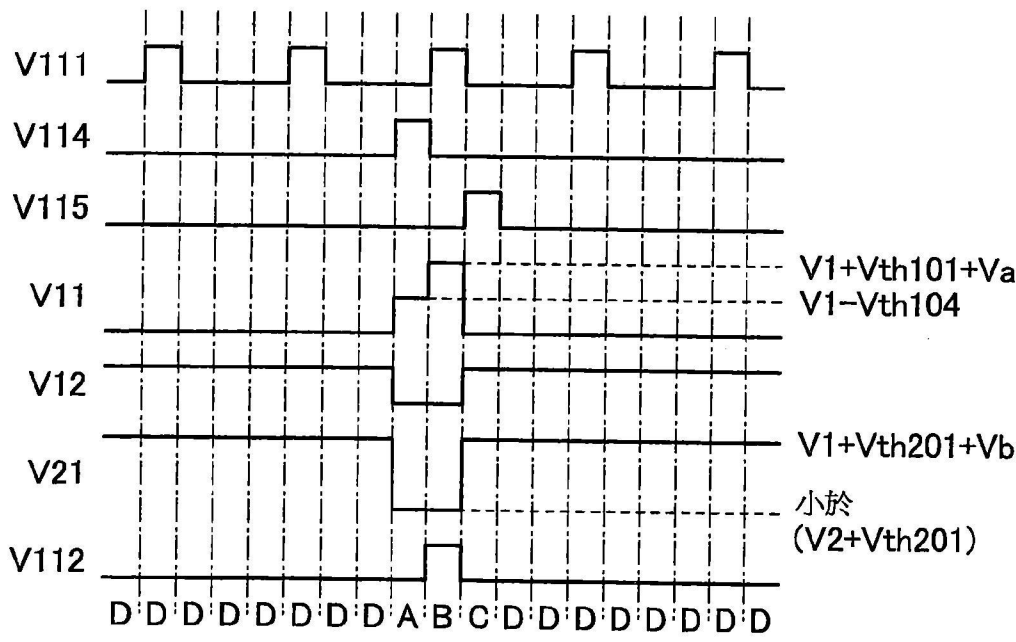


圖 10A

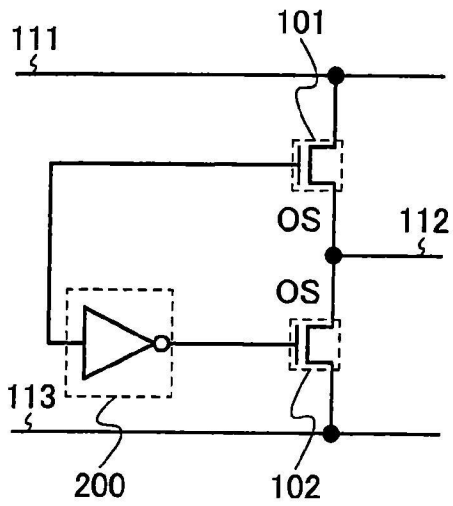


圖 10B

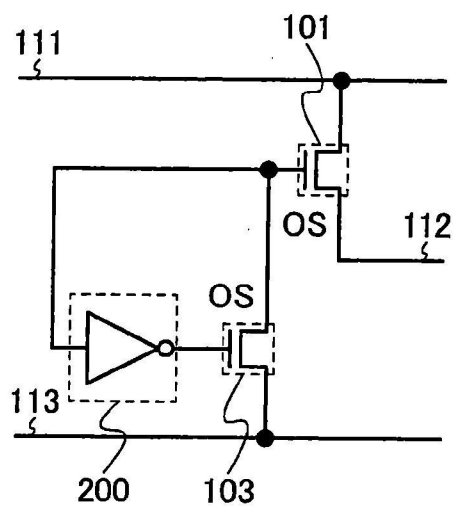


圖 10C

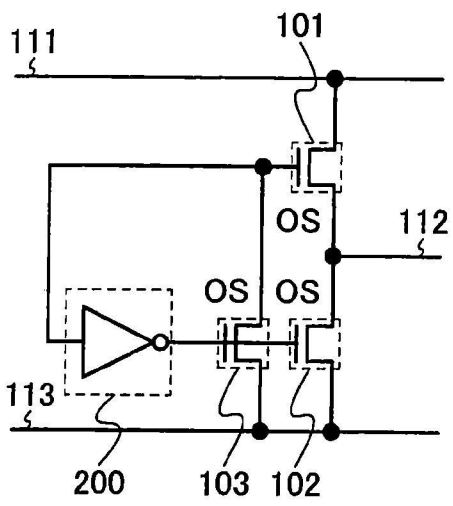


圖 10D

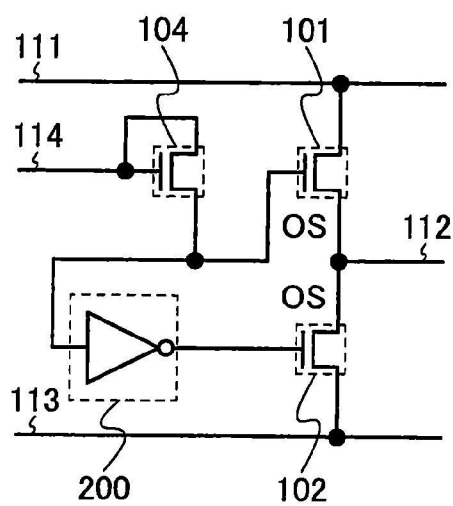


圖 11

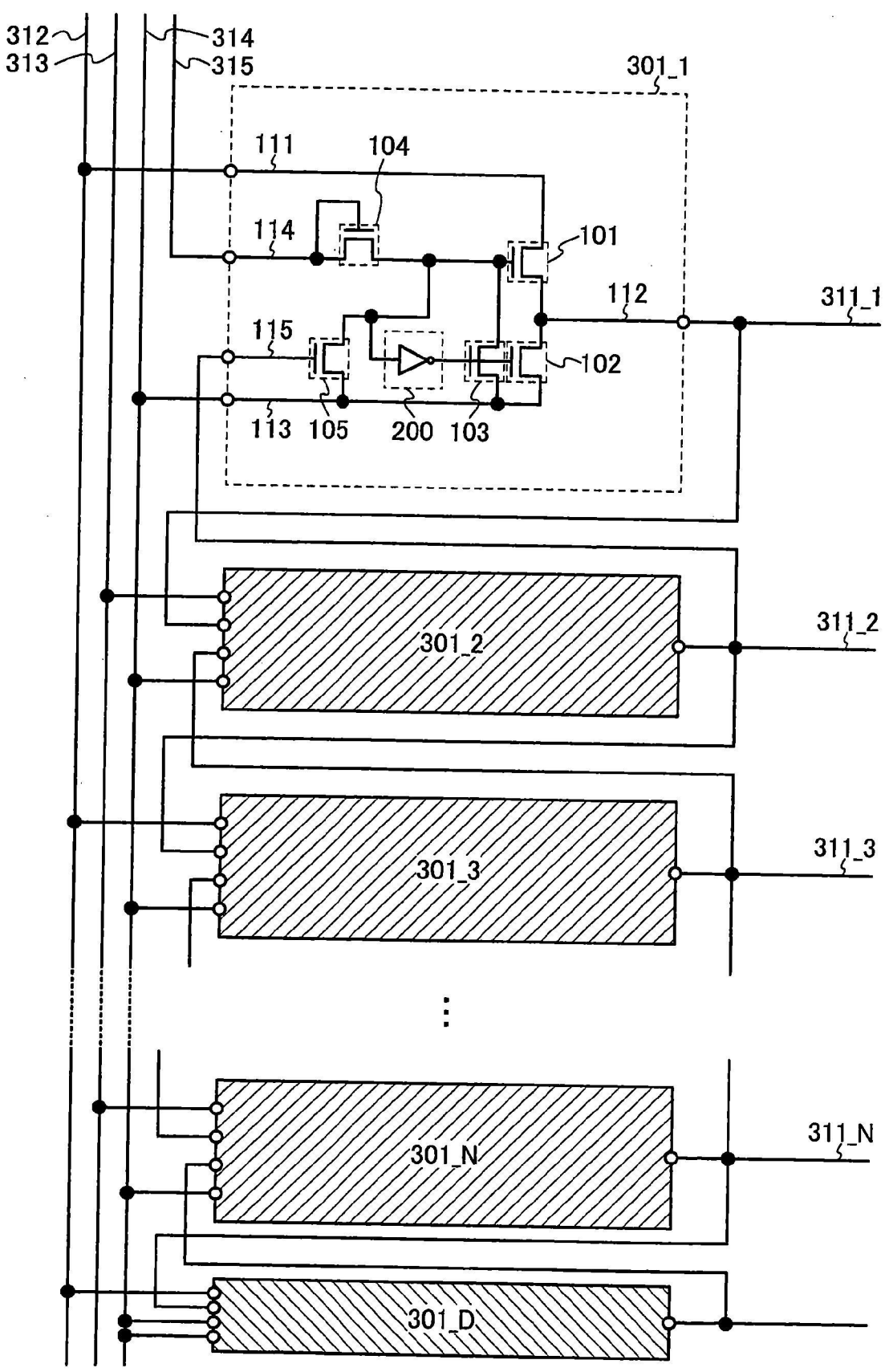


圖12

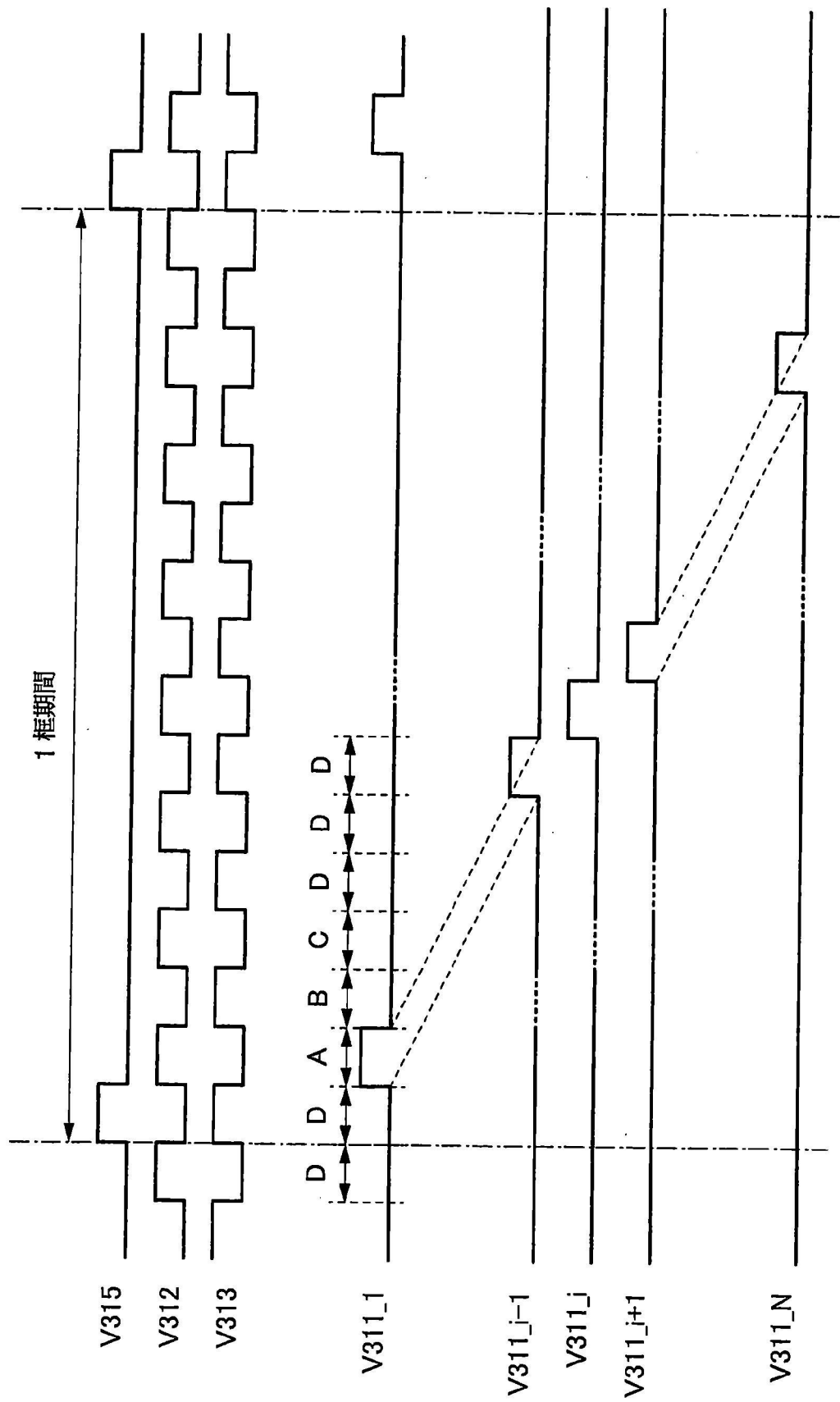


圖 13A

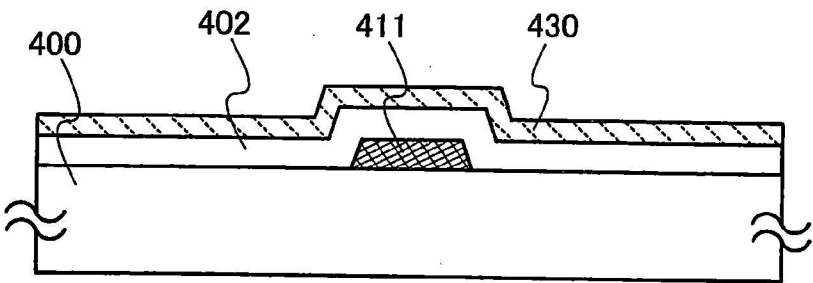


圖 13B

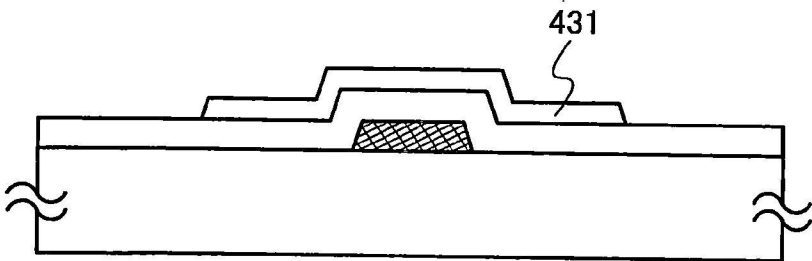


圖 13C

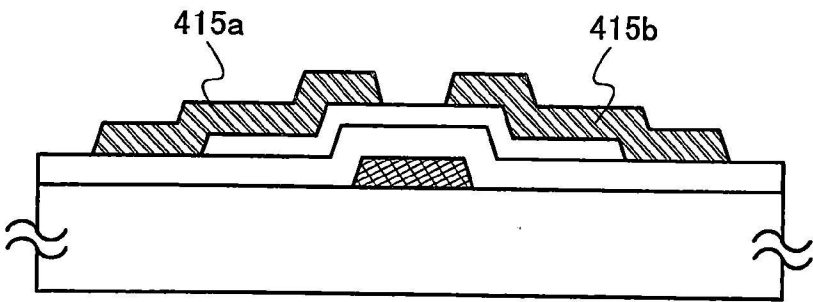


圖 13D

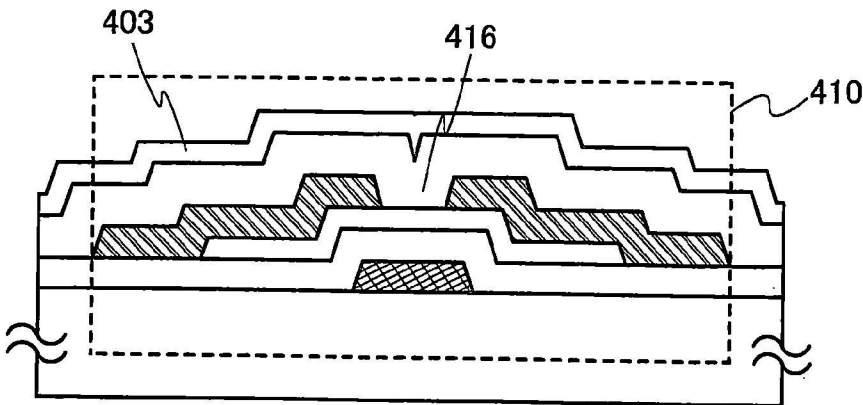


圖 14A

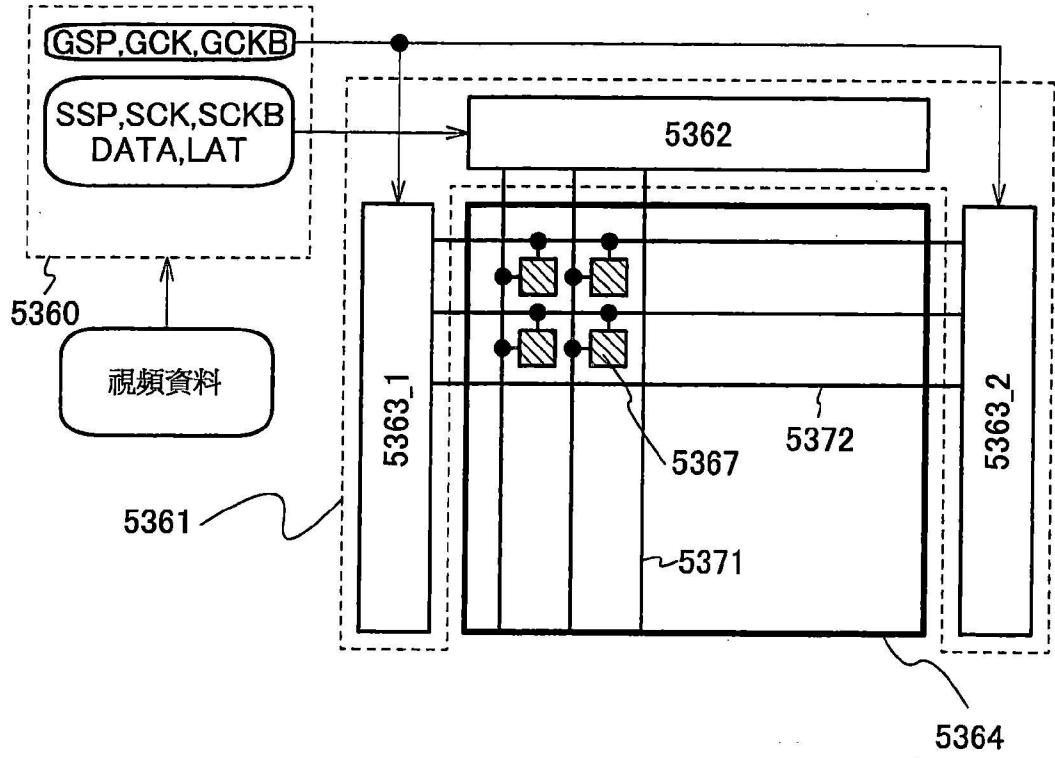


圖 14B

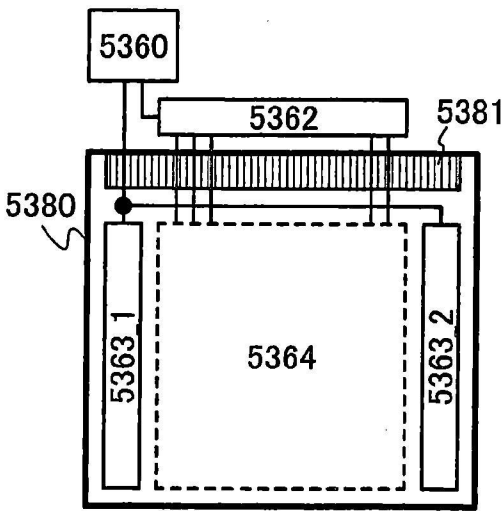


圖 14C

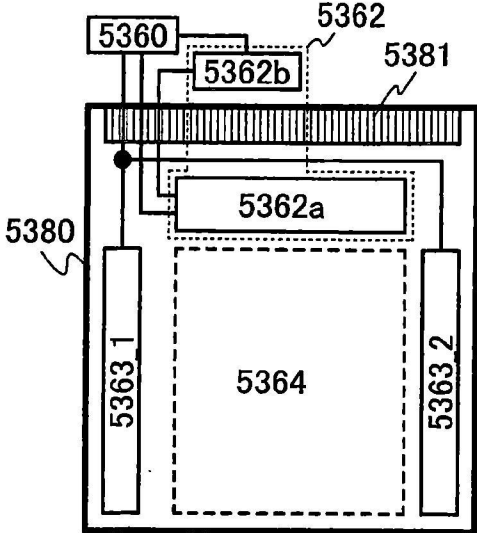


圖 15A

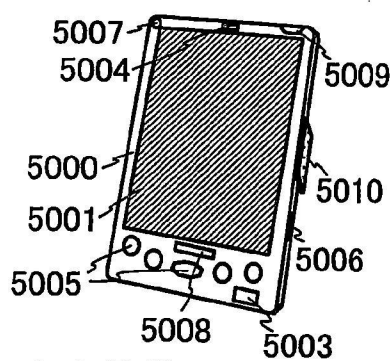


圖 15B

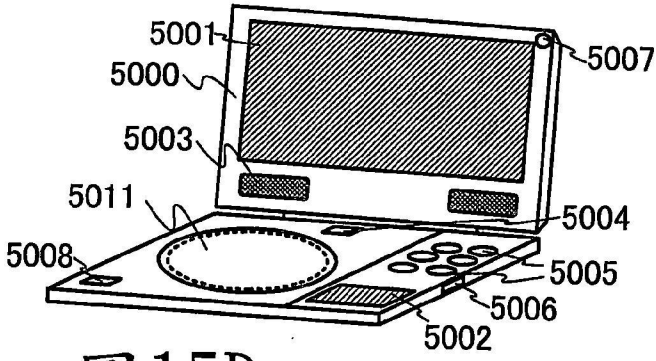


圖 15C

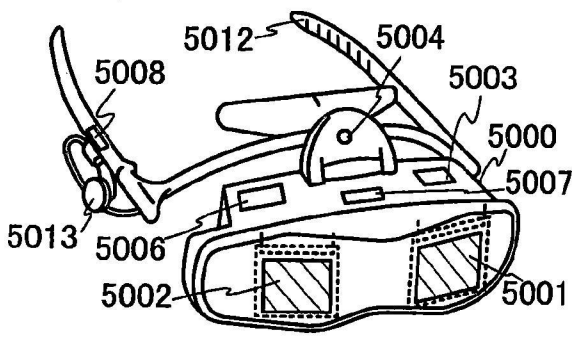


圖 15D

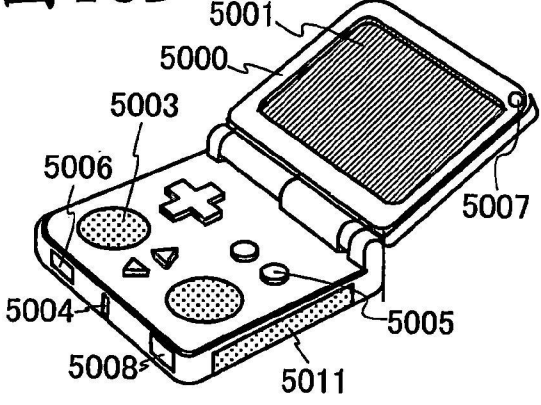


圖 15E

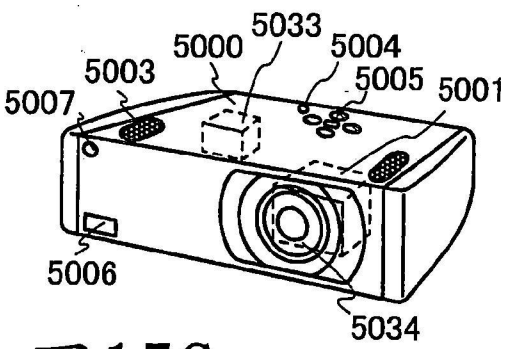


圖 15F

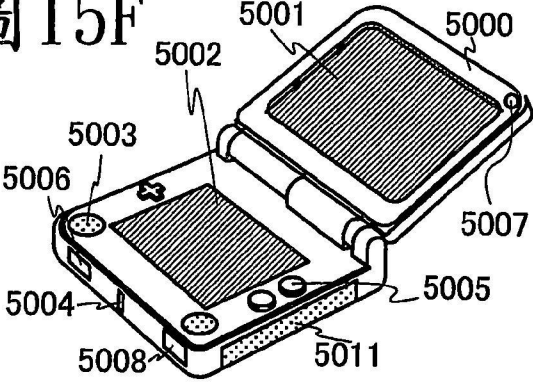


圖 15G

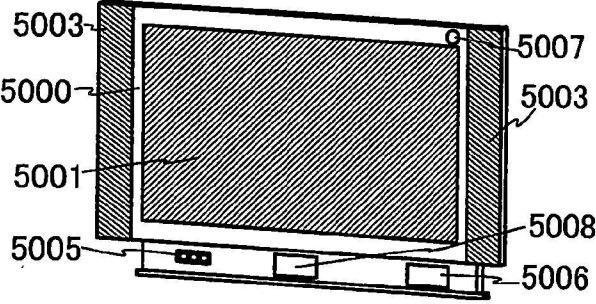


圖 15H

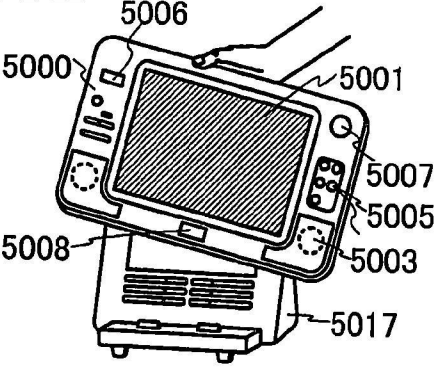


圖 16A

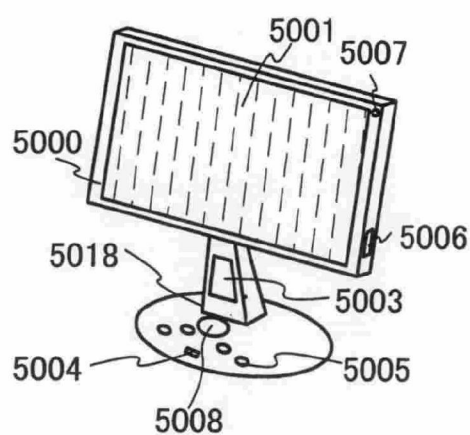


圖 16B

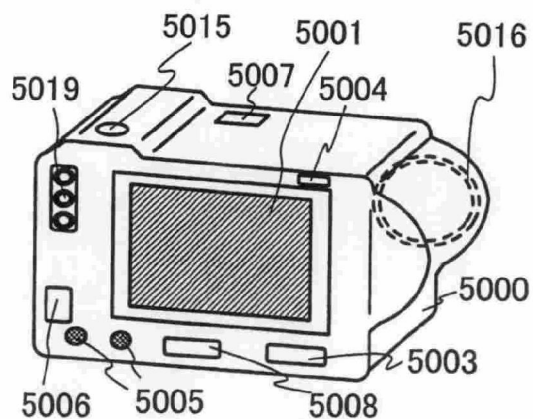


圖 16C

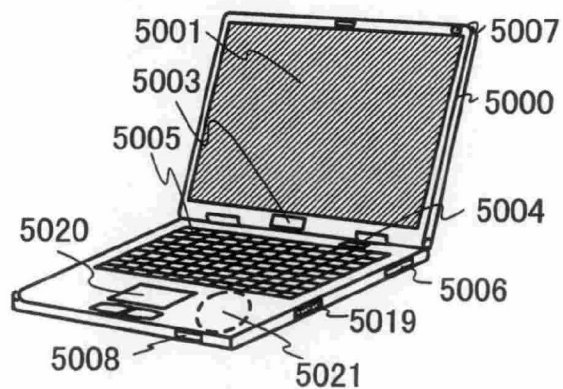


圖 16D

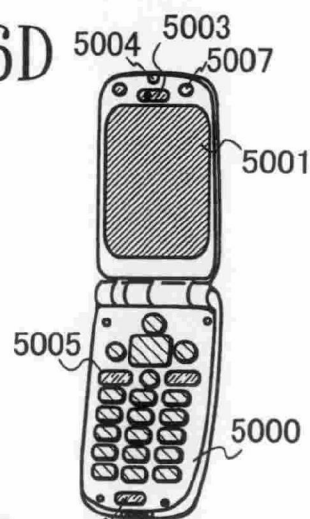


圖 16E

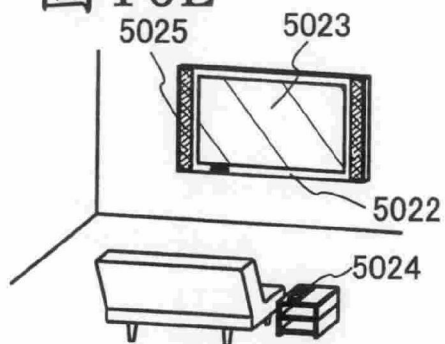


圖 16F

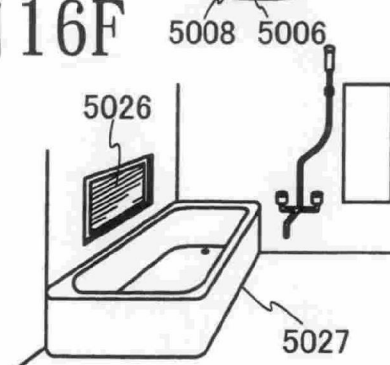


圖 16G



圖 16H

