

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年12月10日(10.12.2009)

PCT

(10) 国際公開番号  
WO 2009/147992 A1

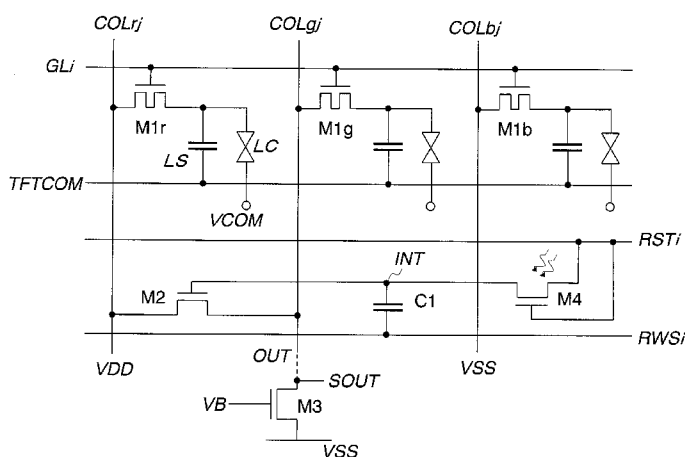
- (51) 国際特許分類:  
G02F 1/133 (2006.01) G09F 9/30 (2006.01)  
G02F 1/1335 (2006.01) H01L 31/10 (2006.01)  
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2009/059769
- (22) 国際出願日: 2009年5月28日(28.05.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-146072 2008年6月3日(03.06.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤浩巳  
(KATOH Hiromi), ブラウン クリstopファー  
(BROWN Christopher).
- (74) 代理人: 特許業務法人池内・佐藤アンドパート  
ナーズ(IKEUCHI SATO & PARTNER PATENT AT  
TORNEYS); 〒5306026 大阪府大阪市北区天満橋

- 1丁目8番30号OAPタワー26階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: DISPLAY DEVICE  
(54) 発明の名称: 表示装置

[図2]



(57) Abstract: Provided is a display device having an optical sensor with little fluctuation between sensors. The display device has an optical sensor in a pixel region of an active matrix substrate. The optical sensor includes: a photodetector (M4) which receives an incident light; a capacitor (C1) whose one electrode is connected to the photodetector (M4) and which accumulates an output current from the photodetector; a reset signal line (RST) which supplies a reset signal to the optical sensor; a read-out signal line (RWS) which supplies a read-out signal to the optical sensor; and a sensor switching element (M2) which reads out the output current accumulated in the capacitor (C1) according to the read-out signal during a period from the supply of the reset signal to the supply of the read-out signal. A photo transistor is used as the photodetector (M4).

(57) 要約:

[続葉有]



WO 2009/147992 A1



---

センサごとのばらつきの少ない光センサ付き表示装置を提供する。アクティブマトリクス基板の画素領域に光センサを備えた表示装置において、前記光センサは、入射光を受光する光検出素子M4と、前記光検出素子M4に一方の電極が接続され、前記光検出素子からの出力電流を蓄積する容量C1と、当該光センサへリセット信号を供給するリセット信号配線RSTと、当該光センサへ読み出し信号を供給する読み出し信号配線RWSと、前記リセット信号が供給されてから前記読み出し信号が供給されるまでの間に前記容量C1に蓄積された出力電流を、前記読み出し信号にしたがって読み出すセンサスイッチング素子M2とを備えている。光検出素子M4として、フォトトランジスタを用いる。

## 明 細 書

**発明の名称**：表示装置

**技術分野**

[0001] 本発明は、フォトダイオードまたはフォトトランジスタ等の光検出素子を有する光センサ付きの表示装置に関し、特に、画素領域内に光センサを備えた表示装置に関する。

**背景技術**

[0002] 従来、例えばフォトダイオード等の光検出素子を画素内に備えたことにより、外光の明るさを検出したり、ディスプレイに近接した物体の画像を取り込んだりすることが可能な、光センサ付き表示装置が提案されている。このような光センサ付き表示装置は、双方向通信用表示装置や、タッチパネル機能付き表示装置としての利用が想定されている。

[0003] 従来の光センサ付き表示装置では、アクティブマトリクス基板において、信号線および走査線、TFT (Thin Film Transistor)、画素電極等の周知の構成要素を半導体プロセスによって形成する際に、同時に、アクティブマトリクス基板上にフォトダイオード等を作り込む（特許文献1、非特許文献1参照）。

[0004] アクティブマトリクス基板上に形成される従来の光センサ（特許文献2、3）の一例を、図12に示す。図12に示す従来の光センサは、フォトダイオードD1、コンデンサC2、トランジスタM2から構成される。フォトダイオードD1のアノードには、リセット信号を供給するための配線RSTが接続されている。フォトダイオードD1のカソードには、コンデンサC2の電極の一方と、トランジスタM2のゲートが接続されている。トランジスタM2のドレインは配線VDDに接続され、ソースは配線OUTに接続されている。コンデンサC2の電極の他方は、読み出し信号を供給するための配線RWSに接続されている。

[0005] この構成において、配線RSTへリセット信号、配線RWSへ読み出し信

号を、それぞれ所定のタイミングで供給することにより、フォトダイオード D 1 で受光した光の量に応じたセンサ出力  $V_{PIX}$  を得ることができる。ここで、図 1 3 を参照し、図 1 2 に示した従来の光センサの動作について説明する。なお、リセット信号のローレベル（例えば  $-4\text{ V}$ ）を  $V_{RST.L}$ 、リセット信号のハイレベル（例えば  $0\text{ V}$ ）を  $V_{RST.H}$ 、読み出し信号のローレベル（例えば  $0\text{ V}$ ）を  $V_{RWS.L}$ 、読み出し信号のハイレベル（例えば  $8\text{ V}$ ）を  $V_{RWS.H}$ 、とそれぞれ表す。

[0006] まず、配線 RST へハイレベルのリセット信号  $V_{RST.H}$  が供給されると（図 1 2 において  $t = RST$  のタイミング）、フォトダイオード D 1 は順方向バイアスとなり、トランジスタ M 2 のゲートの電位  $V_{INT}$  は、下記の式（1）で表される。

$$[0007] \quad V_{INT} = V_{RST.H} - V_F \quad \dots (1)$$

式（1）において、 $V_F$  はフォトダイオード D 1 の順方向電圧、 $\Delta V_{RST}$  は、リセット信号のパルスの高さ（ $V_{RST.H} - V_{RST.L}$ ）であり、 $C_{PD}$  はフォトダイオード D 1 の容量である。 $C_T$  は、コンデンサ C 2 の容量、フォトダイオード D 1 の容量  $C_{PD}$  と、トランジスタ M 2 の容量  $C_{TFT}$  との総和である。このときの  $V_{INT}$  はトランジスタ M 2 の閾値電圧より低いので、トランジスタ M 2 はリセット期間において非導通状態となっている。

[0008] 次に、リセット信号がローレベル  $V_{RST.L}$  に戻ることにより、光電流の積分期間（図 1 3 に示す  $T_{INT}$  の期間）が始まる。積分期間においては、フォトダイオード D 1 への入射光量に比例した光電流がコンデンサ C 2 に流れ込み、コンデンサ C 2 を放電させる。これにより、積分期間の終了時におけるトランジスタ M 2 のゲートの電位  $V_{INT}$  は、下記の式（2）で表される。

$$[0009] \quad V_{INT} = V_{RST.H} - V_F - \Delta V_{RST} \cdot C_{PD} / C_T - I_{PHOTO} \cdot T_{INT} / C_T \quad \dots (2)$$

式（2）において、 $I_{PHOTO}$  は、フォトダイオード D 1 の光電流、 $T_{INT}$  は、積分期間の長さである。積分期間においても、 $V_{INT}$  がトランジスタ M 2 の閾値電圧より低いので、トランジスタ M 2 は非導通状態となっている。

[0010] 積分期間が終わると、図 1 3 に示す  $t = RWS$  のタイミングで読み出し信

号RWSが立ち上がることにより、読み出し期間が始まる。なお、読み出し期間は、読み出し信号RWSがハイレベルの間、継続する。ここで、コンデンサC<sub>2</sub>に対して電荷注入が起こる。この結果、トランジスタM<sub>2</sub>のゲートの電位V<sub>INT</sub>は、下記の式(3)で表される。

$$[0011] \quad V_{INT} = V_{RST.H} - V_F - \Delta V_{RST} \cdot C_{PD} / C_T - I_{PHOTO} \cdot T_{INT} / C_T \\ + \Delta V_{RWS} \cdot C_{INT} / C_T \quad \dots (3)$$

$\Delta V_{RWS}$ は、読み出し信号のパルスの高さ( $V_{RWS.H} - V_{RWS.L}$ )である。これにより、トランジスタM<sub>2</sub>のゲートの電位V<sub>INT</sub>が閾値電圧よりも高くなるので、トランジスタM<sub>2</sub>は導通状態となり、各列において配線OUTの端部に設けられているバイアストラジスタM<sub>3</sub>と共に、ソースフォロアアンプとして機能する。すなわち、トランジスタM<sub>2</sub>からのセンサ出力電圧V<sub>PIX</sub>は、積分期間におけるフォトダイオードD<sub>1</sub>の光電流の積分値に比例する。

[0012] なお、図13において、波線で示した波形は、フォトダイオードD<sub>1</sub>に光の入射が少ない場合の電位V<sub>INT</sub>の変化を表し、実線で示した波形は、フォトダイオードD<sub>1</sub>に外光が入射した場合の電位V<sub>INT</sub>の変化を表している。図13の $\Delta V$ が、フォトダイオードD<sub>1</sub>へ入射した光の量に比例した電位差である。

## 先行技術文献

### 特許文献

- [0013] 特許文献1：特開2006-3857号公報  
 特許文献2：国際公開第2007/145346号パンフレット  
 特許文献3：国際公開第2007/145347号パンフレット

### 非特許文献

- [0014] 非特許文献1：“A Touch Panel Function Integrated LCD Including LTPS A/D Converter”, T. Nakamura等, SID 05 DIGEST, pp1054-1055, 2005

## 発明の概要

### 発明が解決しようとする課題

[0015] なお、上記従来の光センサにおいて光検出素子として用いられているフォトダイオードは、pチャネル領域（p+）とnチャネル領域（n+）とを形成するための二つのプロセスを必要とする。つまり、フォトダイオードとしての特性を左右する重要なパラメータであるi層の幅は、n層とp層との2層の形成工程によって決定される。このため、i層の幅は、n層とp層の形成時におけるフォトリソグラフィでのシフトばらつきによって、二重に影響を受けることとなる。

[0016] 本発明は、上記の課題に鑑み、光検出素子としてフォトリソグラフィにおける特性ばらつきが小さいフォトリソグラフィを用いることにより、センサごとのばらつきの少ない光センサ付き表示装置を提供することを目的とする。

### 課題を解決するための手段

[0017] 本発明にかかる表示装置は、上記の課題を解決するために、アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、前記光センサが、入射光を受光する光検出素子と、前記光検出素子に一方の電極が接続され、前記光検出素子からの出力電流を蓄積する容量と、当該光センサへリセット信号を供給するリセット信号配線と、当該光センサへ読み出し信号を供給する読み出し信号配線と、前記リセット信号が供給されてから前記読み出し信号が供給されるまでの間に前記容量に蓄積された出力電流を、前記読み出し信号にしたがって読み出すセンサスイッチング素子とを備え、前記光検出素子が、フォトリソグラフィであることを特徴とする。

### 発明の効果

[0018] 本発明によれば、光検出素子としてフォトリソグラフィにおける特性ばらつきが小さいフォトリソグラフィを用いることにより、センサごとのばらつきの少ない光センサ付き表示装置を提供することができる。

### 図面の簡単な説明

[0019] [図1] 図1は、本発明の一実施形態にかかる表示装置の概略構成を示すブロッ

ク図である。

[図2] 図2は、本発明の第1の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図3] 図3は、第1の実施形態の光センサにおける入力信号（RST, RWS）のタイミングチャートである。

[図4] 図4は、第1の実施形態の光センサにおける入力信号（RST, RWS）と $V_{INT}$ との関係を示す波形図である。

[図5] 図5は、第1の実施形態にかかる表示装置におけるセンサ駆動タイミングを示すタイミングチャートである。

[図6] 図6は、センサ画素読み出し回路の内部構成を示す回路図である。

[図7] 図7は、読み出し信号と、センサ出力と、センサ画素読み出し回路の出力との関係を示す波形図である。

[図8] 図8は、センサカラムアンプの構成例を示す回路図である。

[図9] 図9は、本発明の第2の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図10] 図10は、第1の実施形態の光センサにおける入力信号（RST, RWS）と $V_{INT}$ との関係を示す波形図である。

[図11] 図11は、比較例として、第1の実施形態の構成においてリセット信号RSTの電位降下が急峻でなかった場合の $V_{INT}$ の変化を示す波形図である。

[図12] 図12は、従来の光センサの構成例を示す等価回路図である。

[図13] 図13は、従来の光センサにリセット信号RSTと読み出し信号RWSが印加された場合の $V_{INT}$ の波形図である。

## 発明を実施するための形態

### [0020] [第1の実施形態]

本発明の一実施形態にかかる表示装置は、アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、前記光センサが、入射光を受光する光検出素子と、前記光検出素子に一方の電極が接続され、前記光検出素子からの出力電流を蓄積する容量と、当該光センサへリセット信号を供給

するリセット信号配線と、当該光センサへ読み出し信号を供給する読み出し信号配線と、前記リセット信号が供給されてから前記読み出し信号が供給されるまでの間に前記容量に蓄積された出力電流を、前記読み出し信号にしたがって読み出すセンサスイッチング素子とを備え、前記光検出素子が、フォトトランジスタである。

[0021] 前記の表示装置において、フォトトランジスタを、アモルファスシリコンTFTまたは微結晶シリコンTFTで実現することができる。また、前記の表示装置において、前記センサスイッチング素子を、アモルファスシリコンTFTまたは微結晶シリコンTFTで構成することも可能である。このようにフォトトランジスタおよび／またはセンサスイッチング素子をアモルファスシリコンTFTまたは微結晶シリコンTFTで形成することにより、光センサ付き表示装置を安価に提供できる。

[0022] また、前記のフォトトランジスタは、ゲートおよびソースが前記リセット信号配線に接続された構成としても良い。あるいは、ゲートに前記リセット信号配線が接続され、ソースに当該トランジスタがオフ状態になった後に電位降下を生じる第2のリセット信号配線が接続された構成としても良い。後者の構成によれば、トランジスタの双方向導電性に起因してリセット時に生じるゲート電位の降下を抑制することができ、ダイナミックレンジの広い光センサを提供することができる。

[0023] さらに、前記の表示装置は、これには限定されないが、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた液晶表示装置として好適に実施することができる。

[0024] 以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、光センサを有

することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0025] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したのではない。

[0026] 最初に、図1および図2を参照しながら、本発明の第1の実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板の構成について説明する。

[0027] 図1は、本発明の一実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板100の概略構成を示すブロック図である。図1に示すように、アクティブマトリクス基板100は、ガラス基板上に、画素領域1、ディスプレイゲートドライバ2、ディスプレイソースドライバ3、センサカラム（column）ドライバ4、センサロウ（row）ドライバ5、バッファアンプ6、FPCコネクタ7を少なくとも備えている。また、画素領域1内の光検出素子（後述）で取り込まれた画像信号を処理するための信号処理回路8が、前記FPCコネクタ7とFPC9とを介して、アクティブマトリクス基板100に接続されている。

[0028] なお、アクティブマトリクス基板100上の上記の構成部材は、半導体プロセスによってガラス基板上にモノリシックに形成することも可能である。あるいは、上記の構成部材のうちのアンプやドライバ類を、例えばCOG（Chip On Glass）技術等によってガラス基板上に実装した構成としても良い。あるいは、図1においてアクティブマトリクス基板100上に示した上記の構成部材の少なくとも一部が、FPC9上に実装されることも考えられる。アクティブマトリクス基板100は、全面に対向電極が形成

された対向基板（図示せず）と貼り合わされ、その間隙に液晶材料が封入される。

- [0029] 画素領域 1 は、画像を表示するために、複数の画素が形成された領域である。本実施形態では、画素領域 1 における各画素内には、画像を取り込むための光センサが設けられている。図 2 は、アクティブマトリクス基板 100 の画素領域 1 における画素と光センサとの配置を示す等価回路図である。図 2 の例では、1 つの画素が、R（赤）、G（緑）、B（青）の 3 色の絵素によって形成され、この 3 絵素で構成される 1 つの画素内に、2 つのフォトダイオード  $D_1$ 、 $D_2$  とコンデンサ  $C_{INT}$  と薄膜トランジスタ  $M_2$  とによって構成される 1 つの光センサが設けられている。画素領域 1 は、 $M$  行  $\times$   $N$  列のマトリクス状に配置された画素と、同じく  $M$  行  $\times$   $N$  列のマトリクス状に配置された光センサとを有する。なお、上述のとおり、絵素数は、 $M \times 3N$  である。
- [0030] このため、図 2 に示すように、画素領域 1 は、画素用の配線として、マトリクス状に配置されたゲート線  $GL$  およびソース線  $COL$  を有している。ゲート線  $GL$  は、ディスプレイゲートドライバ 2 に接続されている。ソース線  $COL$  は、ディスプレイソースドライバ 3 に接続されている。なお、ゲート線  $GL$  は、画素領域 1 内に  $M$  行設けられている。以下、個々のゲート線  $GL$  を区別して説明する必要がある場合は、 $GL_i$  ( $i = 1 \sim M$ ) のように表記する。一方、ソース線  $COL$  は、上述のとおり、1 つの画素内の 3 絵素にそれぞれ画像データを供給するために、1 画素につき 3 本ずつ設けられている。ソース線  $COL$  を個々に区別して説明する必要がある場合は、 $COL_{rj}$ 、 $COL_{gj}$ 、 $COL_{bj}$  ( $j = 1 \sim N$ ) のように表記する。
- [0031] ゲート線  $GL$  とソース線  $COL$  との交点には、画素用のスイッチング素子として、薄膜トランジスタ (TFT)  $M_1$  が設けられている。なお、図 2 では、赤色、緑色、青色のそれぞれの絵素に設けられている薄膜トランジスタ  $M_1$  を、 $M_{1r}$ 、 $M_{1g}$ 、 $M_{1b}$  と表記している。薄膜トランジスタ  $M_1$  のゲート電極はゲート線  $GL$  へ、ソース電極はソース線  $COL$  へ、ドレイン電極は図示しない画素電極へ、それぞれ接続されている。これにより、図 2 に

示すように、薄膜トランジスタM1のドレイン電極と対向電極（VCOM）との間に液晶容量LCが形成される。また、ドレイン電極とTFTCOMとの間に補助容量LSが形成されている。

[0032] 図2において、1本のゲート線GLiと1本のソース線COLrjとの交点に接続された薄膜トランジスタM1rによって駆動される絵素は、この絵素に対応するように赤色のカラーフィルタが設けられ、ソース線COLrjを介してディスプレイソースドライバ3から赤色の画像データが供給されることにより、赤色の絵素として機能する。また、ゲート線GLiとソース線COLgjとの交点に接続された薄膜トランジスタM1gによって駆動される絵素は、この絵素に対応するように緑色のカラーフィルタが設けられ、ソース線COLgjを介してディスプレイソースドライバ3から緑色の画像データが供給されることにより、緑色の絵素として機能する。さらに、ゲート線GLiとソース線COLbjとの交点に接続された薄膜トランジスタM1bによって駆動される絵素は、この絵素に対応するように青色のカラーフィルタが設けられ、ソース線COLbjを介してディスプレイソースドライバ3から青色の画像データが供給されることにより、青色の絵素として機能する。

[0033] 図2の例では、ソース線COLrが、センサカラムドライバ4から定電圧VDDを光センサへ供給するための配線VDDを兼ねている。また、ソース線COLgが、センサ出力用の配線OUTを兼ねている。

[0034] なお、図2の例では、光センサは、画素領域1において、1画素（3絵素）に1つの割合で設けられている。ただし、画素と光センサの配置割合は、この例のみに限定されず、任意である。例えば、1絵素につき1つの光センサが配置されていても良いし、複数画素に対して1つの光センサが配置された構成であっても良い。

[0035] 光センサは、図2に示すように、光検出素子としてのフォトトランジスタ（フォトTFT）M4と、コンデンサCINTと、センサスイッチング素子としての薄膜トランジスタM2とを備えている。なお、フォトトランジスタM4は

、トップゲート構造およびボトムゲート構造のいずれであっても良い。ただし、ボトムゲート構造の場合、ゲート電極が、バックライトからこのフォトトランジスタM4への入射光を遮る遮光層として機能するので、製造工程を簡略化することができるという点で有利である。

[0036] フォトトランジスタM4のゲートとソースは、共にリセット配線RSTへ接続されている。フォトトランジスタM4としては、移動度の高いポリシリコンTFETに限らず、アモルファスシリコンTFETまたは微結晶シリコンTFETを用いることが可能である。なお、トランジスタM2も、アモルファスシリコンTFETまたは微結晶シリコンTFETで実現することが可能である。したがって、トランジスタM2とフォトトランジスタM4とを同じ材料を用いて同時に形成することが可能である。

[0037] 光検出素子としてフォトトランジスタM4を用いることによる利点は以下のとおりである。すなわち、p層とn層の形成を必要とするフォトダイオードとは異なり、フォトトランジスタM4は、1つの半導体層（例えばnチャネル）だけを形成すれば良い。そして、フォトトランジスタとしての特性を決める重要なパラメータであるチャネル幅は、上記の半導体層の形成工程の精度もしくはゲート幅の精度だけに左右される。このため、フォトトランジスタは、フォトダイオードに比較して、製造工程の精度ばらつきに起因する特性ばらつきが少ない。この結果、センサごとの特性ばらつきの少ない、品位の良い光センサ付き表示装置を実現できる。

[0038] トランジスタM2のドレインは配線VDDに接続され、ソースは配線OUTに接続されている。配線RST、RWSは、センサロウドライバ5に接続されている。これらの配線RST、RWSは1行毎に設けられているので、以降、各配線を区別する必要がある場合は、RST<sub>i</sub>、RWS<sub>i</sub>（ $i = 1 \sim M$ ）のように表記する。

[0039] センサロウドライバ5は、所定の時間間隔（ $t_{row}$ ）で、図2に示した配線RST<sub>i</sub>とRWS<sub>i</sub>との組を順次選択していく。これにより、画素領域1において信号電荷を読み出すべき光センサの行（row）が順次選択される。

- [0040] なお、図2に示すように、配線OUTの端部には、絶縁ゲート型電界効果トランジスタM3のドレインが接続されている。また、このトランジスタM3のドレインには、出力配線SOUTが接続され、トランジスタM3のドレインの電位 $V_{SOUT}$ が、光センサからの出力信号としてセンサカラムドライバ4へ出力される。トランジスタM3のソースは、配線VSSに接続されている。トランジスタM3のゲートは、参照電圧配線VBを介して、参照電圧電源（図示せず）に接続されている。
- [0041] ここで、図3および図4を参照し、本実施形態にかかる光センサの動作について説明する。図3は、光センサへ配線RSTから供給されるリセット信号と配線RWSから供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。図4は、第1の実施形態の光センサにおける入力信号（RST, RWS）と $V_{INT}$ との関係を示す波形図である。
- [0042] 図3に示す例では、リセット信号のハイレベル $V_{RST.H}$ は $V_{SS}$ に等しい。また、読み出し信号のハイレベル $V_{RWS.H}$ が $V_{DD}$ に等しく、ローレベル $V_{RWS.L}$ が $V_{SS}$ に等しい。
- [0043] 本実施形態にかかる光センサにおいては、リセット信号RSTがハイレベルになったとき、トランジスタM2のゲート電極の電位 $V_{INT}$ は、下記の式（4）で表される。
- [0044] 
$$V_{INT} = V_{RST.H} - V_{T,M2} - \Delta V_{RST} \cdot C_{SENSOR} / C_T \quad \dots (4)$$
- 式（4）において、 $V_{T,M2}$ はトランジスタM2の閾値電圧、 $\Delta V_{RST}$ は、リセット信号のパルスの高さ（ $V_{RST.H} - V_{RST.L}$ ）であり、 $C_{SENSOR}$ はフォトトランジスタM4の容量である。 $C_T$ は、コンデンサC2の容量、フォトトランジスタM4の容量 $C_{SENSOR}$ と、トランジスタM2の容量 $C_{TFT}$ との総和である。このときの $V_{INT}$ はトランジスタM2の閾値電圧より低いので、トランジスタM2はリセット期間において非導通状態となっている。
- [0045] 次に、リセット信号がローレベル $V_{RST.L}$ に戻るにより、光電流の積分期間が始まる。積分期間においては、フォトトランジスタM4への入射光量に比例した光電流がコンデンサC2に流れ込み、コンデンサC2を放電させる

。これにより、積分期間の終了時におけるトランジスタM2のゲートの電位  $V_{INT}$  は、下記の式（5）で表される。

$$[0046] \quad V_{INT} = V_{RST.H} - V_{T.M2} - \Delta V_{RST} \cdot C_{SENSOR} / C_T - I_{PHOTO} \cdot T_{INT} / C_T \quad \dots (5)$$

式（5）において、 $I_{PHOTO}$  は、フォトトランジスタM4の光電流、 $T_{INT}$  は、積分期間の長さである。積分期間においても、 $V_{INT}$  がトランジスタM2の閾値電圧より低いので、トランジスタM2は非導通状態となっている。

[0047] 積分期間が終わると、読み出し信号RWSが立ち上がることにより、読み出し期間が始まる。なお、読み出し期間は、読み出し信号RWSがハイレベルの間、継続する。ここで、コンデンサC2に対して電荷注入が起こる。この結果、トランジスタM2のゲートの電位  $V_{INT}$  は、下記の式（6）で表される。

$$[0048] \quad V_{INT} = V_{RST.H} - V_{T.M2} - \Delta V_{RST} \cdot C_{SENSOR} / C_T - I_{PHOTO} \cdot T_{INT} / C_T + \Delta V_{RWS} \cdot C_{INT} / C_T \quad \dots (6)$$

$\Delta V_{RWS}$  は、読み出し信号のパルスの高さ（ $V_{RWS.H} - V_{RWS.L}$ ）である。これにより、トランジスタM2のゲートの電位  $V_{INT}$  が閾値電圧よりも高くなるので、トランジスタM2は導通状態となり、各列において配線OUTの端部に設けられているバイアストランジスタM3と共に、ソースフォロアアンプとして機能する。すなわち、トランジスタM2からのセンサ出力電圧  $V_{PIX}$  は、積分期間におけるフォトトランジスタM4の光電流の積分値に比例する。

[0049] 以上のとおり、リセットパルスによる初期化と、積分期間における光電流の積分と、読み出し期間におけるセンサ出力の読み出しとを周期的に行うことにより、各画素の光センサ出力を得ることができる。

[0050] なお、本実施形態では、前述したように、ソース線COLr, COLg, COLbを光センサ用の配線VDD, OUTとして共用しているので、図5に示すように、ソース線COLr, COLg, COLbを介して表示用の画像データ信号を入力するタイミングと、センサ出力を読み出すタイミングとを区別する必要がある。図5の例では、水平走査期間において表示用画像デ

一タ信号の入力が終わった後に、水平ブランキング期間等を利用してセンサ出力の読み出しが行われる。

[0051] センサカラムドライバ4は、図1に示すように、センサ画素読み出し回路41と、センサカラムアンプ42と、センサカラム走査回路43とを含む。センサ画素読み出し回路41には、画素領域1からセンサ出力 $V_{SOUT}$ を出力する配線 $SOUT$ （図2参照）が接続されている。図1において、配線 $SOUT_j$ （ $j = 1 \sim N$ ）により出力されるセンサ出力を、 $V_{SOUT_j}$ と表記している。センサ画素読み出し回路41は、センサ出力 $V_{SOUT_j}$ のピークホールド電圧 $V_{Sj}$ を、センサカラムアンプ42へ出力する。センサカラムアンプ42は、画素領域1のN列の光センサにそれぞれ対応するN個のカラムアンプを内蔵しており、個々のカラムアンプでピークホールド電圧 $V_{Sj}$ （ $j = 1 \sim N$ ）を増幅し、 $V_{COUT}$ としてバッファアンプ6へ出力する。センサカラム走査回路43は、センサカラムアンプ42のカラムアンプをバッファアンプ6への出力へ順次接続するために、カラムセレクト信号 $CS_j$ （ $j = 1 \sim N$ ）を、センサカラムアンプ42へ出力する。

[0052] ここで、図6および図7を参照し、画素領域1からセンサ出力 $V_{SOUT}$ が読み出された後のセンサカラムドライバ4およびバッファアンプ6の動作について説明する。図6は、センサ画素読み出し回路41の内部構成を示す回路図である。図7は、読み出し信号 $V_{RWS}$ と、センサ出力 $V_{SOUT}$ と、センサ画素読み出し回路の出力 $V_S$ との関係を示す波形図である。前述のように、読み出し信号がハイレベル $V_{RWS.H}$ になったとき、トランジスタM2が導通することにより、トランジスタM2、M3によりソースフォロアアンプが形成され、センサ出力 $V_{SOUT}$ がセンサ画素読み出し回路41のサンプルキャパシタ $C_{SAM}$ に蓄積される。これにより、読み出し信号がローレベル $V_{RWS.L}$ になった後も、その行の選択期間（ $t_{row}$ ）中、センサ画素読み出し回路41からセンサカラムアンプ42への出力電圧 $V_S$ は、図7に示すように、センサ出力 $V_{SOUT}$ のピーク値と等しいレベルに保持される。

[0053] 次に、センサカラムアンプ42の動作について、図8を参照しながら説明

する。図8に示すように、センサ画素読み出し回路41から、各列の出力電圧 $V_{sj}$  ( $j = 1 \sim N$ ) が、センサカラムアンプ42のN個のカラムアンプへ入力される。図8に示すように、各カラムアンプは、トランジスタM6, M7から構成されている。センサカラム走査回路43によって生成されるカラムセレクト信号 $CS_j$ が、1つの行の選択期間 ( $t_{row}$ ) 中に、N列のカラムのそれぞれに対して順次ONとなることにより、センサカラムアンプ42中のN個のカラムアンプのうちいずれか1つのみのトランジスタM6がONとなり、そのトランジスタM6を介して、各列の出力電圧 $V_{sj}$  ( $j = 1 \sim N$ ) のいずれかのみが、センサカラムアンプ42からの出力 $V_{COUT}$ として出力される。バッファアンプ6は、センサカラムアンプ42から出力された $V_{COUT}$ をさらに増幅し、パネル出力(光センサ信号) $V_{out}$ として信号処理回路8へ出力する。

[0054] なお、センサカラム走査回路43は、上述のように光センサの列を1列ずつ走査するようにしても良いが、これに限定されず、光センサの列をインタレース走査する構成としても良い。また、センサカラム走査回路43が、例えば4相等の多相駆動走査回路として形成されていても良い。

[0055] 以上の構成により、本実施形態にかかる表示装置は、画素領域1において画素毎に形成されたフォトトランジスタM4の受光量に応じたパネル出力 $V_{out}$ を得る。パネル出力 $V_{out}$ は、信号処理回路8に送られてA/D変換され、パネル出力データとしてメモリ(図示せず)に蓄積される。つまり、このメモリには、画素領域1の画素数(光センサ数)と同数のパネル出力データが蓄積されることとなる。信号処理回路8では、メモリに蓄積されたパネル出力データを用いて、画像取り込みやタッチ領域の検出等の各種信号処理を行う。なお、本実施形態では、信号処理回路8のメモリに、画素領域1の画素数(光センサ数)と同数のパネル出力データを蓄積するものとしたが、メモリ容量等の制約により、必ずしも画素数と同数のパネル出力データを蓄積することを要しない。

[0056] 以上のとおり、本実施形態にかかる表示装置によれば、光センサの光検出素子として従来のフォトダイオードの代わりにフォトトランジスタM4を用

いても、光センサ出力を得ることができる。また、特に、トランジスタM2とフォトトランジスタM4とをアモルファスシリコンTFTまたは微結晶シリコンTFTで形成すれば、ポリシリコンを用いるよりも安価に製造できる、という利点がある。

[0057] [第2の実施形態]

本発明の第2の実施形態にかかる表示装置について、以下に説明する。なお、上述の第1の実施形態において説明した構成と同様の機能を有する構成については、同じ参照符号を付記し、その詳細な説明を省略する。

[0058] 第2の実施形態にかかる表示装置は、図9に示すように、光センサにおける光検出素子として、第1の実施形態で説明したフォトトランジスタM4の代わりにフォトトランジスタM5を備えている点において、第1の実施形態と異なっている。フォトトランジスタM5は、ゲートがリセット配線RSTに接続されている点ではフォトトランジスタM4と同じであるが、ソースが、リセット信号RSTとは異なる第2のリセット信号VRSTを供給する配線に接続されている点において、フォトトランジスタM4と異なっている。

[0059] ここで、図10および図11を参照し、本実施形態にかかる光センサの動作について説明する。図10は、本実施形態にかかる光センサに印加される各種信号と $V_{INT}$ との関係を示す波形図である。図11は、比較例として、第1の実施形態の構成においてリセット信号RSTの電位降下が急峻でなかった場合の $V_{INT}$ の変化を示す波形図である。

[0060] 図11に示すように、第1の実施形態の構成においてリセット信号RSTの電位降下が急峻でなかった場合、トランジスタM2のゲート電極の電位 $V_{INT}$ は、リセット信号RSTの電位降下期間において相当量(図11に示す $\Delta V_{BACK}$ )低下してしまう。この理由は、フォトトランジスタM4が、フォトダイオードとは異なって双方向導通性を有することにある。この場合、前記 $\Delta V_{BACK}$ の低下分だけ、画素のダイナミックレンジが小さくなり、少ない光量で飽和してしまうという問題が生じる。

[0061] 本実施形態の構成では、この問題を改善するために、上述のように、フォ

トランジスタM5のゲートとソースにそれぞれ別個のリセット信号RST、VRSTを印加する。図10に示すように、フォトトランジスタM5のソースに印加される第2のリセット信号VRSTは、リセット信号RSTが完全にローレベルになってから、すなわちフォトトランジスタM5がオフ状態に切り替わってから、電位降下が始まる。これにより、図10と図11とを比較することから分かるように、図10に示す本実施形態の構成では、図11で見られた電位 $V_{INT}$ の低下( $\Delta V_{BACK}$ )が生じず、ダイナミックレンジの広い光センサを実現することができる。

[0062] 以上、本発明についての第1および第2の実施形態を説明したが、本発明は上述の各実施形態にのみ限定されず、発明の範囲内で種々の変更が可能である。

[0063] 例えば、第1および第2の実施形態では、光センサに接続された配線VDD、OUTが、ソース配線SLと共用されている構成を例示した。この構成によれば、画素開口率が高いという利点がある。しかしながら、光センサ用の配線VDD、OUTをソース配線SLとは別個に設けた構成としても良い。

### 産業上の利用可能性

[0064] 本発明は、アクティブマトリクス基板の画素領域内に光センサを有する表示装置として、産業上利用可能である。

### 符号の説明

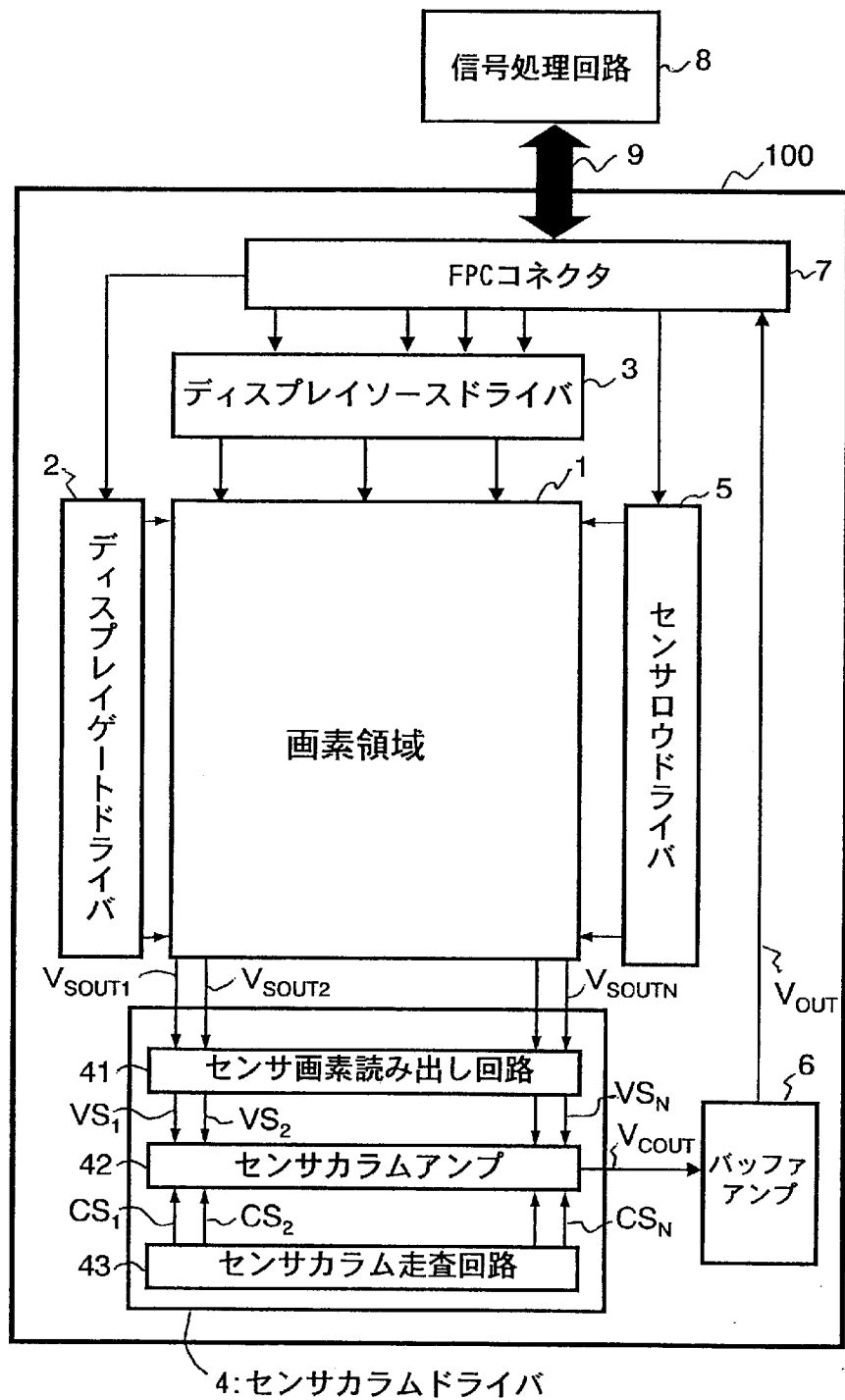
- [0065]
- |     |                      |
|-----|----------------------|
| 1   | 画素領域                 |
| 2   | ディスプレイゲートドライバ        |
| 3   | ディスプレイソースドライバ        |
| 4   | センサカラム (column) ドライバ |
| 4 1 | センサ画素読み出し回路          |
| 4 2 | センサカラムアンプ            |
| 4 3 | センサカラム走査回路           |
| 5   | センサロウ (row) ドライバ     |

- 6 バッファアンプ
- 7 FPCコネクタ
- 8 信号処理回路
- 9 FPC
- 100 アクティブマトリクス基板
- M2 薄膜トランジスタ（センサスイッチング素子）
- M4 フォトトランジスタ（光検出素子）

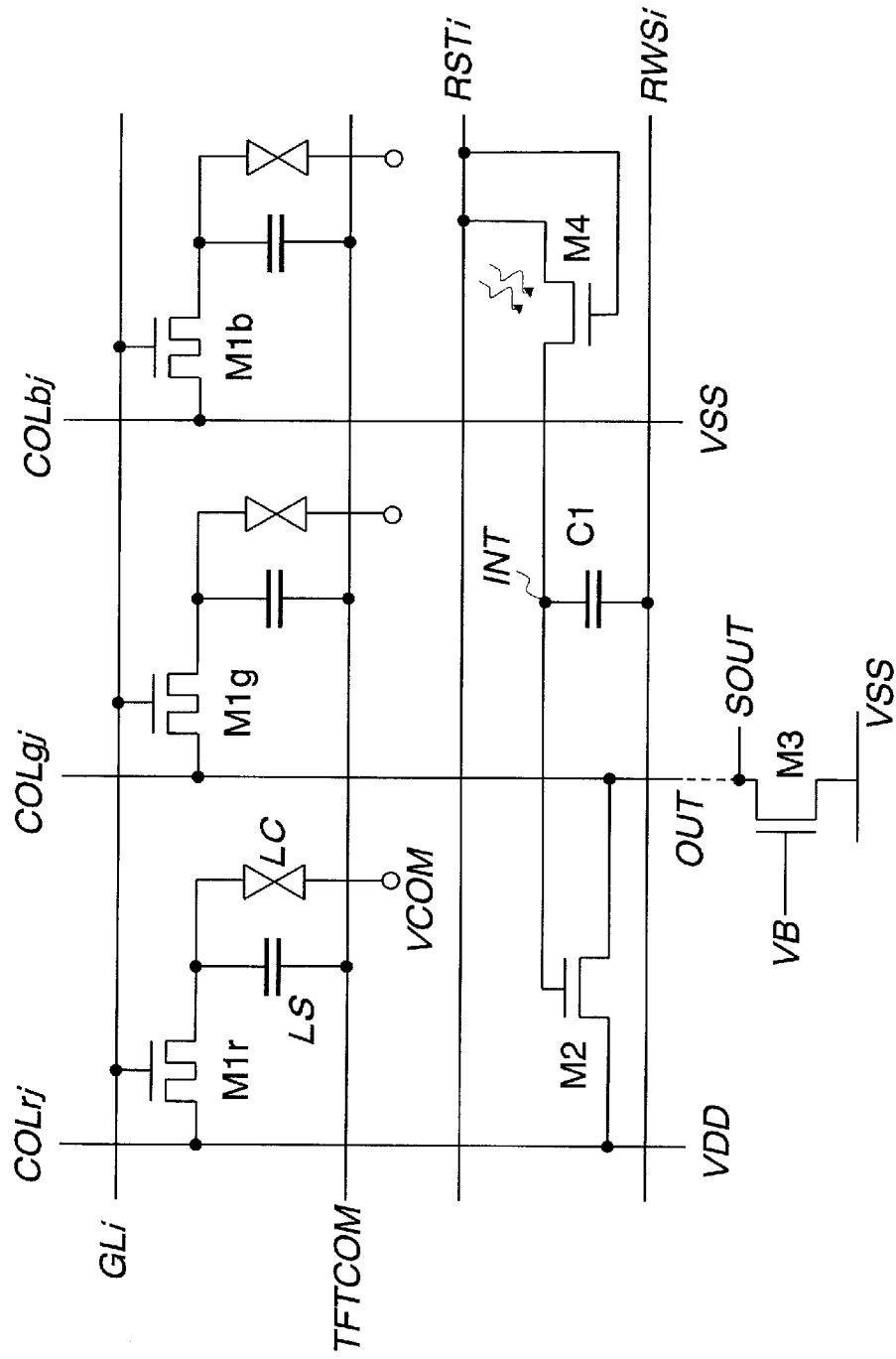
## 請求の範囲

- [請求項1] アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、  
前記光センサが、  
入射光を受光する光検出素子と、  
前記光検出素子に一方の電極が接続され、前記光検出素子からの出力電流を蓄積する容量と、  
当該光センサへリセット信号を供給するリセット信号配線と、  
当該光センサへ読み出し信号を供給する読み出し信号配線と、  
前記リセット信号が供給されてから前記読み出し信号が供給されるまでの間に前記容量に蓄積された出力電流を、前記読み出し信号にしたがって読み出すセンサスイッチング素子とを備え、  
前記光検出素子が、フォトトランジスタであることを特徴とする表示装置。
- [請求項2] 前記光検出素子がアモルファスシリコンTFTまたは微結晶シリコンTFTである、請求項1に記載の表示装置。
- [請求項3] 前記センサスイッチング素子がアモルファスシリコンTFTまたは微結晶シリコンTFTである、請求項1または2に記載の表示装置。
- [請求項4] 前記フォトトランジスタのゲートおよびソースが前記リセット信号配線に接続されている、請求項1～3のいずれか一項に記載の表示装置。
- [請求項5] 前記フォトトランジスタのゲートに前記リセット信号配線が接続され、当該フォトトランジスタのソースに当該フォトトランジスタがオフ状態になった後に電位降下を生じる第2のリセット信号配線が接続されている、請求項1～3のいずれか一項に記載の表示装置。
- [請求項6] 前記アクティブマトリクス基板に対向する対向基板と、  
前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項1～5のいずれか一項に記載の表示装置。

[図1]

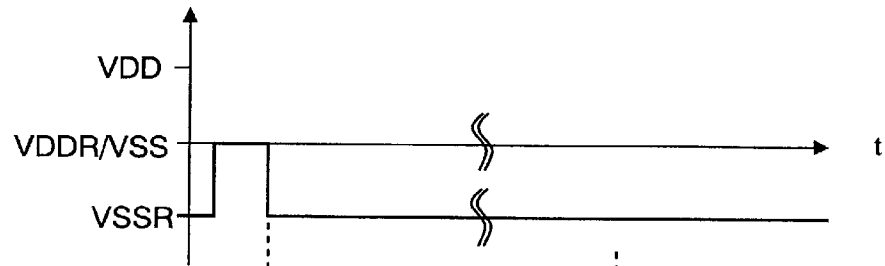


[圖2]

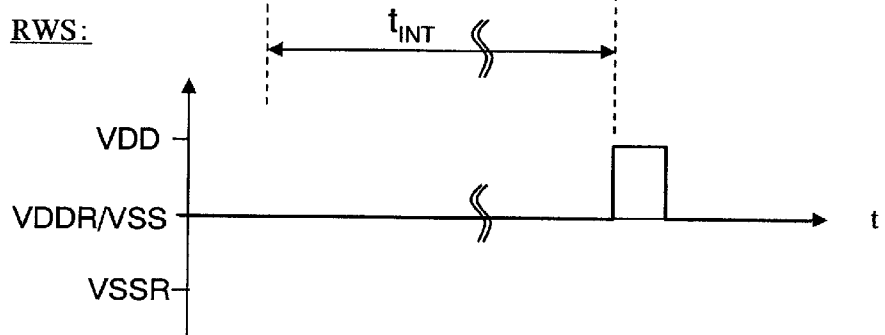


[圖3]

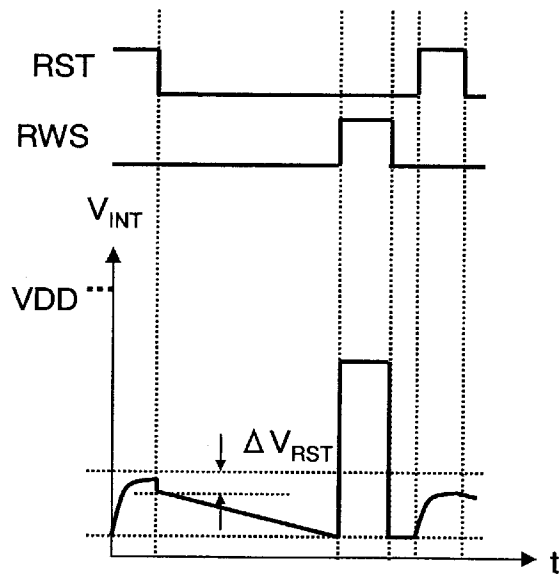
RST:



RWS:

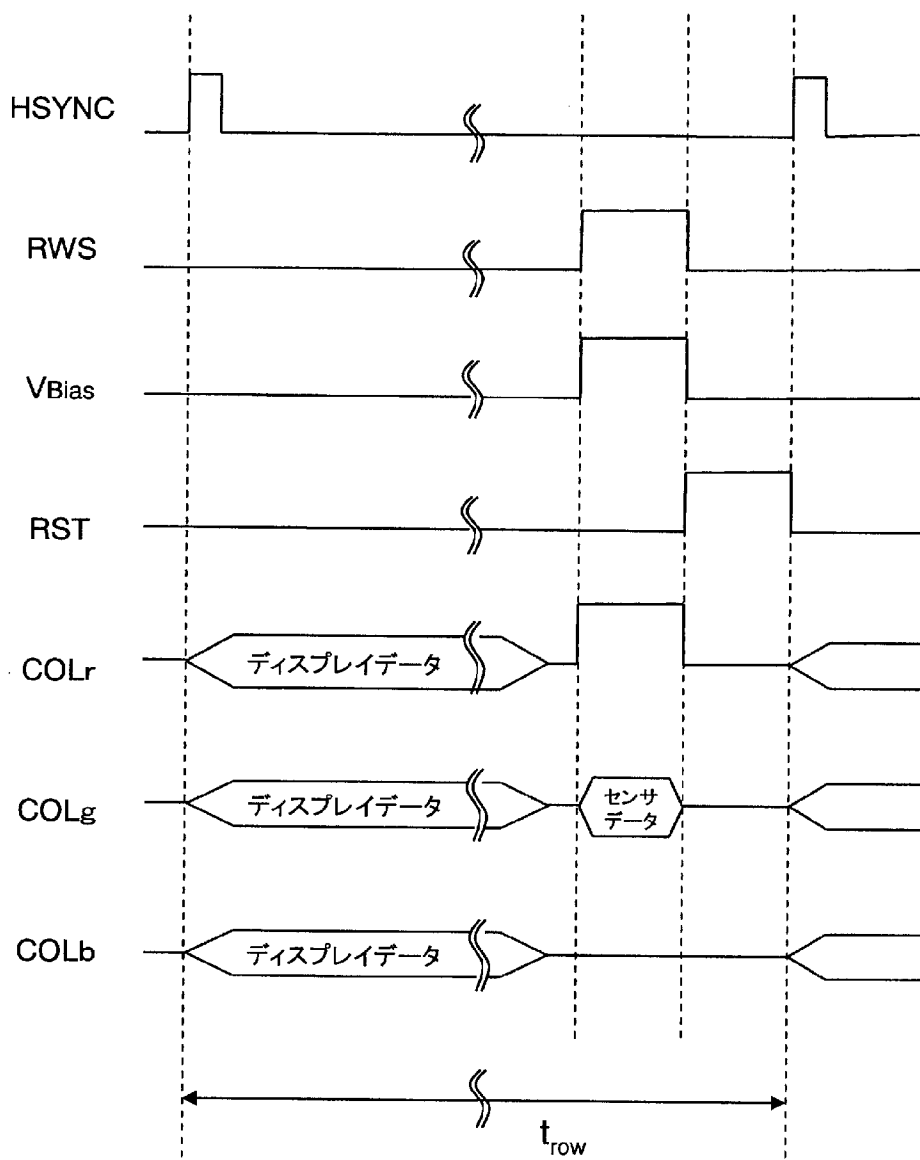


[圖4]

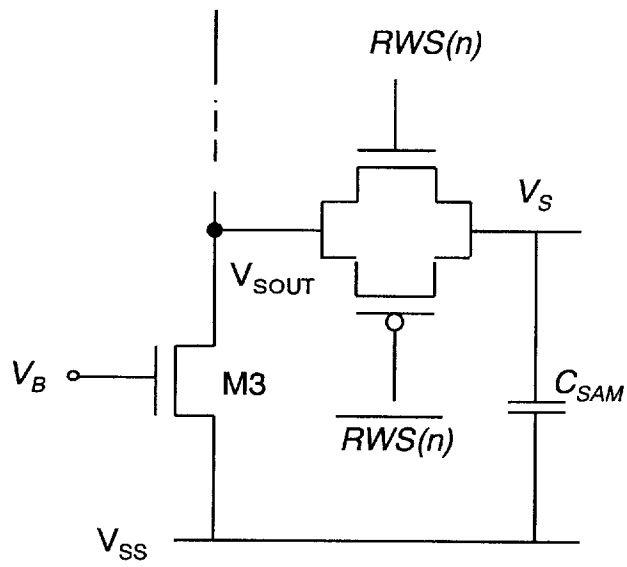


$$\Delta V_{RST} = V_{T,M2} + \Delta V_{RST} \cdot C_{SENSOR} / C_T$$

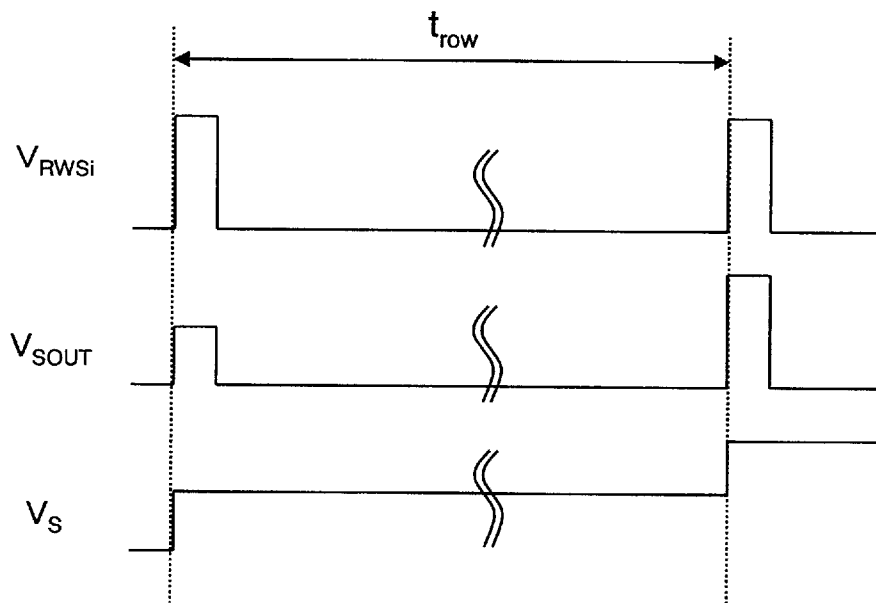
[図5]



[圖6]

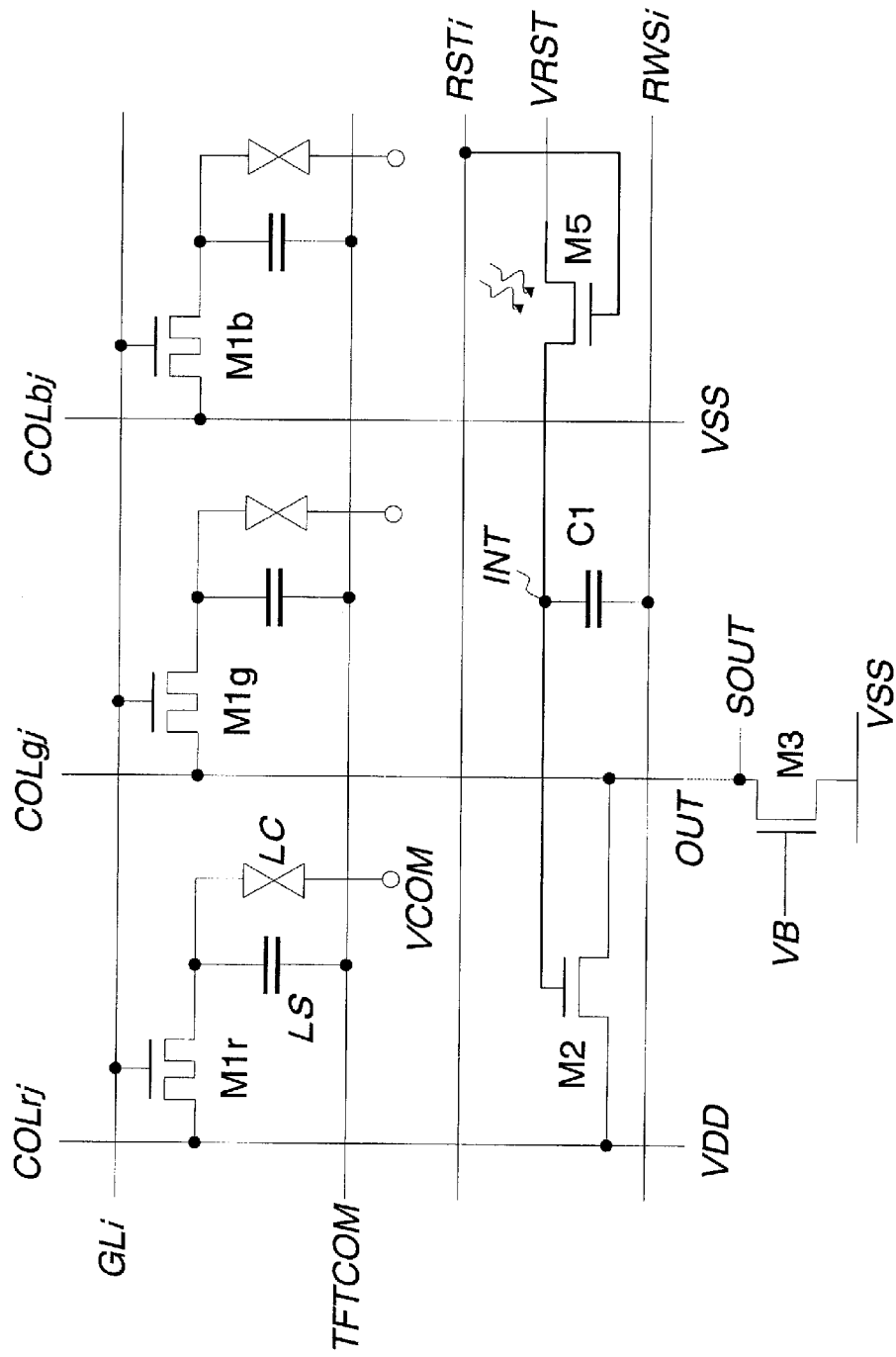


[圖7]

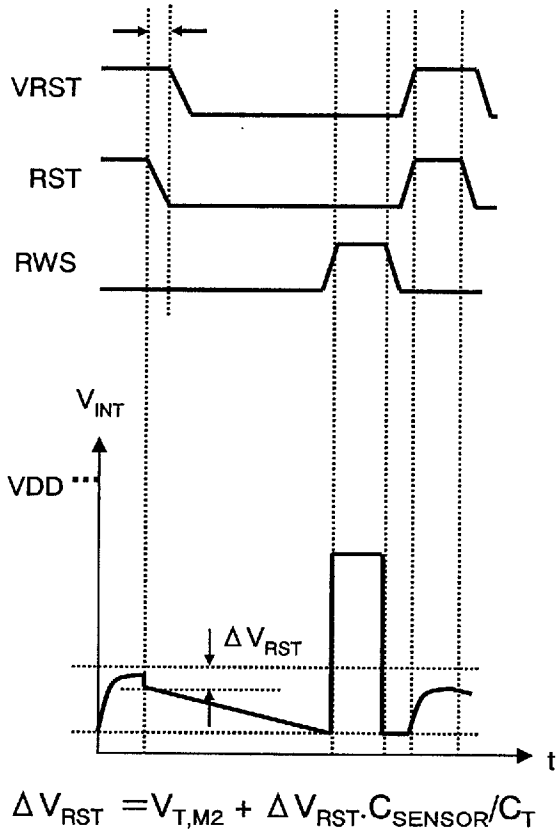




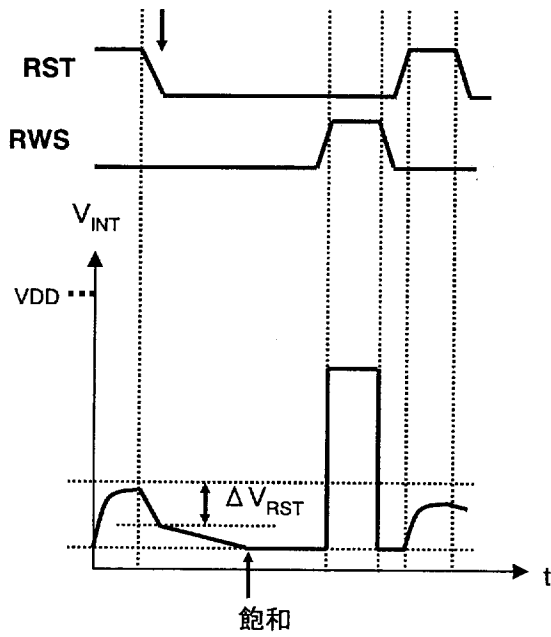
[9]



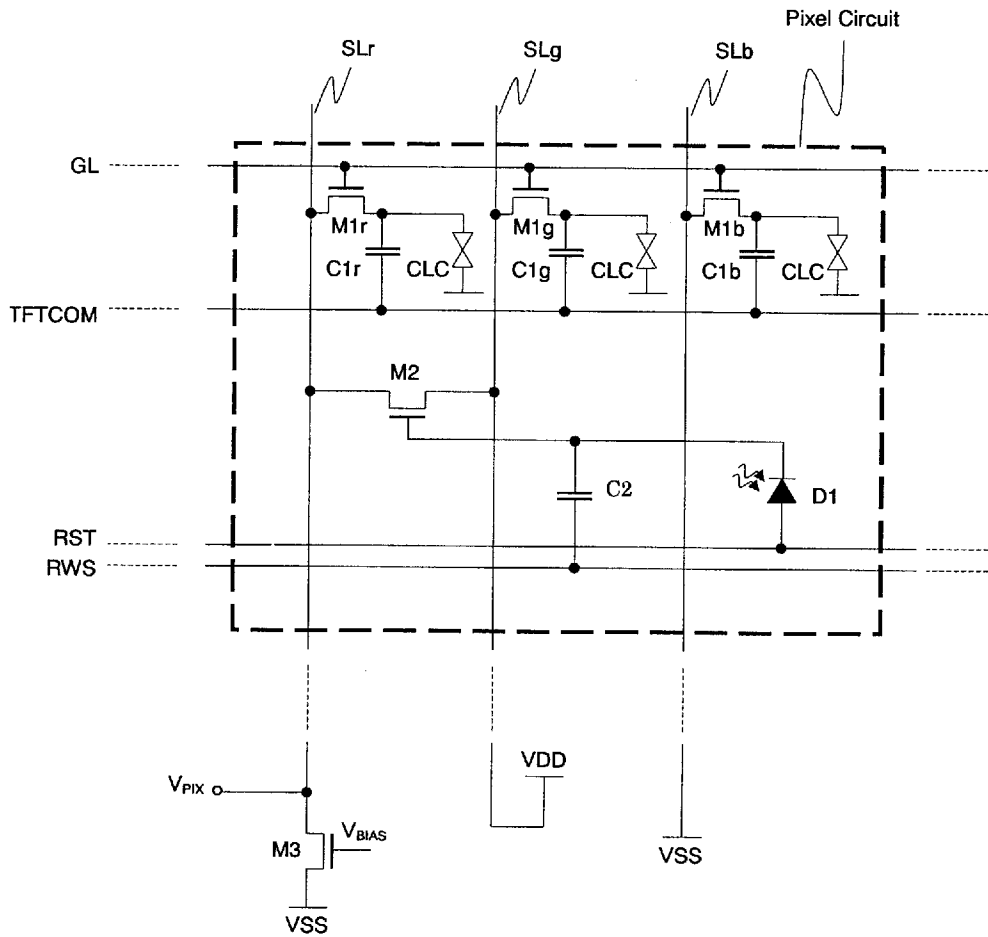
[図10]



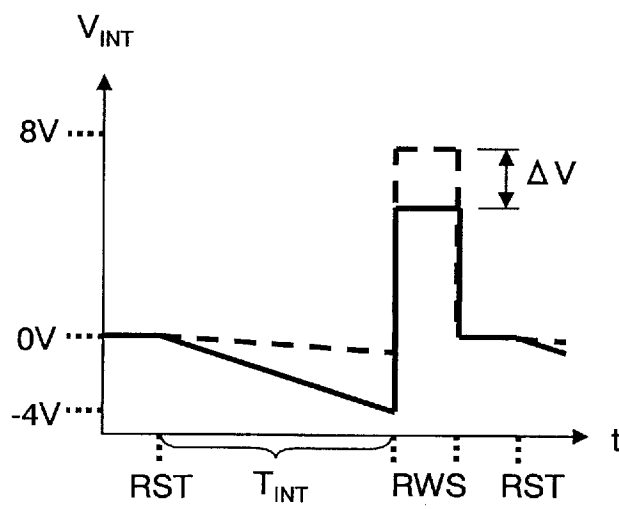
[図11]



[圖12]



[圖13]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2009/059769

**A. CLASSIFICATION OF SUBJECT MATTER**  
G02F1/133(2006.01)i, G02F1/1335(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L31/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G02F1/133, G02F1/1335, G02F1/1368, G09F9/30, H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category*   | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-------------|--|-----------------------|
| X<br>Y<br>A | JP 2007-304245 A (Sony Corp.),<br>22 November, 2007 (22.11.07),<br>Par. Nos. [0022] to [0057]; Fig. 3<br>(Family: none)  | 1, 6<br>2, 3<br>4, 5  |
| X<br>A      | JP 2006-79589 A (Sanyo Electric Co., Ltd.),<br>23 March, 2006 (23.03.06),<br>Par. Nos. [0047] to [0054], [0203] to [0216]<br>& US 2006/0033016 A1 & KR 10-2006-0049286 A<br>& CN 1758197 A | 1, 4<br>2, 3, 5, 6    |
| Y<br>A      | JP 6-11690 A (Rohm Co., Ltd.),<br>21 January, 1994 (21.01.94),<br>Par. Nos. [0006] to [0012]; Fig. 2<br>(Family: none)   | 2, 3<br>1, 4-6        |

Further documents are listed in the continuation of Box C.       See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |
| "E" earlier application or patent but published on or after the international filing date   | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family  |
| "O" document referring to an oral disclosure, use, exhibition or other means  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |

|   |  |
|---|--|
| Date of the actual completion of the international search<br>17 June, 2009 (17.06.09) | Date of mailing of the international search report<br>30 June, 2009 (30.06.09) |
|---|--|

|  |                    |
|--|--------------------|
| Name and mailing address of the ISA/<br>Japanese Patent Office | Authorized officer |
| Facsimile No.  | Telephone No.      |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/133(2006.01)i, G02F1/1335(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, G02F1/1335, G02F1/1368, G09F9/30, H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2009年 |
| 日本国実用新案登録公報 | 1996-2009年 |
| 日本国登録実用新案公報 | 1994-2009年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号       |
|-----------------|---|----------------------|
| X<br>Y<br>A     | JP 2007-304245 A (ソニー株式会社) 2007. 11. 22, 【0022】 - 【0057】<br>【図3】 (ファミリーなし)  | 1, 6<br>2, 3<br>4, 5 |
| X<br>A          | JP 2006-79589 A (三洋電機株式会社) 2006. 03. 23, 【0047】 - 【0054】<br>【0203】 - 【0216】 & US 2006/0033016 A1 & KR 10-2006-0049286 A<br>& CN 1758197 A | 1, 4<br>2, 3, 5, 6   |
| Y               | JP 6-11690 A (ローム株式会社) 1994. 01. 21, 【0006】 - 【0012】 【図   | 2, 3                 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

17. 06. 2009

国際調査報告の発送日

30. 06. 2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥田 雄介

2L

3812

電話番号 03-3581-1101 内線 3255

| C (続き) . 関連すると認められる文献 |                                   |                |
|-----------------------|-----------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 |
| A                     | 2】 (ファミリーなし)                      | 1, 4-6         |