(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/60

(45) 공고일자 2003년03월15일
(11) 등록번호 10-0365586
(24) 등록일자 2002년12월09일

(21) 출원번호 10-1995-0044247
(22) 출원일자 1995년11월28일

(65) 공개번호 특1996-0026505
(43) 공개일자 1996년07월22일

(30) 우선권주장 94-316444 1994년12월10일 일본(JP)
95-126405 1995년05월25일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 나카무라아츠시
일본국도오쿄오토후쥬우시무사시다이3-27-52
니시구니히코
일본국도오쿄오토고쿠분지시기타마치4-13-20

(74) 대리인 특허법인 원전

심사관 : 송원선

(54) 반도체장치 및 그 제조방법

요약

베이스 기판의 주면 펠릿 탑재 영역상에 반도체 펠릿이 탑재되고, 상기 반도체 펠릿의 주면에 배치된 외부단자에 베이스 기판의 이면에 배치된 제1전극패드가 전기적으로 접속되는 반도체 장치에 있어서, 상기 베이스 기판은 리지드 기판으로 구성하고, 상기 베이스 기판의 제1전극패드를 그의 이면에 배치된 제2전극패드에 전기적으로 접속하며, 상기 반도체 펠릿을 그의 주면을 밑으로 해서 베이스 기판의 주면 펠릿 탑재영역상에 탑재하고, 상기 반도체 펠릿의 외부단자와 베이스 기판의 제2전극패드를 베이스 기판에 형성된 슬리트를 통해서 본딩와이어로 전기적으로 접속한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 실시예 1인 BGA구조를 채용하는 반도체 장치의 주면측 평면도,

제 2 도는 제1도에 나타낸 A-A선의 위치에서 절단한 단면도,

제 3 도는 제2도의 주요부 확대 단면도,

제 4 도는 반도체 장치의 이면측의 수지밀봉체를 제거한 상태를 나타내는 이면측 주요부 확대 평면도,

제 5 도는 반도체 장치의 수지밀봉체를 형성하는 모울드 금형의 주요부 단면도,

제 6 도는 반도체 장치의 제조방법을 설명하기 위한 단면도,

제 7 도는 반도체 장치의 제조방법을 설명하기 위한 주요부 단면도,

제 8 도는 반도체 장치의 제조방법을 설명하기 위한 주요부 단면도,

제 9 도는 반도체 장치의 제조방법을 설명하기 위한 주요부 단면도,

제 10 도는 반도체 장치를 실장기판에 실장한 상태를 나타내는 주요부 단면도,

제 11 도는 반도체 장치의 변형예를 나타내는 단면도,

제 12 도는 본 발명의 실시예 2인 BGA구조를 채용하는 반도체 장치의 단면도,

제 13 도는 반도체 장치의 이면측의 수지밀봉체를 제거한 상태를 나타낸 이면측 주요부 확대 평면도,

제 14 도는 본 발명의 실시예 3인 BGA구조를 채용하는 반도체 장치의 이면측의 수지 밀봉체를 제거한 상태를 나타낸 이면측 주요부 평면도,

제 15 도는 본 발명의 실시예 4인 BGA구조를 채용하는 반도체 장치의 이면측의 수지 밀봉체를 제거한 상태를 나타내는 이면측 주요부 평면도,

제 16 도는 종래의 BGA 구조를 채용하는 반도체 장치의 주요부 단면도이다.

** 도면의 주요부분에 대한 부호의 설명 **

1... 베이스기판, 1A... 전극패드,

1B... 전극패드, 2... 반도체펠릿,

2A... 외부단자, 3... 절연층,

4... 범프전극, 5... 슬릿,

6... 본딩와이어, 7... 수지밀봉체,

7A... 수지, 8A,8B... 전극플레이트,

10... 모울드금형, 10A... 상형,

10B... 하형, 11... 캐비티,

11A,11B,12... 오목부(凹부), 13... 유입게이트,

14... 본딩스테이지, l4A... 오목부(凹부),

15... 실장기판, l5A... 전극패드.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 특히, 베이스 기판의 주면 펠릿 탑재 영역상에 반도체 펠릿이 탑재되고, 상기 반도체 펠릿의 주면에 배치된 외부단자에 상기 베이스 기판의 이면에 배치된 제1전극패드가 전기적으로 접속되는 반도체 장치 및 그 제조방법에 적용해서 유효한 기술에 관한 것이다.

높은 실장정밀도가 얻어지는 반도체 장치로서, BGA(ball grid array)구조의 반도체 장치가, 예를 들면 닛케이 맥그로힐사 발행 닛케이 일렉트로닉스[1995년 2월 28일호, 제 111페이지 제117페이지]에 개시되어 있다. 이 BGA 구조의 반도체 장치는 제16도(주요부 단면도)에 나타낸 바와 같이, 베이스 기판(1)의 주면 펠릿 탑재 영역상에 반도체 펠릿(2)을 탑재하고, 베이스 기판(1)의 주면과 대향하는 그 이면측에 복수의 범프전극(4)을 격자모양으로 배치한 구조로 구성된다.

상기 베이스 기판(1)은, 예를들면 2층 배선구조의 프린트 배선기판으로 구성된다. 베이스 기판(1)의 주면 주변영역(펠릿 탑재영역의 주위)에는 복수의 제2전극패드(1A)가 배치된다. 또, 베이스 기판(1)의 주면과 대향하는 그 이면에는 복수의 제1전극패드(1B)가 배치된다. 제2전극패드(1A)는 베이스 기판(1)의 주면상에 배치된 배선($1A_1$)을 통해서 스루홀 배선(1C)에 전기적으로 접속된다. 제1전극패드(1B)는 베이스 기판(1)의 이면에 배치된 배선($1B_1$)을 통해서 스루홀 배선(1C)에 전기적으로 접속된다.

상기 반도체 펠릿(2)은, 예를 들면 단결정 규소로 이루어진 반도체기판(2B)을 주체로 구성된다. 반도체 기판(2B)의 주면(소자형성면)에는 논리회로시스템, 기억회로시스템, 혹은 그들의 혼합회로시스템이 탑재된다. 또, 반도체 기판(2B)의 주면상에는 복수의 외부단자(bonding pad)(2A)가 배치된다. 이 외부단자(2A)는 반도체 기판(2B)의 주면상에 형성된 배선층 중 최상부의 배선층에 형성된다.

상기 반도체 펠릿(2)의 외부단자(2A)는 베이스 기판(1)의 주면에 배치된 제2전극패드(1A)에 본딩와이어(6)를 통해서 전기적으로 접속된다. 즉, 반도체 펠릿(2)의 외부단자(2A)는 본딩와이어(6), 제2전극패드(1A), 배선($1A_1$), 스루홀 배선(1C), 배선($1B_1$)의 각각을 통하여 제1전극패드(1B)에 전기적으로 접속된다.

상기 반도체 펠릿(2), 본딩 와이어(6)등은 베이스 기판(1)의 주면상에 형성된 수지 밀봉체(7)로 밀봉(seal)된다. 수지밀봉체(7)는 트랜스퍼 모울드법으로 형성된다.

상기 베이스 기판(1)의 제1전극패드(1B)의 표면상에는 범프전극(4)이 전기적 및 기계적으로 접속된다. 범프전극(4)은, 예를 들면 Pb-Sn계의 합금재로 형성된다.

이와 같이 구성되는 BGA 구조의 반도체 장치는 실장기판(mounting board)의 실장면상에 실장되고, 그 범프전극(4)은 실장기판의 실장면에 배치된 전극패드에 전기적 및 기계적으로 접속된다.

또, 높은 실장정밀도가 얻어지는 반도체 장치로서, 베이스 기판을 필름형상의 후렉서블(flexible) 기판으로 구성한 반도체 장치가, 미국특허 제5148265호에 개시되어 있다. 이 반도체 장치는, 후렉서블 기판으로 구성된 베이스 기판의 주면 펠릿 탑재영역상에 반도체 펠릿을 그 주면을 밑으로 해서 탑재하고, 반도체 펠릿의 주면에 배치된 외부단자와 베이스 기판의 이면에 배치된 제2전극패드를 본딩와이어로 전기적으로 접속한 구조로 구성된다. 베이스 기판의 제2전극패드는 그 이면에 배치된 배선을 통하여 그 이면에 배치된 제1전극패드에 전기적으로 접속된다. 제1전극패드의 표면에는 범프전극이 전기적 및 기계적으로 접속된다.

이와 같이 구성되는 반도체 장치는 실장기판의 실장면상에 실장되고, 그의 범프전극은 실장기판의 실장면에 배치된 전극패드에 전기적 및 기계적으로 접속된다.

BGA 구조의 반도체 장치에서, 제16도에 나타낸 바와 같이, 베이스 기판(1)의 주면에 배치된 제2전극패드(1A)는, 스루홀 배선(1C)을 통하여 베이스 기판(1)의 이면에 배치된 제1전극패드(1B)에 전기적으로 접속된다. 스루홀 배선(1C)은 베이스 기판(1)의 스루홀 내에 형성된 홀영역과, 베이스 기판(1)의 주면 및 이면에 형성된 랜드영역(fringe portion)으로 구성된다. 스루홀의 내부직경은, 예를 들면 0.3mm 정도로 설정되고, 스루홀 배선(1C)의 랜드영역의 외부직경은, 예를 들면 0.6mm 정도로 설정된다. 이 스루홀의 내부직경 및 스루홀 배선(1C)의 랜드영역의 외부직경은, 제2전극패드(1A)와 스루홀 배선(1C)을 전기적으로 접속하는 배선($1A_1$)의 배선폭 및 제1전극패드(1B)와 스루홀 배선(1C)을 전기적으로 접속하는 배선($1B_1$)의 배선폭과 비교해서 크게 구성된다.

한편, 반도체 펠릿(2) 상에 탑재된 회로시스템은 고집적화 및 다기능화의 경향이 있으며, 이 회로시스템의 고집적화와, 다기능화에 따라서 반도체 펠릿(2)의 외부단자(2A)의 수 및 베이스 기판(1)의 제2전극패드(1A)의 수는 증가한다. 즉, 회로시스템의 고집적화, 다기능화에 따라서, 제2전극패드(1A)와 제1전극패드(1B)를 전기적으로 접속하는 스루홀 배선(1C)의 수는 증가한다. 이 때문에 스루홀 배선(1C)의 수에 상당하는 만큼 베이스기판(1)의 외형크기가 증가하여 반도체 장치가 대형화하는 문제가 있다.

동박(Copper foil)등의 후막인쇄 및 에칭 혹은 도금기술로 형성된 스루홀 배선의 간격은 포토리소그래피(photolithography) 기술로 형성된 반도체 펠릿의 외부단자(본딩패드)의 간격보다 크게 된다. 따라서 BGA 구조의 반도체 장치에서, 스루홀 배선(1C)의 증가에 따라, 스루홀 배선(1C)은 반도체 펠릿(2)으로부터 그의 외측을 향해 먼 위치에 배치된다. 이 때문에, 제2전극패드(1A)와 스루홀 배선(1C)을 전기적으로 접속하는 배선($1A_1$)의 길이 및 제1전극패드(1B)와 스루홀 배선(1C)을 전기적으로 접속하는 배선($1B_1$)의 길이가 길어지므로 인덕턴스가 증가하여 반도체 장치의 동작속도가 저하한다는 문제가 있다.

베이스 기판을 후렉서블기판으로 구성한 반도체 장치에서, 후렉서블 기판은 예를 들면 폴리에스테르막, 폴리이미드막으로 구성된다. 이 후렉서블 기판은, NEMA 규격에 따른 FR4 기판으로 대표되는 글라스 섬유에 에폭시수지, 폴리이미드수지 등을 함침한 리지드(rigid) 기판에 비해 영계수(Young's modulus)가 낮아 연하다(경도가 낮다). 이 때문에, 반도체 펠릿의 주면에 배치된 외부단자와 베이스 기판의 이면에 배치된 제2전극 패드를 본딩와이어로 전기적으로 접속할 때, 제2전극패드에 가해지는 본딩하중이 베이스 기판에 흡수되어 버리고, 본딩하중, 초음파 진동이 제2전극패드에 유효하게 전달되지 않으며, 본딩와이어와 제2전극패드의 접속강도가 저하하고, 본딩와이어의 접속불량의 우려가 있어 반도체 장치의 전기적 신뢰성이 저하한다는 우려가 있다.

베이스 기판을 후렉서블 기판으로 구성한 반도체 장치에서, 후렉서블 기판은 리지드 기판에 비해 평면방향의 열팽창계수가 크고, 또 영계수가 낮아 구부리기 쉽다(강성이 작다). 이 때문에, 실장기판의 실장면상에 반도체 장치를 실장할 때, 실장시의 리플로우(reflow)열로 베이스 기판에 휘어짐 및 비틀림 등의 변형이 발생하고, 실장기판의 실장면에 대한 베이스 기판의 이면의 평탄도를 저하하여, 반도체 장치의 실장 정밀도가 저하한다는 염려가 있다.

본 발명의 목적은, 반도체 장치의 소형화를 도모하는 것이 가능한 기술을 제공하는데 있다.

본 발명의 또 다른 목적은, 반도체 장치의 동작속도의 고속화를 도모하는 것이 가능한 기술을 제공하는데 있다.

본 발명의 또 다른 목적은, 반도체 장치의 전기적 신뢰성을 높이는 것이 가능한 기술을 제공하는데 있다.

본 발명의 또 다른 목적은, 반도체 장치의 실장 정밀도를 높이는 것이 가능한 기술을 제공하는데 있다.

본 발명의 또 다른 목적은, 상기 목적을 달성하는 반도체 장치의 제조방법을 제공하는데 있다.

본 발명의 상기 및 그 이외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면으로부터 명확해질 것이다.

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 아래와 같다.

베이스 기판의 주면 펠릿 탑재 영역상에 반도체 펠릿이 탑재되고, 상기 반도체 펠릿의 주면에 배치된 외부단자에 상기 베이스 기판의 이면에 배치된 제1전극패드가 전기적으로 접속된 반도체 장치에 있어서, 상기 베이스 기판을 리지드 기판으로 구성하고, 상기 베이스 기판의 제1전극패드를 그의 이면에 배치된 제2전극패드에 전기적으로 접속하며, 상기 반도체 펠릿을 그 주면을 밑으로 해서 상기 베이스 기판의 주면 펠릿 탑재 영역상에 탑재하고, 상기 반도체 펠릿의 외부단자와 상기 베이스 기판의 제2전극패드를 베이스 기판에 형성된 슬리트(slit)를 통해서 본딩와이어로 전기적으로 접속한다.

베이스 기판의 주면 펠릿 탑재 영역상에 반도체 펠릿이 탑재되고, 상기 반도체 펠릿의 주면에 배치된 외부단자에 상기 베이스 기판의 이면에 배치된 제1전극패드가 전기적으로 접속된 반도체 장치의 제조방법에 있어서, 리지드 기판으로 구성된 베이스 기판의 주면 펠릿 탑재영역상에 반도체 펠릿을 그 주면을 밑으로 해서 탑재하는 공정과, 상기 반도체 펠릿의 외부단자와 상기 베이스 기판의 제1전극패드에 전기적으로 접속되고, 또 상기 베이스 기판의 이면에 배치된 제2전극패드를 상기 베이스 기판에 형성된 슬릿을 통해서 본딩와이어로 전기적으로 접속하는 공정을 구비한다.

상술한 본 발명의 구성에 의하면, 반도체 펠릿의 외부단자와 베이스 기판의 제1전극 패드를 본딩와이어, 제2전극패드의 각각을 통하여 전기적으로 접속할 수 있으므로, 제2전극패드와 제1전극패드를 전기적으로 접속하는 스루홀 배선을 제거할 수 있다. 이 결과, 스루홀 배선의 점유면적(랜드영역의 면적)에 상당하는 만큼 베이스 기판의 외형크기를 축소할 수 있으므로, 반도체 장치의 소형화를 도모할 수 있다.

또한, 스루홀 배선의 점유면적에 상당하는 만큼 제1전극패드를 제2전극패드에 근접시킬 수 있으므로, 제2전극패드와 제1전극패드를 전기적으로 접속하는 베이스 기판의 배선길이를 짧게 할 수 있다. 이 결과, 인덕턴스를 저감할 수 있으므로 반도체 장치의 동작속도의 고속화를 도모할 수 있다.

또한, 리지드 기판은 후렉서블 기판에 비해 영계수가 높아 단단하므로, 반도체 펠릿의 주면에 배치된 외부단자와 베이스 기판의 이면에 배치된 제2전극패드를 본딩와이어로 전기적으로 접속할 때, 제2전극패드에 가해지는 본딩하중이 베이스 기판에 의해 흡수되지 않고, 본딩하중, 초음파 진동이 제2전극패드에 유효하게 전달된다. 이 결과, 본딩와이어와 제2전극패드의 접속강도를 높일 수 있으므로 본딩와이어의 접속불량을 방지할 수 있고, 반도체 장치의 전기적 신뢰성을 높일 수 있다.

또한, 리지드 기판은 후렉서블 기판에 비해서 평면방향의 열팽창 계수가 작고, 또 영계수가 높아 구부리기 어려우므로 실장기판의 실장면상에 반도체 장치를 실장할 때, 실장시의 리플로우 열에 의한 베이스 기판의 변형(휘어짐 또는 비틀림)을 방지할 수 있다. 이 결과, 실장기판의 실장면에 대한 베이스 기판의 이면의 평탄도를 확보할 수 있으므로, 반도체 장치의 실장 정밀도를 높일 수 있다.

상술한 본 발명의 제조방법에 의하면, 반도체 펠릿의 외부단자와 베이스 기판의 제1 전극패드를 본딩 와이어, 제2전극패드의 각각을 통하여 전기적으로 접속하므로 제2전극패드과 제1전극패드를 전기적으로 접속한 스루홀배선이 제거되고, 이 스루홀배선의 점유면적에 상당하는 만큼 외형크기가 축소된 베이스 기판을 사용할 수 있다. 이 결과, 외형 크기가 작은 반도체 장치를 제조할 수 있다.

또한, 반도체 펠릿의 외부단자와 베이스 기판의 제1전극패드를 본딩와이어, 제2전극 패드의 각각을 통하여 전기적으로 접속하므로, 제2전극패드와 제1전극패드를 전기적으로 접속한 스루홀배선이 제거되고, 이 스루홀배선의 점유면적에 상당하는 만큼 제2전극 패드와 제1전극패드를 전기적으로 접속하는 배선의 길이가 짧은 베이스 기판을 사용할 수 있다. 이 결과, 동작속도가 빠른 반도체 장치의 제조할 수 있다.

후렉서블 기판이 비해서 영계수가 높아 단단한 리지드 기판으로 구성된 베이스 기판을 사용하고 있으므로 반도체 펠릿의 주면에 배치된 외부단자와 베이스 기판의 이면에 배치된 제2전극패드를 본딩와이어로 전기적으로 접속할 때, 제2전극패드에 가해지는 본딩하중이 베이스 기판에 의해 흡수되지 않고, 본딩하중, 초음파 진동이 제2전극패드에 유효하게 전달된다. 이 결과, 본딩와이어와 제2전극패드의 접속강도를 높일 수 있으므로 전기적 신뢰성이 높은 반도체 장치를 제조할 수 있다.

또한, 후렉서블 기판에 비해서 평면방향의 열팽창 계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성된 베이스 기판을 사용하고 있으므로, 실장기판의 실장면상에 반도체 장치를 실장할 때, 실장시의 리플로우 열에 의한 베이스 기판의 변형(휘어짐 또는 비틀림)을 방지할 수 있다. 이 결과, 실장기판의 실장면에 대한 베이스 기판의 이면의 평탄도를 확보할 수 있으므로, 실장 정밀도가 높은 반도체 장치를 제조할 수 있다.

이하, 본 발명의 구성에 대해서 BGA 구조를 채용하는 반도체 장치에 본 발명을 적용한 실시예와 함께 설명한다.

또, 실시예를 설명하기 위한 전 도면에 있어서, 동일 기능을 가지는 것은 동일 부호를 붙여, 그 반복적인 설명은 생략한다.

실시예 1

본 발명의 실시예 1인 BGA 구조를 채용한 반도체 장치의 개략 구성을 제1도(주면측 평면도), 제2도(제1도에 나타낸 A-A선의 위치에서 절단한 단면도), 제3도(제2도의 주요부 확대단면도) 및 제4도(이면측의 수지밀봉체를 제거한 상태를 나타낸 이면측의 주요부확대 평면도)에 나타낸다.

제1도, 제2도 제3도 및 제4도에 나타낸 바와 같이, 반도체 장치는 베이스 기판(1)의 주면 펠릿 탑재 영역상에 반도체 펠릿(2)을 탑재하고, 베이스 기판(1)의 주면과 대향하는 그 이면측에 복수의 범프전극(4)을 격자모양으로 배치한다.

상기 베이스 기판(1)은, 예를 들면 프린트 배선기판으로 구성된다. 프린트 배선기판은, 글라스 섬유로 예를 들면, 에폭시수지, 폴리이미드수지, 멜리이미드수지 등을 함침시킨 리지드 기판의 표면에 배선을 형성한 구조로 구성된다. 즉, 베이스 기판(1)은 리지드 기판으로 구성된다. 리지드 기판은, 폴리에스테르막 또는 폴리이미드막등으로 이루어진 후렉서블 기판에 비해서 영계수가 높아 단단하다. 또한, 리지드 기판은 후렉서블 기판에 비해서 평면방향의 열팽창계수가 작고, 또 영계수가 높아 구부리기가 어렵다. 예를 들면, 글라스 섬유로 에폭시수지 또는 폴리이미드수지를 함침시킨 리지드 기판은, 16 22[GPa] 정도의 영계수를 가지고, 10 20x10 $^{-6}$ [1/℃]정도의 열팽창계수를 가진다.

또, 폴리에스테르막 또는 폴리이미드막으로 이루어진 후렉서블 기판은 2 5[GPa] 정도의 영계수를 가지고, 20 50x 10^{-6} [1/℃] 정도의 열팽창 계수를 가진다.

상기 베이스 기판(1)의 이면에는 복수의 제2전극패드(1A) 및 복수의 제1전극 패드(1B)가 배치된다. 이 제2전극패드(1A), 제1전극패드(1B)의 각각은 베이스 기판(1)의 이면에 배치된 배선($1B_1$)을 통하여 전기적으로 접속된다. 제2전극패드(1A), 제1전극패드(1B), 배선($1B_1$) 각각은, 예를 들면 Cu 막으로 형성된다.

상기 제1전극패드(1B)의 표면에는 범프전극(4)이 전기적 및 기계적으로 접속된다. 이 범프전극(4)은 예를 들면 Pb-Sn계의 합금재로 형성된다.

상기 반도체 펠릿(2)은 그 주면(제2도 및 제3도에서 하면)을 밑으로 해서, 베이스 기판(1)의 주면 펠릿 탑재영역상에 탑재된다. 즉, 반도체 펠릿(2)은 베이스 기판(1)의 주면 펠릿 탑재영역상에 페이스다운방식으로 탑재된다. 반도체 펠릿(2)의 주면과 베이스 기판(1)의 주면 펠릿 탑재영역 사이에는 절연층(3)이 끼워진다. 절연층(3)은, 예를 들면 폴리이미드계, 에폭시계 또는 실리콘계의 저탄성수지로 형성된다.

상기 반도체 펠릿(2)은, 예를 들면 평면이 직사각형 모양으로 형성된다. 이 반도체 펠릿(2)은, 예를 들면 단결정 규소로 이루어지는 반도체 기판(2B)을 주체로 구성된다. 반도체 기판(2B)의 주면(소자형성면)에는 논리회로시스템, 기억회로시스템, 혹은 그들의 혼합회로시스템이 탑재된다. 또한, 반도체 기판(2B)의 주면상에는, 직사각형 모양의 각 변에 따라 배열된 복수의 외부단자(본딩패드)(2A)가 배치된다. 이 외부단자(2A)는 반도체 기판(2B)의 주면상에 형성된 배선층중 최상층의 배선층에 형성된다. 즉, 반도체 펠릿(2)의 주면 주변부위에는 복수의 외부단자(2A)가 각 변마다 배치된다.

상기 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제2전극패드(1A)는 베이스 기판(1)에 형성된 슬리트(5)를 통하여 본딩와이어(6)로 전기적으로 접속된다. 본딩와이어(6)는, 예를 들면 금(Au)와이어, 동(Cu)와이어, 알루미늄(Al)와이어, 혹은 금속와이어의 표면에 절연성 수지를 피복한 피복와이어 등으로 형성된다. 이 본딩와이어(6)는, 예를 들면 열압착에 초음파 진동을 병용한 본딩법으로 본딩된다.

상기 베이스 기판(1)의 슬리트(5)는 반도체 펠릿(2)의 주면에 그 한변을 따라서 복수 배열된 외부단자(2A)의 배열방향에 따라 형성되고, 반도체 펠릿(2)의 각 변마다 배치된다. 즉, 본 실시예의 베이스 기판(1)은 4개의 슬리트(5)를 배치한다. 이 4개의 슬리트(5) 각각은 반도체 펠릿(2)의 외부단자(2A)상에 배치된다.

상기 베이스 기판(1)의 제2전극패드(1A)는 슬리트(5)로 구분된 베이스 기판(1) 이면의 양쪽 각각의 영역에 배치된다. 슬리트(5)로 구분된 베이스 기판(1)의 이면의 한쪽 영역(반도체 펠릿 2에 대해서 내측영역)에 배치되는 제2전극패드(1A)에는 전원으로서, 예를 들면 동작전위(예를 들면 3.3[V]), 기준전위(예를 들면 0[V]) 등이 인가된다. 슬리트(5)로 구분된 베이스 기판(1)의 이면의 다른 쪽 영역(반도체 펠릿 2에 대해서 외측영역)에 배치되는 제2전극패드(1A)에는 신호로서, 예를 들면 입출력신호, 제어신호 등이 인가된다.

상기 반도체 펠릿(2)에 있어서, 외부단자(2A)는 반도체 펠릿(2)의 한 변에 대해서, 예를 들면 100개씩 배열되고, 그 배열피치는 예를 들면 100[μm]정도로 설정된다. 이 외부단자(2A)의 수는 반도체 펠릿(2)에 탑재되는 회로시스템의 고집적화나 동작속도의 고속화에 따라서 증가된다.

상기 베이스 기판(1)에 있어서, 슬리트(5)로 구분된 베이스 기판(1)의 이면의 한쪽 영역에 배치되는 제2전극패드(1A)는 반도체 펠릿(2)의 한 변에 대해서, 예를 들면 50개씩 배열되고, 슬리트(5)로 구분된 베이스 기판(2)의 이면의 다른 쪽 영역에 배치되는 제2전극패드(1A)는 반도체 펠릿(2)의 한 변에 대해서, 예를 들면 50개씩 배열된다. 이 제2전극패드(1A)는 반도체 펠릿(2)의 외부단자(2A)와 같이 미세화할 수 없으므로, 그 배열 피치는 외부단자(2A)의 배열 피치에 비해 넓게 구성되고, 예를 들면 200[μm] 정도로 설정된다. 즉, 베이스 기판(1)의 제2전극패드(1A)는 반도체 펠릿(2)의 한 변에 대해서 2열로 배치되어 있으므로 베이스 기판(1)의 제2전극패드(1A)의 배열피치를 반도체 펠릿(2)의 외부단자(2A)의 배열 피치에 대해서 2배로 설정하여도, 반도체 펠릿(2)의 한 변에 대한 제2전극 패드(1A)의 패드

배열의 길이를 반도체 펠릿(2)의 한 변에 배열된 외부단자(2A)의 단자배열의 길이와 거의 동일하게 할 수 있음과 동시에, 반도체 펠릿(2)의 외부단자(2A)와 대향하는 위치에 베이스 기판(1)의 제2전극패드(1A)를 배치할 수 있다.

상기 베이스 기판(1)의 주면 펠릿 탑재영역을 제외하고 그 주변영역상은 수지밀봉체(7)로 덮여지고, 상기 본딩와이어(6)는 수지밀봉체(7)로 밀봉된다. 즉, 수지밀봉체(7)는 베이스 기판(1)의 주면측 및 그 이면측에 형성된다. 수지밀봉체(7)는 저응력화를 도모할 목적으로 해서 페놀계 경화제, 실리콘 고무 및 필러가 첨가된 에폭시계의 수지(7A)로 형성된다.

상기 반도체 펠릿(2)의 주면과 대향하는 그 이면은 베이스 기판(1)의 주변영역상을 덮은 수지밀봉체(7)에서 노출된다.

상기 수지밀봉체(7)는 제5도(주요부단면도)에 나타난 모울드금형(10)을 사용하는 트랜스퍼 모울드법으로 형성된다. 모울드금형(10)은, 상형(10A)과 하형(10B)으로 형성되는 캐비티(cavity)(11) 및 이 캐비티(11)에 접속되는 유입게이트(13)를 구비하고, 또 도시되지 않았지만, 포트(pot), 러너(runner) 각각을 구비하고 있다. 포트는 러너, 유입게이트(13)의 각각을 통하여 캐비티(11)에 접속된다.

상기 캐비티(11)는 상형(10A)에 형성된 오목부(凹부)(11A) 및 하형(10B)에 형성된 오목부)(凹부)(11B)로 구성된다. 오목부(11A)에는 포트에서 러너, 유입게이트(13) 각각을 통하여 수지(7A)가 공급된다. 오목부(11B)에는 베이스 기판(1)이 장착된다.

상기 오목부(11B)에는 오목부(12)가 형성된다. 오목부(12)는 오목부(11B)에 장착된 베이스 기판(1)의 슬리트(5)와 대향하는 위치에 배치되며, 슬리트(5)의 연장 방향에 따라 형성된다. 오목부(12)에는 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제2전극패드(1A)를 전기적으로 접속한 본딩와이어(6)의 일부 및 베이스 기판(1)의 제2전극 패드(1A)가 배치되고, 오목부(11A)에서 베이스 기판(1)의 슬리트(5)를 통해서 수지(7A)가 공급된다.

상기 오목부(12)에는 도시되지 않았지만, 거품으로 인한 기포의 발생을 방지할 목적으로 위한 가스 벤트(gas vent)가 설치된다.

다음에, 상기 반도체 장치의 제조방법에 대해서 제6도 내지 제9도를 이용하여 설명한다.

우선, 리지드 기판으로 구성된 베이스 기판(1)을 준비한다. 베이스 기판(1)에는 슬리트(5)가 형성되고, 그의 이면에는 제2전극패드(1A), 제1전극패드(1B), 배선($1B_1$) 각각이 배치된다.

다음, 제6도(단면도)에 나타낸 바와 같이, 베이스 기판(1)의 주면 펠릿 탑재영역상에 반도체 펠릿(2)을 탑재한다. 반도체 펠릿(2)은 베이스 기판(1)의 주면 펠릿 탑재영역상에 절연층(3)을 끼워서 고착된다.

다음에, 본딩스테이지(heat block)(14)상에 반도체 펠릿(2)을 밑으로 하여 베이스 기판(1)을 장착한다. 본딩스테이지(14)에는 반도체 펠릿(2)을 수납하는 오목부(14A)가 형성된다. 베이스 기판(1), 반도체 펠릿(2) 각각은 본딩스테이지(14)에서 200[℃] 전후로 가열된다.

다음, 제7도(주요부 단면도)에 나타낸 바와 같이, 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)와 베이스 기판(1)의 이면에 배치된 제2전극패드(1A)를 본딩와이어(6)로 전기적으로 접속한다. 본딩와이어(6)는, 베이스 기판(1)의 슬리트(5)를 통하여 반도체 펠릿(2)의 외부단자(2A), 베이스 기판(1)의 제2전극패드(1A)의 각각에 접속된다. 본딩와이어(6)의 접속은 열압착에 초음파 진동을 병용한 본딩법으로 행해진다. 이 공정에서, 베이스 기판(1)은 후렉서블 기판에 비해서 영계수가 높아 단단한 리지드 기판으로 구성되어 있으므로, 제2전극패드(1A)에 가해지는 본딩하중이 베이스 기판(1)에 흡수되지 않고, 본딩하중 및 초음파 진동을 제2전극패드(1A)에 유효하게 전달할 수 있다. 또한, 베이스 기판(1)은 후렉서블 기판에 비해서 평면방향의 열팽창 계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성되어 있으므로, 베이스 기판(1)의 열팽창에 의한 제2 전극패드(1A)의 위치 및 반도체 펠릿(2)의 외부단자(2A)의 위치 엇갈림을 저감할 수 있다.

다음, 제8도(주요부단면도)에 나타낸 바와 같이, 모울드금형(10)의 상형(10A)과 하형(10B)으로 형성되는 캐비티(11)내에 베이스 기판(1) 및 반도체 펠릿(2)을 배치함과 동시에, 캐비티(11)의 오목부(11B)에 베이스 기판(1)을 장착한다. 본딩와이어(6)의 일부 및 베이스 기판(1)의 제2전극패드(1A)는, 오목부(11B)에 형성된 오목부(12)에 배치된다. 모울드금형(10)은 캐비티(11)내에 공급되는 수지(7A)의 유동성을 높이기 위하여 미리 170 180[℃] 정도의 온도로 가열된다. 이 공정에 있어서, 베이스 기판(1)은 모울드 금형(10)의 가열에 의해 170 180[℃] 정도로 가열되지만 베이스 기판(1)은 후렉서블 기판에 비해서 평면방향의 열팽창 계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성되어 있으므로, 모울드금형(10)의 가열로 인한 베이스 기판(1)의 휘어짐, 뒤틀림 등의 변형을 방지할 수 있다.

다음에, 모울드금형(10)의 포트에 수지 타블렛(resin tablets)을 투입한다. 수지 타블렛은 미리 히터로 가열되어 점도를 낮추고 나서 포트로 투입된다. 포트에 투입된 수지 타블렛은 모울드금형(10)에서 가열되어 점도가 더욱 낮아진다.

다음, 상기 수지 타블렛을 트랜스퍼 모울드장치의 플런져(plunger)로 가압하고, 포트에서 러너, 유입게이트(13) 각각을 통해서 캐비티(11)의 오목부(11A)내 및 오목부(12) 내로 수지(7A)를 공급하고, 제9도(주요부 단면도)에 나타낸 바와 같이, 베이스기판(1)의 주면 주변영역상을 덮고, 반도체 펠릿(2)의 이면을 노출하며, 또 본딩와이어(6)를 밀봉하는 수지밀봉체(7)를 형성한다. 오목부(12)의 수지(7A)는 오목부(11A)에서 베이스 기판(1)의 슬리트(5)를 통하여 공급된다. 이 공정에 있어서, 오목부(11A)에서 슬리트(5)를 통하여 오목부(12)에 공급되는 수지(7A)는 본딩와이어(6)의 일단측에서 그 축방향으로 즉, 종방향으로 흐르므로, 베이스 기판(1)의 평면방향으로 즉, 횡방향으로 수지가 흐르는 경우에 비해 수지의 흐름에 의한 본딩와이어(6)의 변형을 방지할 수 있다.

다음, 상기 모울드금형(10)으로부터 베이스 기판(1)을 인출하고, 베이스 기판(1)의 이면의 제1전극패드(1B)의 표면에 범프전극(4)을 전기적 및 기계적으로 접속하는 것에 의해 제1도, 제2도, 제3도 및 제4도에 나타난 바와 같은 반도체 장치를 거의 완성한다.

이 후, 반도체 장치가 제품으로서 출하된다. 제품으로 출하된 반도체 장치는, 제 10도(단면도)에 나타낸 바와 같이, 실장기판(15)의 실장면상에 실장되고, 반도체 장치의 범프전극(4)은 실장기판(15)의 실장면에 배치된 전극패드(15A)에 전기적 및 기계적으로 접속된다. 반도체 장치의 범프전극(4)과 실장기판(15)의 전극패드(15A)의 접속은, 범프전극(4)의 재질에 따라 다르지만, 예를 들면 210 230[℃] 정도의 리플로우 온도 분위기 중에서 행해진다. 이 실장공정에 있어서, 베이스 기판(1)은 후렉서블기판에 비해서 평면방향의 열팽창계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성되어 있으므로, 실장시의 리플로우 열로 인한 베이스 기판(1)의 변형을 방지할 수 있다.

이와 같이, 본 실시예에 의하면, 이하의 작용효과가 얻어진다.

베이스 기판(1)의 주면 펠릿 탑재영역상에 반도체 펠릿(2)이 탑재되고, 상기 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)에 상기 베이스 기판(1)의 이면에 배치된 제1전극 패드(1B)가 전기적으로 접속되는 반도체 장치에 있어서, 상기 베이스 기판(1)을 리지드 기판으로 구성하고, 상기 베이스 기판(1)의 제1전극패드(1B)를 그 이면에 배치된 제2전극 패드(1A)에 전기적으로 접속하며, 상기 반도체 펠릿(2)을 그 주면을 밑으로 해서 베이스 기판(1)의 주면 펠릿 탑재영역상에 탑재하고, 상기 반도체 펠릿(2)의 외부단자(2A)와 상기 베이스 기판(1)의 제2전극패드(1A)를 베이스 기판(1)에 형성된 슬리트(5)를 통하여 본딩와이어(6)로 전기적으로 접속한다. 이 구성에 의해, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제1전극패드(1B)를 본딩와이어(6), 제2전극 패드(1A) 각각을 통하여 전기적으로 접속할 수 있으므로, 제2전극패드(1A)와 제1전극패드(1B)를 전기적으로 접속하는 스루홀배선을 제거할 수 있다. 이 결

과, 스루홀 배선의 점유면적(랜드영역)에 상당하는 만큼 베이스 기판(1)의 외형크기를 축소시킬 수 있으므로, 반도체 장치의 소형화를 도모할 수 있다.

또한, 스루홀 배선의 점유면적에 상당하는 만큼 제1전극패드(1B)를 제2전극 패드(1A)에 근접시킬 수 있으므로, 제2전극패드(1A)와 제1전극패드(1B)를 전기적으로 접속하는 베이스 기판(1)의 배선($1B_1$)의 길이를 짧게 할 수 있다. 이 결과, 인덕턴스를 감소할 수 있으므로, 반도체 장치의 동작속도의 고속화를 도모할 수 있다.

또한, 리지드 기판은 후렉서블 기판에 비해서 영계수가 높아 단단하므로, 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)와 베이스 기판(1)의 이면상에 배치된 제2전극패드(1A)를 본딩와이어(6)로 전기적으로 접속할 때, 제2전극패드에 가해지는 본딩하중이 베이스 기판(1)에 흡수되지 않고, 본딩하중, 초음파 진동이 제2전극패드(1A)에 유효하게 전달된다. 이 결과, 본딩와이어(6)와 제2전극패드(1A)의 접속강도를 높일 수 있으므로, 본딩와이어(6)의 접속불량을 방지할 수 있고, 반도체 장치의 전기적 신뢰성을 높일 수 있다.

또한, 리지드 기판은 후렉서블 기판에 비해서 평면방향의 열팽창계수가 작고, 또 영계수가 높아 구부리기 어려우므로 실장기판(15)의 실장면상에 반도체 장치를 실장할 때, 실장시의 리플로의 열로 인한 변형(휘어짐, 비틀림)을 방지할 수 있다. 이 결과, 실장 기판(15)의 실장면에 대한 베이스 기판(1)의 이면의 평탄도를 확보할 수 있으므로, 반도체 장치의 실장정밀도를 높일 수 있다.

또한, 리지드 기판은 후렉서블 기판에 비해 평면방향 열팽창계수가 작고, 또 영계수가 높아 구부리기 어려우므로 전극패드(1B)의 수의 증가에 따라 베이스 기판(1)의 외형 크기가 증가하여도, 베이스 기판(1)의 휘어짐을 100[㎛] 이내로 억제할 수 있다.

또한, 베이스 기판(1)의 휘어짐을 100[㎛] 이내로 억제할 수 있으므로, 베이스 기판(1)의 휘어짐을 방지할 목적으로 설치된 보강기판의 제거할 수 있다. 이 결과, 보강 기판을 설치한 반도체 장치에 비해서 반도체 장치의 제조비용을 저감할 수 있다.

또한, 리지드 기판의 이면에 제2전극패드(1A), 제1전극패드(1B), 배선($1B_1$) 각각을 배치한 단층 구조의 프린트 배선기판으로 베이스 기판(1)을 구성할 수 있으므로, 리지드 기판의 주면 및 이면에 배치한 2층 구조의 프린트 배선기판으로 구성된 베이스 기판에 비해서 베이스 기판(1)의 부품 비용을 저감할 수 있다. 이 결과, 반도체 장치의 제조비용을 저감할 수 있다.

상기 슬리트(5)를 상기 반도체 펠릿(2)의 주면에 복수 배열된 외부단자(2A)의 배열 방향에 따라서 형성하고, 또 상기 반도체 펠릿(2)의 외부단자(2A) 상에 배치한다. 이 구성에 의해, 슬리트(5)는 반도체 펠릿(2)의 전유면적내에 배치되므로, 슬리트(5)의 전유 면적에 상당하는 베이스 기판(1)의 외형크기의 대형화를 억제할 수 있다.

상기 전극패드(1A)를 슬리트(5)로 구분된 베이스 기판(1)의 이면 양쪽의 각각의 영역에 배치한다. 이 구성에 의해, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제2전극패드(1A)를 전기적으로 접속하는 전원 경로를 증가시킬 수 있으므로 신호의 동시 스위칭시에 발생되는 전원노이즈를 저감할 수 있고, 반도체 장치의 오동작을 방지할 수 있다.

또한, 반도체 펠릿(2)의 외부단자(2A)의 배열 피치에 대해서 베이스 기판(1)의 제2 전극패드(1A)의 배열 피치를 넓게 구성하여도, 반도체 펠릿(2)의 한변에 대한 제2전극패드(1A)의 패드배열의 길이를 반도체 펠릿(2)의 한변에 배열된 외부단자(2A)의 단자 배열의 길이와 거의 같게 할 수 있으므로, 제2전극패드(1A)의 패드 배열의 길이에 기인하는 본딩와이어(6)의 와이어 길이의 증가를 방지할 수 있고, 트랜스퍼 모울드법에 따라서 본딩와이어(6)를 수지밀봉체(7)로 밀봉할 때, 수지의 유동에 의한 본딩와이어(6)의 와이어 흐름을 방지할 수 있다.

또한, 반도체 펠릿(2)의 외부단자(2A)와 대향하는 위치에 베이스 기판(1)의 제2전극 패드(1A)를 배치할 수 있으므로, 본딩와이어(6)의 길이는 균일하게 할 수 있고, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제2전극패드(1A) 사이에서 신호경로의 인덕턴스를 균일하게 할 수 있다.

상기 반도체 펠릿(2)의 주면과 대향하는 그 이면을 상기 베이스 기판(1)의 주면 주변영역을 덮은 수지밀봉체(7)에서 노출시킨다. 이 구성에 의해, 반도체 펠릿(2)에 탑재된 회로시스템의 동작으로 발생하는 열을 반도체 펠릿(2)의 이면에서 외부로 방출할 수 있으므로, 반도체 장치의 방열효율을 높일 수 있다.

또한, 베이스 기판(1)의 기계적 강도를 수지밀봉체(7)의 기계적 강도로 보강할 수 있으므로, 실장시의 리플로우 열로 인한 베이스 기판(1)의 변형(휘어짐, 뒤틀림 등)을 방지할 수 있다.

상기 본딩와이어(6)를 수지밀봉체(7)로 밀봉한다. 이 구성에 의해, 외부에서의 충격이나 접촉에 의한 본딩와이어(6)의 변형을 방지할 수 있으므로, 반도체 장치의 전기적 신뢰성을 높일 수 있다.

수지밀봉체(7)를 베이스 기판(1)의 주면측 및 그 이면측에 형성한다. 이 구성에 의해, 온도사이클 시험시나 범프전극(4)이 접속시에 발생하는 열스트레스로 베이스 기판(1)에서 수지밀봉체(7)가 벗겨지는 것을 방지할 수 있으므로, 반도체 장치의 신뢰성을 높일 수 있다.

베이스 기판(1)의 주면 펠릿 탑재영역상에 반도체 펠릿(2)이 탑재되고, 상기 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)에 베이스 기판(1)의 이면에 배치된 제1전극패드(1B)가 전기적으로 접속되는 반도체 장치의 제조방법에 있어서, 리지드 기판으로 구성된 베이스 기판(1)의 주면 펠릿 탑재영역상에 반도체 펠릿(2)을 그의 주면을 밑으로 해서 탑재하는 공정과, 상기 반도체 펠릿(2)의 외부단자(2A)와, 상기 베이스 기판(1)의 제1전극 패드(1B)에 전기적으로 접속되고, 또 상기 베이스 기판(1)의 이면에 배치된 제2전극패드(1A)를 상기 베이스 기판(1)에 형성된 슬리트(5)를 통하여 본딩와이어(6)로 전기적으로 접속하는 공정을 구비한다. 이것에 의해, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제1전극패드(1B)를 본딩와이어(6), 제2전극패드(1A) 각각을 통하여 전기적으로 접속하므로, 제2전극패드(1A)와 제1전극패드(1B)를 전기적으로 접속하는 스루홀 배선(1C)이 제거되고, 이 스루홀 배선의 점유면적에 상당하는 만큼 외형크기가 축소된 베이스 기판(1)을 사용할 수 있다. 이 결과, 외형크기가 작은 반도체 장치를 제조할 수 있다.

또한, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제1전극패드(1B)를 본딩와이어(6), 제2전극패드(1A) 각각을 통해서 전기적으로 접속하므로, 제2전극 패드(1A)와 제1전극패드(1B)를 전기적으로 접속하기 위한 스루홀 배선(1C)이 제거되고, 이 스루홀 배선의 점유면적에 상당하는 만큼 제2전극패드(1A)와 제1전극패드(1B)를 전기적으로 접속한 배선($1B_1$)의 길이가 짧은 베이스 기판(1)을 사용할 수 있다. 이 결과, 동작속도가 빠른 반도체 장치를 제조할 수 있다.

후렉서블 기판에 비해 영계수가 높아 단단한 리지드 기판으로 구성된 베이스 기판(1)을 사용할 수 있으므로, 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)와 베이스 기판(1)의 이면에 배치된 제2전극패드(1A)를 본딩와이어(6)로 전기적으로 접속할 때, 제2전극패드(1A)에 가해지는 본딩하중이, 베이스 기판(1)에 의해 흡수되지 않고, 본딩하중, 초음파 진동이 제2전극패드(1A)로 유효하게 전달된다. 이 결과, 본딩와이어(6)와 제2전극패드(1A)의 접속강도를 높일 수 있으므로, 전기적 신뢰성이 높은 반도체 장치를 제조할 수 있다.

또한, 후렉서블 기판에 비해 평면방향의 열팽창 계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성된 베이스 기판을 사용하고 있으므로, 실장기판(15)의 실장면상에 반도체 장치를 실장할 때, 실장시의 리플로우 열로 인한 베이스 기판(1)의 변형(휘어짐 또는 비틀림)을 방지할 수 있다. 이 결과, 실장기판(15)의 실장면에 대해서 베이스 기판(1)의 이면의 평탄도를 확보할 수 있으므로, 실장정밀도가 높은 반도체 장치를 제조할 수 있다.

상기 본딩와이어(6)로 전기적으로 접속하는 공정 뒤에, 상기 베이스 기판(1)의 주면 주변영역상을 덮고, 또 본딩와이어(6)를 밀봉하는 수지밀봉체(7)를 트랜스퍼 모울드법으로 형성하는 공정을 구비한다. 이것에 의해, 후렉서블 기판에 비해서 평면방향의 열팽창계수가 작고, 또 영계수가 높아 구부리기 어려운 리지드 기판으로 구성된 베이스 기판(1)을 사용하고 있으므로, 모울드금형(10)의 가열로 인한 베이스 기판(1)의 휘어짐, 비틀림 등의 변형을 방지할 수 있다.

또한, 오목부(11A)에서 슬리트(5)를 통하여 오목부(12)로 공급되는 수지(7A)는 본딩 와이어(6)의 일단측에서 그 축방향으로 즉, 종방향으로 흐르므로 베이스 기판(1)의 평면 방향으로 즉, 횡방향으로 수지가 흐르는 경우에 비해, 수지(7A)의 흐름에 의한 본딩와이어(6)의 변형을 방지할 수 있다.

또, 상기 수지밀봉체(7)는, 제11도(단면도)에 나타낸 바와 같이, 제2전극 패드(1A), 제1전극패드(1B)의 각각의 표면상을 제외한 베이스 기판(1)의 이면상에 형성하여도 된다. 이 경우, 베이스 기판(1)을 수지밀봉체(7)로 끼워 지지하는 형상이 되므로, 베이스 기판(1)의 휘어짐을 방지할 수 있다.

또한, 상기 베이스 기판(1)은, 도시되지 않았지만, 리지드 기판을 복수매 적층한 적층구조로 형성하여도 된다. 이 경우, 후렉서블 기판을 복수매 적층해서 형성한 적층구조의 베이스 기판에 비해서 반도체 장치의 제조비용을 저감할 수 있다.

실시예 2

본 발명의 실시예 2인, BGA 구조를 채용하는 반도체 장치의 개략구성을 제12도(단면도) 및 제13도(이면측의 수지밀봉체를 제거한 상태를 나타내는 이면측의 주요부확대평면도)에 나타낸다.

제12도 및 제13도에 나타낸 바와 같이, 반도체 장치는 베이스 기판(1)의 주면 펠릿 탑재영역상에 절연층(3)을 끼워서 반도체 펠릿(2)을 페이스다운 방식으로 탑재하고, 베이스 기판(1)의 이면측에 복수의 범프전극(4)을 격자모양으로 배치된다.

반도체 펠릿(2)의 주면 중앙부에는, 긴 변을 따라서 배열된 복수의 외부단자(2A)가 배치된다. 이 복수의 외부단자(2A) 각각은, 베이스 기판(1)의 이면에 배치된 복수의 제 2전극패드(1A)의 각각에, 베이스 기판(1)에 형성된 슬리트(5)를 통해서 본딩와이어(6)로 전기적으로 접속된다. 복수의 제2전극패드(1A) 각각은, 베이스 기판(1)의 이면에 배치된 복수의 제1전극패드(1B)의 각각에 배선($1B_1$)을 통해서 전기적으로 접속된다. 이 복수의 제1전극패드(1B) 각각의 표면에는 범프전극(4)이 전기적 및 기계적으로 접속된다.

즉, 반도체 펠릿(2)의 외부단자(2A)는 본딩와이어(6), 제2전극패드(1A), 배선($1B_1$)의 각각을 통해서 제1전극패드(1B)에 전기적으로 접속된다.

상기 베이스 기판(1)의 슬리트(5)는, 반도체 펠릿(2)의 주면 중앙부에 그 긴변을 따라 배열된 복수의 외부단자(2A)의 배열방향에 따라 형성된다. 또한, 슬리트(5)는, 베이스 기판(1)의 이면측의 개구(opening)에 비해서 그 주면측의 개구를 작게 한 테이퍼 형상으로 구성된다.

이와 같이, 본 실시예에 의하면, 상기 제1실시예와 같은 작용효과가 얻어짐과 동시에, 슬리트(5)를 테이퍼 형상으로 구성하는 것에 의해, 반도체 펠릿(2)의 외부단자(2A)에 본딩와이어(6)의 일단을 본딩할 때, 베이스 기판(1)과 본딩툴(bonding tool)의 접촉을 방지할 수 있으므로, 또한 본딩공정에서 반도체 장치 조립의 수율을 높일 수 있다.

실시예 3

본 발명의 실시예 3인, BGA 구조를 채용하는 반도체 장치의 개략구성을 제14도(이면측의 수지밀봉체를 제거한 상태를 나타내는 이면측의 주요부평면도)에 나타낸다.

제14도에 나타낸 바와 같이, 베이스 기판(1)의 주면 펠릿 탑재영역상에 절연층(3)을 끼워서 반도체 펠릿(2)을 페이스다운방식으로 탑재하고, 베이스 기판(1)의 이면측에 복수의 범프전극(4)을 격자 모양으로 배치한다.

상기 반도체 펠릿(2)의 주면 주변부위에는, 그 각변에 따라서 배열된 복수의 외부단자(2A)가 배치된다. 또, 반도체 펠릿(2)의 주면 중앙부에는, 그 긴변 혹은 짧은 변을 따라 배열된 복수의 외부단자(2A)가 배치된다. 이 복수의 외부단자(2A) 각각은, 베이스 기판(1)의 이면에 배치된 복수의 제2전극패드(1A)의 각각에, 베이스 기판(1)에 형성된 슬리트(5)를 통해서 본딩와이어(6)로 전기적으로 접속된다. 복수의 제2전극패드(1A) 각각은, 베이스 기판(1)의 이면에 배치된 복수의 제1전극패드(1B)의 각각에 배선($1B_1$)을 통해서 전기적으로 접속된다. 이 복수의 제1전극패드(1B) 각각의 표면상에는 범프전극(4)이 전기적 및 기계적으로 접속된다. 즉, 반도체 펠릿(2)의 외부단자(2A)는 본딩와이어(6), 제2전극패드(1A), 배선($1B_1$)의 각각을 통해서 제1전극패드(1B)에 전기적으로 접속된다.

베이스 기판(1)의 슬리트(5)는, 반도체 펠릿(2)의 각변마다 배치됨과 동시에, 반도체 펠릿(2)의 중앙부의 위치에 배치된다. 즉, 본 실시예의 베이스 기판(1)은 5개의 슬리트(5)를 배치한다. 이 5개의 슬리트(5) 각각은, 반도체 펠릿(2)의 외부단자(2A)상에 배치된다.

이와 같이, 본 실시예에 의하면, 상기 제1실시예와 같은 작용효과가 얻어진다. 또한, 슬리트(5)를 반도체 펠릿(2)의 각변 및 반도체 펠릿(2)의 중앙부의 위치에 배치하는 것에 의해, 반도체 펠릿(2)의 주면에 배치된 외부단자(2A)의 수를 증가시킬 수 있음과 동시에, 베이스 기판(1)의 이면에 배치된 제2전극패드(1A)의 수를 증가시킬 수 있으므로, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 전극패드(1A)를 전기적으로 접속하는 전원경로를 증가시킬 수 있고, 출력신호의 동시 스위칭시에 발생하는 전원 노이즈를 또 저감할 수 있다. 또한, 반도체 펠릿(2)의 외부단자(2A)와 베이스 기판(1)의 제2전극패드(1A)를 전기적으로 접속하는 신호경로를 증가시킬 수 있고, 외부단자(2A)의 수에 의해 지정된 반도체 펠릿(2)의 외형크기를 축소할 수 있다.

또, 본 실시예는 반도체 펠릿(2)의 중앙부의 위치에 슬리트(5)를 1개 배치한 구성으로 설명하였지만, 반도체 펠릿(2)의 중앙부의 위치에 슬리트(5)를 평행하게 혹은 교차하도록 복수개 배치하고, 슬리트(5)의 수를 증가시킴으로써, 베이스 기판(1)의 제2전극패드(1A)의 수 및 반도체 펠릿(2)의 외부단자(2A)의 수를 더 증가시킬 수 있다.

실시예 4

본 발명의 실시예 4인, BGA 구조를 채용하는 반도체 장치의 개략 구성을 제15도(이면측의 수지밀봉체를 제거한 상태를 나타낸 이면측의 단면도)에 나타낸다.

제15도에 나타낸 바와 같이, 반도체 장치는 베이스 기판(1)의 주면 펠릿 탑재영역상에 절연층(3)을 끼워서 반도체 펠릿(2)을 페이스다운 방식으로 탑재하고, 베이스 기판(1)의 이면측에 복수의 범프전극(4)을 격자 모양으로 배치한다. 베이스 기판(1)은, 예를 들면 3층 배선구조의 프린트 기판으로 구성된다.

반도체 펠릿(2)의 주면 주변부위에는, 그 각 변을 따라서 배열된 복수의 외부단자(2A)가 배치된다. 이 복수의 외부단자(2A) 각각은 베이스 기판(1)의 이면에 배치된 복수의 제2전극패드(1A)의 각각에, 베이스 기판(1)에 형성된 슬리트(5)를 통해서 본딩와이어(6)로 전기적으로 접속된다.

상기 복수의 제2전극패드(1A)중 전극패드($1A_2$)는 전극 플레이트(8A)와 일체로 형성된다. 이 전극 플레이트(8A)는 스루홀 배선(도시되지 않음) 및 베이스 기판(1)의 내부 배선(도시되지 않음)을 통해서 다른 전극 플레이트(8A)에 전기적으로 접속된다. 전극 플레이트(8A)에는 전원으로서, 예를 들면 기준전위(예를 들면 0[V])가 인가된다. 상기 복수의 제2전극패드(1A)내에, 전극패드($1A_3$)는 전극 플레이트(8B)와 일체로 형성된다. 이 전극 플레이트(8A)에는 전원으로서, 예를 들면 동작전위(예를 들면 3.3[V])가 인가된다.

이와 같이, 본 실시예에 의하면, 베이스 기판(1)의 주면에 배치된 제2전극 패드(1A)와 그 이면에 배치된 제1전극패드(1B)를 전기적으로 접속한 스루홀 배선(1C)의 제거에 의해 전극플레이트(8A), 전극플레이트(8B) 각각을 베이스 기판(1)의 이면측에 배치할 수 있으므로 범프전극(4)의 배치를 자유롭게 설정할 수 있고, 반도체 펠릿(2)의 외부단자(2A)와 범프전극(4)의 거리를 짧게 할 수 있다. 이 결과, 인덕턴스를 저감할 수 있으므로, 반도체 장치의 동작속도의 고

속화를 도모할 수 있다.

이상, 본 발명자에 의해 완성된 발명을 상기 실시에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고, 그 요지를 이탈하지 않는 범위내에서 여러가지 변경 가능한 것은 물론이다.

본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 다음과 같다.

베이스 기판의 주면 펠릿 탑재영역상에 반도체 펠릿이 탑재되고, 반도체 펠릿의 주면에 배치된 외부단자에 상기 베이스 기판의 이면상에 배치된 제1전극패드가 전기적으로 접속되는 반도체 장치의 소형화를 도모할 수 있다.

또한, 상기 반도체 장치의 동작속도의 고속화를 도모할 수 있다.

또한, 상기 반도체 장치의 전기적 신뢰성을 높일 수 있다.

또한, 상기 반도체 장치의 실장 정밀도를 높일 수 있다.

(57) 청구의 범위

청구항 1.

(a)제1 주면 및 상기 제1 주면에 대향하는 제2 주면을 가지는 리지드 기판과;

(b)상기 리지드 기판의 제1 주면에 탑재되며, 복수의 반도체 회로소자 및 복수의 본딩패드를 가지는 반도체 펠릿과,

(c)상기 리지드 기판의 제2 주면상에 형성된 복수의 전극패드와,

(d)상기 반도체 펠릿의 본딩패드와 전극패드를 전기적으로 접속하기 위한 복수의 본딩와이어를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 리지드 기판에 페이스다운으로 탑재되고, 상기 리지드 기판은 제1 주면으로부터 제2 주면으로 연장하고 반도체 펠릿의 본딩패드를 노출하는 슬릿을 가지며, 상기 본딩와이어는 상기 리지드기판의 슬릿을 통하여 연장되어 상기 본딩패드와 전극패드를 접속하며, 범프전극은 상기 전극패드상에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 본딩패드는 상기 반도체 펠릿의 주변에 배치되어 있고, 상기 슬릿은 상기 본딩 패드의 행방향을 따라 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제2항에 있어서,

상기 전극패드는 상기 슬릿의 양측에 위치된 것을 특징으로 하는 반도체 장치.

청구항 4.

제3항에 있어서,

상기 슬릿의 한쪽측에 위치되고 반도체 펠릿의 하부에 위치된 전극패드는 전원패드이며, 상기 슬릿의 다른 한쪽측에 위치되며 반도체 펠릿의 외측에 위치된 전극패드는 신호패드인 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항에 있어서,

상기 반도체 펠릿을 덮는 제1 수지밀봉체를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 6.

제5항에 있어서,

상기 슬릿내에 형성되어 본딩와이어를 덮는 제2 수지밀봉체를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항에 있어서,

상기 리지드 기판은 에폭시수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 8.

반도체 펠릿이 리지드 베이스기판의 주면의 펠릿 탑재영역상에 탑재되고, 리지드 베이스기판의 뒷면에 배치된 제1 전극패드가 반도체 펠릿의 주면상에 배치된 본딩패드에 전기적으로 접속된 반도체 장치의 제조방법으로서,

상기 리지드 베이스기판의 주면의 펠릿 탑재영역상에 상기 반도체 펠릿을 그 주면이 아래를 향하도록 탑재하는 단계와,

상기 반도체 펠릿의 본딩패드와, 상기 리지드 베이스기판의 제1 전극패드에 전기적으로 접속되고 리지드 베이스기판의 뒷면상에 배치된 제2 전극패드를 상기 리지드 베이스 기판 상에 형성된 슬릿을 통하여 본딩와이어로 전기적으로 접속하는 단계와,

상기 제1 전극패드상에 범프전극을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9.

제8항에 있어서,

상기 본딩와이어를 전기적으로 접속하는 단계 후에, 상기 리지드 베이스기판의 주면의 주변을 덮고, 본딩와이어를 밀봉하는 수지밀봉체를 트랜스퍼몰딩법에 의해 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10.

제1항에 있어서,

상기 리지드 기판은 폴리이미드 수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 11.

(a)제1 주면과 제1 주면에 대향하는 제2 주면을 가지는 리지드 기판과,

(b)상기 리지드기판의 제1 주면에 탑재되고, 복수의 반도체 회로소자와 복수의 본딩 패드를 가지는 반도체 펠릿과,

(c)상기 리지드 기판의 제2 주면에 형성된 복수의 전극패드와,

(d)상기 반도체 펠릿의 본딩패드와 전극패드를 전기적으로 접속하기 위한 복수의 본딩와이어를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 리지드 기판상에 페이스다운으로 탑재되고, 상기 리지드 기판은 제1 주면으로부터 제2 주면으로 연장하고 반도체 펠릿의 본딩패드를 노출시키는 슬릿을 가지고, 상기 본딩와이어는 상기 리지드 기판내의 슬릿을 통하여 연장되어 상기 본딩패드와 전극패드를 접속하며,

상기 본딩패드는 상기 반도체 펠릿의 주변에 배치되고, 상기 슬릿은 상기 본딩패드의 행방향을 따라 형성된 것을 특징으로 하는 반도체 장치.

청구항 12.

제11항에 있어서,

상기 전극패드는 상기 슬릿의 양측에 위치하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제12항에 있어서,

상기 슬릿의 한쪽측에 위치하고, 반도체 펠릿의 하부측에 위치하는 전극패드는 전원 패드이며, 상기 슬릿의 다른 한쪽측에 위치하고 반도체 펠릿의 외측에 위치하는 전극패드는 신호패드인 것을 특징으로 하는 반도체 장치.

청구항 14.

대향하는 제1에지쌍과 대향하는 제2에지쌍을 가지고, 제1 주면과, 상기 제1 주면에 대향하는 제2 주면과, 상기 제1 주면에서 상기 제2 주면으로 각각 연장하는 제1 슬릿 및 제2 슬릿을 가지는 4변형 형상의 기판과,

반도체 소자와 본딩패드가 있는 주면을 가지고, 상기 본딩패드가 상기 제1 및 제2 슬릿과 한줄로 배치되도록 기판의 상기 제1 주면상에 탑재된 반도체 펠릿과,

상기 기판내의 상기 제1 및 제2 슬릿을 통하여 연장하고, 상기 본딩패드와 상기 제1 내지 제3 전극패드를 각각 전기적으로 접속하는 본딩와이어와,

상기 반도체 펠릿과 상기 본딩와이어를 밀봉하는 수지체와,

상기 대향하는 제1에지쌍 방향의 상기 제1 내지 제3 영역내의 상기 기판의 상기 제2 주면상에 배치되고, 상기 제1 내지 제3 전극패드에 전기적으로 접속된 범프전극을 구비하는 반도체 장치로서,

상기 제1 슬릿은 상기 대향하는 제1에지쌍의 하나를 따라서 연장하고, 상기 제2 슬릿은 상기 대향하는 제1에지쌍중 다른 하나를 따라서 연장하며, 상기 기판은 상기 제1 및 제2 슬릿사이의 제1 영역의 상기 제2 주면상에 제1 전극패드와, 상기 제1 슬릿과 상기 대향하는 제1에지쌍 중의 하나 사이의 제2 영역의 상기 제2 주면상에 제2 전극패드와, 상기 제2 슬릿과 상기 대향하는 제1에지쌍의 다른 하나 사이의 제3 영역의 상기 제2 주면상에 제3 전극패드를 가지며,

상기 제2 및 제3 영역내의 상기 범프전극은 상기 대향하는 제2 에지쌍 중 적어도 하나의 방향으로 복수의 행을 형성하도록 각각 배열되는 것을 특징으로 하는 반도체 장치.

청구항 15.

제14항에 있어서,

상기 반도체 펠릿은 4변형 형상을 가지며, 대향하는 제3에지쌍과 대향하는 제4에지쌍을 가지며, 상기 본딩패드는 상기 주면의 주변부에 배치되고 상기 대향하는 제3에지쌍을 따라 연장하는 것을 특징으로 하는 반도체 장치.

청구항 16.

제15항에 있어서,

상기 반도체 펠릿을 상기 제1 영역에 대향하는 상기 제1 주면상에 탑재되고, 상기 기판은 상기 반도체 펠릿의 그것보다 더 큰 사이즈를 가지며, 상기 제2 및 제3 영역내의 상기 범프전극은 상기 대향하는 제3 에지쌍의 외측에 위치되는 것을 특징으로 하는 반도체 장치.

청구항 17.

제14항에 있어서,

상기 제2 및 제3 영역내의 상기 범프전극의 수는 상기 제1 영역내의 상기 범프전극의 수보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 18.

제14항에 있어서,

상기 반도체 펠릿은 상기 주면에 대향하는 뒷면을 가지며, 상기 반도체 펠릿의 상기 뒷면은 상기 수지부재로부터 노출되는 것을 특징으로 하는 반도체 장치.

청구항 19.

제14항에 있어서,

상기 제2 영역내의 상기 범프전극의 수는 상기 제1 영역내의 상기 범프전극의 수보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 20.

제16항에 있어서,

상기 반도체 펠릿은 상기 주면에 대향하는 뒷면을 가지며, 상기 반도체 펠릿의 상기 뒷면은 상기 수지부재로부터 노출되는 것을 특징으로 하는 반도체 장치.

청구항 21.

제14항에 있어서,

상기 제1 전극패드는 상기 제1 및 제2 슬릿을 따라 각각 연장되고, 상기 제2 전극패드는 상기 제1 슬릿을 따라 연장되며, 상기 제3 전극패드는 상기 제2 슬릿을 따라 연장되고, 상기 제1 내지 제3 전극패드는 제1 피치로 각각 배열되고,

상기 제1 및 제2 슬릿내의 상기 본딩패드는 상기 제1 피치보다 작은 제2 피치로 각각 배열되며, 상기 제1 슬릿내의 상기 본딩와이어는 상기 제1 슬릿내의 상기 본딩패드를 상기 제1 및 제2 전극패드와 교대로 접속하고, 상기 제2 슬릿내의 상기 본딩와이어는 상기 제2 슬릿내의 상기 본딩패드를 상기 제1 및 제3 전극패드와 교대로 접속하는 것을 특징으로 하는 반도체 장치.

청구항 22.

제1 내지 제4 에지를 가지고, 제1 주면과 상기 제1 주면에 대향하는 제2 주면과 상기 제1 주면으로부터 상기 제2 주면으로 연장하는 제1 내지 제4 슬릿을 가지는, 4변형 형상의 기판과,

반도체 소자와 본딩패드가 있는 주면을 가지고, 상기 본딩패드가 상기 제1 내지 제4 슬릿과 한줄로 배치되도록 기판의 상기 제1 주면상에 탑재된 반도체 펠릿과,

상기 기판내의 상기 제1 내지 제4 슬릿을 통하여 연장하여 상기 본딩패드와 상기 제 1 및 제2 전극패드를 각각 전기적으로 접속하는 본딩와이어와,

상기 반도체 펠릿과 상기 본딩와이어를 밀봉하는 수지부재와,

상기 제1 및 제2 영역내의 상기 기판의 상기 제2 주면 상에 배치되고, 상기 제1 및 제2 전극패드와 전기적으로 접속된 범프전극을 구비하는 반도체 장치로서,

상기 제1 내지 제4 슬릿은 각각 상기 제1 내지 제4 에지를 따라 연장되고, 상기 제 1 내지 제4 슬릿으로 둘러싸인 상기 기판의 제1 영역과 상기 제1 내지 제4 슬릿의 외측으로 연장하는 상기 기판의 제2 영역을 정의하며, 상기 기판은 상기 제1 영역내의 상기 제 2 주면상에 제1 전극패드와 상기 제2 영역내의 상기 제2 주면상에 제2 전극패드를 가지며,

상기 제2 영역의 상기 범프전극은 복수의 행을 형성하도록 배치되어, 상기 복수의 행이 기판의 상기 제1 영역을 둘러싸도록 서로 대응하여 형성되는 것을 특징으로 하는 반도체 장치.

청구항 23.

제22항에 있어서,

상기 반도체 펠릿은 4변형 형상을 가지고, 제1 내지 제4의 에지를 가지며, 상기 본딩패드는 상기 주면의 주변부에 배치되고, 상기 반도체 펠릿의 상기 제1 내지 제4 에지를 따라서 연장되는 것을 특징으로 하는 반도체 장치.

청구항 24.

제23항에 있어서,

상기 반도체 펠릿은 상기 제1 영역에 대향하는 상기 제1 주면상에 탑재되고, 상기 기판은 상기 반도체 펠릿의 그것보다 더 큰 사이즈를 가지며, 상기 제2 영역 내의 상기 범프전극은 상기 반도체 펠릿의 상기 제1 내지 제4에지의 외측에 위치하는 것을 특징으로 하는 반도체 장치.

청구항 25.

제22항에 있어서,

상기 제1 및 제2 전극패드는 상기 제1 내지 제4 슬릿을 따라 각각 연장되고, 제1 피치로 배열되며, 상기 본딩패드는 상기 제1 및 제2 전극패드를 따라 연장하며 상기 제1 피치보다 더 작은 제2 피치로 배열되고, 상기 본딩와이어는 상기 제1 및 제2 전극패드와 상기 본딩패드를 교대로 접속하는 것을 특징으로 하는 반도체 장치.

청구항 26.

(1)그 주면에 본딩패드가 형성된 사변형 형상의 반도체 펠릿과,

(2)제1 표면, 상기 제1 표면에 대향하는 제2 표면, 상기 제2 표면 상에 형성된 전극 패드 및 상기 제1 표면에서 상기 제2 표면으로 상기 기판을 통하여, 상기 제1 방향으로 연장하는 슬릿을 가지는 기판과,

(3) 상기 슬릿을 통하여 상기 반도체 펠릿의 상기 본딩패드와 상기 기판의 상기 전극패드를 전기적으로 접속하는 본딩 와이어와,

(4)상기 기판의 상기 제2표면상에 배치되고 상기 기판의 상기 전극패드에 전기적으로 접속되는 범프전극과,

(5)상기 본딩와이어와 상기 슬릿으로부터 노출되는 상기 반도체 펠릿의 상기 주면을 밀봉하는 수지밀봉체를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 제1 방향으로 연장하는 대향하는 제1 에지쌍과 상기 제1 방향과 교차하는 제2 방향으로 연장하는 대향하는 제2 에지쌍을 가지며, 상기 본딩패드는 상기 제1 방향으로 배열되어 본딩패드의 행을 형성하며,

상기 반도체 펠릿은 상기 기판의 상기 제1 표면상에 배치되어, 상기 반도체 펠릿의 상기 주면이 상기 기판의 상기 제1 주면에 마주보고 상기 본딩패드의 행이 평면시(in a plane view)에서 상기 슬릿에 배치되며, 상기 전극패드는 상기 제2 방향으로 상기 슬릿의 한쪽측에 배치된 제1 전극패드와, 상기 슬릿의 다른 한쪽측에 배치된 제2 전극패드를 포함하며,

상기 본딩와이어는 상기 제1 전극패드에 접속된 제1 본딩와이어와 상기 제2 전극패드에 접속된 제2 본딩와이어를 포함하고,

상기 범프전극은 상기 제1 전극패드에 전기적으로 접속되고 상기 슬릿의 상기 한쪽 측에 배열된 제1 범프전극과, 상기 제2 전극패드에 전기적으로 접속되고 상기 슬릿의 다른 한쪽측에 배열된 제2 범프전극을 포함하며, 상기 제1 및 제2 범프전극은 상기 평면시에서 상기 반도체 펠릿에 겹치도록 각각 배열되는 것을 특징으로 하는 반도체 장치.

청구항 27.

제26항에 있어서,

상기 본딩패드의 행은 상기 반도체 펠릿의 상기 대향하는 제1 에지쌍 사이의 실질적으로 중앙영역에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 28.

제26항에 있어서,

상기 반도체 펠릿은 직사각형 형상을 가지며, 상기 대향하는 제1 에지쌍은 좀더 긴 에지쌍에 해당하며, 상기 대향하는 제2 에지쌍은 좀더 짧은 에지쌍에 해당하는 것을 특징으로 하는 반도체 장치.

청구항 29.

제26항에 있어서,

상기 슬릿은 테이퍼형상(tapered)으로 되어 기판의 상기 제2 표면상의 개구가 상기 기판의 상기 제1 표면상의 개구보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 30.

제26항에 있어서,

상기 범프전극은 Pb-Sn합금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 31.

제26항에 있어서,

상기 기판은 에폭시수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 32.

제26항에 있어서,

상기 본딩와이어는 금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 33.

제32항에 있어서,

상기 본딩와이어는 열압착(thermo-compression)과 함께 초음파진동(ultrasonic vibration)을 이용하는 본딩법에 의해 상기 본딩패드와 상기 전극패드에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 34.

제26항에 있어서,

상기 기판은 랜드부(land portions)와, 상기 랜드부와 상기 전극패드사이에 형성된 컨덕터를 가지고, 상기 각 랜드부의 폭은 상기 각 컨덕터의 폭보다 더 크며, 상기 랜드부, 상기 컨덕터 및 상기 전극패드는 상기 제2 표면 상에 서로 일체적으로 형성되고, 상기 범프전극은 상기 랜드부상에 배열되는 것을 특징으로 하는 반도체 장치.

청구항 35.

제34항에 있어서,

상기 기판은 상기 기판의 상기 제2 표면상에만 컨덕터가 배치된 단층구조로 형성된 것을 특징으로 하는 반도체 장치.

청구항 36.

제26항에 있어서,

상기 제1 방향에서의 상기 전극패드의 피치는 상기 제1 방향에서의 상기 본딩패드의 피치보다 큰 것을 특징으로 하는 반도체 장치.

청구항 37.

제26항에 있어서,

상기 기판은 상기 반도체 펠릿의 상기 대향하는 제1 및 제2 에지쌍으로부터 밖으로 돌출하는 주변부를 가지며, 상기 기판의 주변부의 상기 제1표면과 상기 반도체 펠릿은 수지밀봉체로 밀봉되고, 상기 주면에 대향하는 상기 반도체 펠릿의 뒷면은 상기 수지밀봉체로부터 노출되는 것을 특징으로 하는 반도체 장치.

청구항 38.

제37항에 있어서,

상기 범프전극은 상기 평면시에서 상기 반도체 펠릿과 겹치는 상기 기판의 상기 제2 표면상에 배열되고, 상기 주변부에서 기판의 상기 제2표면상에 배열되는 것을 특징으로 반도체 장치.

청구항 39.

(1)그 주면에 본딩패드가 형성된 4변형 형상의 반도체 펠릿과, (2)제1 표면과, 상기 제1 표면에 대향하는 제2 표면과, 상기 제2 표면상에 형성된 전극패드와, 상기 제1 표면에서 상기 제2 표면으로 상기 기판을 통과하며 제1 방향으로 연장하는 슬릿을 가지는 기판과,

(3)상기 슬릿을 통하여 상기 반도체 펠릿의 상기 본딩패드와 상기 기판의 상기 전극 패드를 전기적으로 접속하는 본딩와이어와,

(4)상기 기판의 상기 제2 표면상에 배치되고 상기 기판의 상기 전극패드에 전기적으로 접속된 범프전극과,

(5)상기 본딩와이어와 상기 슬릿으로부터 노출된 상기 반도체 펠릿의 상기 주면을 밀봉하는 수지밀봉체를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 제1 방향으로 연장하는 대향하는 제1 에지쌍과 상기 제1 방향과 교차하는 제2 방향으로 연장하는 대향하는 제2 에지쌍을 가지며, 상기 본딩패드는 상기 제1 방향으로 배열되어 본딩패드행을 형성하고,

상기 반도체 펠릿은 상기 기판의 상기 제1 표면상에 배치되어, 상기 반도체 펠릿의 상기 주면이 상기 기판의 상기 제1 표면에 마주하고 상기 본딩패드행이 평면시에서 상기 슬릿에 배열되며, 상기 전극패드는 상기 슬릿의 한쪽 측에 배열된 제1 전극패드와, 상기 제2 방향의 상기 슬릿의 다른 한쪽 측에 배열된 제2 전극패드를 포함하고,

상기 본딩와이어는 상기 제1 전극패드에 접속된 제1 본딩와이어와 상기 제2 전극패드에 접속된 제2 본딩와이어를 포함하며,

상기 범프전극은 상기 제1 전극패드에 전기적으로 접속되고 상기 슬릿의 상기 한쪽 측에 배열된 제1 범프전극과, 상기 제2 전극패드에 전기적으로 접속되고 상기 슬릿의 다른 한쪽측에 배열된 제2 범프전극을 포함하며, 상기 제1 범프전극은 범프전극의 매트릭스를 형성하도록 상기 제1 및 제2 방향으로 배열되고, 상기 제2 범프전극은 범프전극의 매트릭스를 형성하도록 상기 제1 및 제2 방향으로 배열되는 것을 특징으로 하는 반도체 장치.

청구항 40.

제39항에 있어서,

상기 본딩패드행은 상기 반도체 펠릿의 상기 대향하는 제1 에지쌍사이의 실질적으로 중앙영역에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 41.

제39항에 있어서,

상기 반도체 펠릿은 직사각형 형상을 가지며, 상기 대향하는 제1 에지쌍은 좀더 긴 에지쌍에 해당하며, 상기 대향하는 제2 에지쌍은 좀더 짧은 에지쌍에 해당하는 것을 특징으로 하는 반도체 장치.

청구항 42.

제39항에 있어서,

상기 슬릿은 테이퍼형상(tapered)으로 되어 기판의 상기 제2 표면상의 개구가 상기 기판의 상기 제1 표면상의 개구보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 43.

제39항에 있어서,

상기 범프전극은 Pb-Sn 합금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 44.

제39항에 있어서,

상기 기판은 에폭시 수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 45.

제39항에 있어서,

상기 본딩와이어는 금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 46.

제45항에 있어서,

상기 본딩와이어는 열압착과 함께 초음파진동을 이용하는 본딩법에 의해 상기 본딩 패드와 상기 전극패드에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 47.

제39항에 있어서,

상기 기판은 랜드부와 상기 랜드부와 상기 전극패드사이에 형성된 컨덕터를 가지며, 상기 각 랜드부의 폭은 상기 각 컨덕터의 폭보다 더 크며, 상기 랜드부, 상기 컨덕터 및 상기 전극패드는 상기 제2 표면상에 서로 일체적으로 형성되고, 상기 범프전극은 상기 랜드부상에 배열된 것을 특징으로 하는 반도체 장치.

청구항 48.

제47항에 있어서,

상기 기판은 상기 기판의 상기 제2 표면상에만 컨덕터가 배열된 단층구조로 형성된 것을 특징으로 하는 반도체 장치.

청구항 49.

제39항에 있어서,

상기 제1 방향에서의 상기 전극패드의 피치는 상기 제1 방향에서의 상기 본딩패드의 피치보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 50.

제39항에 있어서,

상기 기판은 상기 반도체 펠릿의 상기 대향하는 제1 및 제2 에지쌍로부터 밖으로 돌출하는 주변부를 가지며, 상기 기판의 상기 주변부의 상기 제1 표면과 상기 반도체 펠릿은 수지밀봉체로 밀봉되며, 상기 주면에 대향하는 상기 반도체 펠릿의 뒷면은 상기 수지 밀봉체로부터 노출된 것을 특징으로 하는 반도체 장치.

청구항 51.

제50항에 있어서,

상기 범프전극은 상기 평면시에서 상기 반도체 펠릿과 겹치는 상기 기판의 상기 제2 표면상에 배열되고 상기 주변부에서 기판의 상기 제2 표면상에 배열된 것을 특징으로 하는 반도체 장치.

청구항 52.

(1)그 주면에 본딩패드가 형성된 사변형 형상의 반도체 펠릿과,

(2)제1 표면과, 상기 제1 표면에 대향하는 제2 표면과, 상기 제2 표면상에 형성된 전극패드와, 상기 제1 표면에서 상기 제2 표면으로 상기 기판을 통과하고 제1 방향으로 연장하는 슬릿을 가지는 기판과,

(3)본딩패드행이 노출하도록 상기 기판과 상기 반도체 칩사이에 형성된 저탄성 수지의 절연층과,

(4)상기 슬릿을 통하여 상기 반도체 펠릿의 상기 본딩패드와 상기 기판의 상기 전극 패드를 전기적으로 접속하는 컨덕터와,

(5)상기 기판의 상기 제2 표면상에 배치되고, 상기 기판의 상기 전극패드에 전기적으로 접속된 범프전극과,

(6)상기 컨덕터와 상기 슬릿으로부터 노출된 상기 반도체 펠릿의 상기 주면을 밀봉하는 수지밀봉체를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 제1 방향으로 연장하는 대향하는 제1 에지쌍과 상기 제1 방향과 교차하는 제2 방향으로 연장하는 대향하는 제2 에지쌍을 가지며, 상기 본딩패드는 상기 제1 방향으로 배열되어 본딩패드행을 형성하며,

상기 반도체 펠릿은 상기 기판의 상기 제1 표면상에 배치되어, 상기 반도체 펠릿의 상기 주면이 상기 기판의 상기 제1 표면에 마주보고 상기 본딩패드행이 평면시에서 상기 슬릿에 배열되며, 상기 전극패드는 상기 제2 방향으로 상기 슬릿의 한쪽측에 배열된 제1 전극패드와, 상기 슬릿의 다른 한쪽측에 배열된 제2 전극패드를 포함하고,

상기 컨덕터는 상기 제1 전극패드에 접속된 제1 컨덕터와 상기 제2 전극패드에 접속된 제2 컨덕터를 포함하며,

상기 범프전극은 상기 제1 전극패드에 전기적으로 접속되고 상기 슬릿의 상기 한쪽 측에 배열된 제1 범프전극과, 상기 제2 전극패드에 전기적으로 접속되고 상기 슬릿의 다른 한쪽측에 배열된 제2 범프전극을 포함하고, 상기 제1 및 제2 범프전극은 상기 평면시에서 상기 반도체 펠릿과 각각 겹치도록 배열되는 것을 특징으로 하는 반도체 장치.

청구항 53.

제52항에 있어서,

상기 본딩패드행은 상기 반도체 펠릿의 상기 대향하는 제1 에지쌍 사이의 실질적으로 중앙영역에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 54.

제52항에 있어서,

상기 반도체 펠릿은 직사각형 형상을 가지며, 상기 대향하는 제1 에지쌍은 좀더 긴 에지쌍에 해당하며, 상기 대향하는 제2에지쌍은 좀더 짧은 에지쌍에 해당하는 것을 특징으로 하는 반도체 장치.

청구항 55.

제52항에 있어서,

상기 슬릿은 테이퍼형상으로 되어 기판의 상기 제2 표면상의 개구가 상기 기판의 상기 제1 표면상의 개구보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 56.

제52항에 있어서,

상기 범프전극은 Pb-Sn 합금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 57.

제52항에 있어서,

상기 기판은 에폭시 수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 58.

제52항에 있어서,

상기 본딩와이어는 금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 59.

제58항에 있어서,

상기 본딩와이어는 열압착과 함께 초음파 진동을 이용하는 본딩법에 의해 상기 본딩 패드와 상기 전극패드에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 60.

제52항에 있어서,

상기 기판은 랜드부와, 상기 랜드부와 상기 전극패드 사이에 형성된 컨덕터를 가지며, 상기 각 랜드부의 폭은 상기 각 컨덕터의 폭보다 더 크며, 상기 랜드부, 상기 컨덕터 및 상기 전극패드는 상기 제2 표면상에 서로 일체적으로 형성되며, 상기 범프전극은 상기 랜드부상에 배열되는 것을 특징으로 하는 반도체 장치.

청구항 61.

제60항에 있어서,

상기 기판은 상기 기판의 상기 제2 표면상에만 컨덕터가 배열된 단층구조로 형성된 것을 특징으로 하는 반도체 장치.

청구항 62.

제52항에 있어서,

상기 제1 방향에서의 상기 전극패드의 피치는 상기 제1 방향에서의 상기 본딩패드의 피치보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 63.

제52항에 있어서,

상기 기판은 상기 반도체 펠릿의 상기 대향하는 제1 및 제2 에지쌍으로부터 밖으로 돌출하는 주변부를 가지며, 상기 기판의 상기 주변부의 상기 제1 표면과 상기 반도체 펠릿은 수지밀봉체로 밀봉되고, 상기 주면에 대향하는 상기 반도체 펠릿의 뒷면은 상기 수지밀봉체로부터 노출되는 것을 특징으로 하는 반도체 장치.

청구항 64.

제63항에 있어서,

상기 범프전극은 상기 평면시에서 상기 반도체 펠릿과 겹치는 상기 기판의 상기 제2 표면상에 배열되고, 상기 주변부에서 상기 기판의 제2 표면상에 배열되는 것을 특징으로 하는 반도체 장치.

청구항 65.

제52항에 있어서,

상기 절연층은 폴리이미드-(polyimide-), 에폭시-(epoxy-) 또는 실리콘기 저탄성 수지(silicon-base low-elasticity resin) 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 66.

(1)그 주면에 본딩패드가 형성된 4변형 형상의 반도체 펠릿과,

(2)제1표면과, 상기 제1 표면에 대향하는 제2표면과, 상기 제2 표면상에 형성된 전극패드와, 상기 제1 표면에서 상기 제2표면으로 상기 기판을 통과하고 상기 제1 방향으로 연장하는 슬릿을 가지는 기판과,

(3)본딩패드행을 노출하도록 상기 반도체 칩과 상기 기판 사이에 형성된 저탄성 수지의 절연층과,

(4)상기 슬릿을 통하여 상기 반도체 펠릿의 상기 본딩패드와 상기 기판의 상기 전극패드를 전기적으로 접속하는 컨덕터와,

(5)상기 기판의 상기 제2표면상에 배치되고 상기 기판의 상기 전극패드에 전기적으로 접속된 범프전극과,

(6)상기 컨덕터와 상기 슬릿으로부터 노출된 상기 반도체 펠릿의 상기 주면을 밀봉하는 수지밀봉체를 구비하는 반도체 장치로서,

상기 반도체 펠릿은 제1 방향으로 연장하는 대향하는 제1 에지쌍과 상기 제1방향과 교차하는 제2 방향으로 연장하는 대향하는 제2 에지쌍을 가지고, 상기 본딩패드는 상기 제1 방향으로 배열되어 상기 본딩패드행을 형성하며,

상기 반도체 펠릿은 상기 기판의 상기 제1 표면상에 배치되어, 상기 반도체 펠릿의 상기 주면이 상기 기판의 상기 제1 표면에 마주보고 상기 본딩패드행이 평면시에서 상기 슬릿에 배열되며, 상기 전극패드는 상기 제2 방향으로 상기 슬릿의 한쪽측에 배열된 제1 전극패드와, 상기 슬릿의 다른 한쪽측에 배열된 제2 전극패드를 포함하며,

상기 컨덕터는 상기 제1 전극패드에 접속된 제1 컨덕터와 상기 제2 전극패드에 접속된 제2 컨덕터를 포함하고,

상기 범프전극은 상기 제1 전극패드에 전기적으로 접속되고 상기 슬릿의 한쪽 측에 배열된 제1 범프전극과, 상기 제2 전극패드에 전기적으로 접속되고 상기 슬릿의 다른 한쪽 측에 배열된 제2 범프전극을 포함하며, 상기 제1 범프전극은 범프전극 매트릭스를 형성하도록 상기 제1 및 제2 방향으로 배열되며, 상기 제2 범프전극은 범프전극의 매트릭스를 형성하도록 상기 제1 및 제2 방향으로 배열된 것을 특징으로 하는 반도체 장치.

청구항 67.

제66항에 있어서,

상기 본딩패드행은 상기 반도체 펠릿의 상기 대향하는 제1에지쌍 사이의 실질적으로 중앙영역에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 68.

제66항에 있어서,

상기 반도체 펠릿은 직사각형 형상을 가지며, 상기 대향하는 제1 에지쌍은 좀더 긴 에지쌍에 해당하며, 상기 대향하는 제2 에지쌍은 좀더 짧은 에지쌍에 해당하는 것을 특징으로 하는 반도체 장치.

청구항 69.

제66항에 있어서,

상기 슬릿은 테이퍼형상으로 되어 기판의 상기 제2 표면상의 개구가 상기 기판의 상기 제1 표면상의 개구보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 70.

제66항에 있어서,

상기 범프전극은 Pb-Sn 합금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 71.

제66항에 있어서,

상기 기판은 에폭시 수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 72.

제66항에 있어서,

상기 본딩와이어는 금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 73.

제72항에 있어서,

상기 본딩와이어는 열압착과 함께 초음파 진동을 이용하는 본딩법에 의해 상기 본딩 패드와 상기 전극패드에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 74.

제66항에 있어서,

상기 기판은 랜드부와, 상기 랜드부와 전극패드사이에 형성된 컨덕터를 가지며, 상기 각 랜드부의 폭은 상기 각 컨덕터의 폭보다 크며, 상기 랜드부, 상기 컨덕터 및 상기 전극패드는 상기 제2 표면상에 서로 일체적으로 형성되고, 상기 범프전극은 상기 랜드부상에 배열되는 것을 특징으로 하는 반도체 장치.

청구항 75.

제74항에 있어서,

상기 기판은 상기 기판의 상기 제2 표면상에만 컨덕터가 배열된 단층구조로 형성된 것을 특징으로 하는 반도체 장치.

청구항 76.

제66항에 있어서,

상기 제1 방향에서의 상기 전극패드의 피치는 상기 제1 방향에서의 상기 본딩패드의 피치보다 더 큰 것을 특징으로 하는 반도체 장치.

청구항 77.

제66항에 있어서,

상기 기판은 상기 반도체 펠릿의 상기 대향하는 제1 및 제2에지쌍으로부터 밖으로 돌출하는 주변부를 가지며, 상기 기판의 상기 주변부의 상기 제1 표면과 상기 반도체 펠릿은 수지밀봉체로 밀봉되고, 상기 주면에 대향하는 상기 반도체 펠릿의 뒷면은 상기 수지밀봉체로부터 노출되는 것을 특징으로 하는 반도체 장치.

청구항 78.

제77항에 있어서,

상기 범프전극은 상기 평면시에서 상기 반도체 펠릿과 겹치는 상기 기판의 상기 제2 표면상에 배열되고 상기 주변부에서 기판의 상기 제2 표면상에 배열되는 것을 특징으로 하는 반도체 장치.

청구항 79.

제66항에 있어서,

상기 절연층은 폴리이미드-, 에폭시-, 또는 실리콘기 저탄성수지 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 80.

(1)그 주면에 본딩패드가 형성된 반도체 펠릿과,

(2)제1 표면과, 상기 제1 표면에 대향하는 제2 표면과, 상기 제2 표면상에 형성된 전극패드와, 상기 제1 표면에서 상기 제2 표면으로 상기 기판을 통과하는 슬릿을 가지는 기판과,

(3)상기 본딩패드를 노출시키도록 상기 반도체 칩과 상기 기판 사이에 형성된 저탄성 수지의 절연층과,

(4)상기 슬릿을 통하여 상기 반도체 펠릿의 상기 본딩패드와 상기 전극패드를 전기적으로 접속하는 컨덕터와,

(5)상기 기판의 상기 제2 표면상에 배치되고 상기 기판의 상기 전극패드에 전기적으로 접속된 범프전극과,

(6)상기 컨덕터와 상기 슬릿으로부터 노출된 상기 반도체 펠릿의 상기 주면을 밀봉하는 수지밀봉체를 구비하는 반도체 장치로서,

상기 본딩패드는 신호용 제1 본딩패드와 전원용 제2 본딩패드를 포함하며,

상기 전극패드는 신호용 제1 전극패드와 전원용 제2 전극패드를 포함하고, 상기 반도체 펠릿은 상기 기판의 상기 제1 표면상에 배치되어, 상기 반도체 펠릿의 상기 주면이 상기 기판의 상기 제1 표면에 마주보고 상기 본딩패드가 평면시에서 상기 슬릿에 배열되며,

상기 컨덕터는 상기 신호용 상기 제1 전극패드와 상기 제1 본딩패드를 각각 접속하는 제1 컨덕터와, 상기 전원용 상기 제2 전극패드와 상기 제2 본딩패드를 접속하는 제2 컨덕터를 포함하며,

상기 범프전극은 상기 신호용 상기 제1 전극패드에 각각 전기적으로 접속되는 제1 범프전극과, 상기 전원용 상기 제2 전극패드에 전기적으로 접속된 제2 범프전극을 포함하고,

상기 전원용 상기 제2 전극패드의 한 영역은 상기 각 제1 전극패드의 그것보다 더 크고, 상기 제2 범프전극은 상기 전원용 상기 제2 전극패드상에 배치되고, 상기 제2 전극 패드에 전기적으로 공통접속된 것을 특징으로 하는 반도체 장치.

청구항 81.

제80항에 있어서,

상기 전원은 기준전압이거나 또는 동작전압인 것을 특징으로 하는 반도체 장치.

청구항 82.

제80항에 있어서,

상기 절연층은 폴리이미드-, 에폭시-, 또는 실리콘기 저탄성 수지 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 83.

제80항에 있어서,

상기 범프전극은 Pb-Sn 합금으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 84.

제80항에 있어서,

상기 기판은 에폭시 수지로 함침된 유리섬유로 형성된 것을 특징으로 하는 반도체 장치.

청구항 85.

제80항에 있어서,

상기 각 콘덕터는 금으로 형성된 본딩와이어인 것을 특징으로 하는 반도체 장치.

청구항 86.

제26항에 있어서,

상기 반도체 펠릿은 그 주면에 형성된 회로시스템을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 87.

제39항에 있어서,

상기 반도체 펠릿은 상기 그 주면에 형성된 회로시스템을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 88.

제52항에 있어서,

상기 반도체 펠릿은 상기 그 주면에 형성된 회로시스템을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 89.

제66항에 있어서,

상기 반도체 펠릿은 상기 그 주면에 형성된 회로시스템을 포함하는 것을 특징으로 하는 반도체 장치.

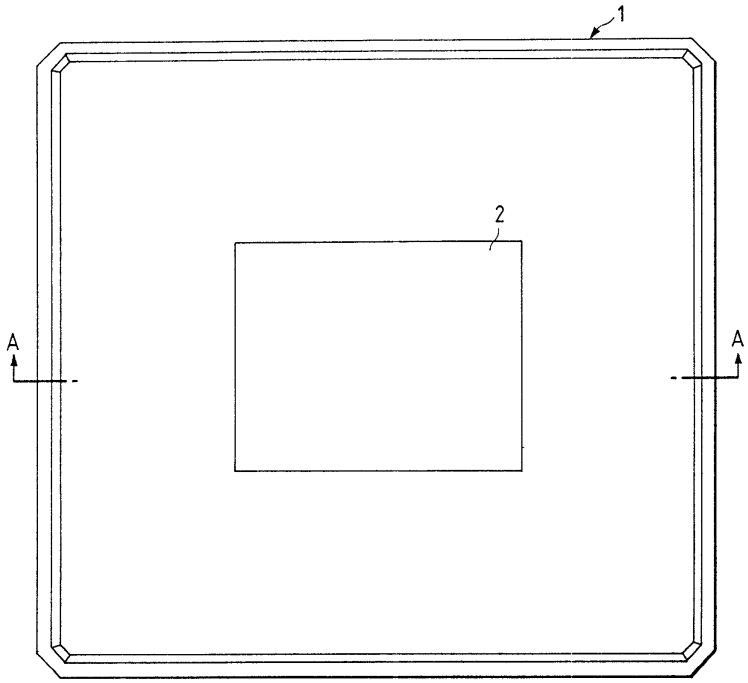
청구항 90.

제80항에 있어서,

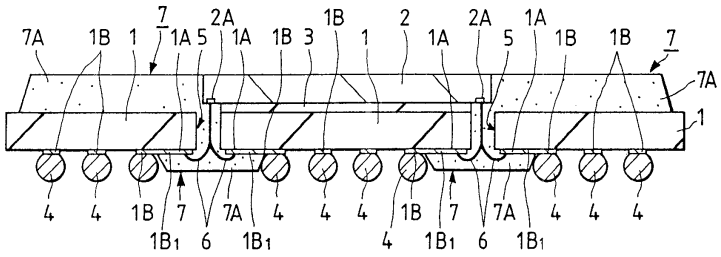
상기 반도체 펠릿은 상기 그 주면에 형성된 회로시스템을 포함하는 것을 특징으로 하는 반도체 장치.

도면

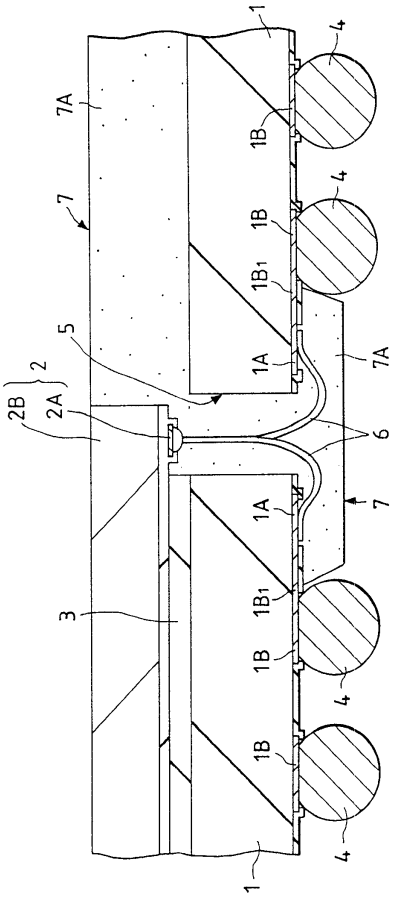
도면 1


1
2
A
A

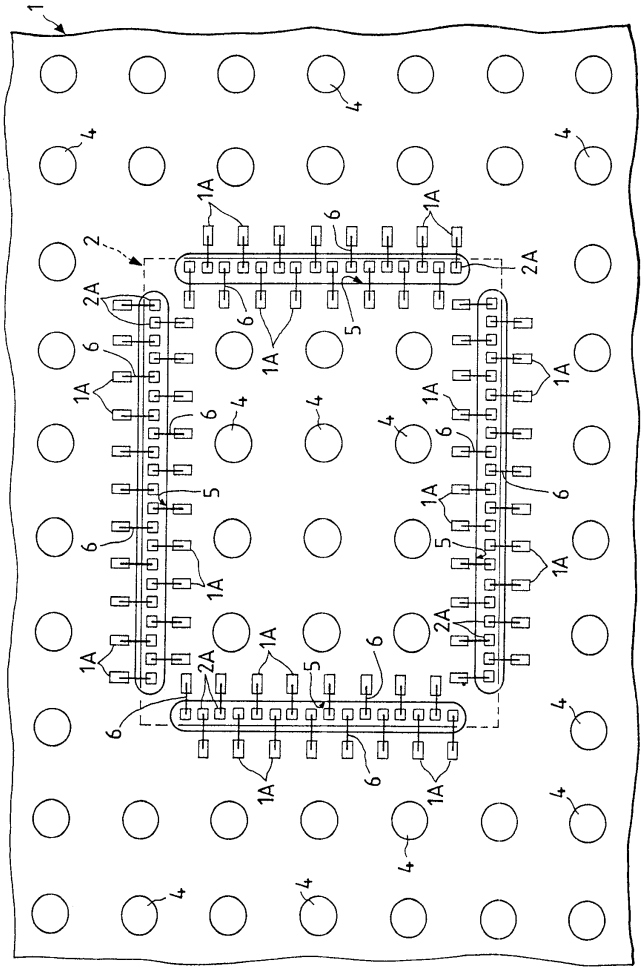
도면 2


7
2A
1B
2
2A
1A
7A
1B
1
1A
5
1A
1B
3
1
1A
5
1B
1B
7
7A
1
4
4
1B
7
7A
4
4
4
4
1B
7
7A
4
4
4
1B1
6
1B1
1B1
6
1B1

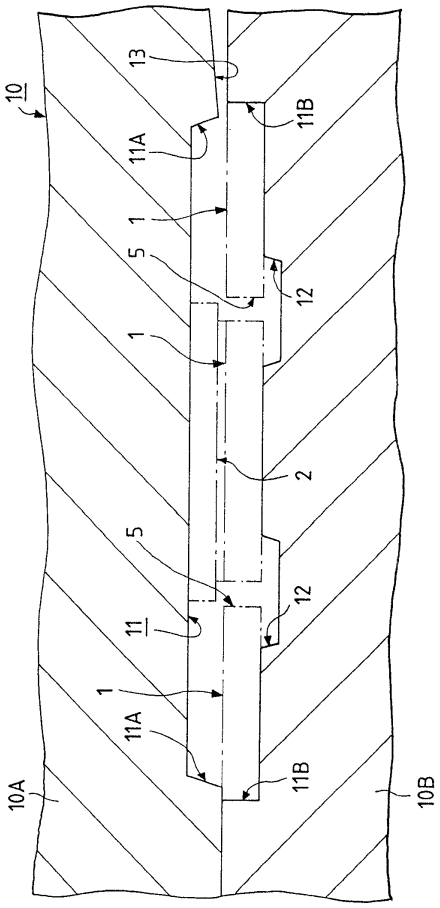
도면 3



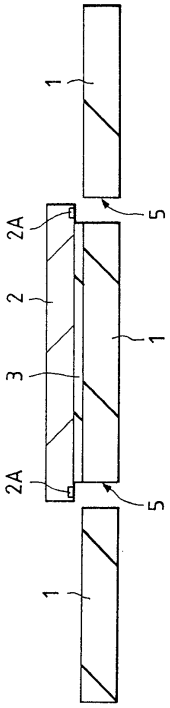
도면 4



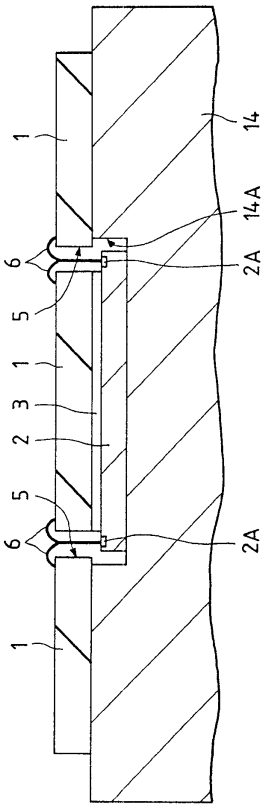
도면 5



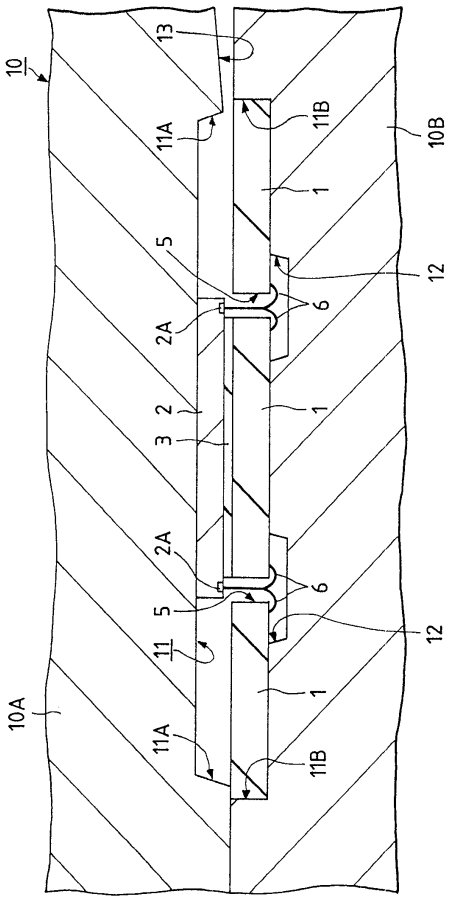
도면 6



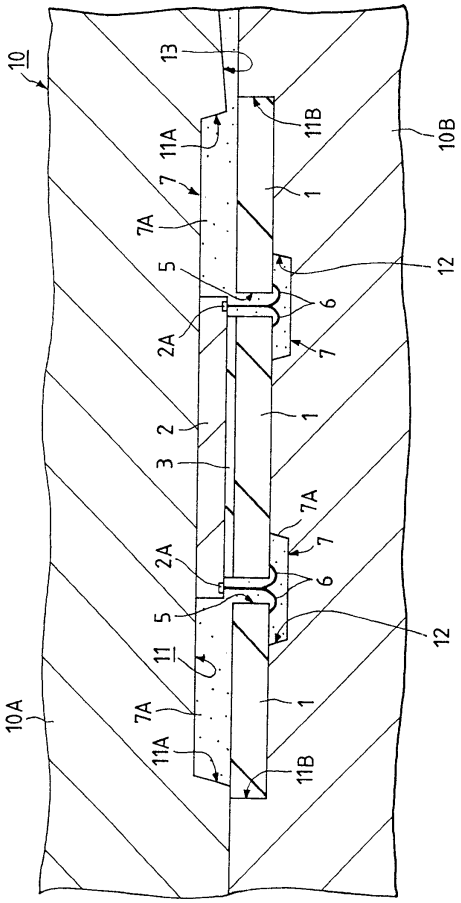
도면 7



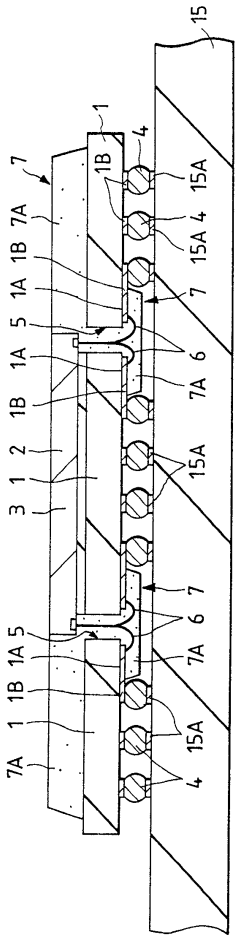
도면 8



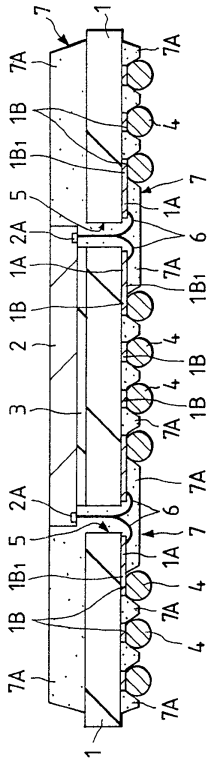
도면 9


10
13
11B
10B
11A
7
1
7A
5
12
6
2A
7
2
1
3
7A
7
2A
6
5
12
11
7A
1
10A
11A
11B

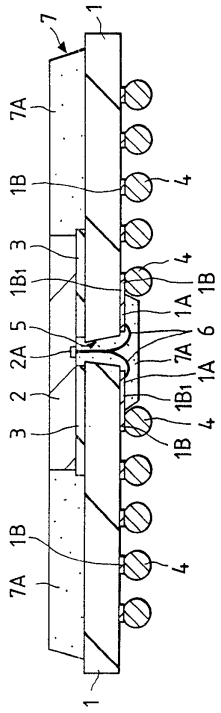
도면 10


15
1
4
7
1B
15A
7A
4
1B
15A
1A
7
5
1A
6
7A
1B
2
15A
3
1
7
6
5
7A
1A
1B
1
15A
7A
4

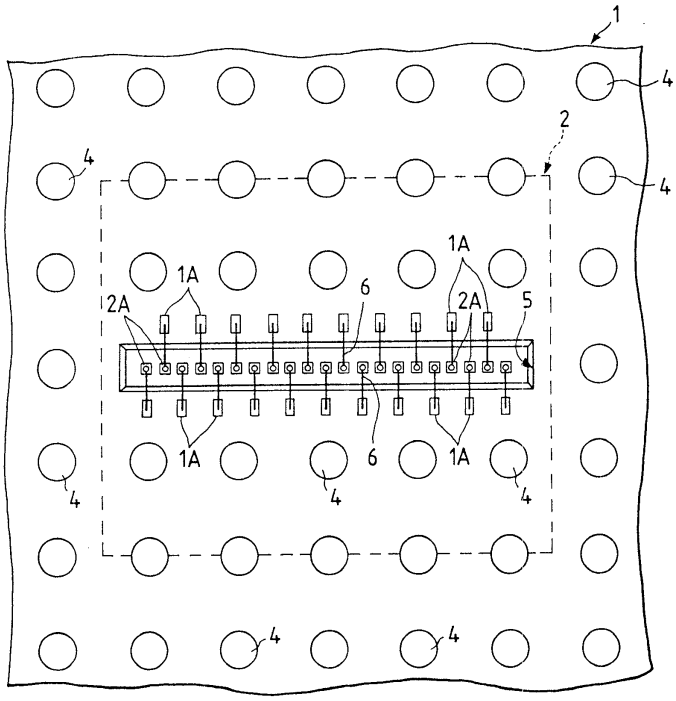
도면 11



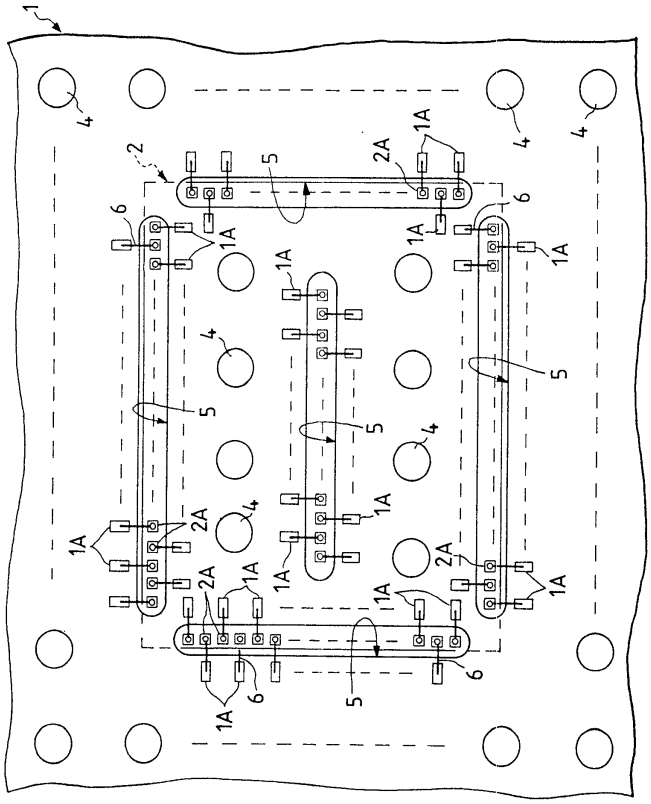
도면 12



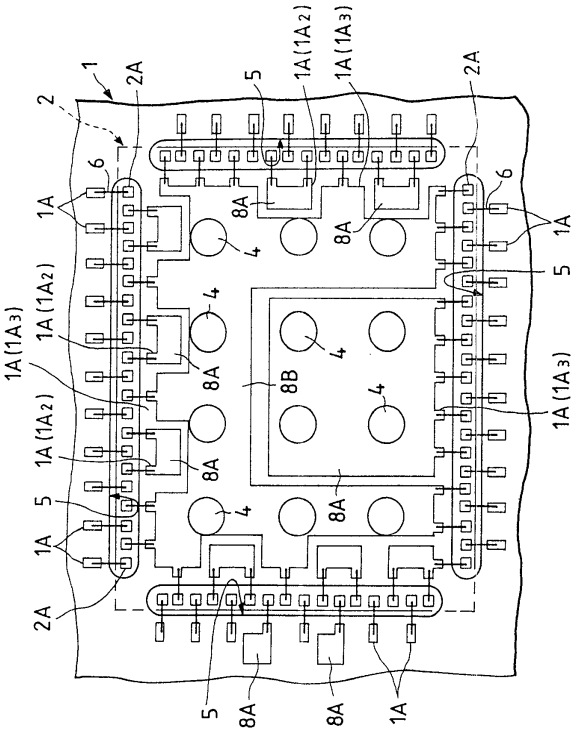
도면 13



도면 14



도면 15


1
2
2A
5
1A(1A2)
1A(1A3)
2A
6
1A
8A
4
8A
6
1A
5
1A(1A2)
1A(1A3)
4
8A
8B
4
1A(1A3)
1A(1A2)
8A
5
1A
4
8A
2A
5
8A
8A
1A

도면 16

