

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4142216号
(P4142216)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.	F I
HO 4 L 27/06 (2006.01)	HO 4 L 27/06 C
HO 4 L 7/08 (2006.01)	HO 4 L 7/08 Z
HO 4 N 5/44 (2006.01)	HO 4 N 5/44 K
HO 4 N 5/52 (2006.01)	HO 4 N 5/52
HO 4 N 5/21 (2006.01)	HO 4 N 5/21 A

請求項の数 52 (全 50 頁)

(21) 出願番号	特願平11-269399	(73) 特許権者	000005821
(22) 出願日	平成11年9月22日(1999.9.22)		松下電器産業株式会社
(65) 公開番号	特開2000-174829(P2000-174829A)		大阪府門真市大字門真1006番地
(43) 公開日	平成12年6月23日(2000.6.23)	(74) 代理人	100098291
審査請求日	平成18年7月18日(2006.7.18)		弁理士 小笠原 史朗
(31) 優先権主張番号	特願平10-273385	(72) 発明者	小西 孝明
(32) 優先日	平成10年9月28日(1998.9.28)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	上田 和也
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	阿座上 裕史
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 V S B 受信機

(57) 【特許請求の範囲】

【請求項 1】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、
受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、
前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、
前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、 V S B 受信機。

【請求項 2】

前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、
前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、

前記ループフィルタの帯域幅を制御することを特徴とする、請求項 1 に記載の V S B 受信機。

【請求項 3】

前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 1 に記載の V S B 受信機。

【請求項 4】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調が施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、V S B 受信機。

【請求項 5】

前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 に記載の V S B 受信機。

【請求項 6】

前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 に記載の V S B 受信機。

【請求項 7】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調が施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域にそ

10

20

30

40

50

れぞれ制御することを特徴とする、V S B 受信機。

【請求項 8】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 7 に記載の V S B 受信機。

【請求項 9】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 7 に記載の V S B 受信機。

【請求項 10】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 7 に記載の V S B 受信機。

【請求項 11】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 7 に記載の V S B 受信機。

【請求項 12】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 16 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期信号の検出の

10

20

30

40

50

有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さくそれぞれ制御することを特徴とする、V S B 受信機。

【請求項 1 3】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 1 2 に記載の V S B 受信機。

【請求項 1 4】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 1 2 に記載の V S B 受信機。

【請求項 1 5】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 1 2 に記載の V S B 受信機。

【請求項 1 6】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 1 2 に記載の V S B 受信機。

【請求項 1 7】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調が施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御し、前記クロック再生手段は、当該セグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特

10

20

30

40

50

徴とする、V S B 受信機。

【請求項 18】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 17 に記載の V S B 受信機。

10

【請求項 19】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 17 に記載の V S B 受信機。

20

【請求項 20】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 17 に記載の V S B 受信機。

【請求項 21】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 17 に記載の V S B 受信機。

30

【請求項 22】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 16 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、
受信した前記多値 V S B 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、
前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、
前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御

40

50

するクロック再生手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御し、前記クロック再生手段は、当該セグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、VSB受信機。

【請求項 2 3】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 2 に記載のVSB受信機。

【請求項 2 4】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 2 に記載のVSB受信機。

【請求項 2 5】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 2 に記載のVSB受信機。

【請求項 2 6】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 2 に記載のVSB受信機。

【請求項 2 7】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調が施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、
前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、V S B 受信機。

【請求項 2 8】

前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 7 に記載の V S B 受信機。

【請求項 2 9】

前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 2 7 に記載の V S B 受信機。

【請求項 3 0】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、V S B 受信機。

【請求項 3 1】

前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 3 0 に記載の V S B 受信機。

【請求項 3 2】

前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 3 0 に記載の V S B 受信機。

【請求項 3 3】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域にそれぞれ制御することを特徴とする、V S B 受信機。

10

【請求項 3 4】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 3 3 に記載の V S B 受信機。

20

【請求項 3 5】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 3 3 に記載の V S B 受信機。

【請求項 3 6】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

30

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 3 3 に記載の V S B 受信機。

【請求項 3 7】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

40

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項 3 3 に記載の V S B 受信機。

【請求項 3 8】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号

50

を、有するフォーマットで構成された映像および音声データが、多値V S B (8 値または 1 6 値V S B) 変調が施されて送信される地上波デジタル放送の信号を受信するV S B 受信機であって、

受信した前記多値V S B 変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さくそれぞれ制御することを特徴とする、V S B 受信機。

【請求項 3 9】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 3 8 に記載のV S B 受信機。

【請求項 4 0】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 3 8 に記載のV S B 受信機。

【請求項 4 1】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 3 8 に記載のV S B 受信機。

【請求項 4 2】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項 3 8 に記載のV S B 受信機。

【請求項 4 3】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値V S B (8 値または 1 6 値V S B) 変調が施されて送信される地上波デジタル放送の信号を受信するV S B 受信機であって、

受信した前記多値V S B 変調が施された信号から、前記フィールド同期信号を検出するフ

10

20

30

40

50

ィールド同期検出手段と、

前記ィールド同期検出手段が検出した前記ィールド同期信号に基づいて、前記ィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記ィールド同期検出手段が検出した前記ィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記ィールド同期信号の検出の有無を知らせるィールド同期検出信号に従って、前記ィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御し、前記クロック再生手段は、当該ィールド同期検出信号に従って、前記ィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、V S B 受信機。

【請求項 4 4】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記自動利得制御手段は、前記ィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記ィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 3 に記載の V S B 受信機。

【請求項 4 5】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記ィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記ィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 3 に記載の V S B 受信機。

【請求項 4 6】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記自動利得制御手段は、前記ィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記ィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 3 に記載の V S B 受信機。

【請求項 4 7】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記ィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記ィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 3 に記載の V S B 受信機。

【請求項 4 8】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調が施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した前記多値 V S B 変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御し、前記クロック再生手段は、当該フィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、V S B 受信機。

【請求項 4 9】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の V S B 受信機。

【請求項 5 0】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の V S B 受信機。

【請求項 5 1】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の V S B 受信機。

【請求項 5 2】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ

係数に従って帯域幅を可変できるデジタルフィルタであり、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項４８に記載のVSB受信機。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、VSB受信機に関し、より特定的には、残留側波帯（Vestigial Side-Band: VSB）変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機に関する。

【０００２】

【従来の技術】

周知のように近年、映像放送分野においては、より高品質な映像を視聴者に提供すべく、放送形態がアナログからデジタルへ移り変わろうとしている。この放送のデジタル化は、すでに一部実用化されている衛星波による放送のみならず、地上波による放送に対しても行われつつあり、米国や欧州等においては現在実用化の段階へと進んでいる。

【０００３】

地上波デジタル放送で用いるデジタル変調方式としては、現在様々な方式が考案されており、その１つの方式として、米国では信号を多値VSB（８値VSBまたは１６値VSB）変調して送信するATSC（Advanced Television System Committee）規格が採用されている。

【０００４】

この地上波デジタル放送を受信する受信機は、信号に施されているデジタル変調に対応したデジタル復調を行うようにすれば、基本的に衛星デジタル放送等で用いられている受信機と同様に構成することで実現可能である。上記多値VSB変調された信号を受信する受信機（以下、VSB受信機と記す）に関しては、ATSCが発行する文献「GUIDE TO THE USE OF THE ATSC DIGITAL TELEVISION STANDARD（Doc. A/54）」に、一般的な構成が示されている。

【０００５】

図２０に、ATSCが発行する上記文献に示されているVSB受信機の構成の一例を示す。図２０において、文献に示されているVSB受信機は、チューナ２０１と、デジタル復調部２０２と、波形等化器２０３と、誤り訂正回路２０４と、トランスポートデコーダ２０５と、ビデオデコーダ２０６と、オーディオデコーダ２０７とで構成されている。チューナ２０１は、VSB変調された信号を受信する。デジタル復調部２０２は、チューナ２０１が受信した信号をデジタル復調して、デジタル映像信号に変換する。波形等化器２０３は、伝送路等において生じた信号波形の歪み等を補正する。誤り訂正回路２０４は、歪み等が補正された信号波形に対して、誤り訂正を行う。トランスポートデコーダ２０５は、多重送信されてくる映像信号と音声信号とを分離する。ビデオデコーダ２０６は、分離された映像信号を復号する。オーディオデコーダ２０７は、分離された音声信号を復号する。

【０００６】

ここで、図２０に示したVSB受信機には明記されていないが、一般にデジタル復調部２０２には、信号を処理する上で必要不可欠な自動利得制御（以下、AGCと記す）回路およびクロック再生回路が、当然構成として含まれるものだと考えられる。

AGC回路は、周知のごとく、伝送路における信号の減衰等の影響をなくすため、予め定めた基準信号の振幅が常に一定レベルになるように、負帰還ループによって利得を制御する回路である。また、クロック再生回路も、周知のごとく、デジタル信号の各データ（

10

20

30

40

50

シンボル)の判定タイミングを与えるクロックを再生するため、受信信号のクロック周波数と受信機のクロック周波数とが一致(同期)するように、負帰還ループによって利得を制御する回路である。

【0007】

このAGC回路およびクロック再生回路は、負帰還ループによって制御対象の信号を一定の値に収束させるように動作するため、各回路のループ利得が収束処理完了までにかかる時間、すなわち、映像信号を受信してから映像を画面上に出力するまでにかかる時間に影響してくる。そのため、一般的には、AGC回路およびクロック再生回路におけるループ利得は、収束処理が高速かつ正確に行われる予め定めた最適な値に固定されている。

【0008】

【発明が解決しようとする課題】

ところで、地上波デジタル放送においては、衛星デジタル放送と異なり、伝送路においてゴースト妨害が発生することを考慮する必要がある。このゴースト妨害に対して、上述したVSB受信機では、波形等化器203の処理においてゴーストの影響を除去することが可能であると考えている。

しかしながら、VSB受信機の構成に上記AGC回路およびクロック再生回路を含むことを考慮した場合、各回路におけるループ利得の設定の仕方によって、以下のような問題が発生する。

【0009】

まず、AGC回路におけるループ利得を大きく設定した場合を考える。

この場合、帰還信号に対するAGC処理の追従速度が速くなるので、AGC回路の収束が高速に行われる。しかし、この場合、AGC検出結果(AGC電圧)の値が変化しやすくなるため、受信信号にゴースト妨害が存在すると、ゴースト成分によってAGC検出結果が変化してしまうことになる。このため、後段の波形等化器203において、信号処理に誤差が生じてしまい、ゴースト除去能力が劣化するという問題がある。

【0010】

ここで、上記文献に示されている波形等化器203の構成を一例に挙げて、上記場合において信号処理に誤差が生じる原因を説明する。図21は、上記文献に示されている波形等化器203の構成を示すブロック図である。図22は、波形等化器203における判断誤り理由を説明する図である。

波形等化器203は、フィードバックフィルタの出力とスライサを通した出力とに基づいて誤差信号を計算し、誤差信号に基づいて各フィルタの係数を算出する。このフィルタ係数は、ゴーストを除去するように徐々に変化し、ゴースト除去後は値の変化が小さくなる。すなわち、波形等化器203は、各データに対して、当該データが含まれる領域の基準値との誤差に基づいて、フィルタ係数を算出する。従って、波形等化器203は、+5領域にあるデータ(図22の印)については、+5の値との誤差を計算して、その誤差に基づいてフィルタ係数を算出する。しかし、ゴースト妨害によって本来+5領域にあるデータが+7領域へ変動した場合(図22の印)、波形等化器203は、このデータに対して、+7の値との誤差を計算して、その誤差に基づいて正しくないフィルタ係数を算出してしまうのである。

【0011】

また、同様に、クロック再生回路におけるループ利得を大きく設定した場合を考える。

この場合、帰還信号に対するクロック再生処理の追従速度が速くなるので、クロック同期の収束が高速に行われる。しかし、この場合、受信信号にゴースト妨害が存在すると、ゴースト成分に敏感に応答してしまう(クロック周波数に変動しやすくなる)ことになってしまい、VSB受信機の再生クロックにジッタが生じ、受信信号に誤りが発生するという問題がある。

【0012】

次に、AGC回路およびクロック再生回路におけるループ利得をそれぞれ小さく設定した場合を考える。

この場合、A G C 回路においては、帰還信号に対する A G C 処理の追従速度が遅くなるのでゴースト除去能力は高くなり、またクロック再生回路においては、帰還信号に対するクロック再生処理の追従速度が遅くなるので、ジッタを発生することなく正確なクロックを再生することができる。しかし、この場合、上述したように各回路のループ利得が収束完了までにかかる時間、すなわち、映像信号を受信してから映像を画面上に出力するまでにかかる時間が長くなるという問題が生じてくる。

【 0 0 1 3 】

それ故、本発明の目的は、A G C 回路における収束完了までにかかる時間の高速化と、ゴースト妨害除去の高性能化とを両立させ、さらには、クロック再生回路における収束完了までにかかる時間の高速化と、正確なクロック再生とを両立させた、V S B 受信機を提供することである。

10

【 0 0 1 4 】

【課題を解決するための手段および発明の効果】

第1の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値V S B (8 値または16 値V S B) 変調を施されて送信される地上波デジタル放送の信号を受信するV S B 受信機であって、

受信した多値V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

20

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【 0 0 1 5 】

第2の発明は、第1の発明に従属する発明であって、

ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

30

【 0 0 1 6 】

第3の発明は、第1の発明に従属する発明であって、

ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 1 7 】

上記のように、第1～第3の発明によれば、自動利得制御手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

40

【 0 0 1 8 】

第4の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値V S B (8 値または16 値V S B) 変調を施されて送信される地上波デジタル放送の信号を受信するV S B 受信機であって、

50

受信した多値 V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【 0 0 1 9 】

第 5 の発明は、第 4 の発明に従属する発明であって、

増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 2 0 】

第 6 の発明は、第 4 の発明に従属する発明であって、

増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 2 1 】

上記のように、第 4 ～ 第 6 の発明によれば、自動利得制御手段の増幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0 0 2 2 】

第 7 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した多値 V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段およびクロック再生手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域にそれぞれ制御することを特徴とする。

【 0 0 2 3 】

第 8 の発明は、第 7 の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段のループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

10

20

30

40

50

【 0 0 2 4 】

第 9 の発明は、第 7 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段のループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、
自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【 0 0 2 5 】

第 1 0 の発明は、第 7 の発明に従属する発明であって、
自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、
自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

10

【 0 0 2 6 】

第 1 1 の発明は、第 7 の発明に従属する発明であって、
自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、
自動利得制御手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

20

【 0 0 2 7 】

上記のように、第 7 ～ 第 1 1 の発明によれば、自動利得制御手段およびクロック再生手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

30

【 0 0 2 8 】

第 1 2 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した多値 V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

40

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段およびクロック再生手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さくそれぞれ制御することを特徴とする。

50

【 0 0 2 9 】

第 1 3 の発明は、第 1 2 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段の増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、
自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

【 0 0 3 0 】

第 1 4 の発明は、第 1 2 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段の増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、
自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

10

【 0 0 3 1 】

第 1 5 の発明は、第 1 2 の発明に従属する発明であって、
自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、
自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

20

【 0 0 3 2 】

第 1 6 の発明は、第 1 2 の発明に従属する発明であって、
自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、
自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

30

【 0 0 3 3 】

上記のように、第 1 2 ~ 第 1 6 の発明によれば、自動利得制御手段およびクロック再生手段の増幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【 0 0 3 4 】

第 1 7 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、
受信した多値 V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、
セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、
セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロ

40

50

ック再生手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御し、クロック再生手段は、当該セグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【 0 0 3 5 】

第 1 8 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 6 】

第 1 9 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 7 】

第 2 0 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

自動利得制御手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 8 】

第 2 1 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 9 】

上記のように、第 1 7 ~ 第 2 1 の発明によれば、自動利得制御手段のループフィルタおよびクロック再生手段の増幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域および大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域および小さい値にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、VSB 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤

10

20

30

40

50

りが発生しなくなる。

【 0 0 4 0 】

第 2 2 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した多値 V S B 変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御し、クロック再生手段は、当該セグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【 0 0 4 1 】

第 2 3 の発明は、第 2 2 の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 2 】

第 2 4 の発明は、第 2 2 の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 3 】

第 2 5 の発明は、第 2 2 の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 4 】

第 2 6 の発明は、第 2 2 の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器で

あり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 5 】

上記のように、第 2 2 ~ 第 2 6 の発明によれば、自動利得制御手段の増幅利得およびクロック再生手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値および広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値および狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【 0 0 4 6 】

第 2 7 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

受信した多値 V S B 変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【 0 0 4 7 】

第 2 8 の発明は、第 2 7 の発明に従属する発明であって、

ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 8 】

第 2 9 の発明は、第 2 7 の発明に従属する発明であって、

ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 9 】

上記のように、第 2 7 ~ 第 2 9 の発明によれば、自動利得制御手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0 0 5 0 】

第 3 0 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフ

10

20

30

40

50

フィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 VSB (8 値または 16 値 VSB) 変調を施されて送信される地上波デジタル放送の信号を受信する VSB 受信機であって、

受信した多値 VSB 変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

10

【0051】

第31の発明は、第30の発明に従属する発明であって、

増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【0052】

第32の発明は、第30の発明に従属する発明であって、

増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

20

【0053】

上記のように、第30～第32の発明によれば、自動利得制御手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【0054】

第33の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 VSB (8 値または 16 値 VSB) 変調を施されて送信される地上波デジタル放送の信号を受信する VSB 受信機であって、

30

受信した多値 VSB 変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

40

自動利得制御手段およびクロック再生手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域にそれぞれ制御することを特徴とする。

【0055】

第34の発明は、第33の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段のループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

50

自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【 0 0 5 6 】

第 3 5 の発明は、第 3 3 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段のループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、
自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

10

【 0 0 5 7 】

第 3 6 の発明は、第 3 3 の発明に従属する発明であって、
自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、
自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

20

【 0 0 5 8 】

第 3 7 の発明は、第 3 3 の発明に従属する発明であって、
自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、
自動利得制御手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【 0 0 5 9 】

上記のように、第 3 3 ~ 第 3 7 の発明によれば、自動利得制御手段およびクロック再生手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得をそれぞれ制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

30

【 0 0 6 0 】

第 3 8 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、

40

受信した多値 V S B 変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

50

自動利得制御手段およびクロック再生手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さくそれぞれ制御することを特徴とする。

【 0 0 6 1 】

第 3 9 の発明は、第 3 8 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段の増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、
自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

10

【 0 0 6 2 】

第 4 0 の発明は、第 3 8 の発明に従属する発明であって、
自動利得制御手段およびクロック再生手段の増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、
自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

【 0 0 6 3 】

第 4 1 の発明は、第 3 8 の発明に従属する発明であって、
自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、
自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

20

【 0 0 6 4 】

第 4 2 の発明は、第 3 8 の発明に従属する発明であって、
自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、
自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

30

【 0 0 6 5 】

上記のように、第 3 8 ~ 第 4 2 の発明によれば、自動利得制御手段およびクロック再生手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得をそれぞれ制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

40

【 0 0 6 6 】

第 4 3 の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 V S B (8 値または 1 6 値 V S B) 変調を施されて送信される地上波デジタル放送の信号を受信する V S B 受信機であって、
受信した多値 V S B 変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、
フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

50

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御し、クロック再生手段は、当該フィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【 0 0 6 7 】

10

第 4 4 の発明は、第 4 3 の発明に従属する発明であって、自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 6 8 】

20

第 4 5 の発明は、第 4 3 の発明に従属する発明であって、自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 6 9 】

第 4 6 の発明は、第 4 3 の発明に従属する発明であって、自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、自動利得制御手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

30

【 0 0 7 0 】

第 4 7 の発明は、第 4 3 の発明に従属する発明であって、自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、自動利得制御手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

40

【 0 0 7 1 】

上記のように、第 4 3 ~ 第 4 7 の発明によれば、自動利得制御手段のループフィルタおよびクロック再生手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域および大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域および小さい値にそれぞれ切り換え、ループ利得を制御する

50

。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0072】

第48の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御し、クロック再生手段は、当該フィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【0073】

第49の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0074】

第50の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0075】

第51の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 7 6 】

第 5 2 の発明は、第 4 8 の発明に従属する発明であって、
自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、
自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 7 7 】

上記のように、第 4 8 ~ 第 5 2 の発明によれば、自動利得制御手段の増幅利得およびクロック再生手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値および広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値および狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【 0 0 7 8 】

【発明の実施の形態】

以下、A T S C 規格で定められた 8 値 V S B 変調が施された地上波ディジタル放送信号を受信する V S B 受信機を一例に挙げて、本発明の各実施の形態を順に説明する。

【 0 0 7 9 】

まず、本発明の各実施形態の構成を用いる V S B 受信機の概要を説明する。

図 1 は、本発明の一実施形態に係る V S B 受信機の構成を示すブロック図である。図 1 において、本発明の一実施形態に係る V S B 受信機は、チューナ 1 と、ディジタル復調部 2 と、波形等化器 1 0 と、誤り訂正回路 1 1 と、トランスポートデコーダ 1 3 と、ビデオデコーダ 1 6 と、オーディオデコーダ 1 7 とで構成される。また、ディジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、同期検出回路 5 と、クロック再生回路 6 と、A G C 回路 7 とを備える。

【 0 0 8 0 】

8 値 V S B 変調された信号は、チューナ 1 に入力される。チューナ 1 は、8 値 V S B 変調信号を I F 信号に変換する。V S B 検波器 3 は、I F 信号に対して検波を行って V S B 復調する。A D 変換器 4 は、V S B 復調されたアナログ信号を 8 値のディジタルデータに変換して出力する。

この A D 変換器 4 が出力するディジタルデータは、A T S C 規格に準じた図 2 に示すフォーマットで構成されるデータであり、各セグメントの先頭にセグメント同期信号 2 0 が、各フィールドの先頭にフィールド同期信号 2 1 , 2 2 が存在し、1 セグメントが 8 3 2 シンボルのデータで、1 フィールドが 3 1 3 セグメントのデータで構成される。また、図 3 に、セグメント同期信号 2 0 およびフィールド同期信号 2 1 , 2 2 のデータ構成を示す。
図 3 において、セグメント同期信号 2 0 は、- 7 ~ + 7 で表現される 8 値データのうち、4 シンボルデータがそれぞれ「+ 5 , - 5 , - 5 , + 5」となる特定パターンで構成される。また、フィールド同期信号 2 1 , 2 2 は、- 5 ~ + 5 のレベル範囲で予め定められた特定パターンの 8 2 8 シンボルデータで構成される。

【 0 0 8 1 】

同期検出回路 5 は、A D 変換器 4 が出力するディジタルデータからセグメント同期信号 2 0 またはフィールド同期信号 2 1 , 2 2 を検出する。なお、同期検出回路 5 で行う同期信号の検出方法は、後述する実施形態において説明する。A G C 回路 7 は、同期検出回路 5 が検出した同期信号に基づいて、セグメント同期信号 2 0 またはフィールド同期信号 2 1 , 2 2 のデータレベルが「- 5 ~ + 5」になるように、V S B 検波器 3 に対して A G C 電

10

20

30

40

50

圧 8 をフィードバック制御する。クロック再生回路 6 は、同期検出回路 5 が検出した同期信号に基づいて、V S B 受信機におけるクロック周波数が送信されてきたデジタルデータのクロック周波数と一致するように、A D 変換器 4 に対してクロック信号 9 をフィードバック制御する。

【 0 0 8 2 】

一方、A D 変換器 4 で変換されたデジタルデータは、波形等化器 1 0 に出力される。波形等化器 1 0 は、伝送路等において生じた信号波形の歪み等を補正する（ゴースト妨害を除去する）。誤り訂正回路 1 1 は、歪み等が補正された信号波形に対して誤り訂正を行い、トランスポートストリーム 1 2 として出力する。トランスポートデコーダ 1 3 は、トランスポートストリーム 1 2 を任意のチャンネルの映像データ 1 4 と音声データ 1 5 とに分離する。ビデオデコーダ 1 6 は、分離された映像データ 1 4 を復号し、映像信号 1 8 として出力する。オーディオデコーダ 1 7 は、分離された音声データ 1 5 を復号し、音声信号 1 9 として出力する。

10

【 0 0 8 3 】

次に、上記構成による本発明の一実施形態に係る V S B 受信機において、デジタル復調部 2 が取り得る構成に基づいて、本発明の V S B 受信機のさらに詳細な説明を順に行う。

【 0 0 8 4 】

（第 1 の実施形態）

図 4 は、本発明の第 1 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 4 において、第 1 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、利得検出器 2 5 と、増幅器 2 6 と、広帯域ループフィルタ 3 2 と、狭帯域ループフィルタ 3 3 と、切り換え回路 3 4 と、クロック再生回路 6 とを備える。

20

【 0 0 8 5 】

図 4 に示すように、第 1 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、A G C 回路 7 を利得検出器 2 5、増幅器 2 6、広帯域ループフィルタ 3 2、狭帯域ループフィルタ 3 3 および切り換え回路 3 4 で構成したものである。なお、図 4 において図 1 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 1 の実施形態のデジタル復調部 2 の各構成を順に説明する。

30

【 0 0 8 6 】

A D 変換器 4 が出力するデジタルデータ（図 2）は、波形等化器 1 0 およびセグメント同期検出回路 2 8 に入力される。セグメント同期検出回路 2 8 は、入力するデジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号 2 0 を利得検出器 2 5 へ、検出されたか否かの判定であるセグメント同期検出信号 3 0 を切り換え回路 3 4 へ出力する。

ここで、セグメント同期検出回路 2 8 が行うセグメント同期検出方法を、図 5 をさらに参照して説明する。図 5 は、セグメント同期検出回路 2 8 が行うセグメント同期検出の手順を示すフローチャートである。

【 0 0 8 7 】

40

まず、セグメント同期検出回路 2 8 は、セグメント同期検出動作を開始するとセグメント同期検出信号 3 0 をローレベル “ L ” に初期化する（ステップ S 1 0 1）。次に、セグメント同期検出回路 2 8 は、符号が「 + , - , - , + 」のシンボルデータのパターンを検出したか否かを判断する（ステップ S 1 0 2）。ステップ S 1 0 2 の判断でパターンを検出した場合、セグメント同期検出回路 2 8 は、セグメント同期検出信号 3 0 をハイレベル “ H ” にし、セグメント同期パターン検出回数 N を “ 1 ” に設定する（ステップ S 1 0 3）。そして、セグメント同期検出回路 2 8 は、ステップ S 1 0 2 で初めて符号が「 + , - , - , + 」のシンボルデータのパターンを検出してから 8 3 2 シンボル後のデータの符号パターンが、同様に「 + , - , - , + 」であるか否かを判断する（ステップ S 1 0 4）。ステップ S 1 0 4 の判断でパターンを検出した場合、セグメント同期検出回路 2 8 は、セグ

50

メント同期パターン検出回数 N の値を 1 つ増やす (ステップ S 1 0 6)。このステップ S 1 0 4 および S 1 0 6 の手順を、 $N = M$ (M は、セグメント同期信号検出確定となるセグメント同期パターン検出回数であり、予め任意に定めてある) となるまで繰り返し、セグメント同期検出が確定する (ステップ S 1 0 7)。なお、ステップ S 1 0 4 の判断でパターンを検出できなかった場合、セグメント同期検出回路 2 8 は、セグメント同期パターン検出回数 N をリセットして (ステップ S 1 0 5)、再度初めから「+、-、-、+」のシンボルデータの符号パターンの検出を始める。

【0088】

そして、セグメント同期パターン検出回数 N が値 M に達してセグメント同期信号検出が確定した後も、セグメント同期検出回路 2 8 は、引き続き 8 3 2 シンボル後のデータの符号パターンが「+、-、-、+」であるか否かを判断する (ステップ S 1 0 9)。ステップ S 1 0 9 の判断でパターンを検出しなかった場合、セグメント同期検出回路 2 8 は、ステップ S 1 0 8 で初期化したセグメント同期パターン未検出回数 L の値を 1 つ増やす (ステップ S 1 1 0)。このステップ S 1 0 9 ~ S 1 1 0 の手順を繰り返し、 $L = I$ (I は、セグメント同期信号未検出確定となるセグメント同期パターン未検出回数であり、予め任意に定めてある) となった場合には、セグメント同期検出回路 2 8 は、セグメント同期検出が未確定に移行したと判断し、ステップ S 1 0 1 に戻って再度セグメント同期検出確定への処理を行う (ステップ S 1 1 1)。

【0089】

利得検出器 2 5 は、A D 変換器 4 が出力するデジタルデータのセグメント同期信号 2 0 のレベルが基準レベルである - 5 ~ + 5 の値 (A T S C 規格で定められている) になるように、V S B 検波器 3 の利得を制御する判定信号を、増幅器 2 6 へ出力する。具体的には、利得検出器 2 5 は、セグメント同期検出回路 2 8 で検出されたセグメント同期信号 2 0 のレベルが - 5 ~ + 5 のレベルより小さい (例えば、- 3 ~ + 3) 場合は、V S B 検波器 3 の利得を上げる判定信号を、逆に大きい (例えば、- 7 ~ + 7) 場合は、V S B 検波器 3 の利得を下げる判定信号を出力する。

増幅器 2 6 は、利得検出器 2 5 が出力する判定信号を入力し、予め定めた増幅を行った後、広帯域ループフィルタ 3 2 および狭帯域ループフィルタ 3 3 へ出力する。

【0090】

広帯域ループフィルタ 3 2 は、A G C 回路 7 におけるループ利得が大きく (A G C の追従性が良く) なるように、すなわち、セグメント同期信号 2 0 の検出時間の短縮をゴースト妨害除去性能よりも優先させた、フィルタ係数が設定されている。一方、狭帯域ループフィルタ 3 3 は、A G C 回路 7 におけるループ利得が小さく (A G C の追従性が悪く) なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号 2 0 の検出時間の短縮よりも優先させた、フィルタ係数が設定されている。

そして、増幅器 2 6 が出力する増幅後の判定信号は、広帯域ループフィルタ 3 2 および狭帯域ループフィルタ 3 3 をそれぞれ通過した後、切り換え回路 3 4 へ入力される。

【0091】

切り換え回路 3 4 は、広帯域ループフィルタ 3 2 および狭帯域ループフィルタ 3 3 をそれぞれ通過した信号と、セグメント同期検出回路 2 8 からセグメント同期検出信号 3 0 を入力する。そして、切り換え回路 3 4 は、セグメント同期検出信号 3 0 に従って、セグメント同期検出信号 3 0 が “L” である (セグメント同期信号 2 0 が検出されていない) 場合には、広帯域ループフィルタ 3 2 を通過した信号を、セグメント同期検出信号 3 0 が “H” である (セグメント同期信号 2 0 が検出された) 場合には、狭帯域ループフィルタ 3 3 を通過した信号を選択的に切り換え、A G C 電圧 8 として V S B 検波器 3 へフィードバックする。

【0092】

ここで、具体的な実験による結果を示す。なお、この実験では、A G C 回路 7 のループ利得の比率を、大きい場合 : 小さい場合 = 5 : 1 に設定している。

ゴースト妨害のない信号に対して、A G C 回路 7 のループ利得を大きくした場合のセグ

10

20

30

40

50

メント同期信号 20 の検出時間は 0.35 秒 (20 回測定した平均値、以下同じ)、A G C 回路 7 のループ利得を小さくした場合のセグメント同期信号 20 の検出時間は 0.31 秒でほとんど差はない。一方、 $1 \mu \text{sec}$ 、 $D/U = 6 \text{dB}$ のゴースト妨害のある信号に対しては、A G C 回路 7 のループ利得を大きくした場合のセグメント同期信号 20 の検出時間は 4.5 秒、A G C 回路のループ利得を小さくした場合のセグメント同期信号 20 の検出時間は 6.5 秒と、ループ利得を大きくしたときの方がセグメント同期信号 20 の検出時間が短くなる。

また、ゴースト妨害除去の性能は、A G C 回路 7 のループ利得を大きいままで固定した場合には、ゴースト妨害 $1 \mu \text{sec}$ のゴースト除去性能は $D/U = 13 \text{dB}$ であるが、セグメント同期信号 20 の検出前後において A G C 回路 7 のループ利得を大きい値から小さい値へと切り換えた場合には、ゴースト妨害 $1 \mu \text{sec}$ の除去性能は $D/U = 8 \text{dB}$ となる。なお、D は希望波 (D e s i r e) を、U は妨害波 (U n d e s i r e) を表し、 D/U が小さいほどゴースト妨害のレベルが大きくなる。

【0093】

以上のように、本発明の第 1 の実施形態に係る V S B 受信機によれば、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、A G C 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【0094】

(第 2 の実施形態)

図 6 は、本発明の第 2 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 6 において、第 2 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、増幅器 26 と、D A 変換器 29 と、抵抗 35 ~ 37 と、コンデンサ 38, 39 と、スイッチダイオード 40 と、クロック再生回路 6 とを備える。

【0095】

図 6 に示すように、第 2 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、A G C 回路 7 を利得検出器 25、増幅器 26、D A 変換器 29 および抵抗 35 ~ 37、コンデンサ 38, 39、スイッチダイオード 40 からなるディスクリート回路で構成したものである。なお、図 6 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 2 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0096】

D A 変換器 29 は、増幅器 26 が出力する増幅後のデジタルの判定信号を入力し、アナログの判定信号に変換して出力する。この D A 変換器 29 の出力信号は、ディスクリート回路の抵抗 35 の一方端子に入力される。抵抗 35 の他方端子は、抵抗 36 の一方端子と接続されると共に、V S B 検波器 3 にフィードバック出力される。抵抗 36 の他方端子は、コンデンサ 38 およびコンデンサ 39 の一方端子とそれぞれ接続される。コンデンサ 38 の他方端子は、スイッチダイオード 40 のアノード端子と抵抗 37 の一方端子とに接続される。コンデンサ 39 の他方端子およびスイッチダイオード 40 のカソード端子は、それぞれ接地される。抵抗 37 の他方端子には、セグメント同期検出回路 28 が出力するセグメント同期検出信号 30 が入力される。

【0097】

まず、セグメント同期信号 20 が検出されるまでは、セグメント同期検出信号 30 が “L” であるので、スイッチダイオード 40 がオフとなる。従って、この場合、ディスクリート回路は、抵抗 35, 36 およびコンデンサ 39 で構成される広帯域ループフィルタとして機能する。

次に、セグメント同期信号 20 が検出された後は、セグメント同期検出信号 30 が “ H ” となるので、スイッチダイオード 40 がオンとなる。従って、この場合、ディスクリート回路は、抵抗 35 , 36 およびコンデンサ 38 , 39 で構成される狭帯域ループフィルタとして機能する。

【 0098 】

よって、抵抗 35 の他方端子から V S B 検波器 3 へフィードバックされる A G C 電圧 8 は、セグメント同期信号 20 が検出されていない場合には、広帯域ループフィルタを通過した A G C 電圧 8 が、セグメント同期信号 20 が検出された場合には、狭帯域ループフィルタを通過した A G C 電圧 8 が、セグメント同期検出信号 30 に従って選択的に切り換えられて出力される。

10

【 0099 】

以上のように、本発明の第 2 の実施形態に係る V S B 受信機によれば、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、A G C 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0100 】

(第 3 の実施形態)

20

図 7 は、本発明の第 3 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 7 において、第 3 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、増幅器 26 と、デジタルフィルタ 42 と、切り換え回路 34 と、広帯域の係数 43 と、狭帯域の係数 44 と、D A 変換器 29 と、クロック再生回路 6 とを備える。

【 0101 】

図 7 に示すように、第 3 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、A G C 回路 7 を利得検出器 25、増幅器 26、デジタルフィルタ 42、切り換え回路 34、広帯域の係数 43、狭帯域の係数 44 および D A 変換器 29 で構成したものである。なお、図 7 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

30

以下、第 3 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【 0102 】

増幅器 26 が出力する増幅後のデジタルの判定信号は、デジタルフィルタ 42 においてフィルタリングされ、D A 変換器 29 でアナログの A G C 電圧 8 に変換された後、V S B 検波器 3 にフィードバックされる。

広帯域の係数 43 には、デジタルフィルタ 42 を広帯域で機能させるために必要なフィルタ係数が格納されている。また、狭帯域の係数 44 には、デジタルフィルタ 42 を狭帯域で機能させるために必要なフィルタ係数が格納されている。

そして、切り換え回路 34 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “ L ” である (セグメント同期信号 20 が検出されていない) 場合には、広帯域の係数 43 をデジタルフィルタ 42 に書き込み、セグメント同期検出信号 30 が “ H ” である (セグメント同期信号 20 が検出された) 場合には、狭帯域の係数 44 をデジタルフィルタ 42 に書き込む。

40

【 0103 】

よって、デジタルフィルタ 42 は、セグメント同期信号 20 が検出されていない場合には、広帯域ループフィルタとして機能し、セグメント同期信号 20 が検出された場合には、狭帯域ループフィルタとして機能するため、V S B 検波器 3 へフィードバックされる A G C 電圧 8 は、セグメント同期検出信号 30 に従って帯域が選択的に切り換えられて出力される。

50

【 0 1 0 4 】

以上のように、本発明の第 3 の実施形態に係る V S B 受信機によれば、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 2 0 を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、A G C 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0 1 0 5 】

(第 4 の実施形態)

図 8 は、本発明の第 4 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 8 において、第 4 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、利得検出器 2 5 と、増幅器 (利得大) 5 2 と、増幅器 (利得小) 5 3 と、切り換え回路 3 4 と、ループフィルタ 5 4 と、クロック再生回路 6 とを備える。

【 0 1 0 6 】

図 8 に示すように、第 4 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、A G C 回路 7 を利得検出器 2 5、増幅器 (利得大) 5 2、増幅器 (利得小) 5 3、切り換え回路 3 4 およびループフィルタ 5 4 で構成したものである。なお、図 8 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 4 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【 0 1 0 7 】

利得検出器 2 5 が出力する判定信号は、増幅器 (利得大) 5 2 および増幅器 (利得小) 5 3 にそれぞれ入力される。

増幅器 (利得大) 5 2 は、A G C 回路 7 におけるループ利得が大きく (A G C の追従性が良く) なるように、すなわち、セグメント同期信号 2 0 の検出時間の短縮をゴースト妨害除去性能よりも優先させた、増幅利得値が設定されている。一方、増幅器 (利得小) 5 3 は、A G C 回路 7 におけるループ利得が小さく (A G C の追従性が悪く) なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号 2 0 の検出時間の短縮よりも優先させた、増幅利得値が設定されている。

このように、利得検出器 2 5 が出力する判定信号は、増幅器 (利得大) 5 2 および増幅器 (利得小) 5 3 でそれぞれ増幅された後、切り換え回路 3 4 へ入力される。

【 0 1 0 8 】

切り換え回路 3 4 は、増幅器 (利得大) 5 2 および増幅器 (利得小) 5 3 でそれぞれ増幅された信号と、セグメント同期検出回路 2 8 からセグメント同期検出信号 3 0 を入力する。そして、切り換え回路 3 4 は、セグメント同期検出信号 3 0 に従って、セグメント同期検出信号 3 0 が “ L ” である (セグメント同期信号 2 0 が検出されていない) 場合には、増幅器 (利得大) 5 2 で増幅された信号を、セグメント同期検出信号 3 0 が “ H ” である (セグメント同期信号 2 0 が検出された) 場合には、増幅器 (利得小) 5 3 で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路 3 4 から選択的に出力された信号は、ループフィルタ 5 4 を介した後、A G C 電圧 8 として V S B 検波器 3 へフィードバックされる。

【 0 1 0 9 】

以上のように、本発明の第 4 の実施形態に係る V S B 受信機によれば、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 2 0 を検出した後はゴースト除去性能を向上させるために増幅利得を小さい値に切り換え、A G C 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能

10

20

30

40

50

となる。

【 0 1 1 0 】

(第 5 の実施形態)

図 9 は、本発明の第 5 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 9 において、第 5 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、利得検出器 2 5 と、D A 変換器 2 9 と、オペアンプ (利得大) 5 5 と、オペアンプ (利得小) 5 6 と、切り換え回路 3 4 と、ループフィルタ 5 4 と、クロック再生回路 6 とを備える。

【 0 1 1 1 】

図 9 に示すように、第 5 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、A G C 回路 7 を利得検出器 2 5、D A 変換器 2 9、オペアンプ (利得大) 5 5、オペアンプ (利得小) 5 6、切り換え回路 3 4 およびループフィルタ 5 4 で構成したものである。なお、図 9 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 5 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【 0 1 1 2 】

D A 変換器 2 9 は、利得検出器 2 5 が出力するデジタルの判定信号を入力し、アナログの判定信号に変換して出力する。このアナログの判定信号は、オペアンプ (利得大) 5 5 およびオペアンプ (利得小) 5 6 にそれぞれ入力される。

オペアンプ (利得大) 5 5 は、A G C 回路 7 におけるループ利得が大きく (A G C の追従性が良く) なるように、すなわち、セグメント同期信号 2 0 の検出時間の短縮をゴースト妨害除去性能よりも優先させた、増幅利得値が設定されている。一方、オペアンプ (利得小) 5 6 は、A G C 回路 7 におけるループ利得が小さく (A G C の追従性が悪く) なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号 2 0 の検出時間の短縮よりも優先させた、増幅利得値が設定されている。

このように、D A 変換器 2 9 が出力するアナログの判定信号は、オペアンプ (利得大) 5 5 およびオペアンプ (利得小) 5 6 でそれぞれ増幅された後、切り換え回路 3 4 へ入力される。

【 0 1 1 3 】

切り換え回路 3 4 は、オペアンプ (利得大) 5 5 およびオペアンプ (利得小) 5 6 でそれぞれ増幅された信号と、セグメント同期検出回路 2 8 からセグメント同期検出信号 3 0 を入力する。そして、切り換え回路 3 4 は、セグメント同期検出信号 3 0 に従って、セグメント同期検出信号 3 0 が “ L ” である (セグメント同期信号 2 0 が検出されていない) 場合には、オペアンプ (利得大) 5 5 で増幅された信号を、セグメント同期検出信号 3 0 が “ H ” である (セグメント同期信号 2 0 が検出された) 場合には、オペアンプ (利得小) 5 6 で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路 3 4 から選択的に出力された信号は、ループフィルタ 5 4 を介した後、A G C 電圧 8 として V S B 検波器 3 へフィードバックされる。

【 0 1 1 4 】

以上のように、本発明の第 5 の実施形態に係る V S B 受信機によれば、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 2 0 を検出した後はゴースト除去性能を向上させるために増幅利得を小さい値に切り換え、A G C 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0 1 1 5 】

(第 6 の実施形態)

図 1 0 は、本発明の第 6 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 1 0 において、第 6 の実施形態のデジタル復調部 2 は、

V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、利得検出器 2 5 と、乗算器 5 7 と、係数大 5 8 と、係数小 5 9 と、切り換え回路 3 4 と、D A 変換器 2 9 と、ループフィルタ 5 4 と、クロック再生回路 6 とを備える。

【 0 1 1 6 】

図 1 0 に示すように、第 6 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、A G C 回路 7 を利得検出器 2 5、乗算器 5 7 と、係数大 5 8 と、係数小 5 9 と、切り換え回路 3 4 と、D A 変換器 2 9 およびループフィルタ 5 4 で構成したものである。なお、図 1 0 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 6 の実施形態のデジタル復調部 2 の各構成を順に説明する。

10

【 0 1 1 7 】

利得検出器 2 5 が出力するデジタルの判定信号は、乗算器 5 7 において増幅され、D A 変換器 2 9 でアナログの A G C 電圧 8 に変換された後、V S B 検波器 3 にフィードバックされる。

係数大 5 8 には、乗算器 5 7 の増幅利得を大きくするために必要な係数が格納されている。また、係数小 5 9 には、乗算器 5 7 の増幅利得を小さくするために必要な係数が格納されている。

そして、切り換え回路 3 4 は、セグメント同期検出信号 3 0 に従って、セグメント同期検出信号 3 0 が “ L ” である（セグメント同期信号 2 0 が検出されていない）場合には、係数大 5 8 を乗算器 5 7 に入力し、セグメント同期検出信号 3 0 が “ H ” である（セグメント同期信号 2 0 が検出された）場合には、係数小 5 9 を乗算器 5 7 に入力する。

20

【 0 1 1 8 】

よって、乗算器 5 7 は、セグメント同期信号 2 0 が検出されていない場合には利得大の増幅器として機能し、セグメント同期信号 2 0 が検出された場合には利得小の増幅器として機能するため、V S B 検波器 3 へフィードバックされる A G C 電圧 8 は、セグメント同期検出信号 3 0 に従って利得値が選択的に切り換えられて出力される。

【 0 1 1 9 】

以上のように、本発明の第 6 の実施形態に係る V S B 受信機によれば、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 2 0 を検出した後はゴースト除去性能を向上させるために増幅利得を小さい値に切り換え、A G C 回路 7 のループ利得を制御する。

30

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【 0 1 2 0 】

（第 7 の実施形態）

上記第 1 ～第 6 の実施形態においては、A G C 回路 7 のループ利得を切り換えることで、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させる V S B 受信機を説明した。

次に、以下の実施形態においては、クロック再生回路 6 のループ利得をも切り換えることで、さらにセグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害時においても正確なクロック再生を行うことができる V S B 受信機を説明する。

40

【 0 1 2 1 】

図 1 1 は、本発明の第 7 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 1 1 において、第 7 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、クロック周波数検出器 6 0 と、増幅器 6 1 と、広帯域ループフィルタ 6 2 と、狭帯域ループフィルタ 6 3 と、切り換え回路 6 4 と、可変クロック発振器 6 5 と、A G C 回路 7 とを備える。

【 0 1 2 2 】

図 1 1 に示すように、第 7 の実施形態のデジタル復調部 2 は、図 1 における同期検出回

50

路 5 をセグメント同期検出回路 28 で構成し、クロック再生回路 6 をクロック周波数検出器 60、増幅器 61、広帯域ループフィルタ 62、狭帯域ループフィルタ 63、切り換え回路 64 および可変クロック発振器 65 で構成したものである。なお、図 11 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 11 における AGC 回路 7 には、上記第 1 ～ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 7 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0123】

AD 変換器 4 が出力するデジタルデータ (図 2) は、波形等化器 10 およびセグメント同期検出回路 28 に入力される。セグメント同期検出回路 28 は、入力するデジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号 20 をクロック周波数検出器 60 へ、検出されたか否かの判定であるセグメント同期検出信号 30 を切り換え回路 64 へ出力する。

なお、セグメント同期検出回路 28 が行うセグメント同期検出方法は、上記第 1 の実施形態で述べたので、ここでの詳細な説明は省略する。

【0124】

クロック周波数検出器 60 は、VSB 受信機のクロック信号 9 の周波数が送信されてきたデータのクロック周波数より高いか低いかを判定し、その判定信号を増幅器 61 へ出力する。

ここで、クロック周波数検出器 60 が行うクロック周波数の判定方法を、図 12 をさらに参照して説明する。図 12 は、クロック周波数検出器 60 が行うクロック周波数の判定方法の概念を説明する図である。

【0125】

前提として、AD 変換器 4 に入力される信号は帯域制限されているため、実際のセグメント同期信号 20 は、図 3 に示したような 4 シンボルが「+5, -5, -5, +5」の矩形波ではなく、図 12 に示すような波形となる。

まず、VSB 受信機のクロック信号 9 が送信データのクロック周波数より高い場合 (図 12 (a))、AD 変換器 4 において VSB 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 20 の「-5, -5」のシンボルデータを変換すると、それぞれ d_1 , d_2 ($d_1 > d_2$) のデジタルデータに変換される。逆に、VSB 受信機のクロック信号 9 が送信データのクロック周波数より低い場合 (図 12 (b))、AD 変換器 4 において VSB 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 20 の「-5, -5」のシンボルデータを変換すると、それぞれ d_1 , d_2 ($d_1 < d_2$) のデジタルデータに変換される。

【0126】

そこで、クロック周波数検出器 60 は、この 2 つのデータ差 ($d_1 > d_2$ または $d_1 < d_2$) を判断し、AD 変換器 4 の出力において 2 つのデータ差がなくなる ($d_1 = d_2$) クロック信号 9 が可変クロック発振器 65 から出力されるように判定信号を出力する。

この処理によって、VSB 受信機のクロック信号 9 と送信データのクロック周波数が一致した場合 (図 12 (c)) には、AD 変換器 4 において VSB 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 20 の「-5, -5」のシンボルデータを変換すると、それぞれ同じ値の d_1 , d_2 ($d_1 = d_2$) のデジタルデータに変換されるように制御される。

増幅器 61 は、クロック周波数検出器 60 が出力する判定信号を入力し、予め定めた増幅を行った後、広帯域ループフィルタ 62 および狭帯域ループフィルタ 63 へ出力する。

【0127】

広帯域ループフィルタ 62 は、クロック再生回路 6 におけるループ利得が大きく (クロック再生の追従性が良く) なるように、すなわち、セグメント同期信号 20 の検出時間の短縮を正確なクロック再生 (換言すれば、ゴースト妨害除去性能) よりも優先させた、フィルタ係数が設定されている。一方、狭帯域ループフィルタ 63 は、クロック再生回路 6 に

10

20

30

40

50

おけるループ利得が小さく（クロック再生の追従性が悪く）なるように、すなわち、正確なクロック再生をセグメント同期信号 20 の検出時間の短縮よりも優先させた、フィルタ係数が設定されている。そして、増幅器 61 が出力する増幅後の判定信号は、広帯域ループフィルタ 62 および狭帯域ループフィルタ 63 をそれぞれ通過した後、切り換え回路 64 へ入力される。

【0128】

切り換え回路 64 は、広帯域ループフィルタ 62 および狭帯域ループフィルタ 63 をそれぞれ通過した信号と、セグメント同期検出回路 28 からセグメント同期検出信号 30 を入力する。そして、切り換え回路 64 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “L” である（セグメント同期信号 20 が検出されていない）場合には、広帯域ループフィルタ 62 を通過した信号を、セグメント同期検出信号 30 が “H” である（セグメント同期信号 20 が検出された）場合には、狭帯域ループフィルタ 63 を通過した信号（DC 電圧）を選択的に切り換え、可変クロック発振器 65 へ出力する。可変クロック発振器 65 は、切り換え回路 64 が出力する信号（DC 電圧）に基づいて発振するクロック信号 9 の周波数を可変し、AD 変換器 4 に対してフィードバック出力する。

【0129】

以上のように、本発明の第 7 の実施形態に係る VSB 受信機によれば、AGC 回路 7 のループ利得の制御に加え、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ためにループフィルタを狭帯域に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、VSB 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0130】

（第 8 の実施形態）

図 13 は、本発明の第 8 の実施形態に係る VSB 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 13 において、第 8 の実施形態のデジタル復調部 2 は、VSB 検波器 3 と、AD 変換器 4 と、セグメント同期検出回路 28 と、クロック周波数検出器 60 と、増幅器 61 と、DA 変換器 69 と、抵抗 75 ~ 77 と、コンデンサ 78, 79 と、スイッチダイオード 80 と、可変クロック発振器 65 と、AGC 回路 7 とを備える。

【0131】

図 13 に示すように、第 8 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、クロック再生回路 6 をクロック周波数検出器 60、増幅器 61、DA 変換器 69、抵抗 75 ~ 77、コンデンサ 78, 79、スイッチダイオード 80 からなるディスクリート回路および可変クロック発振器 65 で構成したものである。なお、図 13 において図 1、図 4 および図 11 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 13 における AGC 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 8 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0132】

DA 変換器 69 は、増幅器 61 が出力する増幅後のデジタルの判定信号を入力し、アナログの判定信号に変換して出力する。この DA 変換器 69 の出力信号は、ディスクリート回路の抵抗 75 の一方端子に入力される。抵抗 75 の他方端子は、抵抗 76 の一方端子と接続されると共に、可変クロック発振器 65 に出力される。抵抗 76 の他方端子は、コンデンサ 78 およびコンデンサ 79 の一方端子とそれぞれ接続される。コンデンサ 78 の他方端子は、スイッチダイオード 80 のアノード端子と抵抗 77 の一方端子とに接続される

。コンデンサ 79 の他方端子およびスイッチダイオード 80 のカソード端子は、それぞれ接地される。抵抗 77 の他方端子には、セグメント同期検出回路 28 が出力するセグメント同期検出信号 30 が入力される。

【0133】

まず、セグメント同期信号 20 が検出されるまでは、セグメント同期検出信号 30 が“L”であるので、スイッチダイオード 80 がオフとなる。従って、この場合、ディスクリート回路は、抵抗 75, 76 およびコンデンサ 79 で構成される広帯域ループフィルタとして機能する。

次に、セグメント同期信号 20 が検出された後は、セグメント同期検出信号 30 が“H”となるので、スイッチダイオード 80 がオンとなる。従って、この場合、ディスクリート回路は、抵抗 75, 76 およびコンデンサ 78, 79 で構成される狭帯域ループフィルタとして機能する。

【0134】

よって、抵抗 75 の他方端子から可変クロック発振器 65 を介して A/D 変換器 4 へフィードバックされるクロック信号 9 は、セグメント同期信号 20 が検出されていない場合には、広帯域ループフィルタを通過した判定信号が、セグメント同期信号 20 が検出された場合には、狭帯域ループフィルタを通過した判定信号が、セグメント同期検出信号 30 に従って選択的に切り換えられて出力される。

【0135】

ここで、具体的な実験による結果を示す。なお、各素子の値は、抵抗 35 が 18 k Ω 、抵抗 36 が 1 k Ω 、コンデンサ 38 が 1 μ F、コンデンサ 39 が 3.3 μ F である。

セグメント同期信号 20 の検出前後でループフィルタの切り換えを行わずに、抵抗 75, 76 およびコンデンサ 79 のみで広帯域ループフィルタを構成した場合のセグメント同期信号 20 の検出時間は 1.05 秒 (20 回測定した平均値、以下同じ)、セグメント同期信号 20 の検出前後でループフィルタの帯域切り換えを行った場合のセグメント同期信号 20 の検出時間は 0.36 秒となった。

また、ゴースト妨害除去の性能は、クロック再生回路 6 のループを広帯域で固定した場合 (すなわち、A/GC 回路 7 のループ利得を切り換えるだけの場合) には、ゴースト妨害 1 μ s e c のゴースト除去の性能は D/U = 8 dB であるが、セグメント同期信号 20 の検出前後においてクロック再生回路 6 のループフィルタの帯域を広帯域から狭帯域へと切り換えた場合には、ゴースト妨害 1 μ s e c のゴースト除去性能は、D/U = 6 dB へとさらに改善される。

【0136】

以上のように、本発明の第 8 の実施形態に係る V/S/B 受信機によれば、A/GC 回路 7 のループ利得の制御に加え、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後は正確なクロック再生を行う (すなわち、ゴースト除去性能を向上させる) ためにループフィルタを狭帯域に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V/S/B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0137】

(第 9 の実施形態)

図 14 は、本発明の第 9 の実施形態に係る V/S/B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 14 において、第 9 の実施形態のデジタル復調部 2 は、V/S/B 検波器 3 と、A/D 変換器 4 と、セグメント同期検出回路 28 と、クロック周波数検出器 60 と、増幅器 61 と、デジタルフィルタ 82 と、切り換え回路 64 と、広帯域の係数 83 と、狭帯域の係数 84 と、D/A 変換器 69 と、可変クロック発振器 65 と、A/GC 回路 7 とを備える。

【 0 1 3 8 】

図 1 4 に示すように、第 9 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、クロック再生回路 6 をクロック周波数検出器 6 0、増幅器 6 1、デジタルフィルタ 8 2、切り換え回路 6 4、広帯域の係数 8 3、狭帯域の係数 8 4、D A 変換器 6 9 および可変クロック発振器 6 5 で構成したものである。なお、図 1 4 において図 1、図 4 および図 1 1 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 1 4 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 9 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【 0 1 3 9 】

増幅器 6 1 が出力する増幅後のデジタルの判定信号は、デジタルフィルタ 8 2 においてフィルタリングされ、D A 変換器 6 9 でアナログ信号 (D C 電圧) に変換された後、可変クロック発振器 6 5 を介してクロック信号 9 として A D 変換器 4 にフィードバックされる。

広帯域の係数 8 3 には、デジタルフィルタ 8 2 を広帯域で機能させるために必要なフィルタ係数が格納されている。また、狭帯域の係数 8 4 には、デジタルフィルタ 8 2 を狭帯域で機能させるために必要なフィルタ係数が格納されている。

そして、切り換え回路 6 4 は、セグメント同期検出信号 3 0 に従って、セグメント同期検出信号 3 0 が “ L ” である (セグメント同期信号 2 0 が検出されていない) 場合には、広帯域の係数 8 3 をデジタルフィルタ 8 2 に書き込み、セグメント同期検出信号 3 0 が “ H ” である (セグメント同期信号 2 0 が検出された) 場合には、狭帯域の係数 8 4 をデジタルフィルタ 8 2 に書き込む。

【 0 1 4 0 】

よって、デジタルフィルタ 8 2 は、セグメント同期信号 2 0 が検出されていない場合には、広帯域ループフィルタとして機能し、セグメント同期信号 2 0 が検出された場合には、狭帯域ループフィルタとして機能するため、A D 変換器 4 へフィードバックされるクロック信号 9 は、セグメント同期検出信号 3 0 に従って帯域が選択的に切り換えられて出力される。

【 0 1 4 1 】

以上のように、本発明の第 9 の実施形態に係る V S B 受信機によれば、A G C 回路 7 のループ利得の制御に加え、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 2 0 を検出した後は正確なクロック再生を行う (すなわち、ゴースト除去性能を向上させる) ためにループフィルタを狭帯域に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【 0 1 4 2 】

(第 1 0 の実施形態)

図 1 5 は、本発明の第 1 0 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 1 5 において、第 1 0 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、クロック周波数検出器 6 0 と、増幅器 (利得大) 9 2 と、増幅器 (利得小) 9 3 と、切り換え回路 6 4 と、ループフィルタ 9 4 と、可変クロック発振器 6 5 と、A G C 回路 7 とを備える。

【 0 1 4 3 】

図 1 5 に示すように、第 1 0 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 2 8 で構成し、クロック再生回路 6 をクロック周波数検出器 6 0、増幅器 (利得大) 9 2、増幅器 (利得小) 9 3、切り換え回路 6 4、ループフィルタ 9 4 および可変クロック発振器 6 5 で構成したものである。なお、図 1 5 において

10

20

30

40

50

図 1、図 4 および図 11 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 15 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 10 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0144】

クロック周波数検出器 60 が出力する判定信号は、増幅器（利得大）92 および増幅器（利得小）93 にそれぞれ入力される。

増幅器（利得大）92 は、クロック再生回路 6 におけるループ利得が大きく（クロック再生の追従性が良く）なるように、すなわち、セグメント同期信号 20 の検出時間の短縮を正確なクロック再生（換言すれば、ゴースト妨害除去性能）よりも優先させた、増幅利得値が設定されている。一方、増幅器（利得小）93 は、クロック再生回路 6 におけるループ利得が小さく（クロック再生の追従性が悪く）なるように、すなわち、正確なクロック再生をセグメント同期信号 20 の検出時間の短縮よりも優先させた、増幅利得値が設定されている。

このように、クロック周波数検出器 60 が出力する判定信号は、増幅器（利得大）92 および増幅器（利得小）93 でそれぞれ増幅された後、切り換え回路 64 へ入力される。

【0145】

切り換え回路 64 は、増幅器（利得大）92 および増幅器（利得小）93 でそれぞれ増幅された信号と、セグメント同期検出回路 28 からセグメント同期検出信号 30 を入力する。そして、切り換え回路 64 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “ L ” である（セグメント同期信号 20 が検出されていない）場合には、増幅器（利得大）92 で増幅された信号を、セグメント同期検出信号 30 が “ H ” である（セグメント同期信号 20 が検出された）場合には、増幅器（利得小）93 で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路 64 から選択的に出力された信号（D C 電圧）は、ループフィルタ 94 および可変クロック発振器 65 を介した後、クロック信号 9 として A D 変換器 4 へフィードバックされる。

【0146】

以上のように、本発明の第 10 の実施形態に係る V S B 受信機によれば、A G C 回路 7 のループ利得の制御に加え、セグメント同期信号 20 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 20 を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ために増幅利得を小さい値に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0147】

（第 11 の実施形態）

図 16 は、本発明の第 11 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 16 において、第 11 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 28 と、クロック周波数検出器 60 と、D A 変換器 69 と、オペアンプ（利得大）95 と、オペアンプ（利得小）96 と、切り換え回路 64 と、ループフィルタ 94 と、可変クロック発振器 65 と、A G C 回路 7 とを備える。

【0148】

図 16 に示すように、第 11 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、クロック再生回路 6 をクロック周波数検出器 60、D A 変換器 69、オペアンプ（利得大）95、オペアンプ（利得小）96、切り換え回路 64、ループフィルタ 94 および可変クロック発振器 65 で構成したものである。なお、図 16 において図 1、図 4 および図 11 と同一の構成である部分については、

同一の参照番号を付してその説明を省略する。また、図 16 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 11 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【 0 1 4 9 】

D A 変換器 69 は、クロック周波数検出器 60 が出力するデジタルの判定信号を入力し、アナログの判定信号に変換して出力する。このアナログの判定信号は、オペアンプ（利得大）95 およびオペアンプ（利得小）96 にそれぞれ入力される。

オペアンプ（利得大）95 は、クロック再生回路 6 におけるループ利得が大きく（クロック再生の追従性が良く）なるように、すなわち、セグメント同期信号 20 の検出時間の短縮を正確なクロック再生（換言すれば、ゴースト妨害除去性能）よりも優先させた、増幅利得値が設定されている。一方、オペアンプ（利得小）96 は、クロック再生回路 6 におけるループ利得が小さく（クロック再生の追従性が悪く）なるように、すなわち、正確なクロック再生をセグメント同期信号 20 の検出時間の短縮よりも優先させた、増幅利得値が設定されている。

このように、D A 変換器 69 が出力するアナログの判定信号は、オペアンプ（利得大）95 およびオペアンプ（利得小）96 でそれぞれ増幅された後、切り換え回路 64 へ入力される。

【 0 1 5 0 】

切り換え回路 64 は、オペアンプ（利得大）95 およびオペアンプ（利得小）96 でそれぞれ増幅された信号と、セグメント同期検出回路 28 からセグメント同期検出信号 30 を入力する。そして、切り換え回路 64 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “ L ” である（セグメント同期信号 20 が検出されていない）場合には、オペアンプ（利得大）95 で増幅された信号を、セグメント同期検出信号 30 が “ H ” である（セグメント同期信号 20 が検出された）場合には、オペアンプ（利得小）96 で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路 64 から選択的に出力された信号は、ループフィルタ 94 および可変クロック発振器 65 を介した後、クロック信号 9 として A D 変換器 4 へフィードバックされる。

【 0 1 5 1 】

以上のように、本発明の第 11 の実施形態に係る V S B 受信機によれば、A G C 回路 7 のループ利得の制御に加え、セグメント同期信号 20 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 20 を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ために増幅利得を小さい値に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【 0 1 5 2 】

（第 12 の実施形態）

図 17 は、本発明の第 12 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 17 において、第 12 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 28 と、クロック周波数検出器 60 と、乗算器 97 と、係数大 98 と、係数小 99 と、切り換え回路 64 と、D A 変換器 69 と、ループフィルタ 94 と、可変クロック発振器 65 と、A G C 回路 7 とを備える。

【 0 1 5 3 】

図 17 に示すように、第 12 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、クロック再生回路 6 をクロック周波数検出器 60、乗算器 97、係数大 98、係数小 99、切り換え回路 64、D A 変換器 69、ループフィルタ 94 および可変クロック発振器 65 で構成したものである。なお、図 17

10

20

30

40

50

において図 1、図 4 および図 11 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 17 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 12 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0154】

クロック周波数検出器 60 が出力するデジタルの判定信号は、乗算器 97 において増幅され、D A 変換器 69 でアナログの D C 電圧に変換された後、ループフィルタ 94 および可変クロック発振器 65 を介して A D 変換器 4 にフィードバックされる。

係数大 98 には、乗算器 97 の増幅利得を大きくするために必要な係数が格納されている。また、係数小 99 には、乗算器 97 の増幅利得を小さくするために必要な係数が格納されている。

10

そして、切り換え回路 64 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “ L ” である（セグメント同期信号 20 が検出されていない）場合には、係数大 98 を乗算器 97 に入力し、セグメント同期検出信号 30 が “ H ” である（セグメント同期信号 20 が検出された）場合には、係数小 99 を乗算器 97 に入力する。

【0155】

よって、乗算器 97 は、セグメント同期信号 20 が検出されていない場合には利得大の増幅器として機能し、セグメント同期信号 20 が検出された場合には利得小の増幅器として機能するため、A D 変換器 4 へフィードバックされるクロック信号 9 は、セグメント同期検出信号 30 に従って増幅値が選択的に切り換えられて出力される。

20

【0156】

以上のように、本発明の第 12 の実施形態に係る V S B 受信機によれば、A G C 回路 7 のループ利得の制御に加え、セグメント同期信号 20 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 20 を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ために増幅利得を小さい値に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

30

【0157】

（第 13 の実施形態）

上記第 1 ~ 第 12 の実施形態においては、セグメント同期検出を行って得たセグメント同期信号 20 およびセグメント同期検出信号 30 を用いて、A G C 回路 7 およびクロック再生回路 6 のループ利得を切り換えることを行った。

次に、第 13 の実施形態においては、フィールド同期検出を行って得たフィールド同期信号 21、22 およびフィールド同期検出信号 101 を用いて、A G C 回路 7 およびクロック再生回路 6 のループ利得を切り換える V S B 受信機を説明する。

【0158】

図 18 は、本発明の第 13 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 18 において、第 13 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 28 と、フィールド同期検出回路 100 と、クロック再生回路 6 と、A G C 回路 7 とを備える。

40

【0159】

図 18 に示すように、第 13 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 およびフィールド同期検出回路 100 で構成したものである。なお、図 18 において図 1 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 18 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられ、クロック再生回路 6 には、上記第 7 ~ 第 12 の実施形態のいずれかの構成が用いられる。

50

以下、第 13 の実施形態のデジタル復調部 2 の各構成を順に説明する。

【0160】

A/D変換器 4 が出力するデジタルデータ (図 2) は、波形等化器 10 およびセグメント同期検出回路 28 に入力される。セグメント同期検出回路 28 は、入力するデジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号 20 をフィールド同期検出回路 100 へ出力する。

なお、セグメント同期検出回路 28 が行うセグメント同期検出方法は、上記第 1 の実施形態で述べたので、ここでの詳細な説明は省略する。

【0161】

フィールド同期検出回路 100 は、入力するセグメント同期信号 20 に基づいてフィールド同期検出を行い、検出したフィールド同期信号 21, 22 およびフィールド同期検出信号 101 をクロック再生回路 6 および A/GC 回路 7 へそれぞれ出力する。

ここで、フィールド同期検出回路 100 が行うフィールド同期検出方法を、図 19 をさらに参照して説明する。図 19 は、フィールド同期検出回路 100 が行うフィールド同期検出の手順を示すフローチャートである。

【0162】

図 3 に示すように、フィールド同期信号 21, 22 としてどのようなデータが送られてくるのかが予めわかっているため、セグメント同期検出回路 28 において送信データのセグメント同期信号 20 を検出することにより、各セグメントの先頭部分がわかる。そこで、フィールド同期検出回路 100 は、検出されたセグメント同期信号 20 の位置に基づいて、フィールド同期信号 21, 22 の検出を以下のようにして行う。

まず、フィールド同期検出回路 100 は、フィールド同期検出動作を開始するとフィールド同期検出信号 101 をローレベル “L” に初期化する (ステップ S201)。次に、フィールド同期検出回路 100 は、1 フィールド (313 セグメント) の間、各セグメントの 832 シンボルのデータとフィールド同期信号 21, 22 の特定パターンとの誤差の和 (誤差量) を、各セグメント毎に算出する (ステップ S202)。そして、フィールド同期検出回路 100 は、1 フィールド内で最も誤差量の小さい A 番目のセグメントを、フィールド同期の候補とする (ステップ S203)。次に、フィールド同期検出回路 100 は、各フィールド毎に最も誤差量の小さいセグメントを算出し、この算出したセグメントが連続して A 番目のセグメントとなる回数を判断する (ステップ S204)。ステップ S204 の判断において、各フィールド毎に算出したセグメントが B 回 (B は、フィールド同期信号検出確定となるフィールド同期パターン検出回数であり、予め任意に定めてある) 連続して A 番目のセグメントとなった場合、フィールド同期検出回路 100 は、A 番目のセグメントをフィールド同期信号 21, 22 と確定し、ステップ S206 に進む。一方、ステップ S204 の判断において、各フィールド毎に算出したセグメントが B 回連続して A 番目のセグメントとならない場合、フィールド同期検出回路 100 は、ステップ S201 に戻って再度フィールド同期検出確定の処理を行う。

【0163】

さらに、フィールド同期検出回路 100 は、フィールド同期信号検出が確定した後も、後続する各フィールドにおいて、確定したフィールド同期信号 21, 22 のセグメントから 313 セグメント離れたセグメントの誤差量が最小であるか否かを判断する (ステップ S206)。そして、ステップ S206 の判断において、313 セグメント離れたセグメントの誤差量が最小でなかった場合、フィールド同期検出回路 100 は、ステップ S205 で初期化したフィールド同期パターン未検出回数 C の値を 1 つ増やす (ステップ S207)。このステップ S206 ~ S207 の手順を繰り返し、C = D (D は、フィールド同期信号未検出確定となるフィールド同期パターン未検出回数であり、予め任意に定めてある) となった場合には、フィールド同期検出回路 100 は、フィールド同期検出が未確定に移行したと判断し、ステップ S201 に戻って再度フィールド同期検出確定への処理を行う (ステップ S208)。

【0164】

上記処理によりフィールド同期検出回路 100 において検出されたフィールド同期信号 21, 22 は、セグメント同期信号 20 の代わりとして、フィールド同期検出信号 101 は、セグメント同期検出信号 30 の代わりとして、上記第 1 ~ 第 12 の実施形態で述べた A G C 回路 7 およびクロック再生回路 6 へそれぞれ出力される。

そして、A G C 回路 7 およびクロック再生回路 6 は、上述したようにフィールド同期信号 21, 22 に基づいて大小のループ利得を各々構成し、フィールド同期検出信号 101 に従って、大小のループ利得を適切に切り換える。

【0165】

以上のように、本発明の第 13 の実施形態に係る V S B 受信機によれば、フィールド同期信号 21, 22 を検出するまでは検出時間が短くなるように帯域または増幅値を大きい値に、フィールド同期信号 21, 22 を検出した後はゴースト除去性能を向上させるために帯域または増幅値を小さい値に切り換え、A G C 回路 7 およびクロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 およびフィールド同期信号 21, 22 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0166】

なお、上記第 13 の実施形態では、フィールド同期信号 21, 22 およびフィールド同期検出信号 101 を用いて A G C 回路 7 およびクロック再生回路 6 の双方のループ利得を制御するように記載したが、A G C 回路 7 のみのループ利得を制御するようにしても構わない。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る V S B 受信機の構成を示すブロック図である。

【図 2】8 値 V S B 変調信号の伝送フォーマットの一例を示す図である。

【図 3】図 2 のセグメント同期信号 20 およびフィールド同期信号 21, 22 のデータ構成を示す図である。

【図 4】本発明の第 1 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 5】図 4 のセグメント同期検出回路 28 が行うセグメント同期検出の手順を示すフローチャートである。

【図 6】本発明の第 2 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 7】本発明の第 3 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 8】本発明の第 4 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 9】本発明の第 5 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 10】本発明の第 6 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 11】本発明の第 7 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 12】図 11 のクロック周波数検出器 60 が行うクロック周波数の判定方法の概念を説明する図である。

【図 13】本発明の第 8 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 14】本発明の第 9 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 15】本発明の第 10 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の

10

20

30

40

50

構成を示すブロック図である。

【図 1 6】本発明の第 1 1 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 1 7】本発明の第 1 2 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 1 8】本発明の第 1 3 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。

【図 1 9】図 1 8 のフィールド同期検出回路 1 0 0 が行うフィールド同期検出の手順を示すフローチャートである。

【図 2 0】従来の V S B 受信機の構成の一例を示すブロック図である。

10

【図 2 1】図 2 0 の波形等化器 2 0 3 の詳細な構成の一例を示すブロック図である。

【図 2 2】従来の V S B 受信機において生じる問題を説明する図である。

【符号の説明】

1 , 2 0 1 ... チューナ

2 , 2 0 2 ... デジタル復調部

3 ... V S B 検波器

4 ... A D 変換器

5 ... 同期検出回路

6 ... クロック再生回路

7 ... A G C 回路

20

8 ... A G C 電圧

9 ... クロック信号

1 0 , 2 0 3 ... 波形等化器

1 1 , 2 0 4 ... 誤り訂正回路

1 2 ... トランスポートストリーム

1 3 , 2 0 5 ... トランスポートデコーダ

1 4 ... 映像データ

1 5 ... 音声データ

1 6 , 2 0 6 ... ビデオデコーダ

1 7 , 2 0 7 ... オーディオデコーダ

30

1 8 ... 映像信号

1 9 ... 音声信号

2 0 ... セグメント同期信号

2 1 , 2 2 ... フィールド同期信号

2 5 ... 利得検出器

2 6 , 5 2 , 5 3 , 6 1 , 9 2 , 9 3 ... 増幅器

2 8 ... セグメント同期検出回路

2 9 , 6 9 ... D A 変換器

3 0 ... セグメント同期検出信号

3 2 , 3 3 , 5 4 , 6 2 , 6 3 , 9 4 ... ループフィルタ

40

3 4 , 6 4 ... 切り換え回路

3 5 ~ 3 7 , 7 5 ~ 7 7 ... 抵抗

3 8 , 3 9 , 7 8 , 7 9 ... コンデンサ

4 0 , 8 0 ... スイッチダイオード

4 2 , 8 2 ... デジタルフィルタ

4 3 , 4 4 , 5 8 , 5 9 , 8 3 , 8 4 , 9 8 , 9 9 ... 係数

5 5 , 5 6 , 9 5 , 9 6 ... オペアンプ

5 7 , 9 7 ... 乗算器

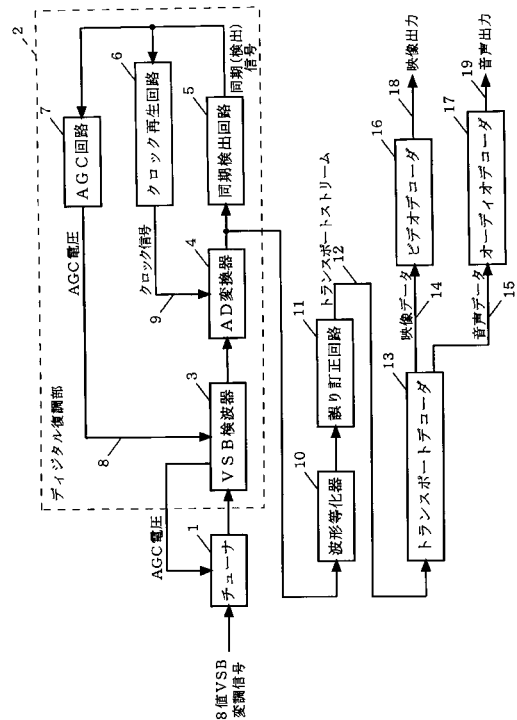
6 0 ... クロック周波数検出器

6 5 ... 可変クロック発振器

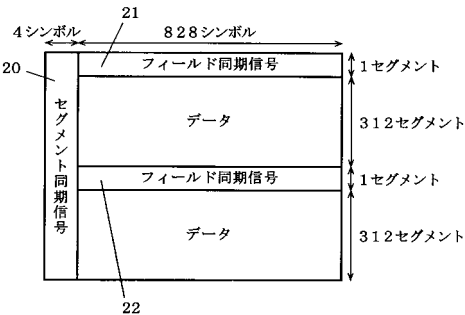
50

1 0 0 ... フィールド同期検出回路
1 0 1 ... フィールド同期検出信号

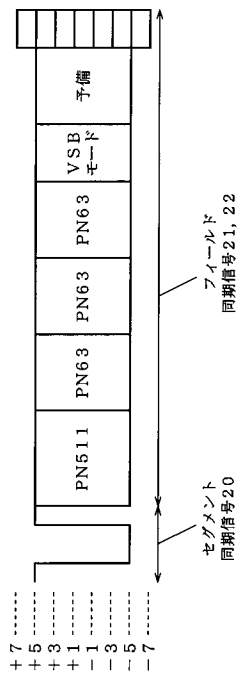
【図 1】



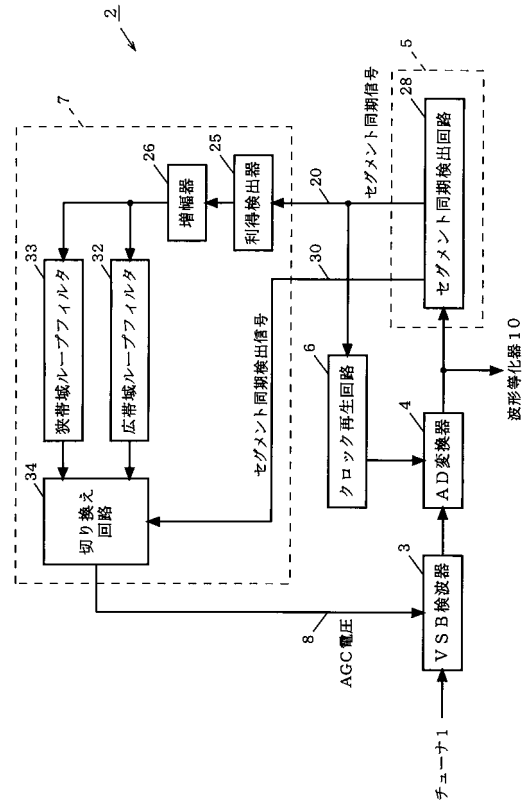
【図 2】



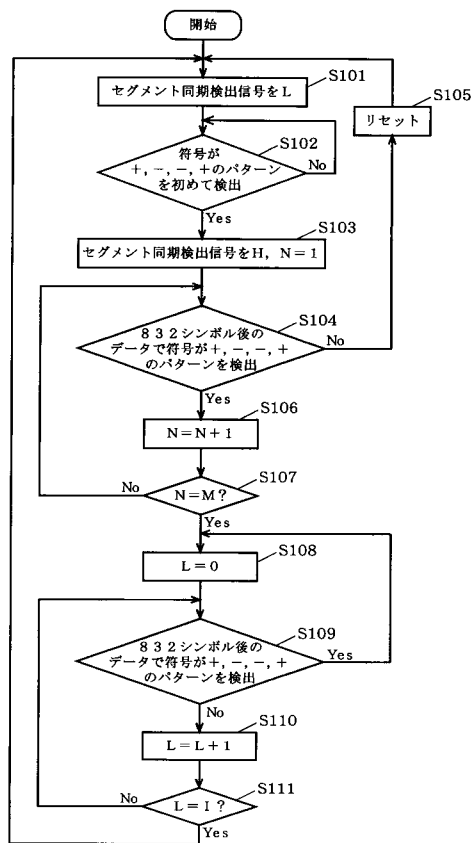
【 図 3 】



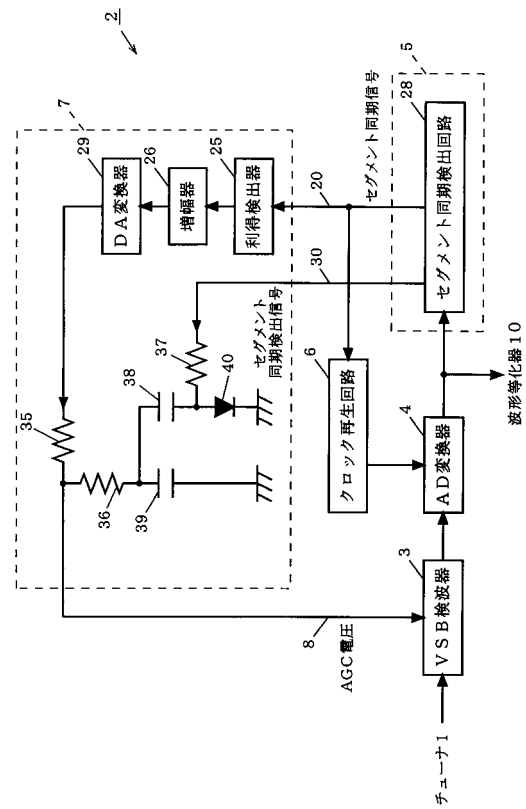
【 図 4 】



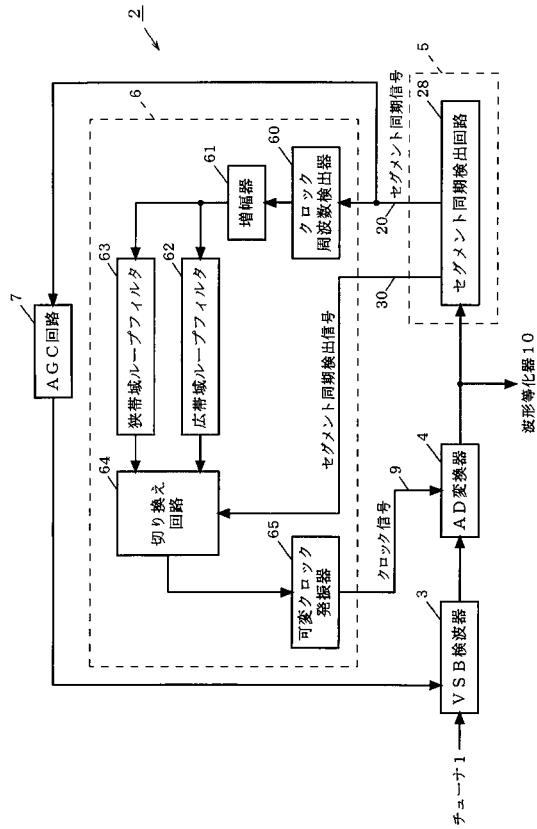
【 図 5 】



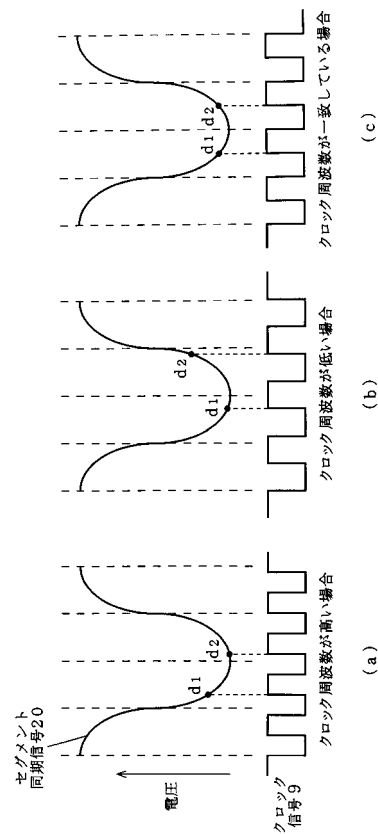
【 図 6 】



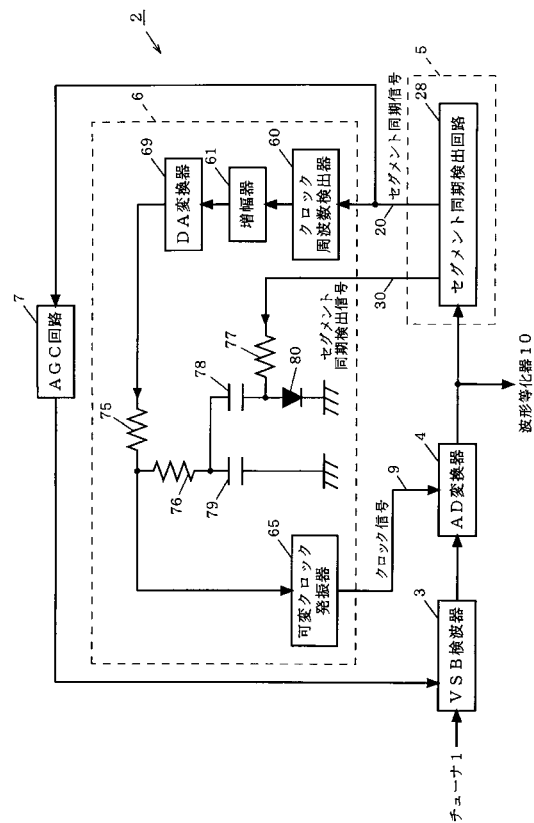
【 図 1 1 】



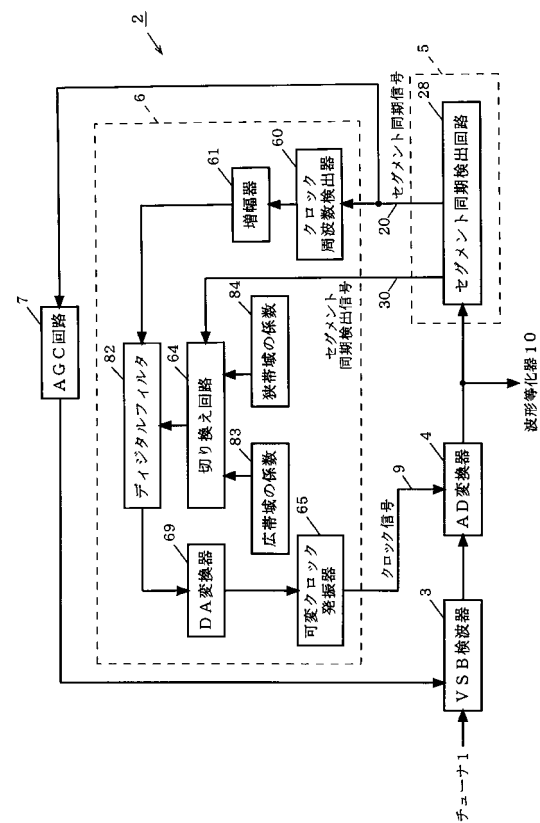
【 図 1 2 】



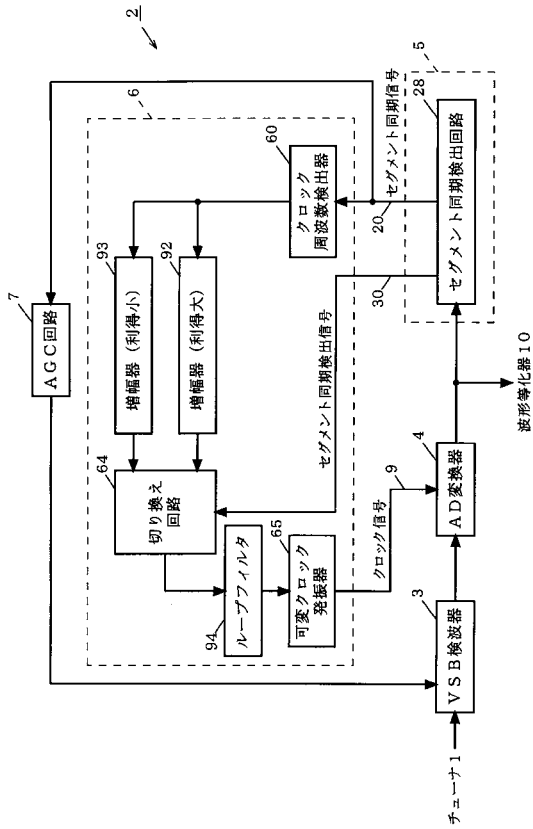
【 図 1 3 】



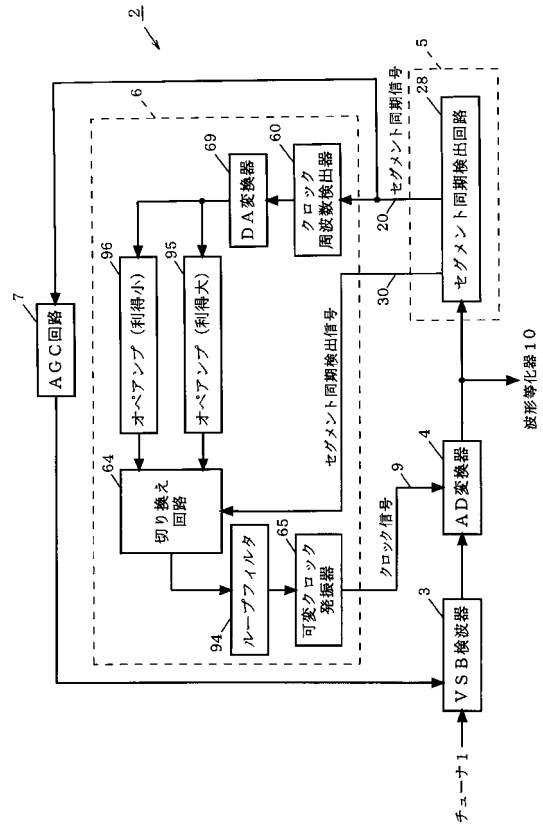
【 図 1 4 】



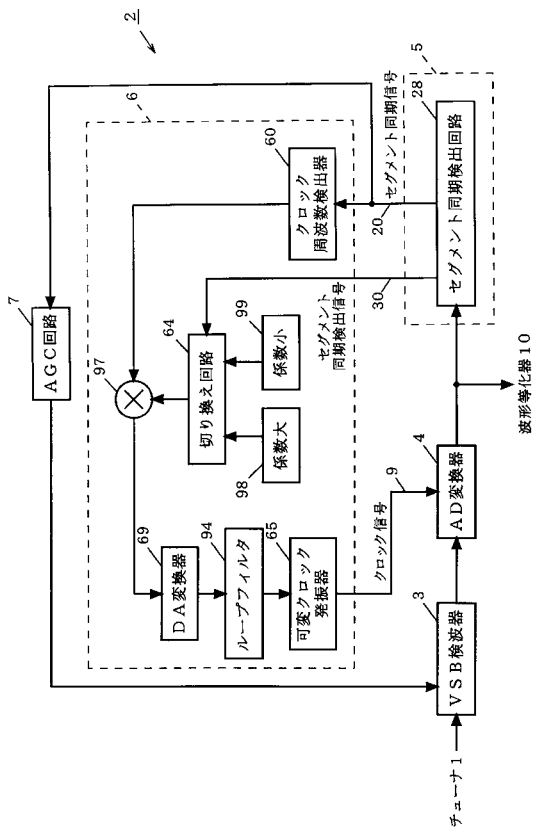
【 図 1 5 】



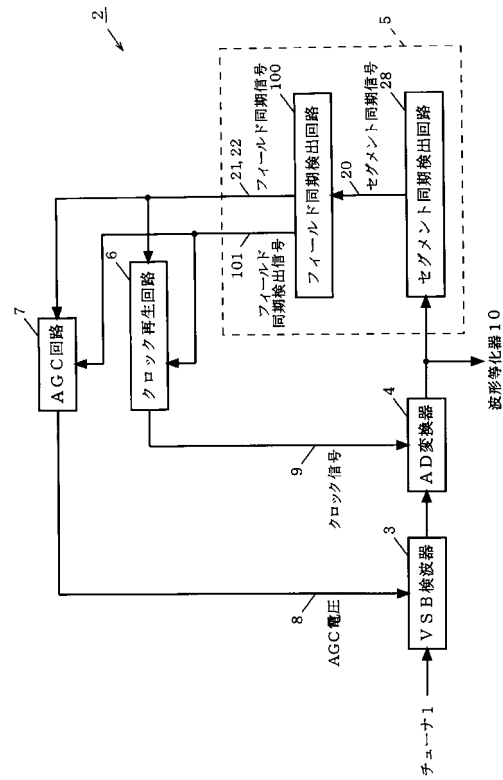
【 図 1 6 】



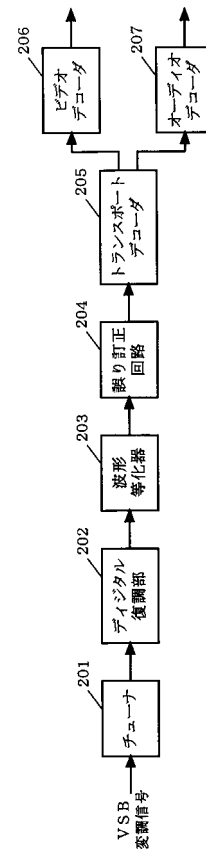
【 図 1 7 】



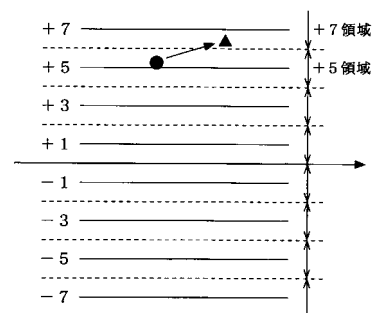
【 図 1 8 】



【 図 2 0 】



【 図 2 2 】



フロントページの続き

審査官 彦田 克文

- (56)参考文献 特開平10-065990(JP,A)
特開平09-018533(JP,A)
特開平02-073739(JP,A)
特開平03-004647(JP,A)
特開平04-040726(JP,A)
特開平06-216955(JP,A)
特表平07-508389(JP,A)
特開平05-236040(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/06
H04L 7/08
H04N 5/21 - 5/44