

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4142216号
(P4142216)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.	F 1		
HO4L 27/06	(2006.01)	HO4L 27/06	C
HO4L 7/08	(2006.01)	HO4L 7/08	Z
HO4N 5/44	(2006.01)	HO4N 5/44	K
HO4N 5/52	(2006.01)	HO4N 5/52	
HO4N 5/21	(2006.01)	HO4N 5/21	A

請求項の数 52 (全 50 頁)

(21) 出願番号	特願平11-269399
(22) 出願日	平成11年9月22日(1999.9.22)
(65) 公開番号	特開2000-174829(P2000-174829A)
(43) 公開日	平成12年6月23日(2000.6.23)
審査請求日	平成18年7月18日(2006.7.18)
(31) 優先権主張番号	特願平10-273385
(32) 優先日	平成10年9月28日(1998.9.28)
(33) 優先権主張国	日本国(JP)

(73) 特許権者	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(74) 代理人	100098291 弁理士 小笠原 史朗
(72) 発明者	小西 孝明 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72) 発明者	上田 和也 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72) 発明者	阿座上 裕史 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 VSB 受信機

(57) 【特許請求の範囲】

【請求項 1】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、VSB受信機。

【請求項 2】

前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、

前記ループフィルタの帯域幅を制御することを特徴とする、請求項 1 に記載の VSB 受信機。

【請求項 3】

前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 1 に記載の VSB 受信機。

【請求項 4】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 VSB (8 値または 16 値 VSB) 変調を施されて送信される地上波ディジタル放送の信号を受信する VSB 受信機であって、

受信した前記多値 VSB 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、VSB 受信機。

【請求項 5】

前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 に記載の VSB 受信機。

【請求項 6】

前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項 4 に記載の VSB 受信機。

【請求項 7】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 VSB (8 値または 16 値 VSB) 変調を施されて送信される地上波ディジタル放送の信号を受信する VSB 受信機であって、

受信した前記多値 VSB 変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域にそ

10

20

30

40

50

れぞれ制御することを特徴とする、VSB受信機。

【請求項8】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項7に記載のVSB受信機。

【請求項9】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項7に記載のVSB受信機。

【請求項10】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項7に記載のVSB受信機。

【請求項11】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項7に記載のVSB受信機。

【請求項12】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期信号の検出の

10

20

30

40

50

有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さくそれぞれ制御することを特徴とする、VSB受信機。

【請求項13】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項12に記載のVSB受信機。

【請求項14】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段および前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項12に記載のVSB受信機。

【請求項15】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項12に記載のVSB受信機。

【請求項16】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項12に記載のVSB受信機。

【請求項17】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御し、前記クロック再生手段は、当該セグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特

10

20

30

40

50

徴とする、VSB受信機。

【請求項18】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項17に記載のVSB受信機。 10

【請求項19】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項17に記載のVSB受信機。 20

【請求項20】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項17に記載のVSB受信機。 20

【請求項21】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項17に記載のVSB受信機。 30

【請求項22】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、 40

受信した前記多値VSB変調が施された信号から、前記セグメント同期信号を検出するセグメント同期検出手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、前記セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記セグメント同期検出手段が検出した前記セグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御 50

するクロック再生手段とを備え、

前記自動利得制御手段は、前記セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御し、前記クロック再生手段は、当該セグメント同期検出信号に従って、前記セグメント同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、VSB受信機。

【請求項23】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項22に記載のVSB受信機。10

【請求項24】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり。20

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項22に記載のVSB受信機。

【請求項25】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、30

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項22に記載のVSB受信機。

【請求項26】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、40

前記自動利得制御手段は、前記セグメント同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記セグメント同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項22に記載のVSB受信機。

【請求項27】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、50

受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、VSB受信機。

【請求項28】

前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

10

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項27に記載のVSB受信機。

【請求項29】

前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記デジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項27に記載のVSB受信機。

20

【請求項30】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

30

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、VSB受信機。

【請求項31】

前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項30に記載のVSB受信機。

40

【請求項32】

前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項30に記載のVSB受信機。

【請求項33】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、

50

受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域にそれぞれ制御することを特徴とする、VSB受信機。 10

【請求項34】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項33に記載のVSB受信機。 20

【請求項35】

前記自動利得制御手段および前記クロック再生手段の前記ループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項33に記載のVSB受信機。 。

【請求項36】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、 30

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項33に記載のVSB受信機。

【請求項37】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、 40

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれ前記ループフィルタの帯域幅を制御することを特徴とする、請求項33に記載のVSB受信機。

【請求項38】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号 50

を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さくそれぞれ制御することを特徴とする、VSB受信機。

【請求項39】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項38に記載のVSB受信機。

【請求項40】

前記自動利得制御手段および前記クロック再生手段の前記増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段および前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項38に記載のVSB受信機。

【請求項41】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項38に記載のVSB受信機。

【請求項42】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、それぞれ前記増幅器の利得を制御することを特徴とする、請求項38に記載のVSB受信機。

【請求項43】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した前記多値VSB変調が施された信号から、前記フィールド同期信号を検出するフ

10

20

30

40

50

フィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御し、前記クロック再生手段は、当該フィールド同期検出信号に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御することを特徴とする、VSB受信機。
10

【請求項44】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項43に記載のVSB受信機。
20

【請求項45】

前記自動利得制御手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項43に記載のVSB受信機。
30

【請求項46】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、前記クロック再生手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項43に記載のVSB受信機。
40

【請求項47】

前記自動利得制御手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、前記クロック再生手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御することを特徴とする、請求項43に記載のVSB受信機。
50

【請求項 4 8】

各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値 VSB (8 値または 16 値 VSB) 変調を施されて送信される地上波ディジタル放送の信号を受信する VSB 受信機であって、

受信した前記多値 VSB 変調が施された信号から、前記フィールド同期信号を検出するフィールド同期検出手段と、

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、前記フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとをしてループ利得をフィードバック制御する自動利得制御手段と、

10

前記フィールド同期検出手段が検出した前記フィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とをしてループ利得をフィードバック制御するクロック再生手段とを備え、

前記自動利得制御手段は、前記フィールド同期信号の検出の有無を知らせるフィールド同期検出手段に従って、前記フィールド同期信号が検出されるまでは前記増幅器の利得を大きく、検出された後は前記増幅器の利得を小さく制御し、前記クロック再生手段は、当該フィールド同期検出手段に従って、前記フィールド同期信号が検出されるまでは前記ループフィルタを広帯域に、検出された後は前記ループフィルタを狭帯域に制御することを特徴とする、VSB 受信機。

20

【請求項 4 9】

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、前記自動利得制御手段は、前記フィールド同期検出手段に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出手段に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の VSB 受信機。

【請求項 5 0】

30

前記自動利得制御手段の前記増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出手段に従って、前記オペアンプをいずれか一方に切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出手段に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の VSB 受信機。

【請求項 5 1】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

40

前記自動利得制御手段は、前記フィールド同期検出手段に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出手段に従って、前記抵抗および前記コンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の VSB 受信機。

【請求項 5 2】

前記自動利得制御手段の前記増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、前記クロック再生手段の前記ループフィルタは、別途与えられるフィルタ

50

係数に従って帯域幅を可変できるディジタルフィルタであり、

前記自動利得制御手段は、前記フィールド同期検出信号に従って、前記乗算器に与える係数を切り換えることで、前記増幅器の利得を制御し、前記クロック再生手段は、前記フィールド同期検出信号に従って、前記ディジタルフィルタに与えるフィルタ係数を切り換えることで、前記ループフィルタの帯域幅を制御することを特徴とする、請求項 4 8 に記載の VSB 受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、VSB 受信機に関し、より特定的には、残留側波帯 (Vestigial Side-Band: VSB) 変調を施されて送信される地上波ディジタル放送の信号を受信する VSB 受信機に関する。 10

【0002】

【従来の技術】

周知のように近年、映像放送分野においては、より高品質な映像を視聴者に提供すべく、放送形態がアナログからディジタルへ移り変わろうとしている。この放送のディジタル化は、すでに一部実用化されている衛星波による放送のみならず、地上波による放送に対しても行われつつあり、米国や欧州等においては現在実用化の段階へと進んでいる。 20

【0003】

地上波ディジタル放送で用いるディジタル変調方式としては、現在様々な方式が考案されており、その 1 つの方式として、米国では信号を多値 VSB (8 値 VSB または 16 値 VSB) 変調して送信する ATSC (Advanced Television System Committee) 規格が採用されている。 20

【0004】

この地上波ディジタル放送を受信する受信機は、信号に施されているディジタル変調に対応したディジタル復調を行うようにすれば、基本的に衛星ディジタル放送等で用いられている受信機と同様に構成することで実現可能である。上記多値 VSB 変調された信号を受信する受信機（以下、VSB 受信機と記す）に関しては、ATSC が発行する文献「GUIDE TO THE USE OF THE ATSC DIGITAL TELEVISION STANDARD (Doc. A / 54)」に、一般的な構成が示されている 30

。

【0005】

図 20 に、ATSC が発行する上記文献に示されている VSB 受信機の構成の一例を示す。図 20 において、文献に示されている VSB 受信機は、チューナ 201 と、ディジタル復調部 202 と、波形等化器 203 と、誤り訂正回路 204 と、トランスポートデコーダ 205 と、ビデオデコーダ 206 と、オーディオデコーダ 207 とで構成されている。

チューナ 201 は、VSB 変調された信号を受信する。ディジタル復調部 202 は、チューナ 201 が受信した信号をディジタル復調して、ディジタル映像信号に変換する。波形等化器 203 は、伝送路等において生じた信号波形の歪み等を補正する。誤り訂正回路 204 は、歪み等が補正された信号波形に対して、誤り訂正を行う。トランスポートデコーダ 205 は、多重送信されてくる映像信号と音声信号とを分離する。ビデオデコーダ 206 は、分離された映像信号を復号する。オーディオデコーダ 207 は、分離された音声信号を復号する。 40

【0006】

ここで、図 20 に示した VSB 受信機には明記されていないが、一般にディジタル復調部 202 には、信号を処理する上で必要不可欠な自動利得制御（以下、AGC と記す）回路およびクロック再生回路が、当然構成として含まれるものだと考えられる。

AGC 回路は、周知のごとく、伝送路における信号の減衰等の影響をなくすため、予め定めた基準信号の振幅が常に一定レベルになるように、負帰還ループによって利得を制御する回路である。また、クロック再生回路も、周知のごとく、ディジタル信号の各データ（ 50

シンボル)の判定タイミングを与えるクロックを再生するため、受信信号のクロック周波数と受信機のクロック周波数とが一致(同期)するように、負帰還ループによって利得を制御する回路である。

【0007】

このA G C回路およびクロック再生回路は、負帰還ループによって制御対象の信号を一定の値に収束させるように動作するため、各回路のループ利得が収束処理完了までにかかる時間、すなわち、映像信号を受信してから映像を画面上に出力するまでにかかる時間に影響してくる。そのため、一般的には、A G C回路およびクロック再生回路におけるループ利得は、収束処理が高速かつ正確に行われる予め定めた最適な値に固定されている。

【0008】

【発明が解決しようとする課題】

ところで、地上波デジタル放送においては、衛星デジタル放送と異なり、伝送路においてゴースト妨害が発生することを考慮する必要がある。このゴースト妨害に対して、上述したV S B受信機では、波形等化器203の処理においてゴーストの影響を除去することが可能であると考えている。

しかしながら、V S B受信機の構成に上記A G C回路およびクロック再生回路を含むことを考慮した場合、各回路におけるループ利得の設定の仕方によって、以下のような問題が発生する。

【0009】

まず、A G C回路におけるループ利得を大きく設定した場合を考える。

この場合、帰還信号に対するA G C処理の追従速度が速くなるので、A G C回路の収束が高速に行われる。しかし、この場合、A G C検出結果(A G C電圧)の値が変化しやすくなるため、受信信号にゴースト妨害が存在すると、ゴースト成分によってA G C検出結果が変化してしまうことになる。このため、後段の波形等化器203において、信号処理に誤差が生じてしまい、ゴースト除去能力が劣化するという問題がある。

【0010】

ここで、上記文献に示されている波形等化器203の構成を一例に挙げて、上記場合において信号処理に誤差が生じる原因を説明する。図21は、上記文献に示されている波形等化器203の構成を示すブロック図である。図22は、波形等化器203における判断誤り理由を説明する図である。

波形等化器203は、フィードバックフィルタの出力とスライサを通した出力に基づいて誤差信号を計算し、誤差信号に基づいて各フィルタの係数を算出する。このフィルタ係数は、ゴーストを除去するように徐々に変化し、ゴースト除去後は値の変化が小さくなる。すなわち、波形等化器203は、各データに対して、当該データが含まれる領域の基準値との誤差に基づいて、フィルタ係数を算出する。従って、波形等化器203は、+5領域にあるデータ(図22の印)については、+5の値との誤差を計算して、その誤差に基づいてフィルタ係数を算出する。しかし、ゴースト妨害によって本来+5領域にあるデータが+7領域へ変動した場合(図22の印)、波形等化器203は、このデータに対して、+7の値との誤差を計算して、その誤差に基づいて正しくないフィルタ係数を算出してしまうのである。

【0011】

また、同様に、クロック再生回路におけるループ利得を大きく設定した場合を考える。

この場合、帰還信号に対するクロック再生処理の追従速度が速くなるので、クロック同期の収束が高速に行われる。しかし、この場合、受信信号にゴースト妨害が存在すると、ゴースト成分に敏感に応答してしまう(クロック周波数が変動しやすくなる)ことになってしまい、V S B受信機の再生クロックにジッタが生じ、受信信号に誤りが発生するという問題がある。

【0012】

次に、A G C回路およびクロック再生回路におけるループ利得をそれぞれ小さく設定した場合を考える。

10

20

30

40

50

この場合、A G C回路においては、帰還信号に対するA G C処理の追従速度が遅くなるのでゴースト除去能力は高くなり、またクロック再生回路においては、帰還信号に対するクロック再生処理の追従速度が遅くなるので、ジッタを発生することなく正確なクロックを再生することができる。しかし、この場合、上述したように各回路のループ利得が収束完了までにかかる時間、すなわち、映像信号を受信してから映像を画面上に出力するまでにかかる時間が長くなるという問題が生じてくる。

【0013】

それ故、本発明の目的は、A G C回路における収束完了までにかかる時間の高速化と、ゴースト妨害除去の高性能化とを両立させ、さらには、クロック再生回路における収束完了までにかかる時間の高速化と、正確なクロック再生とを両立させた、V S B受信機を提供することである。10

【0014】

【課題を解決するための手段および発明の効果】

第1の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値V S B（8値または16値V S B）変調を施されて送信される地上波デジタル放送の信号を受信するV S B受信機であって、

受信した多値V S B変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、20

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【0015】

第2の発明は、第1の発明に従属する発明であって、

ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、30

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0016】

第3の発明は、第1の発明に従属する発明であって、

ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0017】

上記のように、第1～第3の発明によれば、自動利得制御手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。40

【0018】

第4の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値V S B（8値または16値V S B）変調を施されて送信される地上波デジタル放送の信号を受信するV S B受信機であって、50

受信した多値VSB変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【0019】

第5の発明は、第4の発明に従属する発明であって、

10

増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【0020】

第6の発明は、第4の発明に従属する発明であって、

増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【0021】

上記のように、第4～第6の発明によれば、自動利得制御手段の增幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

20

【0022】

第7の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波デジタル放送の信号を受信するVSB受信機であって、

30

受信した多値VSB変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段およびクロック再生手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域にそれぞれ制御することを特徴とする。

40

【0023】

第8の発明は、第7の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段のループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

50

【0024】

第9の発明は、第7の発明に従属する発明であって、自動利得制御手段およびクロック再生手段のループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【0025】

第10の発明は、第7の発明に従属する発明であって、自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【0026】

第11の発明は、第7の発明に従属する発明であって、自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、自動利得制御手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【0027】

上記のように、第7～第11の発明によれば、自動利得制御手段およびクロック再生手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0028】

第12の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段およびクロック再生手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さくそれぞれ制御することを特徴とする。

10

20

30

40

50

【0029】

第13の発明は、第12の発明に従属する発明であって、自動利得制御手段およびクロック再生手段の増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

【0030】

第14の発明は、第12の発明に従属する発明であって、自動利得制御手段およびクロック再生手段の増幅器は、共に別途与えられる係数に従って增幅値を可変できる乗算器であり、自動利得制御手段およびクロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

10

【0031】

第15の発明は、第12の発明に従属する発明であって、自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

20

【0032】

第16の発明は、第12の発明に従属する発明であって、自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

30

【0033】

上記のように、第12～第16の発明によれば、自動利得制御手段およびクロック再生手段の増幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0034】

第17の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

40

受信した多値VSB変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロ

50

ック再生手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御し、クロック再生手段は、当該セグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【 0 0 3 5 】

第 1 8 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、10

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 6 】

第 1 9 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、20

自動利得制御手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【 0 0 3 7 】

第 2 0 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの 2 つで構成されており、

自動利得制御手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。30

【 0 0 3 8 】

第 2 1 の発明は、第 1 7 の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。40

【 0 0 3 9 】

上記のように、第 1 7 ~ 第 2 1 の発明によれば、自動利得制御手段のループフィルタおよびクロック再生手段の増幅利得を、セグメント同期信号を検出するまでは検出時間が短くなるように広帯域および大きい値に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために狭帯域および小さい値にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤50

りが発生しなくなる。

【 0 0 4 0 】

第22の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、セグメント同期信号を検出するセグメント同期検出手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、セグメント同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

セグメント同期検出手段が検出したセグメント同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、セグメント同期信号の検出の有無を知らせるセグメント同期検出信号に従って、セグメント同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御し、クロック再生手段は、当該セグメント同期検出信号に従って、セグメント同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【 0 0 4 1 】

第23の発明は、第22の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 2 】

第24の発明は、第22の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 3 】

第25の発明は、第22の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【 0 0 4 4 】

第26の発明は、第22の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器で

10

20

30

40

50

あり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

自動利得制御手段は、セグメント同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、セグメント同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0045】

上記のように、第22～第26の発明によれば、自動利得制御手段の増幅利得およびクロック再生手段のループフィルタを、セグメント同期信号を検出するまでは検出時間が短くなるように大きい値および広帯域に、セグメント同期信号を検出した後はゴースト除去性能を向上させるために小さい値および狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0046】

第27の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB(8値または16値VSB)変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【0047】

第28の発明は、第27の発明に従属する発明であって、

ループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0048】

第29の発明は、第27の発明に従属する発明であって、

ループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0049】

上記のように、第27～第29の発明によれば、自動利得制御手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができる。

【0050】

第30の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフ

10

20

30

40

50

フィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【0051】

第31の発明は、第30の発明に従属する発明であって、

増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【0052】

第32の発明は、第30の発明に従属する発明であって、

増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【0053】

上記のように、第30～第32の発明によれば、自動利得制御手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となる。

【0054】

第33の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段およびクロック再生手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域にそれぞれ制御することを特徴とする。

【0055】

第34の発明は、第33の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段のループフィルタは、共に抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

10

20

30

40

50

自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。

【 0 0 5 6 】

第35の発明は、第33の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段のループフィルタは、共に別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、

自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。 10

【 0 0 5 7 】

第36の発明は、第33の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。 20

【 0 0 5 8 】

第37の発明は、第33の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、自動利得制御手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、それぞれループフィルタの帯域幅を制御することを特徴とする。 20

【 0 0 5 9 】

上記のように、第33～第37の発明によれば、自動利得制御手段およびクロック再生手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域に切り換え、ループ利得をそれぞれ制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。 30

【 0 0 6 0 】

第38の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、 40

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、 50

自動利得制御手段およびクロック再生手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さくそれぞれ制御することを特徴とする。

【0061】

第39の発明は、第38の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段の増幅器は、共に大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

10

【0062】

第40の発明は、第38の発明に従属する発明であって、

自動利得制御手段およびクロック再生手段の増幅器は、共に別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段およびクロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

【0063】

第41の発明は、第38の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

20

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

【0064】

第42の発明は、第38の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、それぞれ増幅器の利得を制御することを特徴とする。

30

【0065】

上記のように、第38～第42の発明によれば、自動利得制御手段およびクロック再生手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値に切り換え、ループ利得をそれぞれ制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

40

【0066】

第43の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

50

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御し、クロック再生手段は、当該フィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御することを特徴とする。

【0067】

10

第44の発明は、第43の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【0068】

20

第45の発明は、第43の発明に従属する発明であって、

自動利得制御手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【0069】

30

第46の発明は、第43の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、

自動利得制御手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御することを特徴とする。

【0070】

40

第47の発明は、第43の発明に従属する発明であって、

自動利得制御手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、クロック再生手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、

自動利得制御手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御し、クロック再生手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御することを特徴とする。

【0071】

50

上記のように、第43～第47の発明によれば、自動利得制御手段のループフィルタおよびクロック再生手段の増幅利得を、フィールド同期信号を検出するまでは検出時間が短くなるように広帯域および大きい値に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために狭帯域および小さい値にそれぞれ切り換え、ループ利得を制御する

。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0072】

第48の発明は、各セグメントの先頭にセグメント同期信号を、各フィールドの先頭にフィールド同期信号を、有するフォーマットで構成された映像および音声データが、多値VSB（8値または16値VSB）変調を施されて送信される地上波ディジタル放送の信号を受信するVSB受信機であって、

受信した多値VSB変調が施された信号から、フィールド同期信号を検出するフィールド同期検出手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、フィールド同期信号のレベルが一定となるように、利得検出器と増幅器とループフィルタとを介してループ利得をフィードバック制御する自動利得制御手段と、

フィールド同期検出手段が検出したフィールド同期信号に基づいて、再生するクロック周波数が受信信号のクロック周波数と一致するように、クロック周波数検出器と増幅器とループフィルタと可変クロック発振器とを介してループ利得をフィードバック制御するクロック再生手段とを備え、

自動利得制御手段は、フィールド同期信号の検出の有無を知らせるフィールド同期検出信号に従って、フィールド同期信号が検出されるまでは増幅器の利得を大きく、検出された後は増幅器の利得を小さく制御し、クロック再生手段は、当該フィールド同期検出信号に従って、フィールド同期信号が検出されるまではループフィルタを広帯域に、検出された後はループフィルタを狭帯域に制御することを特徴とする。

【0073】

第49の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0074】

第50の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、大きい利得のオペアンプと小さい利得のオペアンプの2つで構成されており、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるデジタルフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、オペアンプをいずれか一方に切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、デジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0075】

第51の発明は、第48の発明に従属する発明であって、

自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、抵抗およびコンデンサで構成される広帯域のループフィルタおよび狭帯域のループフィルタであり、

自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、抵抗およびコンデンサによって定められる時定数の値をスイッチング処理によって切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

10

20

30

40

50

【0076】

第52の発明は、第48の発明に従属する発明であって、自動利得制御手段の増幅器は、別途与えられる係数に従って増幅値を可変できる乗算器であり、クロック再生手段のループフィルタは、別途与えられるフィルタ係数に従って帯域幅を可変できるディジタルフィルタであり、自動利得制御手段は、フィールド同期検出信号に従って、乗算器に与える係数を切り換えることで、増幅器の利得を制御し、クロック再生手段は、フィールド同期検出信号に従って、ディジタルフィルタに与えるフィルタ係数を切り換えることで、ループフィルタの帯域幅を制御することを特徴とする。

【0077】 10

上記のように、第48～第52の発明によれば、自動利得制御手段の増幅利得およびクロック再生手段のループフィルタを、フィールド同期信号を検出するまでは検出時間が短くなるように大きい値および広帯域に、フィールド同期信号を検出した後はゴースト除去性能を向上させるために小さい値および狭帯域にそれぞれ切り換え、ループ利得を制御する。これにより、受信信号にゴースト妨害のある場合でも、フィールド同期信号の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0078】 20**【発明の実施の形態】**

以下、ATSC規格で定められた8値VSB変調が施された地上波ディジタル放送信号を受信するVSB受信機を一例に挙げて、本発明の各実施の形態を順に説明する。

【0079】

まず、本発明の各実施形態の構成を用いるVSB受信機の概要を説明する。
図1は、本発明の一実施形態に係るVSB受信機の構成を示すブロック図である。図1において、本発明の一実施形態に係るVSB受信機は、チューナ1と、デジタル復調部2と、波形等化器10と、誤り訂正回路11と、トランスポートデコーダ13と、ビデオデコーダ16と、オーディオデコーダ17とで構成される。また、デジタル復調部2は、VSB検波器3と、AD変換器4と、同期検出回路5と、クロック再生回路6と、AGC回路7とを備える。

【0080】 30

8値VSB変調された信号は、チューナ1に入力される。チューナ1は、8値VSB変調信号をIF信号に変換する。VSB検波器3は、IF信号に対して検波を行ってVSB復調する。AD変換器4は、VSB復調されたアナログ信号を8値のデジタルデータに変換して出力する。

このAD変換器4が出力するデジタルデータは、ATSC規格に準じた図2に示すフォーマットで構成されるデータであり、各セグメントの先頭にセグメント同期信号20が、各フィールドの先頭にフィールド同期信号21, 22が存在し、1セグメントが832シンボルのデータで、1フィールドが313セグメントのデータで構成される。また、図3に、セグメント同期信号20およびフィールド同期信号21, 22のデータ構成を示す。
図3において、セグメント同期信号20は、-7～+7で表現される8値データのうち、4シンボルデータがそれぞれ「+5, -5, -5, +5」となる特定パターンで構成される。また、フィールド同期信号21, 22は、-5～+5のレベル範囲で予め定められた特定パターンの828シンボルデータで構成される。

【0081】 40

同期検出回路5は、AD変換器4が出力するデジタルデータからセグメント同期信号20またはフィールド同期信号21, 22を検出する。なお、同期検出回路5で行う同期信号の検出方法は、後述する実施形態において説明する。AGC回路7は、同期検出回路5が検出した同期信号に基づいて、セグメント同期信号20またはフィールド同期信号21, 22のデータレベルが「-5～+5」になるように、VSB検波器3に対してAGC電

圧 8 をフィードバック制御する。クロック再生回路 6 は、同期検出回路 5 が検出した同期信号に基づいて、VSB 受信機におけるクロック周波数が送信されてきたディジタルデータのクロック周波数と一致するように、A/D 変換器 4 に対してクロック信号 9 をフィードバック制御する。

【 0 0 8 2 】

一方、A/D 変換器 4 で変換されたディジタルデータは、波形等化器 10 に出力される。波形等化器 10 は、伝送路等において生じた信号波形の歪み等を補正する（ゴースト妨害を除去する）。誤り訂正回路 11 は、歪み等が補正された信号波形に対して誤り訂正を行い、トランスポートストリーム 12 として出力する。トランスポートデコーダ 13 は、トランスポートストリーム 12 を任意のチャンネルの映像データ 14 と音声データ 15 とに分離する。ビデオデコーダ 16 は、分離された映像データ 14 を復号し、映像信号 18 として出力する。オーディオデコーダ 17 は、分離された音声データ 15 を復号し、音声信号 19 として出力する。

【 0 0 8 3 】

次に、上記構成による本発明の一実施形態に係る VSB 受信機において、ディジタル復調部 2 が取り得る構成に基づいて、本発明の VSB 受信機のさらに詳細な説明を順に行う。

【 0 0 8 4 】

（第 1 の実施形態）

図 4 は、本発明の第 1 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。図 4 において、第 1 の実施形態のディジタル復調部 2 は、VSB 検波器 3 と、A/D 変換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、増幅器 26 と、広帯域ループフィルタ 32 と、狭帯域ループフィルタ 33 と、切り換え回路 34 と、クロック再生回路 6 とを備える。

【 0 0 8 5 】

図 4 に示すように、第 1 の実施形態のディジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、AGC 回路 7 を利得検出器 25、増幅器 26、広帯域ループフィルタ 32、狭帯域ループフィルタ 33 および切り換え回路 34 で構成したものである。なお、図 4 において図 1 と同一の構成である部分については、同一の参考番号を付してその説明を省略する。

以下、第 1 の実施形態のディジタル復調部 2 の各構成を順に説明する。

【 0 0 8 6 】

A/D 変換器 4 が出力するディジタルデータ（図 2）は、波形等化器 10 およびセグメント同期検出回路 28 に入力される。セグメント同期検出回路 28 は、入力するディジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号 20 を利得検出器 25 へ、検出されたか否かの判定であるセグメント同期検出信号 30 を切り換え回路 34 へ出力する。

ここで、セグメント同期検出回路 28 が行うセグメント同期検出方法を、図 5 をさらに参照して説明する。図 5 は、セグメント同期検出回路 28 が行うセグメント同期検出の手順を示すフローチャートである。

【 0 0 8 7 】

まず、セグメント同期検出回路 28 は、セグメント同期検出動作を開始するとセグメント同期検出信号 30 をローレベル “L” に初期化する（ステップ S101）。次に、セグメント同期検出回路 28 は、符号が「+，-，-，+」のシンボルデータのパターンを検出したか否かを判断する（ステップ S102）。ステップ S102 の判断でパターンを検出した場合、セグメント同期検出回路 28 は、セグメント同期検出信号 30 をハイレベル “H” にし、セグメント同期パターン検出回数 N を “1” に設定する（ステップ S103）。そして、セグメント同期検出回路 28 は、ステップ S102 で初めて符号が「+，-，-，+」のシンボルデータのパターンを検出してから 832 シンボル後のデータの符号パターンが、同様に「+，-，-，+」であるか否かを判断する（ステップ S104）。ステップ S104 の判断でパターンを検出した場合、セグメント同期検出回路 28 は、セグ

10

20

30

40

50

メント同期パターン検出回数Nの値を1つ増やす(ステップS106)。このステップS104およびS106の手順を、N=M(Mは、セグメント同期信号検出確定となるセグメント同期パターン検出回数であり、予め任意に定めてある)となるまで繰り返し、セグメント同期検出が確定する(ステップS107)。なお、ステップS104の判断でパターンを検出できなかった場合、セグメント同期検出回路28は、セグメント同期パターン検出回数Nをリセットして(ステップS105)、再度初めから「+,-,-,+」のシンボルデータの符号パターンの検出を始める。

【0088】

そして、セグメント同期パターン検出回数Nが値Mに達してセグメント同期信号検出が確定した後も、セグメント同期検出回路28は、引き続き832シンボル後のデータの符号パターンが「+,-,-,+」であるか否かを判断する(ステップS109)。ステップS109の判断でパターンを検出しなかった場合、セグメント同期検出回路28は、ステップS108で初期化したセグメント同期パターン未検出回数Lの値を1つ増やす(ステップS110)。このステップS109～S110の手順を繰り返し、L=I(Iは、セグメント同期信号未検出確定となるセグメント同期パターン未検出回数であり、予め任意に定めてある)となった場合には、セグメント同期検出回路28は、セグメント同期検出が未確定に移行したと判断し、ステップS101に戻って再度セグメント同期検出確定への処理を行う(ステップS111)。

【0089】

利得検出器25は、A/D変換器4が出力するデジタルデータのセグメント同期信号20のレベルが基準レベルである-5～+5の値(ATSC規格で定められている)になるよう、VSB検波器3の利得を制御する判定信号を、增幅器26へ出力する。具体的には、利得検出器25は、セグメント同期検出回路28で検出されたセグメント同期信号20のレベルが-5～+5のレベルより小さい(例えば、-3～+3)場合は、VSB検波器3の利得を上げる判定信号を、逆に大きい(例えば、-7～+7)場合は、VSB検波器3の利得を下げる判定信号を出力する。

増幅器26は、利得検出器25が出力する判定信号を入力し、予め定めた增幅を行った後、広帯域ループフィルタ32および狭帯域ループフィルタ33へ出力する。

【0090】

広帯域ループフィルタ32は、AGC回路7におけるループ利得が大きく(AGCの追従性が良く)なるように、すなわち、セグメント同期信号20の検出時間の短縮をゴースト妨害除去性能よりも優先させた、フィルタ係数が設定されている。一方、狭帯域ループフィルタ33は、AGC回路7におけるループ利得が小さく(AGCの追従性が悪く)なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号20の検出時間の短縮よりも優先させた、フィルタ係数が設定されている。

そして、増幅器26が出力する増幅後の判定信号は、広帯域ループフィルタ32および狭帯域ループフィルタ33をそれぞれ通過した後、切り換え回路34へ入力される。

【0091】

切り換え回路34は、広帯域ループフィルタ32および狭帯域ループフィルタ33をそれぞれ通過した信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路34は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、広帯域ループフィルタ32を通過した信号を、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、狭帯域ループフィルタ33を通過した信号を選択的に切り換え、AGC電圧8としてVSB検波器3へフィードバックする。

【0092】

ここで、具体的な実験による結果を示す。なお、この実験では、AGC回路7のループ利得の比率を、大きい場合：小さい場合=5:1に設定している。

ゴースト妨害のない信号に対して、AGC回路7のループ利得を大きくした場合のセグ

10

20

30

40

50

メント同期信号 20 の検出時間は 0.35 秒（20 回測定した平均値、以下同じ）、AGC 回路 7 のループ利得を小さくした場合のセグメント同期信号 20 の検出時間は 0.31 秒でほとんど差はない。一方、 $1 \mu\text{sec}$, $D/U = 6 \text{dB}$ のゴースト妨害のある信号に対しては、AGC 回路 7 のループ利得を大きくした場合のセグメント同期信号 20 の検出時間は 4.5 秒、AGC 回路のループ利得を小さくした場合のセグメント同期信号 20 の検出時間は 6.5 秒と、ループ利得を大きくしたときの方がセグメント同期信号 20 の検出時間が短くなる。

また、ゴースト妨害除去の性能は、AGC 回路 7 のループ利得を大きいまま固定した場合には、ゴースト妨害 $1 \mu\text{sec}$ のゴースト除去性能は $D/U = 13 \text{dB}$ であるが、セグメント同期信号 20 の検出前後において AGC 回路 7 のループ利得を大きい値から小さい値へと切り換えた場合には、ゴースト妨害 $1 \mu\text{sec}$ の除去性能は $D/U = 8 \text{dB}$ となる。なお、D は希望波（Desire）を、U は妨害波（Undesire）を表し、D/U が小さいほどゴースト妨害のレベルが大きくなる。10

【0093】

以上のように、本発明の第 1 の実施形態に係る VSB 受信機によれば、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、AGC 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなる。20

【0094】

（第 2 の実施形態）

図 6 は、本発明の第 2 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。図 6 において、第 2 の実施形態のディジタル復調部 2 は、VSB 検波器 3 と、AD 変換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、増幅器 26 と、DA 変換器 29 と、抵抗 35～37 と、コンデンサ 38, 39 と、スイッチダイオード 40 と、クロック再生回路 6 とを備える。

【0095】

図 6 に示すように、第 2 の実施形態のディジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、AGC 回路 7 を利得検出器 25、増幅器 26、DA 変換器 29 および抵抗 35～37、コンデンサ 38, 39、スイッチダイオード 40 からなるディスクリート回路で構成したものである。なお、図 6 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 2 の実施形態のディジタル復調部 2 の各構成を順に説明する。

【0096】

DA 変換器 29 は、増幅器 26 が出力する増幅後のディジタルの判定信号を入力し、アナログの判定信号に変換して出力する。この DA 変換器 29 の出力信号は、ディスクリート回路の抵抗 35 の一方端子に入力される。抵抗 35 の他方端子は、抵抗 36 の一方端子と接続されると共に、VSB 検波器 3 にフィードバック出力される。抵抗 36 の他方端子は、コンデンサ 38 およびコンデンサ 39 の一方端子とそれぞれ接続される。コンデンサ 38 の他方端子は、スイッチダイオード 40 のアノード端子と抵抗 37 の一方端子とに接続される。コンデンサ 39 の他方端子およびスイッチダイオード 40 のカソード端子は、それぞれ接地される。抵抗 37 の他方端子には、セグメント同期検出回路 28 が出力するセグメント同期検出信号 30 が入力される。40

【0097】

まず、セグメント同期信号 20 が検出されるまでは、セグメント同期検出信号 30 が “L” であるので、スイッチダイオード 40 がオフとなる。従って、この場合、ディスクリート回路は、抵抗 35, 36 およびコンデンサ 39 で構成される広帯域ループフィルタとして機能する。50

次に、セグメント同期信号 20 が検出された後は、セグメント同期検出信号 30 が“H”となるので、スイッチダイオード 40 がオンとなる。従って、この場合、ディスクリート回路は、抵抗 35, 36 およびコンデンサ 38, 39 で構成される狭帯域ループフィルタとして機能する。

【0098】

よって、抵抗 35 の他方端子から VSB 検波器 3 へフィードバックされる AGC 電圧 8 は、セグメント同期信号 20 が検出されていない場合には、広帯域ループフィルタを通過した AGC 電圧 8 が、セグメント同期信号 20 が検出された場合には、狭帯域ループフィルタを通過した AGC 電圧 8 が、セグメント同期検出信号 30 に従って選択的に切り換えられて出力される。

10

【0099】

以上のように、本発明の第 2 の実施形態に係る VSB 受信機によれば、セグメント同期信号 20 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 20 を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、AGC 回路 7 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができる。

【0100】

(第 3 の実施形態)

20

図 7 は、本発明の第 3 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。図 7 において、第 3 の実施形態のディジタル復調部 2 は、VSB 検波器 3 と、AD 変換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、増幅器 26 と、デジタルフィルタ 42 と、切り換え回路 34 と、広帯域の係数 43 と、狭帯域の係数 44 と、DA 変換器 29 と、クロック再生回路 6 とを備える。

【0101】

図 7 に示すように、第 3 の実施形態のディジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、AGC 回路 7 を利得検出器 25、増幅器 26、デジタルフィルタ 42、切り換え回路 34、広帯域の係数 43、狭帯域の係数 44 および DA 変換器 29 で構成したものである。なお、図 7 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

30

以下、第 3 の実施形態のディジタル復調部 2 の各構成を順に説明する。

【0102】

増幅器 26 が出力する増幅後のデジタルの判定信号は、デジタルフィルタ 42 においてフィルタリングされ、DA 変換器 29 でアナログの AGC 電圧 8 に変換された後、VSB 検波器 3 にフィードバックされる。

広帯域の係数 43 には、デジタルフィルタ 42 を広帯域で機能させるために必要なフィルタ係数が格納されている。また、狭帯域の係数 44 には、デジタルフィルタ 42 を狭帯域で機能させるために必要なフィルタ係数が格納されている。

30

そして、切り換え回路 34 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が“L”である（セグメント同期信号 20 が検出されていない）場合には、広帯域の係数 43 をデジタルフィルタ 42 に書き込み、セグメント同期検出信号 30 が“H”である（セグメント同期信号 20 が検出された）場合には、狭帯域の係数 44 をデジタルフィルタ 42 に書き込む。

40

【0103】

よって、デジタルフィルタ 42 は、セグメント同期信号 20 が検出されていない場合には、広帯域ループフィルタとして機能し、セグメント同期信号 20 が検出された場合には、狭帯域ループフィルタとして機能するため、VSB 検波器 3 へフィードバックされる AGC 電圧 8 は、セグメント同期検出信号 30 に従って帯域が選択的に切り換えられて出力される。

50

【 0 1 0 4 】

以上のように、本発明の第3の実施形態に係るVSB受信機によれば、セグメント同期信号20を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号20を検出した後はゴースト除去性能を向上させるためにループフィルタを狭帯域に切り換え、AGC回路7のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなる。

【 0 1 0 5 】**(第4の実施形態)**

10

図8は、本発明の第4の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図8において、第4の実施形態のディジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、利得検出器25と、増幅器(利得大)52と、増幅器(利得小)53と、切り換え回路34と、ループフィルタ54と、クロック再生回路6とを備える。

【 0 1 0 6 】

図8に示すように、第4の実施形態のディジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、AGC回路7を利得検出器25、増幅器(利得大)52、増幅器(利得小)53、切り換え回路34およびループフィルタ54で構成したものである。なお、図8において図1および図4と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

20

以下、第4の実施形態のディジタル復調部2の各構成を順に説明する。

【 0 1 0 7 】

利得検出器25が出力する判定信号は、増幅器(利得大)52および増幅器(利得小)53にそれぞれ入力される。

増幅器(利得大)52は、AGC回路7におけるループ利得が大きく(AGCの追従性が良く)なるように、すなわち、セグメント同期信号20の検出時間の短縮をゴースト妨害除去性能よりも優先させた、增幅利得値が設定されている。一方、増幅器(利得小)53は、AGC回路7におけるループ利得が小さく(AGCの追従性が悪く)なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号20の検出時間の短縮よりも優先させた、增幅利得値が設定されている。

30

このように、利得検出器25が出力する判定信号は、増幅器(利得大)52および増幅器(利得小)53でそれぞれ増幅された後、切り換え回路34へ入力される。

【 0 1 0 8 】

切り換え回路34は、増幅器(利得大)52および増幅器(利得小)53でそれぞれ増幅された信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路34は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、増幅器(利得大)52で増幅された信号を、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、増幅器(利得小)53で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路34から選択的に出力された信号は、ループフィルタ54を介した後、AGC電圧8としてVSB検波器3へフィードバックされる。

40

【 0 1 0 9 】

以上のように、本発明の第4の実施形態に係るVSB受信機によれば、セグメント同期信号20を検出するまでは検出時間が短くなるように增幅利得を大きい値に、セグメント同期信号20を検出した後はゴースト除去性能を向上させるために增幅利得を小さい値に切り換え、AGC回路7のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができ

50

となる。

【0110】

(第5の実施形態)

図9は、本発明の第5の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図9において、第5の実施形態のディジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、利得検出器25と、DA変換器29と、オペアンプ(利得大)55と、オペアンプ(利得小)56と、切り換え回路34と、ループフィルタ54と、クロック再生回路6とを備える。

【0111】

図9に示すように、第5の実施形態のディジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、AGC回路7を利得検出器25、DA変換器29、オペアンプ(利得大)55、オペアンプ(利得小)56、切り換え回路34およびループフィルタ54で構成したものである。なお、図9において図1および図4と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第5の実施形態のディジタル復調部2の各構成を順に説明する。

【0112】

DA変換器29は、利得検出器25が出力するディジタルの判定信号を入力し、アナログの判定信号に変換して出力する。このアナログの判定信号は、オペアンプ(利得大)55およびオペアンプ(利得小)56にそれぞれ入力される。

オペアンプ(利得大)55は、AGC回路7におけるループ利得が大きく(AGCの追従性が良く)なるように、すなわち、セグメント同期信号20の検出時間の短縮をゴースト妨害除去性能よりも優先させた、增幅利得値が設定されている。一方、オペアンプ(利得小)56は、AGC回路7におけるループ利得が小さく(AGCの追従性が悪く)なるように、すなわち、ゴースト妨害除去性能をセグメント同期信号20の検出時間の短縮よりも優先させた、增幅利得値が設定されている。

このように、DA変換器29が出力するアナログの判定信号は、オペアンプ(利得大)55およびオペアンプ(利得小)56でそれぞれ増幅された後、切り換え回路34へ入力される。

【0113】

切り換え回路34は、オペアンプ(利得大)55およびオペアンプ(利得小)56でそれぞれ増幅された信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路34は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、オペアンプ(利得大)55で増幅された信号を、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、オペアンプ(利得小)56で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路34から選択的に出力された信号は、ループフィルタ54を介した後、AGC電圧8としてVSB検波器3へフィードバックされる。

【0114】

以上のように、本発明の第5の実施形態に係るVSB受信機によれば、セグメント同期信号20を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号20を検出した後はゴースト除去性能を向上させるために増幅利得を小さい値に切り換え、AGC回路7のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなる。

【0115】

(第6の実施形態)

図10は、本発明の第6の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図10において、第6の実施形態のディジタル復調部2は、

10

20

30

40

50

VSB 検波器 3 と、AD 变換器 4 と、セグメント同期検出回路 28 と、利得検出器 25 と、乘算器 57 と、係数大 58 と、係数小 59 と、切り換え回路 34 と、DA 变換器 29 と、ループフィルタ 54 と、クロック再生回路 6 とを備える。

【0116】

図 10 に示すように、第 6 の実施形態のデジタル復調部 2 は、図 1 における同期検出回路 5 をセグメント同期検出回路 28 で構成し、AGC 回路 7 を利得検出器 25、乗算器 57 と、係数大 58 と、係数小 59 と、切り換え回路 34 と、DA 变換器 29 およびループフィルタ 54 で構成したものである。なお、図 10 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。

以下、第 6 の実施形態のデジタル復調部 2 の各構成を順に説明する。

10

【0117】

利得検出器 25 が出力するデジタルの判定信号は、乗算器 57 において増幅され、DA 变換器 29 でアナログの AGC 電圧 8 に変換された後、VSB 検波器 3 にフィードバックされる。

係数大 58 には、乗算器 57 の增幅利得を大きくするために必要な係数が格納されている。また、係数小 59 には、乗算器 57 の增幅利得を小さくするために必要な係数が格納されている。

そして、切り換え回路 34 は、セグメント同期検出信号 30 に従って、セグメント同期検出信号 30 が “L” である（セグメント同期信号 20 が検出されていない）場合には、係数大 58 を乗算器 57 に入力し、セグメント同期検出信号 30 が “H” である（セグメント同期信号 20 が検出された）場合には、係数小 59 を乗算器 57 に入力する。

20

【0118】

よって、乗算器 57 は、セグメント同期信号 20 が検出されていない場合には利得大の增幅器として機能し、セグメント同期信号 20 が検出された場合には利得小の增幅器として機能するため、VSB 検波器 3 へフィードバックされる AGC 電圧 8 は、セグメント同期検出信号 30 に従って利得値が選択的に切り換えられて出力される。

【0119】

以上のように、本発明の第 6 の実施形態に係る VSB 受信機によれば、セグメント同期信号 20 を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号 20 を検出した後はゴースト除去性能を向上させるために増幅利得を小さい値に切り換え、AGC 回路 7 のループ利得を制御する。

30

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができる。

【0120】

(第 7 の実施形態)

上記第 1 ~ 第 6 の実施形態においては、AGC 回路 7 のループ利得を切り換えることで、セグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させる VSB 受信機を説明した。

次に、以下の実施形態においては、クロック再生回路 6 のループ利得をも切り換えることで、さらにセグメント同期信号 20 の検出時間を短くすると共に、ゴースト妨害時においても正確なクロック再生を行うことができる VSB 受信機を説明する。

40

【0121】

図 11 は、本発明の第 7 の実施形態に係る VSB 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 11 において、第 7 の実施形態のデジタル復調部 2 は、VSB 検波器 3 と、AD 变換器 4 と、セグメント同期検出回路 28 と、クロック周波数検出器 60 と、増幅器 61 と、広帯域ループフィルタ 62 と、狭帯域ループフィルタ 63 と、切り換え回路 64 と、可変クロック発振器 65 と、AGC 回路 7 とを備える。

【0122】

図 11 に示すように、第 7 の実施形態のデジタル復調部 2 は、図 1 における同期検出回

50

路 5 をセグメント同期検出回路 2 8 で構成し、クロック再生回路 6 をクロック周波数検出器 6 0 、増幅器 6 1 、広帯域ループフィルタ 6 2 、狭帯域ループフィルタ 6 3 、切り換え回路 6 4 および可変クロック発振器 6 5 で構成したものである。なお、図 1 1 において図 1 および図 4 と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図 1 1 における A G C 回路 7 には、上記第 1 ~ 第 6 の実施形態のいずれかの構成が用いられる。

以下、第 7 の実施形態のディジタル復調部 2 の各構成を順に説明する。

【 0 1 2 3 】

A D 変換器 4 が出力するディジタルデータ（図 2 ）は、波形等化器 1 0 およびセグメント同期検出回路 2 8 に入力される。セグメント同期検出回路 2 8 は、入力するディジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号 2 0 をクロック周波数検出器 6 0 へ、検出されたか否かの判定であるセグメント同期検出信号 3 0 を切り換え回路 6 4 へ出力する。
10

なお、セグメント同期検出回路 2 8 が行うセグメント同期検出方法は、上記第 1 の実施形態で述べたので、ここでの詳細な説明は省略する。

【 0 1 2 4 】

クロック周波数検出器 6 0 は、V S B 受信機のクロック信号 9 の周波数が送信されてきたデータのクロック周波数より高いか低いかを判定し、その判定信号を増幅器 6 1 へ出力する。

ここで、クロック周波数検出器 6 0 が行うクロック周波数の判定方法を、図 1 2 をさらに参考して説明する。図 1 2 は、クロック周波数検出器 6 0 が行うクロック周波数の判定方法の概念を説明する図である。
20

【 0 1 2 5 】

前提として、A D 変換器 4 に入力される信号は帯域制限されているため、実際のセグメント同期信号 2 0 は、図 3 に示したような 4 シンボルが「 + 5 , - 5 , - 5 , + 5 」の矩形波ではなく、図 1 2 に示すような波形となる。

まず、V S B 受信機のクロック信号 9 が送信データのクロック周波数より高い場合（図 1 2 (a) ）、A D 変換器 4 において V S B 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 2 0 の「 - 5 , - 5 」のシンボルデータを変換すると、それぞれ d 1 , d 2 (d 1 > d 2) のディジタルデータに変換される。逆に、V S B 受信機のクロック信号 9 が送信データのクロック周波数より低い場合（図 1 2 (b) ）、A D 変換器 4 において V S B 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 2 0 の「 - 5 , - 5 」のシンボルデータを変換すると、それぞれ d 1 , d 2 (d 1 < d 2) のディジタルデータに変換される。
30

【 0 1 2 6 】

そこで、クロック周波数検出器 6 0 は、この 2 つのデータ差 (d 1 > d 2 または d 1 < d 2) を判断し、A D 変換器 4 の出力において 2 つのデータ差がなくなる (d 1 = d 2) クロック信号 9 が可変クロック発振器 6 5 から出力されるように判定信号を出力する。

この処理によって、V S B 受信機のクロック信号 9 と送信データのクロック周波数が一致した場合（図 1 2 (c) ）には、A D 変換器 4 において V S B 受信機のクロック信号 9 の立ち上がりタイミングでセグメント同期信号 2 0 の「 - 5 , - 5 」のシンボルデータを変換すると、それぞれ同じ値の d 1 , d 2 (d 1 = d 2) のディジタルデータに変換されるように制御される。
40

増幅器 6 1 は、クロック周波数検出器 6 0 が出力する判定信号を入力し、予め定めた増幅を行った後、広帯域ループフィルタ 6 2 および狭帯域ループフィルタ 6 3 へ出力する。

【 0 1 2 7 】

広帯域ループフィルタ 6 2 は、クロック再生回路 6 におけるループ利得が大きく（クロック再生の追従性が良く）なるように、すなわち、セグメント同期信号 2 0 の検出時間の短縮を正確なクロック再生（換言すれば、ゴースト妨害除去性能）よりも優先させた、フィルタ係数が設定されている。一方、狭帯域ループフィルタ 6 3 は、クロック再生回路 6 に
50

おけるループ利得が小さく（クロック再生の追従性が悪く）なるように、すなわち、正確なクロック再生をセグメント同期信号20の検出時間の短縮よりも優先させた、フィルタ係数が設定されている。そして、増幅器61が出力する増幅後の判定信号は、広帯域ループフィルタ62および狭帯域ループフィルタ63をそれぞれ通過した後、切り換え回路64へ入力される。

【0128】

切り換え回路64は、広帯域ループフィルタ62および狭帯域ループフィルタ63をそれぞれ通過した信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路64は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である（セグメント同期信号20が検出されていない）場合には、広帯域ループフィルタ62を通過した信号を、セグメント同期検出信号30が“H”である（セグメント同期信号20が検出された）場合には、狭帯域ループフィルタ63を通過した信号（DC電圧）を選択的に切り換え、可変クロック発振器65へ出力する。可変クロック発振器65は、切り換え回路64が出力する信号（DC電圧）に基づいて発振するクロック信号9の周波数を可変し、AD変換器4に対してフィードバック出力する。

10

【0129】

以上のように、本発明の第7の実施形態に係るVSB受信機によれば、AGC回路7のループ利得の制御に加え、セグメント同期信号20を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号20を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ためにループフィルタを狭帯域に切り換え、クロック再生回路6のループ利得を制御する。

20

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0130】

（第8の実施形態）

図13は、本発明の第8の実施形態に係るVSB受信機におけるデジタル復調部2の構成を示すブロック図である。図13において、第8の実施形態のデジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、クロック周波数検出器60と、増幅器61と、DA変換器69と、抵抗75～77と、コンデンサ78，79と、スイッチダイオード80と、可変クロック発振器65と、AGC回路7とを備える。

30

【0131】

図13に示すように、第8の実施形態のデジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、クロック再生回路6をクロック周波数検出器60、増幅器61、DA変換器69、抵抗75～77、コンデンサ78，79，スイッチダイオード80からなるディスクリート回路および可変クロック発振器65で構成したものである。なお、図13において図1、図4および図11と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図13におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられる。

40

以下、第8の実施形態のデジタル復調部2の各構成を順に説明する。

【0132】

DA変換器69は、増幅器61が出力する増幅後のデジタルの判定信号を入力し、アナログの判定信号に変換して出力する。このDA変換器69の出力信号は、ディスクリート回路の抵抗75の一方端子に入力される。抵抗75の他方端子は、抵抗76の一方端子と接続されると共に、可変クロック発振器65に出力される。抵抗76の他方端子は、コンデンサ78およびコンデンサ79の一方端子とそれぞれ接続される。コンデンサ78の他方端子は、スイッチダイオード80のアノード端子と抵抗77の一方端子とに接続される

50

。コンデンサ 7 9 の他方端子およびスイッチダイオード 8 0 のカソード端子は、それぞれ接地される。抵抗 7 7 の他方端子には、セグメント同期検出回路 2 8 が出力するセグメント同期検出信号 3 0 が入力される。

【 0 1 3 3 】

まず、セグメント同期信号 2 0 が検出されるまでは、セグメント同期検出信号 3 0 が“ L ”であるので、スイッチダイオード 8 0 がオフとなる。従って、この場合、ディスクリート回路は、抵抗 7 5 , 7 6 およびコンデンサ 7 9 で構成される広帯域ループフィルタとして機能する。

次に、セグメント同期信号 2 0 が検出された後は、セグメント同期検出信号 3 0 が“ H ”となるので、スイッチダイオード 8 0 がオンとなる。従って、この場合、ディスクリート回路は、抵抗 7 5 , 7 6 およびコンデンサ 7 8 , 7 9 で構成される狭帯域ループフィルタとして機能する。10

【 0 1 3 4 】

よって、抵抗 7 5 の他方端子から可変クロック発振器 6 5 を介して A D 変換器 4 へ FIFO バックされるクロック信号 9 は、セグメント同期信号 2 0 が検出されていない場合には、広帯域ループフィルタを通過した判定信号が、セグメント同期信号 2 0 が検出された場合には、狭帯域ループフィルタを通過した判定信号が、セグメント同期検出信号 3 0 に従って選択的に切り換えられて出力される。

【 0 1 3 5 】

ここで、具体的な実験による結果を示す。なお、各素子の値は、抵抗 3 5 が $18\text{ k}\Omega$ 、抵抗 3 6 が $1\text{ k}\Omega$ 、コンデンサ 3 8 が $1\text{ }\mu\text{F}$ 、コンデンサ 3 9 が $3.3\text{ }\mu\text{F}$ である。20

セグメント同期信号 2 0 の検出前後でループフィルタの切り換えを行わずに、抵抗 7 5 , 7 6 およびコンデンサ 7 9 のみで広帯域ループフィルタを構成した場合のセグメント同期信号 2 0 の検出時間は 1.05 秒 (20 回測定した平均値、以下同じ) 、セグメント同期信号 2 0 の検出前後でループフィルタの帯域切り換えを行った場合のセグメント同期信号 2 0 の検出時間は 0.36 秒 となった。

また、ゴースト妨害除去の性能は、クロック再生回路 6 のループを広帯域で固定した場合(すなわち、A G C 回路 7 のループ利得を切り換えるだけの場合)には、ゴースト妨害 $1\text{ }\mu\text{s e c}$ のゴースト除去の性能は $D/U = 8\text{ dB}$ であるが、セグメント同期信号 2 0 の検出前後においてクロック再生回路 6 のループフィルタの帯域を広帯域から狭帯域へと切り換えた場合には、ゴースト妨害 $1\text{ }\mu\text{s e c}$ のゴースト除去性能は、 $D/U = 6\text{ dB}$ へとさらに改善される。30

【 0 1 3 6 】

以上のように、本発明の第 8 の実施形態に係る V S B 受信機によれば、A G C 回路 7 のループ利得の制御に加え、セグメント同期信号 2 0 を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号 2 0 を検出した後は正確なクロック再生を行う(すなわち、ゴースト除去性能を向上させる)ためにループフィルタを狭帯域に切り換え、クロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 2 0 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることが可能となり、さらに、V S B 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。40

【 0 1 3 7 】

(第 9 の実施形態)

図 1 4 は、本発明の第 9 の実施形態に係る V S B 受信機におけるデジタル復調部 2 の構成を示すブロック図である。図 1 4 において、第 9 の実施形態のデジタル復調部 2 は、V S B 検波器 3 と、A D 変換器 4 と、セグメント同期検出回路 2 8 と、クロック周波数検出器 6 0 と、增幅器 6 1 と、デジタルフィルタ 8 2 と、切り換え回路 6 4 と、広帯域の係数 8 3 と、狭帯域の係数 8 4 と、D A 変換器 6 9 と、可変クロック発振器 6 5 と、A G C 回路 7 とを備える。50

【0138】

図14に示すように、第9の実施形態のデジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、クロック再生回路6をクロック周波数検出器60、增幅器61、デジタルフィルタ82、切り換え回路64、広帯域の係数83、狭帯域の係数84、DA変換器69および可変クロック発振器65で構成したものである。なお、図14において図1、図4および図11と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図14におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられる。

以下、第9の実施形態のデジタル復調部2の各構成を順に説明する。

【0139】

10

増幅器61が出力する増幅後のデジタルの判定信号は、デジタルフィルタ82においてフィルタリングされ、DA変換器69でアナログ信号(DC電圧)に変換された後、可変クロック発振器65を介してクロック信号9としてAD変換器4にフィードバックされる。

広帯域の係数83には、デジタルフィルタ82を広帯域で機能させるために必要なフィルタ係数が格納されている。また、狭帯域の係数84には、デジタルフィルタ82を狭帯域で機能させるために必要なフィルタ係数が格納されている。

そして、切り換え回路64は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、広帯域の係数83をデジタルフィルタ82に書き込み、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、狭帯域の係数84をデジタルフィルタ82に書き込む。

20

【0140】

よって、デジタルフィルタ82は、セグメント同期信号20が検出されていない場合には、広帯域ループフィルタとして機能し、セグメント同期信号20が検出された場合には、狭帯域ループフィルタとして機能するため、AD変換器4へフィードバックされるクロック信号9は、セグメント同期検出信号30に従って帯域が選択的に切り換えられて出力される。

【0141】

30

以上のように、本発明の第9の実施形態に係るVSB受信機によれば、AGC回路7のループ利得の制御に加え、セグメント同期信号20を検出するまでは検出時間が短くなるようにループフィルタを広帯域に、セグメント同期信号20を検出した後は正確なクロック再生を行う(すなわち、ゴースト除去性能を向上させる)ためにループフィルタを狭帯域に切り換え、クロック再生回路6のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0142】

40

(第10の実施形態)

図15は、本発明の第10の実施形態に係るVSB受信機におけるデジタル復調部2の構成を示すブロック図である。図15において、第10の実施形態のデジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、クロック周波数検出器60と、増幅器(利得大)92と、増幅器(利得小)93と、切り換え回路64と、ループフィルタ94と、可変クロック発振器65と、AGC回路7とを備える。

【0143】

図15に示すように、第10の実施形態のデジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、クロック再生回路6をクロック周波数検出器60、増幅器(利得大)92、増幅器(利得小)93、切り換え回路64、ループフィルタ94および可変クロック発振器65で構成したものである。なお、図15において

50

図1、図4および図11と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図15におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられる。

以下、第10の実施形態のディジタル復調部2の各構成を順に説明する。

【0144】

クロック周波数検出器60が出力する判定信号は、増幅器(利得大)92および増幅器(利得小)93にそれぞれ入力される。

増幅器(利得大)92は、クロック再生回路6におけるループ利得が大きく(クロック再生の追従性が良く)なるように、すなわち、セグメント同期信号20の検出時間の短縮を正確なクロック再生(換言すれば、ゴースト妨害除去性能)よりも優先させた、增幅利得値が設定されている。一方、増幅器(利得小)93は、クロック再生回路6におけるループ利得が小さく(クロック再生の追従性が悪く)なるように、すなわち、正確なクロック再生をセグメント同期信号20の検出時間の短縮よりも優先させた、增幅利得値が設定されている。
10

このように、クロック周波数検出器60が出力する判定信号は、増幅器(利得大)92および増幅器(利得小)93でそれぞれ増幅された後、切り換え回路64へ入力される。

【0145】

切り換え回路64は、増幅器(利得大)92および増幅器(利得小)93でそれぞれ増幅された信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路64は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、増幅器(利得大)92で増幅された信号を、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、増幅器(利得小)93で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路64から選択的に出力された信号(DC電圧)は、ループフィルタ94および可変クロック発振器65を介した後、クロック信号9としてAD変換器4へフィードバックされる。
20

【0146】

以上のように、本発明の第10の実施形態に係るVSB受信機によれば、AGC回路7のループ利得の制御に加え、セグメント同期信号20を検出するまでは検出時間が短くなるように增幅利得を大きい値に、セグメント同期信号20を検出した後は正確なクロック再生を行う(すなわち、ゴースト除去性能を向上させる)ために増幅利得を小さい値に切り換え、クロック再生回路6のループ利得を制御する。
30

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0147】

(第11の実施形態)

図16は、本発明の第11の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図16において、第11の実施形態のディジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、クロック周波数検出器60と、DA変換器69と、オペアンプ(利得大)95と、オペアンプ(利得小)96と、切り換え回路64と、ループフィルタ94と、可変クロック発振器65と、AGC回路7とを備える。
40

【0148】

図16に示すように、第11の実施形態のディジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、クロック再生回路6をクロック周波数検出器60、DA変換器69、オペアンプ(利得大)95、オペアンプ(利得小)96、切り換え回路64、ループフィルタ94および可変クロック発振器65で構成したものである。なお、図16において図1、図4および図11と同一の構成である部分については、
50

同一の参照番号を付してその説明を省略する。また、図16におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられる。

以下、第11の実施形態のディジタル復調部2の各構成を順に説明する。

【0149】

DA変換器69は、クロック周波数検出器60が出力するディジタルの判定信号を入力し、アナログの判定信号に変換して出力する。このアナログの判定信号は、オペアンプ(利得大)95およびオペアンプ(利得小)96にそれぞれ入力される。

オペアンプ(利得大)95は、クロック再生回路6におけるループ利得が大きく(クロック再生の追従性が良く)なるように、すなわち、セグメント同期信号20の検出時間の短縮を正確なクロック再生(換言すれば、ゴースト妨害除去性能)よりも優先させた、増幅利得値が設定されている。一方、オペアンプ(利得小)96は、クロック再生回路6におけるループ利得が小さく(クロック再生の追従性が悪く)なるように、すなわち、正確なクロック再生をセグメント同期信号20の検出時間の短縮よりも優先させた、増幅利得値が設定されている。10

このように、DA変換器69が出力するアナログの判定信号は、オペアンプ(利得大)95およびオペアンプ(利得小)96でそれぞれ増幅された後、切り換え回路64へ入力される。

【0150】

切り換え回路64は、オペアンプ(利得大)95およびオペアンプ(利得小)96でそれぞれ増幅された信号と、セグメント同期検出回路28からセグメント同期検出信号30を入力する。そして、切り換え回路64は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である(セグメント同期信号20が検出されていない)場合には、オペアンプ(利得大)95で増幅された信号を、セグメント同期検出信号30が“H”である(セグメント同期信号20が検出された)場合には、オペアンプ(利得小)96で増幅された信号を選択的に切り換えて出力する。そして、切り換え回路64から選択的に出力された信号は、ループフィルタ94および可変クロック発振器65を介した後、クロック信号9としてAD変換器4へフィードバックされる。20

【0151】

以上のように、本発明の第11の実施形態に係るVSB受信機によれば、AGC回路7のループ利得の制御に加え、セグメント同期信号20を検出するまでは検出時間が短くなるように増幅利得を大きい値に、セグメント同期信号20を検出した後は正確なクロック再生を行う(すなわち、ゴースト除去性能を向上させる)ために増幅利得を小さい値に切り換え、クロック再生回路6のループ利得を制御する。30

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0152】

(第12の実施形態)

図17は、本発明の第12の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図17において、第12の実施形態のディジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、クロック周波数検出器60と、乗算器97と、係数大98と、係数小99と、切り換え回路64と、DA変換器69と、ループフィルタ94と、可変クロック発振器65と、AGC回路7とを備える。40

【0153】

図17に示すように、第12の実施形態のディジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28で構成し、クロック再生回路6をクロック周波数検出器60、乗算器97、係数大98、係数小99、切り換え回路64、DA変換器69、ループフィルタ94および可変クロック発振器65で構成したものである。なお、図1750

において図1、図4および図11と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図17におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられる。

以下、第12の実施形態のディジタル復調部2の各構成を順に説明する。

【0154】

クロック周波数検出器60が出力するディジタルの判定信号は、乗算器97において増幅され、DA変換器69でアナログのDC電圧に変換された後、ループフィルタ94および可変クロック発振器65を介してAD変換器4にフィードバックされる。

係数大98には、乗算器97の增幅利得を大きくするために必要な係数が格納されている。また、係数小99には、乗算器97の增幅利得を小さくするために必要な係数が格納されている。10

そして、切り換え回路64は、セグメント同期検出信号30に従って、セグメント同期検出信号30が“L”である（セグメント同期信号20が検出されていない）場合には、係数大98を乗算器97に入力し、セグメント同期検出信号30が“H”である（セグメント同期信号20が検出された）場合には、係数小99を乗算器97に入力する。

【0155】

よって、乗算器97は、セグメント同期信号20が検出されていない場合には利得大の増幅器として機能し、セグメント同期信号20が検出された場合には利得小の増幅器として機能するため、AD変換器4へフィードバックされるクロック信号9は、セグメント同期検出信号30に従って増幅値が選択的に切り換えられて出力される。20

【0156】

以上のように、本発明の第12の実施形態に係るVSB受信機によれば、AGC回路7のループ利得の制御に加え、セグメント同期信号20を検出するまでは検出時間が短くなるように增幅利得を大きい値に、セグメント同期信号20を検出した後は正確なクロック再生を行う（すなわち、ゴースト除去性能を向上させる）ために増幅利得を小さい値に切り替え、クロック再生回路6のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号20の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。30

【0157】

（第13の実施形態）

上記第1～第12の実施形態においては、セグメント同期検出を行って得たセグメント同期信号20およびセグメント同期検出信号30を用いて、AGC回路7およびクロック再生回路6のループ利得を切り換えることを行った。

次に、第13の実施形態においては、フィールド同期検出を行って得たフィールド同期信号21, 22およびフィールド同期検出信号101を用いて、AGC回路7およびクロック再生回路6のループ利得を切り換えるVSB受信機を説明する。

【0158】

図18は、本発明の第13の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。図18において、第13の実施形態のディジタル復調部2は、VSB検波器3と、AD変換器4と、セグメント同期検出回路28と、フィールド同期検出回路100と、クロック再生回路6と、AGC回路7とを備える。40

【0159】

図18に示すように、第13の実施形態のディジタル復調部2は、図1における同期検出回路5をセグメント同期検出回路28およびフィールド同期検出回路100で構成したものである。なお、図18において図1と同一の構成である部分については、同一の参照番号を付してその説明を省略する。また、図18におけるAGC回路7には、上記第1～第6の実施形態のいずれかの構成が用いられ、クロック再生回路6には、上記第7～第12の実施形態のいずれかの構成が用いられる。50

以下、第13の実施形態のデジタル復調部2の各構成を順に説明する。

【0160】

A/D変換器4が出力するデジタルデータ(図2)は、波形等化器10およびセグメント同期検出回路28に入力される。セグメント同期検出回路28は、入力するデジタルデータに対してセグメント同期検出を行い、検出したセグメント同期信号20をフィールド同期検出回路100へ出力する。

なお、セグメント同期検出回路28が行うセグメント同期検出方法は、上記第1の実施形態で述べたので、ここでの詳細な説明は省略する。

【0161】

フィールド同期検出回路100は、入力するセグメント同期信号20に基づいてフィールド同期検出を行い、検出したフィールド同期信号21, 22およびフィールド同期検出信号101をクロック再生回路6およびAGC回路7へそれぞれ出力する。10

ここで、フィールド同期検出回路100が行うフィールド同期検出方法を、図19をさらに参照して説明する。図19は、フィールド同期検出回路100が行うフィールド同期検出の手順を示すフローチャートである。

【0162】

図3に示すように、フィールド同期信号21, 22としてどのようなデータが送られてくるのかが予めわかっているため、セグメント同期検出回路28において送信データのセグメント同期信号20を検出することにより、各セグメントの先頭部分がわかる。そこで、フィールド同期検出回路100は、検出されたセグメント同期信号20の位置に基づいて20、フィールド同期信号21, 22の検出を以下のようにして行う。

まず、フィールド同期検出回路100は、フィールド同期検出動作を開始するとフィールド同期検出信号101をローレベル“L”に初期化する(ステップS201)。次に、フィールド同期検出回路100は、1フィールド(313セグメント)の間、各セグメントの832シンボルのデータとフィールド同期信号21, 22の特定パターンとの誤差の和(誤差量)を、各セグメント毎に算出する(ステップS202)。そして、フィールド同期検出回路100は、1フィールド内で最も誤差量の小さいA番目のセグメントを、フィールド同期の候補とする(ステップS203)。次に、フィールド同期検出回路100は、各フィールド毎に最も誤差量の小さいセグメントを算出し、この算出したセグメントが連続してA番目のセグメントとなる回数を判断する(ステップS204)。ステップS204の判断において、各フィールド毎に算出したセグメントがB回(Bは、フィールド同期信号検出確定となるフィールド同期パターン検出回数であり、予め任意に定めてある)連続してA番目のセグメントとなった場合、フィールド同期検出回路100は、A番目のセグメントをフィールド同期信号21, 22と確定し、ステップS206に進む。一方、ステップS204の判断において、各フィールド毎に算出したセグメントがB回連続してA番目のセグメントとならない場合、フィールド同期検出回路100は、ステップS201に戻って再度フィールド同期検出確定の処理を行う。30

【0163】

さらに、フィールド同期検出回路100は、フィールド同期信号検出が確定した後も、後続する各フィールドにおいて、確定したフィールド同期信号21, 22のセグメントから313セグメント離れたセグメントの誤差量が最小であるか否かを判断する(ステップS206)。そして、ステップS206の判断において、313セグメント離れたセグメントの誤差量が最小でなかった場合、フィールド同期検出回路100は、ステップS205で初期化したフィールド同期パターン未検出回数Cの値を1つ増やす(ステップS207)。このステップS206～S207の手順を繰り返し、C=D(Dは、フィールド同期信号未検出確定となるフィールド同期パターン未検出回数であり、予め任意に定めてある)となった場合には、フィールド同期検出回路100は、フィールド同期検出が未確定に移行したと判断し、ステップS201に戻って再度フィールド同期検出確定への処理を行う(ステップS208)。40

【0164】

上記処理によりフィールド同期検出回路 100において検出されたフィールド同期信号 21, 22 は、セグメント同期信号 20 の代わりとして、フィールド同期検出信号 101 は、セグメント同期検出信号 30 の代わりとして、上記第 1 ~ 第 12 の実施形態で述べた AGC 回路 7 およびクロック再生回路 6 へそれぞれ出力される。

そして、AGC 回路 7 およびクロック再生回路 6 は、上述したようにフィールド同期信号 21, 22 に基づいて大小のループ利得を各々構成し、フィールド同期検出信号 101 に従って、大小のループ利得を適切に切り換える。

【0165】

以上のように、本発明の第 13 の実施形態に係る VSB 受信機によれば、フィールド同期信号 21, 22 を検出するまでは検出時間が短くなるように帯域または増幅値を大きい値に、フィールド同期信号 21, 22 を検出した後はゴースト除去性能を向上させるために帯域または増幅値を小さい値に切り換え、AGC 回路 7 およびクロック再生回路 6 のループ利得を制御する。

これにより、受信信号にゴースト妨害のある場合でも、セグメント同期信号 20 およびフィールド同期信号 21, 22 の検出時間を短くすると共に、ゴースト妨害に対するゴースト除去性能をも向上させることができとなり、さらに、VSB 受信機の再生クロックにジッタが生じなくなるので、受信信号に誤りが発生しなくなる。

【0166】

なお、上記第 13 の実施形態では、フィールド同期信号 21, 22 およびフィールド同期検出信号 101 を用いて AGC 回路 7 およびクロック再生回路 6 の双方のループ利得を制御するように記載したが、AGC 回路 7 のみのループ利得を制御するようにしても構わない。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る VSB 受信機の構成を示すブロック図である。

【図 2】8 値 VSB 変調信号の伝送フォーマットの一例を示す図である。

【図 3】図 2 のセグメント同期信号 20 およびフィールド同期信号 21, 22 のデータ構成を示す図である。

【図 4】本発明の第 1 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 5】図 4 のセグメント同期検出回路 28 が行うセグメント同期検出の手順を示すフローチャートである。

【図 6】本発明の第 2 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 7】本発明の第 3 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 8】本発明の第 4 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 9】本発明の第 5 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 10】本発明の第 6 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 11】本発明の第 7 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 12】図 11 のクロック周波数検出器 60 が行うクロック周波数の判定方法の概念を説明する図である。

【図 13】本発明の第 8 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 14】本発明の第 9 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 15】本発明の第 10 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

【図 16】本発明の第 11 の実施形態に係る VSB 受信機におけるディジタル復調部 2 の構成を示すブロック図である。

10

20

30

40

50

構成を示すブロック図である。

【図16】本発明の第11の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。

【図17】本発明の第12の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。

【図18】本発明の第13の実施形態に係るVSB受信機におけるディジタル復調部2の構成を示すブロック図である。

【図19】図18のフィールド同期検出回路100が行うフィールド同期検出の手順を示すフロー チャートである。

【図20】従来のVSB受信機の構成の一例を示すブロック図である。 10

【図21】図20の波形等化器203の詳細な構成の一例を示すブロック図である。

【図22】従来のVSB受信機において生じる問題を説明する図である。

【符号の説明】

1, 201...チューナ

2, 202...ディジタル復調部

3...VSB検波器

4...A/D変換器

5...同期検出回路

6...クロック再生回路

7...AGC回路

8...AGC電圧

9...クロック信号

10, 203...波形等化器

11, 204...誤り訂正回路

12...トランスポートストリーム

13, 205...トランスポートデコーダ

14...映像データ

15...音声データ

16, 206...ビデオデコーダ

17, 207...オーディオデコーダ

18...映像信号

19...音声信号

20...セグメント同期信号

21, 22...フィールド同期信号

25...利得検出器

26, 52, 53, 61, 92, 93...増幅器

28...セグメント同期検出回路

29, 69...D/A変換器

30...セグメント同期検出信号

32, 33, 54, 62, 63, 94...ループフィルタ

34, 64...切り換え回路

35~37, 75~77...抵抗

38, 39, 78, 79...コンデンサ

40, 80...スイッチダイオード

42, 82...ディジタルフィルタ

43, 44, 58, 59, 83, 84, 98, 99...係数

55, 56, 95, 96...オペアンプ

57, 97...乗算器

60...クロック周波数検出器

65...可変クロック発振器

10

20

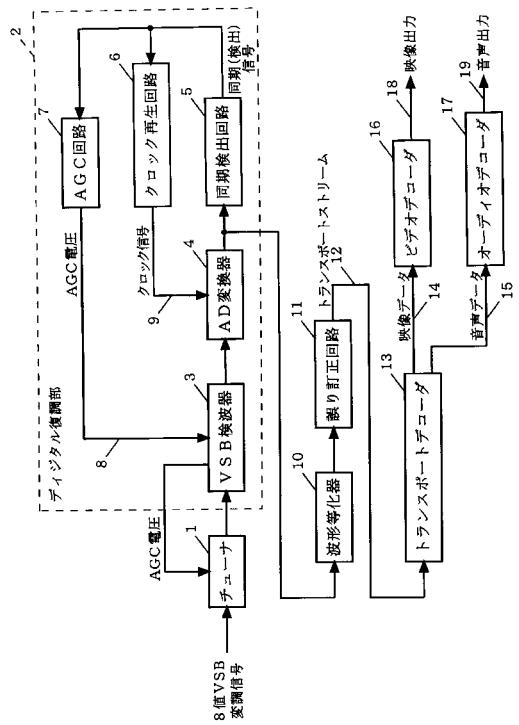
30

40

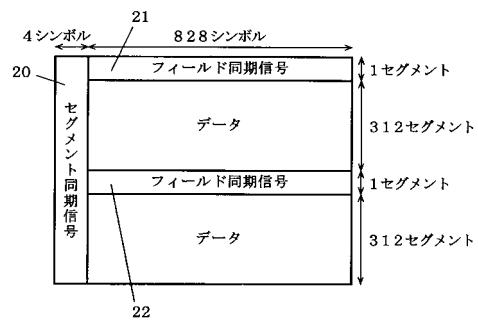
50

1 0 0 ... フィールド同期検出回路
 1 0 1 ... フィールド同期検出信号

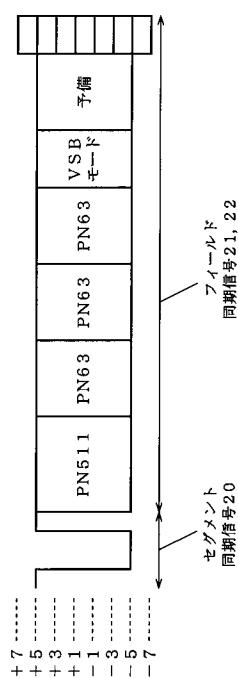
【図 1】



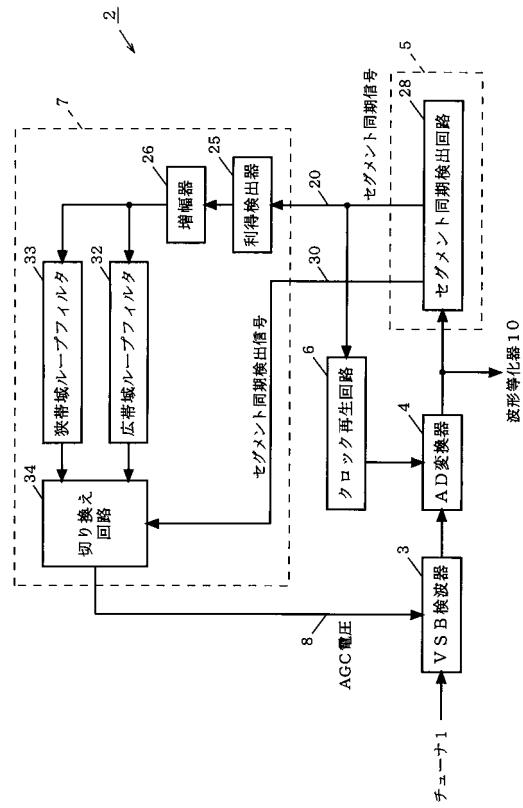
【図 2】



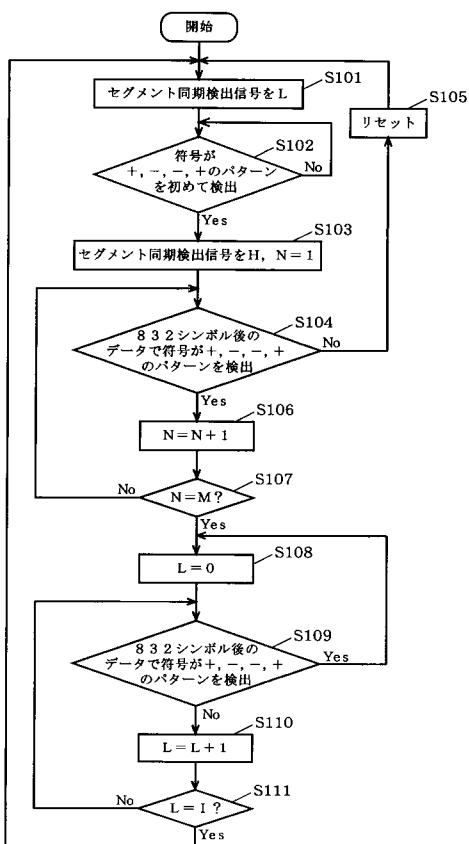
【図3】



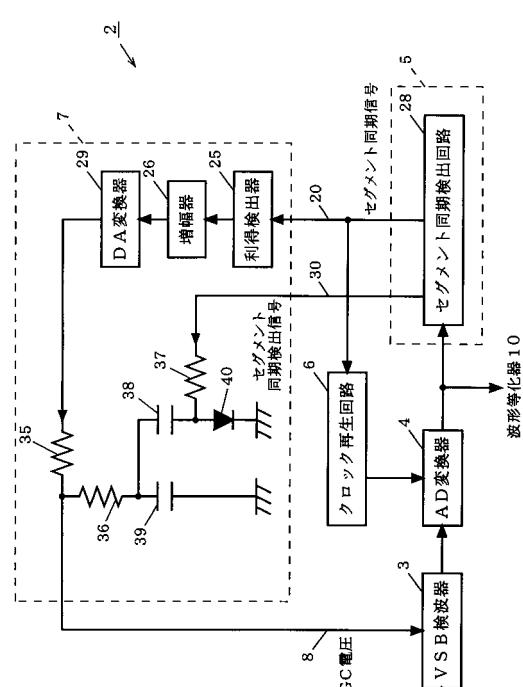
【図4】



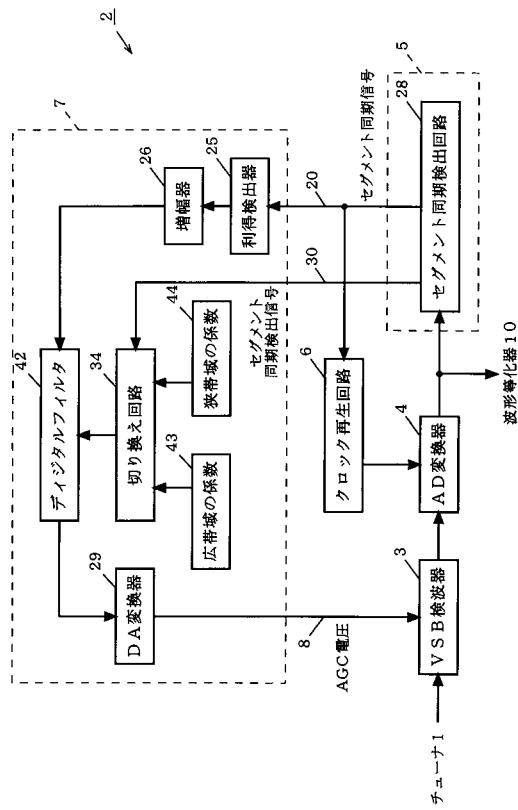
【図5】



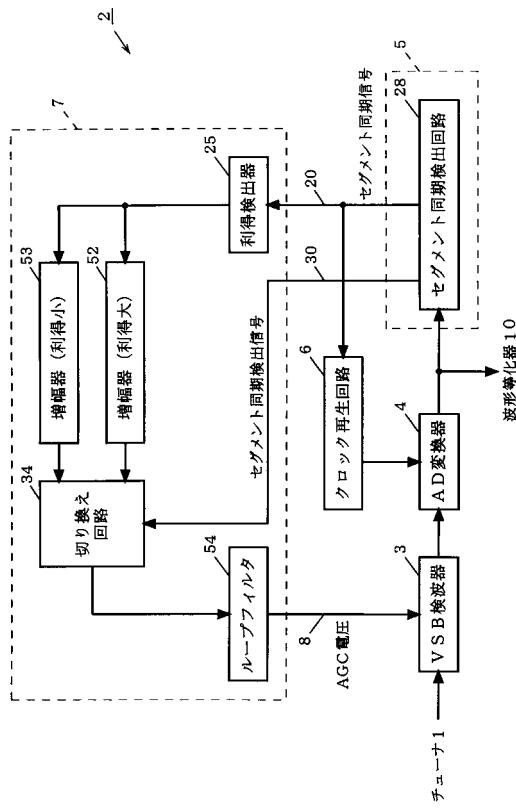
【図6】



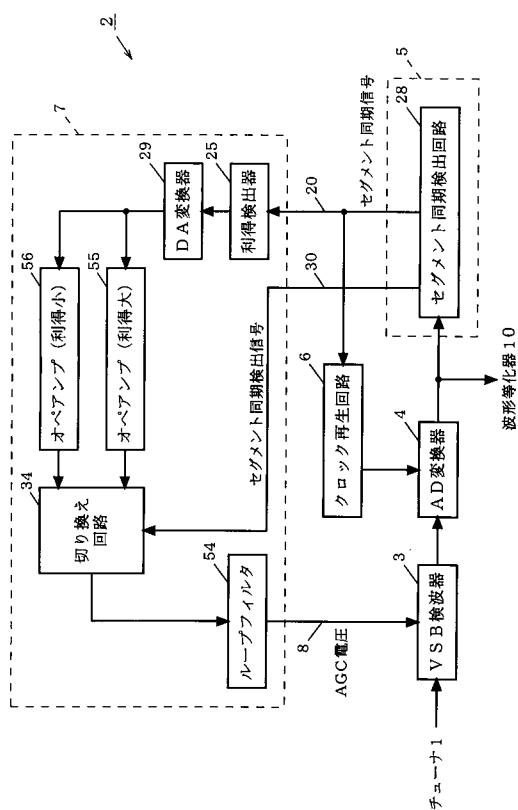
【図 7】



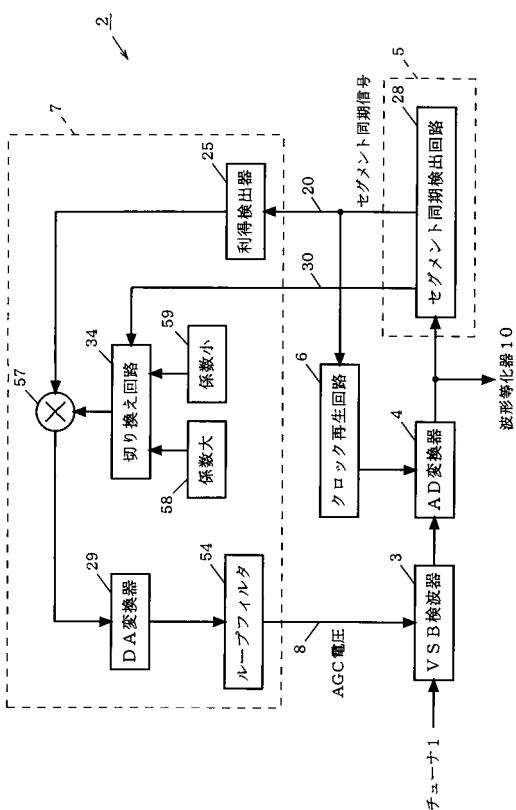
【図 8】



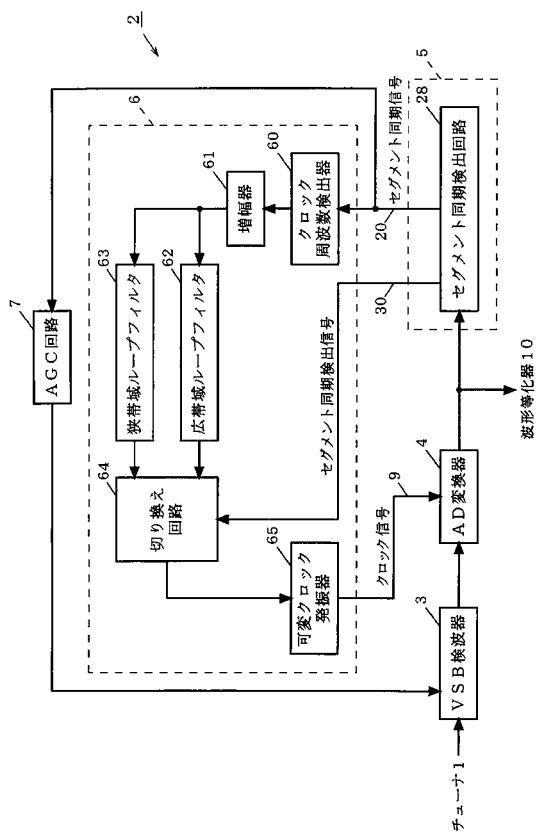
【図 9】



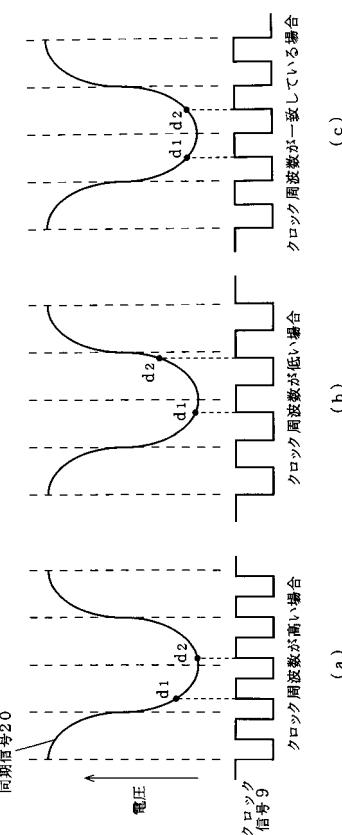
【図 10】



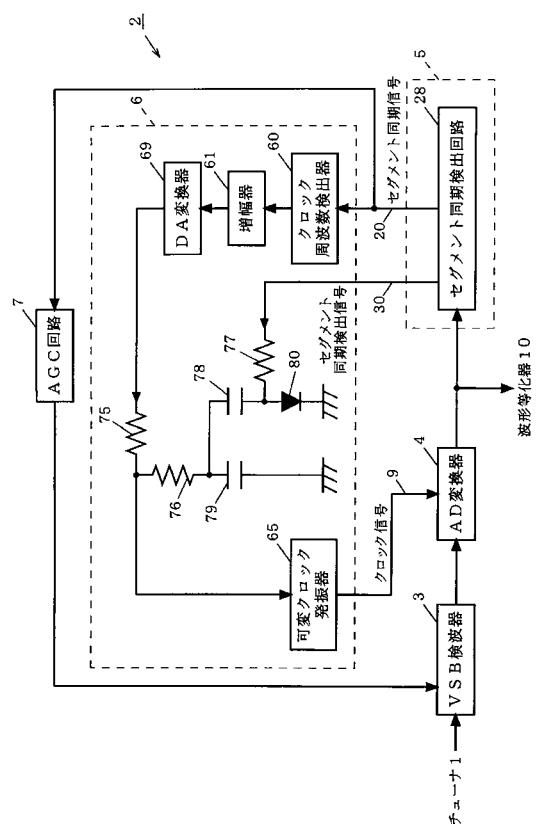
【図 1 1】



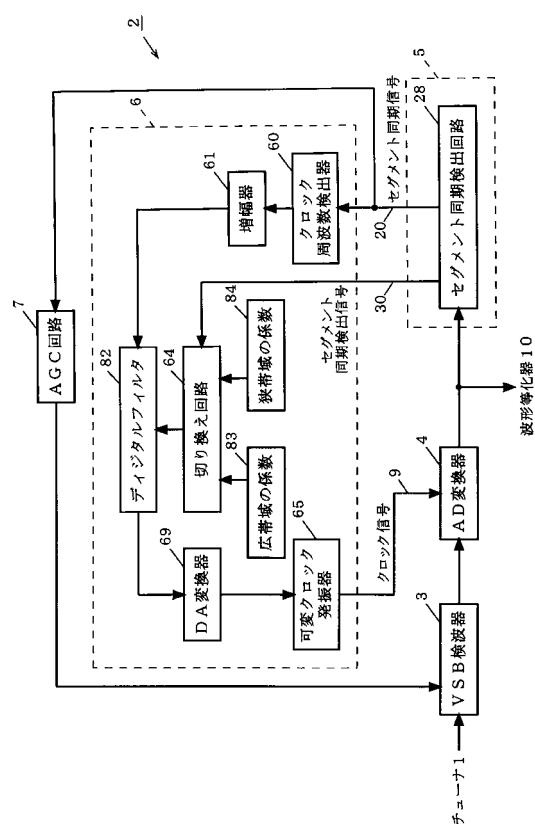
【図 1 2】



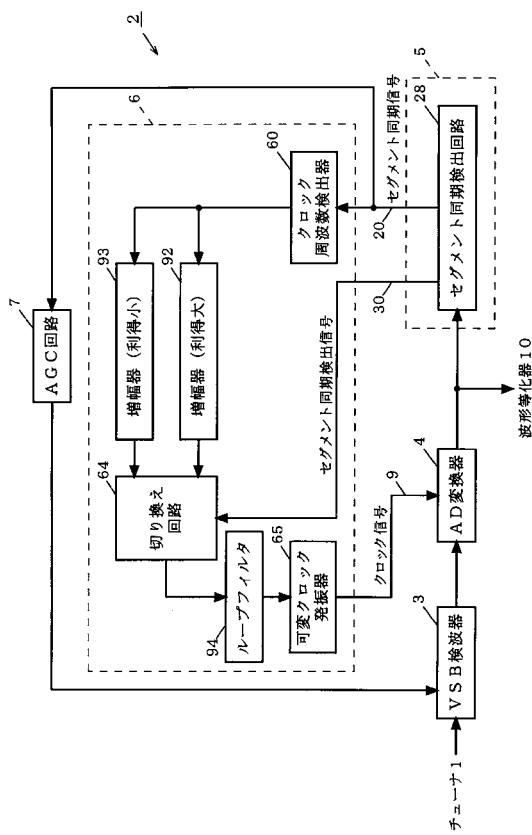
【図 1 3】



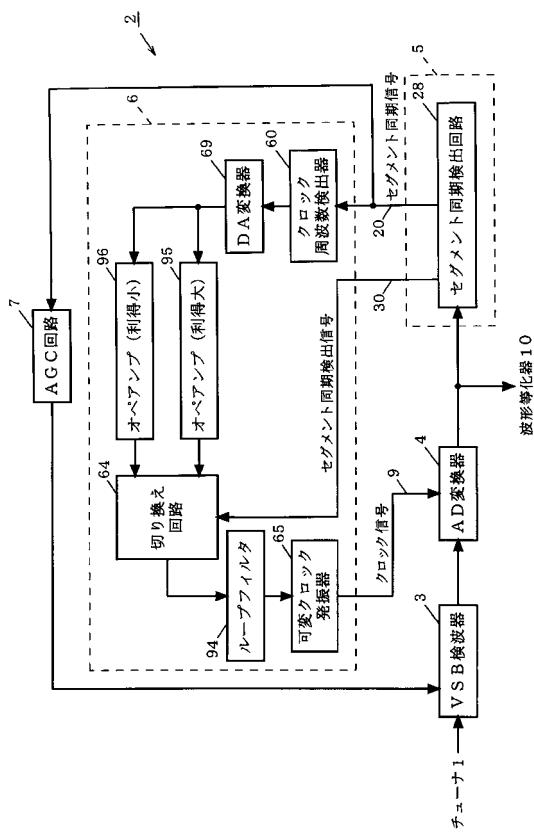
【図 1 4】



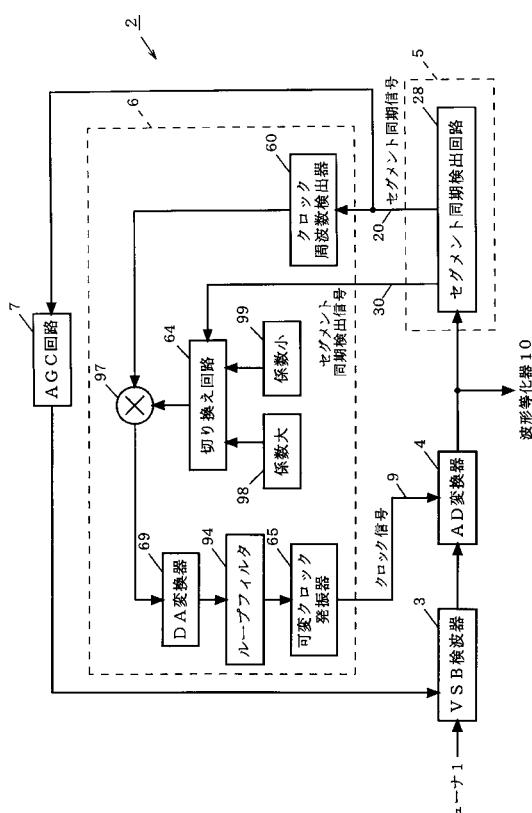
【図15】



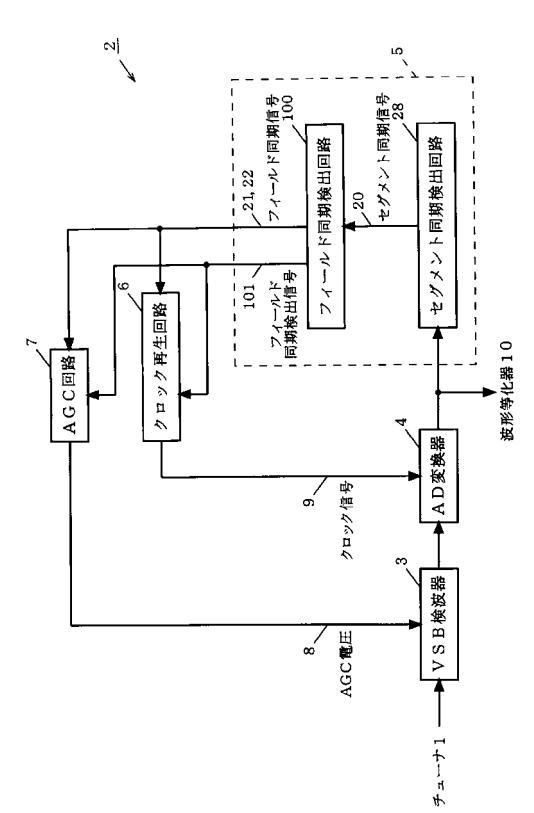
【図16】



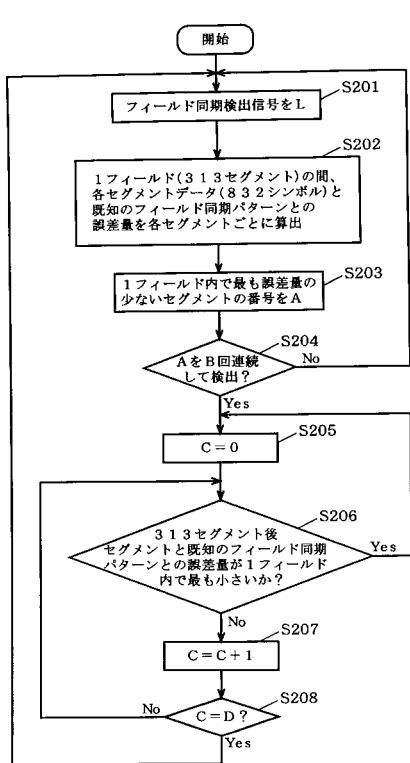
【図17】



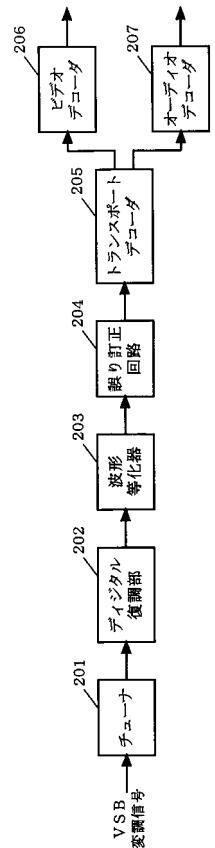
【図18】



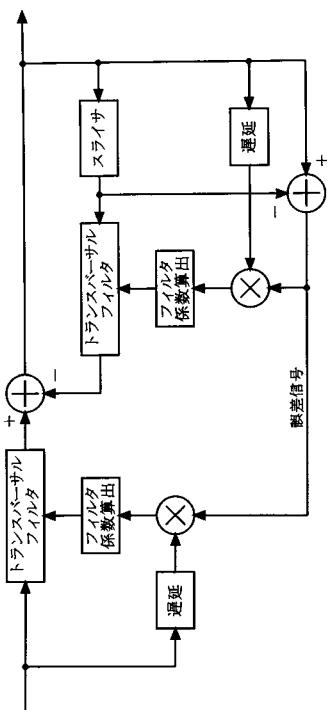
【図19】



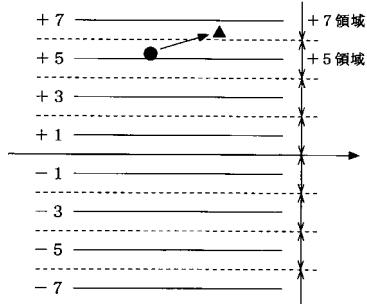
【図20】



【図21】



【図22】



フロントページの続き

審査官 彦田 克文

(56)参考文献 特開平10-065990(JP,A)

特開平09-018533(JP,A)

特開平02-073739(JP,A)

特開平03-004647(JP,A)

特開平04-040726(JP,A)

特開平06-216955(JP,A)

特表平07-508389(JP,A)

特開平05-236040(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/06

H04L 7/08

H04N 5/21 - 5/44