

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5459896号
(P5459896)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 A
HO 1 L 21/768 (2006.01)	HO 1 L 21/288 Z
HO 1 L 23/522 (2006.01)	HO 1 L 27/10 4 3 1
HO 1 L 21/288 (2006.01)	
HO 1 L 27/10 (2006.01)	

請求項の数 7 (全 42 頁)

(21) 出願番号	特願2008-40843 (P2008-40843)	(73) 特許権者	000153878
(22) 出願日	平成20年2月22日 (2008.2.22)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-252072 (P2008-252072A)		神奈川県厚木市長谷398番地
(43) 公開日	平成20年10月16日 (2008.10.16)	(72) 発明者	吉住 健輔
審査請求日	平成23年2月18日 (2011.2.18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-53712 (P2007-53712)		半導体エネルギー研究所内
(32) 優先日	平成19年3月5日 (2007.3.5)	(72) 発明者	針馬 典子
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
前置審査		(72) 発明者	山田 智子
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	小田 浩

最終頁に続く

(54) 【発明の名称】 配線及び記憶素子の作製方法

(57) 【特許請求の範囲】

【請求項1】

導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、
前記組成物を乾燥し、

前記乾燥により溶媒を気化させた組成物にオゾン雰囲気下で紫外線を照射した後、150 未満の温度にて焼成して配線を形成することを特徴とする配線の作製方法。

【請求項2】

請求項1において、

前記紫外線の波長は175nm以下であることを特徴とする配線の作製方法。

【請求項3】

請求項1または請求項2において、

前記組成物を、配線形成領域以外に形成された隔壁の内側に吐出することを特徴とする配線の作製方法。

【請求項4】

請求項1または請求項3において、

前記紫外線を、低圧水銀ランプを用いて照射することを特徴とする配線の作製方法。

【請求項5】

請求項1乃至請求項3のいずれか一項において、

前記紫外線を、エキシマランプを用いて照射することを特徴とする配線の作製方法。

【請求項6】

第1の導電層を形成し、
 前記第1の導電層上にメモリ層を形成し、
 前記メモリ層上に、導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、
 前記組成物を乾燥し、
 前記乾燥により溶媒を気化させた組成物にオゾン雰囲気下で紫外線を照射した後、150未満の温度にて焼成して第2の導電層を形成することを特徴とする記憶素子の作製方法。

【請求項7】

請求項6において、

前記紫外線の波長は175nm以下であることを特徴とする記憶素子の作製方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線をはじめとする導電膜の作製方法に関する。

【背景技術】

【0002】

近年、インクジェット法に代表される液滴吐出法を用いたパターン形成は、フラットパネルディスプレイの分野に応用され、開発が活発に進められている。液滴吐出法は、直接描画するため、マスクが不要であり、大型基板への適用が容易、材料の利用効率が高い等の多くの利点を有するため、カラーフィルタやプラズマディスプレイの電極等の作製に応用されている（例えば、非特許文献1参照）。

20

【0003】

例えば、液滴吐出法を用いた導電膜は、溶媒に分散された導電性粒子を含む組成物を塗布し、乾燥・焼成することで形成される。この組成物には、溶媒の他、導電性粒子を溶媒に分散させる分散剤等の有機化合物が含まれている。そのため、これら有機化合物を分解除去すると共に、導電性微粒子を焼結させるために高温で焼成される。

【0004】

ところで、特許文献1には焼成温度を低く抑えるために焼成する際に紫外線照射を併用する技術が開示されている。なお、用いる紫外線の波長は分散剤に用いた物質に依存した値が開示されている。

30

【非特許文献1】T. Shimoda, Ink-jet Technology for Fabrication Processes of Flat Panel Displays, SID 03 DIGEST, p1178 - p1181

【特許文献1】特開2006-291347号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、その温度は150と高く、例えば導電膜を有機膜やプラスチック基板等の上に形成する場合においては、より低い温度での焼成が要求される。

【0006】

そこで、本発明では焼成を必要とする液滴吐出法をはじめとする塗布法において、配線や導電膜の作製時における焼成温度を低減することを課題とする。また、本発明により、簡便かつ安価に配線または導電膜を作製し、信頼性に優れた半導体装置を簡便かつ安価に提供することを課題とする。

40

【課題を解決するための手段】

【0007】

本発明では、液滴吐出法等の塗布法を用いて導電性材料よりなるナノ粒子が分散された組成物を吐出し、その後乾燥することで該溶媒を気化させる。そして、活性酸素による前処理を行った後、焼成を行うことで、配線もしくは導電膜を作製する。このように、焼成前に活性酸素による前処理を行うことで、作製時における焼成温度を低減することが可能

50

となる。さらに、材料の利用効率が高いため、簡便かつ安価に所望の形状の配線や導電膜を作製することができる。また、高い焼成温度を要さないため、他の層の損傷を抑制することができる。よって、配線や導電膜の作製方法として液滴吐出法をはじめとする塗布法の適用範囲を拡張することが可能となる。

【0008】

活性酸素は、例えばオゾン雰囲気下で紫外線を照射することで生成することができる。なお、オゾンは直接供給しても良いし、例えば酸素に波長240nm以下の紫外線を照射することで生成することができる。

【0009】

なお、酸素に波長175nm以下の紫外線を照射した際には、オゾンの他に酸素からも活性酸素を生成することができる。そのため、波長175nm以下の紫外線を用いた際には、より効率的に活性酸素を得ることができるため、短時間の前処理で焼成温度を低減することが可能となる。

【0010】

本発明の一は、溶媒に導電性材料よりなるナノ粒子が分散された組成物を吐出し、組成物を乾燥し、溶媒を気化させた組成物に活性酸素を用いて前処理を施した後、焼成することを特徴とする配線の作製方法である。

【0011】

本発明の一は、溶媒に導電性材料よりなるナノ粒子が分散された組成物を吐出し、組成物を乾燥し、溶媒を気化させた組成物にオゾン雰囲気下で紫外線を照射した後、焼成することを特徴とする配線の作製方法である。

【0012】

本発明の一は、溶媒に導電性材料よりなるナノ粒子が分散された組成物を吐出し、組成物を乾燥し、溶媒を気化させた組成物に空气中で波長240nm以下の紫外線を照射した後、焼成することを特徴とする配線の作製方法である。

【0013】

本発明の一は、溶媒に導電性材料よりなるナノ粒子が分散された組成物を吐出し、組成物を乾燥し、溶媒を気化させた組成物に空气中で波長175nm以下の紫外線を照射した後、焼成することを特徴とする配線の作製方法である。

【0014】

また、本発明の一は、第1の導電層を形成し、第1の導電層上にメモリ層を形成し、メモリ層上に、導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、組成物を乾燥し、溶媒を乾燥により気化させた組成物に活性酸素を用いて前処理を施した後、焼成して第2の導電層を形成することを特徴とする記憶素子の作製方法である。

【0015】

本発明の一は、第1の導電層を形成し、第1の導電層上にメモリ層を形成し、メモリ層上に、導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、組成物を乾燥し、溶媒を乾燥により気化させた組成物にオゾン雰囲気下で紫外線を照射した後、焼成して第2の導電層を形成することを特徴とする記憶素子の作製方法である。

【0016】

本発明の一は、第1の導電層を形成し、第1の導電層上にメモリ層を形成し、メモリ層上に、導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、組成物を乾燥し、溶媒を乾燥により気化させた組成物に空气中で波長240nm以下の紫外線を照射した後、焼成して第2の導電層を形成することを特徴とする記憶素子の作製方法である。

【0017】

本発明の一は、第1の導電層を形成し、第1の導電層上にメモリ層を形成し、メモリ層上に、導電性材料よりなるナノ粒子が溶媒に分散された組成物を吐出し、組成物を乾燥し、溶媒を乾燥により気化させた組成物に空气中で波長175nm以下の紫外線を照射した後、焼成して第2の導電層を形成することを特徴とする記憶素子の作製方法である。

【0018】

10

20

30

40

50

このような記憶素子に対し電圧を印加することで、メモリ層の電気的特性を変化させ、データの書き込みを行う。電気的特性には例えば抵抗値があり、書き込んだ際には対となる第1の導電層及び第2の導電層の一部が接続、つまり短絡（ショートともいう）することにより生じる抵抗値の変化を利用して書き込みを行う。

【0019】

このように記憶素子は、メモリ層の電気的特性の変化を利用しているため、電圧印加前のメモリ層の初期特性が記憶素子の特性に及ぼす影響は大きい。そのため、第2の導電層の作製時に高い焼成温度を要さず、他の層の損傷を抑制することができる本発明を用いて記憶素子を形成することは、特に有効である。

【0020】

また、本明細書において、第1の導電層及び第2の導電層を電極と記載することもある。

【0021】

本発明において組成物に含まれる導電性材料として用いる物質は必ずしもナノ粒子である必要はなく、焼成する前に導電性材料と有機物とが混在する場合において本発明は有効である。ただし、ナノ粒子を用いた方が金属本来の融点より低い温度で導電性材料が焼結するため焼成温度をより低いものとすることができ、本発明は特に有効なものとなりえる。よって、本明細書では、組成物に含まれる導電性材料にナノ粒子を用いた場合について述べる。

【発明の効果】

【0022】

本発明により、簡便かつ安価に所望の形状の配線及び導電膜を作製することができる。また、配線もしくは導電膜の作製時に高い焼成温度を要さないため、他の層の損傷を抑制することができる。よって、配線や導電膜等の作製方法として焼成工程を要する塗布法の適用範囲を拡張することが可能となる。さらに、本発明により、信頼性に優れた記憶素子や半導体装置を簡便かつ安価に提供することができる。

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態について、図面を用いて以下に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間においても共通して用いる場合がある。

【0024】

(実施の形態1)

本発明の配線の作製方法について、図1を用いて説明する。

【0025】

基板101には、ガラス基板、石英基板、ステンレス等の金属基板の一表面に絶縁膜を形成したものや本工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。

【0026】

まず、図1(A)に示すように基板101上の所望の位置に液滴吐出法を用いて導電性材料を含む組成物を吐出する。液滴吐出法とは所定の物質を含む液滴を細孔から吐出してパターンを形成する方法であり、ここでは溶媒に分散された導電性材料よりなるナノ粒子が分散された組成物を液滴102として吐出（噴出）する。

【0027】

ナノ粒子を形成する導電性材料には、配線材料として用いることが可能な材料を用いることができ、例えば金(Au)、銀(Ag)、白金(Pt)、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、タンタル(Ta)、イリジウム(Ir)、ロジウム(Rh)

10

20

30

40

50

、タングステン(W)、アルミニウム(Al)、鉄(Fe)、亜鉛(Zn)、錫(Sn)、チタン(Ti)、インジウム(In)等から選択された金属元素又はこれらの元素を主成分とする合金材料が用いられる。また、カドミウム(Cd)、亜鉛(Zn)の金属硫化物、ゲルマニウム(Ge)、ケイ素(Si)、ジルコニウム(Zr)、バリウム(Ba)や上述の金属元素などの酸化物、ハロゲン化物の一種又は複数種が混合されていてもよい。その他、導電性材料に透明導電膜として用いられるインジウム錫酸化物(以下、ITOと表記する)、珪素を含有したインジウム錫酸化物、2~20[w t %]の酸化亜鉛(ZnO)を含む酸化インジウム(略称:IZO)等を用いることもできる。

【0028】

なお、導電性材料に2種以上の元素もしくは化合物が用いられる場合、その混合状態については特に限定されず、例えばこれらの各々が均一に存在しても、コア部にいずれかが偏在していても良い。

【0029】

ナノ粒子の粒径は、1nm以上200nm以下、好ましくは1nm以上100nm以下が良い。

【0030】

なお、ナノ粒子は、気相法、液相法、固相法のいずれを用いて形成されたものであっても良く、その作製方法は特に限定されない。

【0031】

また、溶媒には水または有機溶媒を用いることができ、有機溶媒は水溶性有機溶媒であっても、非水溶性有機溶媒であっても良い。例えば、水溶性有機溶媒にはメタノール、エタノール、プロパノール、ブチルアルコール、グリセリン、ジプロピレングリコール、エチレングレコール等のアルコール、アセトン、メチルエチルケトン等のケトン、エチレングリコールモノメチルエーテル、エチレングリコールモノエチルエーテル、エチレングリコールモノブチルエーテル、ジエチレングリコールモノブチルエーテル等のグリコールエーテル、2-ピロリドン、N-メチルピロリドン等の水溶性含窒素有機化合物や酢酸エチル等が挙げられる。また、非水溶性有機溶媒には、オクタン、ノナン、デカン等のアルカン、シクロアルカン、トルエン、キシレン、ベンゼン、ジクロロベンゼン等の芳香族等が挙げられる。もちろん、これら溶媒は必ずしも一種で使用する必要はなく、溶媒同士において相分離が生じなければ複数種を混合して用いることも可能である。

【0032】

なお、ナノ粒子は、溶媒中においてナノ粒子の凝集を防ぐために有機物で被覆された状態で存在している。この有機物は、粒子を安定に分散させる機能を有する分散剤に相当し、例えば導電性材料が有する金属元素と配位結合を形成することが可能な物質や界面活性剤等により構成されている。ここで、金属元素と配位結合を形成する物質としては、アミノ基、チオール基(-SH)、スルファンジイル基(-S-)、ヒドロキシ基(-OH)、オキシ基(-O-)、カルボキシル基(-COOH)、シアノ基(-CN)等の窒素、硫黄、酸素原子などが有する孤立電子対を有する物質が挙げられる。例えば、エタノールアミン等のヒドロキシアミン類、オレイルアミン、ポリエチレンイミンやポリビニルピロリドン等のアミン系化合物、ポリビニルアルコール等のアルコール類、アルカンチオール類、ジチオール類、エチレングリコール、ジエチレングリコールやポリエチレングリコール等のグリコール類、ポリアクリル酸やカルボキシメチルセルロース等を用いることができる。また、界面活性剤としては、例えば、ビス(2-エチルヘキシル)スルホコハク酸やドデシルベンゼンスルホン酸ナトリウム等のアニオン性界面活性剤、ポリアルキルグリコールのアルキルエステルやアルキルフェニルエーテル等の非イオン性界面活性剤、フッ素系界面活性剤、ポリエチレンイミンとポリエチレンオキサイドとを有する共重合体等を用いることができる。

【0033】

よって、有機物で被覆された導電性材料よりなるナノ粒子が溶媒中に分散されて吐出される。なお、吐出される組成物(吐出材料とも言う)には、導電性材料、分散剤、溶媒の

10

20

30

40

50

他にナノ粒子の作製時に用いられる物質、バインダー、可塑剤、シランカップリング剤等が含まれる場合もある。バインダーには、熱硬化性樹脂が用いられ、例えば、ポリイミド、アクリル、ノボラック樹脂、メラミン樹脂、フェノール樹脂、エポキシ樹脂、シリコン樹脂、フラン樹脂、ジアリルフタレート樹脂等の有機樹脂が挙げられる。なお、バインダーは熱硬化性樹脂の収縮力により後の焼成工程においてナノ粒子同士の不均一な焼結箇所の発生を抑制することができる。また、このような樹脂により、吐出材料の粘度を調節することも可能である。

【0034】

次に液滴吐出法に用いる液滴吐出装置の一態様を図2に示す。液滴吐出手段203の個々のヘッド205、ヘッド212は制御手段207に接続され、それをコンピュータ210で制御することにより予めプログラミングされたパターンに描画することができる。描画するタイミングは、例えば、記憶素子が設けられる基板200上に形成されたマーカー211を基準に行えば良い。あるいは、基板200の縁を基準としても良い。この基準を撮像手段204により検出し、画像処理手段209にてデジタル信号に変換したものをコンピュータ210で認識して制御信号を発生させて制御手段207に送る。撮像手段204としては、電荷結合素子(CCD)や相補型金属酸化物半導体を利用したイメージセンサなどを用いることができる。基板200上に形成されるべきパターンの情報は記憶媒体208に格納されたものであり、この情報をもとにして制御手段207に制御信号を送り、液滴吐出手段203の個々のヘッド205、ヘッド212を個別に制御する。吐出する材料は、材料供給源213、材料供給源214より配管を通してヘッド205、ヘッド212にそれぞれ供給される。

【0035】

ヘッド205内部は、点線206が示すように液状の材料を充填する空間と、吐出口であるノズルを有する構造となっている。ここでは図示していないが、ヘッド212もヘッド205と同様の内部構造を有する。例えば、ヘッド205とヘッド212におけるノズルのサイズを異ならせると、異なる材料を異なる幅で同時に描画することができる。もちろん、同じ材料を異なる幅で同時に描画することも可能である。

【0036】

また、大型基板を用いる場合、ヘッド205、ヘッド212を図中の矢印の方向に自在に走査し、描画する領域を自由に設定することができる。そのため、同じパターンを一枚の基板に複数描画することもできる。また、ステージを動かし、描画する領域を自由に設定しても良い。もちろん、ヘッド及びステージを同時に動かしても良い。

【0037】

なお、吐出する材料の粘度は $20\text{ mPa}\cdot\text{s}$ 以下が好適であり、これはノズルから材料を円滑に吐出できるようにするためである。また、吐出する材料の表面張力は、 $40\text{ mN}/\text{m}$ 以下が好ましい。ただし、用いる溶媒や用途等に合わせて、吐出材料の粘度等は適宜調整するとよい。例えば、金や銀のナノ粒子が溶媒に分散された吐出材料の粘度は $5\text{ mPa}\cdot\text{s}$ 以上 $20\text{ mPa}\cdot\text{s}$ 以下に設定するとよい。

【0038】

上記のような液滴吐出装置を用いて導電性材料よりなるナノ粒子が分散された吐出材料を所望の位置に吐出し、その後乾燥することで該溶媒を気化させる。なお、所望の位置に吐出することが可能であるため、材料の利用効率を高いものとすることができる。図1(B)は吐出材料を乾燥させた後の模式図であり、図1(B)に示すように溶媒以外の物質、即ち導電性材料よりなるナノ粒子103と前記ナノ粒子103を被覆する有機物104とが基板101上に残った状態となる。これら基板101上に残った物質、即ち乾燥後の吐出材料を、吐出物とも言う。乾燥条件は用いた溶媒によって異なるが、例えば、溶媒にプロパノールを用いた場合には 100 度で5分間ほど行えば良い。なお、吐出時に基板101を加熱することで、乾燥に要する時間を短縮もしくは省略することも可能である。また、有機物104には溶媒が残留している場合もある。さらに、上述したように吐出材料にはナノ粒子の作製時に用いられる物質(例えば、還元剤)、バインダー、可塑剤、シラ

10

20

30

40

50

ンカップリング剤等が含まれている場合もある。そのため、吐出材料によっては、有機物 104 にこれらの物質が含まれる場合もある。

【0039】

なお、ここでは吐出材料を液滴吐出法を用いて基板 110 上に吐出したが、これに限定されることはなく、例えば吐出材料を高粘度化することによりスクリーン印刷をはじめとする印刷法を用いることも可能である。

【0040】

次に、後の焼成工程における前処理として吐出物を活性酸素に晒し、有機物 104 を分解する。ただし、ナノ粒子 103 の全てに対する有機物 104 が分解されるわけではなく、前処理を施す時間、有機物と活性酸素との接触状態及び有機物 104 の結合の種類等によって異なる。少なくとも、この活性酸素による前処理を行うことで、後工程における焼成温度を低減することが可能となる。

10

【0041】

活性酸素の発生方法について例を挙げる。活性酸素 $O(^1D)$ は、式(1)に示すようにオゾンに紫外線を照射することにより生成させることができる。なお、式(1)において h はプランク定数、 ν は紫外線の振動数を表し、紫外線照射には、紫外線ランプ、レーザ等の紫外線照射装置を用いれば良い。オゾンは 200 nm 以上 300 nm 以下に強い紫外線吸収帯を有するため、この波長を効率良く発するランプもしくはレーザ等を紫外線照射装置に用いることが好ましい。



20

【0042】

この活性酸素による前処理は別途生成した活性酸素を供給することで行っても良いし、例えばオゾン雰囲気下で吐出物の上から紫外線を照射することで行っても良い。これらは、吐出物に紫外線が照射されるか否かで異なっている。前者は、配線の下層に紫外光を照射したくない素子等を設けた場合に特に有効である。一方、後者を用いた場合、紫外線は高いエネルギーを有するため有機物 104 の結合を切断することができる。そのため、活性酸素による酸化が促進され、前処理における有機物 104 の分解が進行しやすくなるため、より短時間の前処理で焼成温度を低減することが可能となる。この場合、紫外線照射装置には、低圧水銀ランプもしくはエキシマランプを用いることが好ましい。低圧水銀ランプからは、波長 185 nm 及び 254 nm の光が発せられる。一方、エキシマランプとはエキシマの発光を利用したランプであり、用いる放電用ガスによって中心波長を異ならせることが可能である。主に、放電用ガスとして希ガスあるいは希ガスとハロゲンガスとの混合ガスを用いることができ、なかでも放電用ガスにキセノンを用いた波長 172 nm に発光中心を有するエキシマランプが好ましい。低圧水銀ランプより照射される波長 185 nm の光、キセノンを用いたエキシマランプより照射される波長 172 nm の光が有するエネルギーが有機物を構成する多種の結合エネルギーより大きい場合が多いため、これらを紫外線照射装置として用いることが好ましい。

30

【0043】

なお、オゾンはコロナ放電等を利用したオゾン発生装置を用いて生成しても良いし、酸素より生成しても良い。その方法について、以下で説明する。酸素は空気中に含まれる酸素であっても良いし、酸素を供給しても良い。

40

【0044】

酸素存在下で波長 240 nm 以下の紫外線（例えば、低圧水銀ランプによる波長 185 nm の紫外線、放電ガスにキセノンを用いたエキシマランプによる波長 172 nm の紫外線）を照射すると、式(2)及び式(3)に示すように酸素よりオゾンを得ることができる。なお、 $O(^3P)$ は基底状態における原子状酸素を示す。

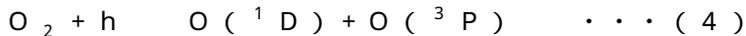


【0045】

また、酸素存在下で波長 175 nm 以下の紫外線（例えば、放電ガスにキセノンを用い

50

たエキシマランプによる波長172nmの紫外線を照射すると、式(4)に示すように酸素よりオゾン及び活性酸素を得ることができる。よって、このような波長の発光を有する紫外線照射装置を用いた場合には活性酸素を高効率に得ることができるため、より短時間の前処理で焼成温度を低減することが可能となる。もちろん、ここで得られる原子状酸素 $O(^3P)$ は、オゾンを生成するために用いられる(式(3)参照)。



【0046】

例えば、紫外線照射装置に低圧水銀ランプを用いた場合には、式(2)、式(3)及び式(1)に示したように波長185nmの発光により得られたオゾンから、波長254nmの発光を用いて活性酸素が生成される。このようにして得られた活性酸素を用いて有機物104を分解する。もちろん、上述したように吐出物に低圧水銀ランプより得られる紫外線を照射する場合には特に波長185nmの発光により有機物104の結合が切断されやすいため、活性酸素による酸化がより促進され、前処理における有機物104の分解が進行しやすくなる。

10

【0047】

また、紫外線照射装置に発光中心波長が172nmである放電ガスにキセノンを用いたエキシマランプを用いた場合には、式(4)、式(3)及び式(1)に示したように波長172nmの発光より直接酸素から得られる活性酸素及びオゾンより得られる活性酸素を用いて有機物104を分解する。もちろん、吐出物に上記ランプより得られる発光を照射した場合には有機物104における結合の切断が容易となり、活性酸素による酸化がより促進される。よって、前処理における有機物104の分解が進行しやすくなる。

20

【0048】

また、活性酸素を別途生成しない場合、必ずしも吐出物の上から紫外線を照射する必要はない。例えば、横から紫外線を照射しても良い。もちろん、一カ所からの照射に限られるものでもない。

【0049】

以上のような活性酸素による前処理を施した後、図1(C)に示すように吐出物を焼成することで配線105を得ることができる。なお、図1(C)に示す配線105の断面形状は、吐出材料における溶媒の気化及び有機物104の分解時に吐出物が外側に向かうことにより形成されるリングステインを現しているが、乾燥、前処理及び焼成を施す条件によって得られる配線の断面形状は異なるためこの限りでない。

30

【0050】

また、ナノ粒子を構成する導電性材料によっては、形成された粒子間にポイドが発生することがある。これは、導電性材料の結晶成長が非常に速く進行したためであり、ナノ粒子に合金材料を用いることでこのようなポイドの発生を抑制することができる。

【0051】

以上のようにして、簡便かつ安価に配線を形成することができる。

【0052】

また、基板101上に配線を設けた場合について述べたが、配線の下層は特に限定されるものではない。

40

【0053】

なお、本実施の形態では配線を例に挙げ、その作製方法について述べたが、導電膜においても同様のように作製することが可能である。さらに、得られた導電膜を所望の形状にエッチングすることで配線を形成しても良い。

【0054】

また、本発明はスピンコートなど焼成工程を要する塗布法を用いて導電層を形成する場合においても有効である。このようにして形成された導電層を所望の形状にエッチングすることで、配線や導電膜を作製することも可能である。

【0055】

以上のように、焼成前に活性酸素による前処理を行うことで配線や導電膜の作製時にお

50

ける焼成温度を低減することが可能となる。また、焼成時間を短時間とすることも可能である。さらに、塗布法の種類によっては材料の利用効率が高いため、簡便かつ安価に所望の形状の配線や導電膜を作製することができる。また、高い焼成温度を要さないため、他の層の損傷を抑制することができる。よって、配線や導電膜等の作製方法として焼成工程を要する塗布法の適用範囲を拡張することが可能となる。

【0056】

本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0057】

(実施の形態2)

本実施の形態では、実施の形態1と異なる配線の作製方法について図3を用いて説明する。

【0058】

まず、本発明の配線の形成領域(以下、単に配線形成領域という)301以外の基板101上に隔壁(絶縁層)300をスパッタ法、CVD法、印刷法、液滴吐出法、スピコート法、蒸着法等を用いて形成する。この隔壁(絶縁層)300には、酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁性材料、アクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド、芳香族ポリアミド、ポリベンゾイミダゾールなどの耐熱性高分子、又はシロキサン樹脂を用いることができる。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いても良いし、またベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、水溶性ホモポリマーと水溶性共重合体を含む組成物等を用いてもよい。

【0059】

隔壁(絶縁層)300を設けることにより液滴吐出法を用いて配線302を形成する際、吐出材料が所望の位置、ここでは配線形成領域301より不要に広がることを防ぐことができる。

【0060】

次に、配線形成領域301に液滴吐出法を用いて導電性材料よりなるナノ粒子が分散された吐出材料を吐出し、その後乾燥することで該溶媒を気化させる。そして、実施の形態1と同様にして活性酸素による前処理を行った後、焼成を行うことで、配線302を得ることができる。この前処理を施すことにより、焼成温度を低減することが可能となる。

【0061】

なお、前処理時間は、隔壁(絶縁層)300が耐えうる時間であれば特に限定されないが、30秒以上かつ2時間以下とすることが好ましい。

【0062】

以上のようにして、簡便に微細な配線を形成することができる。また、材料の利用効率も向上することができる。

【0063】

ところで、配線を形成するための吐出材料は、液状であるため被形成領域の表面状態に大きく影響を受ける。そのため、隔壁(絶縁層)300にぬれ性を制御する処理を施しても良い。固体表面のぬれ性は、表面の化学的性質及び物理的な表面形状(表面粗さ)に影響をうける。本発明において表面のぬれ性を制御する処理とは、液状の吐出材料の付着領域に該吐出材料に対してぬれ性の異なる領域を形成することである。なお、ぬれ性の異なる領域とは、吐出材料に対しぬれ性に差を有する、即ち吐出材料の接触角が異なる領域である。吐出材料の接触角が大きい領域は、吐出材料に対しよりぬれ性が低い領域(以下、低ぬれ性領域ともいう)であり、接触角が小さい領域は吐出材料に対しぬれ性の高い領域(以下、高ぬれ性領域ともいう)である。接触角が大きいと液状の吐出材料は領域表面上で広がらず、接触角が小さいと吐出材料は広がる。このように、ぬれ性が異なる領域では表面エネルギーも異なり、ぬれ性が低い領域における表面エネルギーは小さく、ぬれ性の

10

20

30

40

50

高い領域表面における表面エネルギーは大きい。

【0064】

なお、ぬれ性の違いは両領域の相対的な関係であり、ここでは配線302の被形成領域である隔壁（絶縁層）300上に低ぬれ性領域を形成することで、吐出材料の付着領域にぬれ性の異なる2種類の領域を形成することができる。選択的に低ぬれ性領域を形成する方法としては、マスク層を形成し、そのマスク層を用いて選択的に低ぬれ性物質からなる層を形成する方法、選択的にぬれ性を低める表面処理方法などを用いて形成することができる。

【0065】

例えば、表面のぬれ性を変化させ制御する方法としては、光照射のエネルギーによって表面の物質を分解し、領域表面を改質し、ぬれ性を変化させる方法がある。また、低ぬれ性物質としてはフッ化炭素基（フッ化炭素鎖）を含む物質、あるいはシランカップリング剤を含む物質等を用いることができる。例えば、シランカップリング剤は単分子膜を形成することができるため、表面改質を効率よく行え、短時間でぬれ性を変化させることができる。また、シランカップリング剤は、フッ化炭素鎖を有するもののみでなく、アルキル基を有するものも基板に配列させることで低ぬれ性を示すことができる。また、低ぬれ性物質としてチタネートカップリング剤、アルミネートカップリング剤を用いてもよい。

10

【0066】

液状の吐出材料はぬれ性の高い方へ移動するため、ぬれ性を制御する処理を行うことでより正確な位置へのパターン形成、即ち配線形成が可能となる。また、吐出材料の利用効率を向上させることができる。

20

【0067】

なお、本実施形態では隔壁（絶縁層）300を設け、ぬれ性を制御する処理を行う場合について示したが、実施の形態1に示したように基板上等に配線を設ける場合においてもぬれ性を制御する処理を行っても良い。また、配線の下層は基板に限定されるものではない。

【0068】

以上のようにして、簡便かつ安価に配線を形成することができる。

【0069】

なお、本実施の形態では配線を例に挙げ、その作製方法について述べたが、導電膜においても同様のように作製することが可能である。さらに、得られた導電膜を所望の形状にエッチングすることで配線を形成しても良い。

30

【0070】

また、本発明はスピコートなど焼成工程を要する塗布法を用いて導電層を形成する場合においても有効である。このようにして形成された導電層を所望の形状にエッチングすることで配線や導電膜を作製することも可能である。

【0071】

以上のように、焼成前に活性酸素による前処理を行うことで配線や導電膜の作製時における焼成温度を低減することが可能となる。また、焼成時間を短時間とすることも可能である。さらに、塗布法の種類によっては材料の利用効率が高いため、簡便かつ安価に所望の形状の配線や導電膜を作製することができる。また、高い焼成温度を要さないため、他の層の損傷を抑制することができる。よって、配線や導電膜等の作製方法として焼成工程を要する塗布法の適用範囲を拡張することが可能となる。

40

【0072】

また、本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0073】

（実施の形態3）

本実施形態では、本発明を用いて作製した記憶素子の一構成例について図4を用いて説明する。

50

【 0 0 7 4 】

図 4 (A) に示す記憶素子は、第 1 の導電層 4 0 1 と、第 2 の導電層 4 0 2 と、第 1 の導電層 4 0 1 と第 2 の導電層 4 0 2 とに挟持されたメモリ層 4 0 3 とを有する。ここではメモリ層 4 0 3 として有機化合物層を用いた場合について述べる。

【 0 0 7 5 】

まず、このような記憶素子の動作機構について説明する。記憶素子の第 1 の導電層 4 0 1 と第 2 の導電層 4 0 2 との間に電圧を印加すると、メモリ層 4 0 3 に微電流が流れ、ジュール熱が発生する。これにより、メモリ層 4 0 3 を構成する有機化合物が変形し、第 1 の導電層 4 0 1 及び第 2 の導電層 4 0 2 の一部が接続、つまり短絡した状態となる。よって、所定の電圧を印加することで高抵抗状態から低抵抗状態へ移行し、書き込む動作を行うことができる。

10

【 0 0 7 6 】

次に、各層に用いることが可能な材料について説明する。

【 0 0 7 7 】

第 1 の導電層 4 0 1 は、単層または積層構造からなる導電性の高い金属、合金、化合物等を用いることができる。例えば、金 (A u)、銀 (A g)、白金 (P t)、ニッケル (N i)、タングステン (W)、クロム (C r)、モリブデン (M o)、鉄 (F e)、コバルト (C o)、銅 (C u)、パラジウム (P d)、アルミニウム (A l)、マンガン (M n)、チタン (T i)、タンタル (T a) 等の金属、または金属材料の窒化物 (例えば、窒化チタン、窒化タングステン、窒化モリブデン) の他、周期表の 1 族または 2 族に属する金属、即ちリチウム (L i) やセシウム (C s) 等のアルカリ金属、マグネシウム (M g)、カルシウム (C a)、ストロンチウム (S r) 等のアルカリ土類金属、及びこれらのいずれかを含む合金 (たとえば、M g : A g、A l : L i) 等が挙げられる。また、ユーロピウム (E r)、イッテルビウム (Y b) 等の希土類金属及びこれらを含む合金等を用いてもよい。また、透明導電膜として用いられるインジウム錫酸化物 (以下、I T O と表記する)、珪素を含有したインジウム錫酸化物、2 ~ 2 0 [w t %] の酸化亜鉛 (Z n O) を含む酸化インジウム (略称 : I Z O) 等を用いることもできる。

20

【 0 0 7 8 】

なお、第 1 の導電層 4 0 1 は、蒸着法、スパッタ法、C V D 法、印刷法、電解メッキ法、無電解メッキ法、液滴吐出法等を用いて形成される。もちろん、本発明を用いることも可能である。

30

【 0 0 7 9 】

メモリ層 4 0 3 に用いられる有機化合物層は、外部からの電圧の印加により、結晶状態、導電性や形状が変化する有機化合物で形成する。この有機化合物層は、単層で設けてもよいし、異なる有機化合物で形成された層を積層させて複数層としても良い。

【 0 0 8 0 】

なお、有機化合物層は、外部からの電圧の印加により記憶素子の電気抵抗が変化する膜厚で形成する。有機化合物層の代表的な膜厚は、5 n m から 1 0 0 n m、好ましくは 1 0 n m から 6 0 n m である。

【 0 0 8 1 】

有機化合物層は、正孔輸送性もしくは電子輸送性を有する有機化合物を用いて形成することができる。

40

【 0 0 8 2 】

例えば、正孔輸送性を有する有機化合物としては、2, 7 - ジ (N - カルバゾリル) - スピロ - 9, 9' - ビフルオレン (略称 : S F D C z)、4, 4' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (略称 : N P B) や 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (略称 : T P D) や 4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (略称 : T D A T A)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (略称 : M T D A T A) や 4, 4' - ビス (N - (4 - (N

50

、N - ジ - m - トリルアミノ)フェニル) - N - フェニルアミノ)ピフェニル(略称: D N T P D)などの芳香族アミン系(即ち、ベンゼン環 - 窒素の結合を有する)の化合物やフタロシアニン(略称: H₂ P c)、銅フタロシアニン(略称: C u P c)、バナジルフタロシアニン(略称: V O P c)のようなフタロシアニン化合物等が挙げられる。

【0083】

電子輸送性の高い有機化合物としては、トリス(8 - キノリノラト)アルミニウム(略称: A l q)、トリス(4 - メチル - 8 - キノリノラト)アルミニウム(略称: A l m q₃)、ビス(10 - ヒドロキシベンゾ[h] - キノリノラト)ベリリウム(略称: B e B q₂)、ビス(2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム(略称: B A l q)等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス[2 - (2 - ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称: Z n (B O X)₂)、ビス[2 - (2 - ヒドロキシフェニル)ベンゾチアゾラト]亜鉛(略称: Z n (B T Z)₂)などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、2 - (4 - ビフェニル) - 5 - (4 - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール(略称: P B D)、1, 3 - ビス[5 - (p - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール - 2 - イル]ベンゼン(略称: O X D - 7)、3 - (4 - ビフェニル) - 4 - フェニル - 5 - (4 - tert - ブチルフェニル) - 1, 2, 4 - トリアゾール(略称: T A Z)、3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニル) - 1, 2, 4 - トリアゾール(略称: p - E t T A Z)、パソフェナントロリン(略称: B P h e n)、パソキュープロイン(略称: B C P)等が挙げられる。

【0084】

上記の他、例えば2, 3 - ビス(4 - ジフェニルアミノフェニル)キノキサリン(略称: T P A Q n)、1, 3, 5 - トリ(N - カルバゾリル)ベンゼン(略称: T C z B)、9 - [4 - (N - カルバゾリル)]フェニル - 10 - フェニルアントラセン(略称: C z P A)、3, 6 - ジフェニル - 9 - [4 - (10 - フェニル - 9 - アントリル)フェニル] - 9 H - カルバゾール(略称: D P C z P A)、2 - t - ブチル - 9, 10 - ビス(4 - (N - カルバゾリル)フェニル)アントラセン(略称: C z B P A)、3 - [N - (9 - フェニルカルバゾール - 3 - イル) - N - フェニルアミノ] - 9 - フェニルカルバゾール(略称: P C z P C A 1)、3, 6 - ビス[N - (9 - フェニルカルバゾール - 3 - イル) - N - フェニルアミノ] - 9 - フェニルカルバゾール(略称: P C z P C A 2)、3 - [N - (1 - ナフチル) - N - (9 - フェニルカルバゾール - 3 - イル)アミノ] - 9 - フェニルカルバゾール(略称: P C z P C N 1)、4, 4' - ジ(N - カルバゾリル)ピフェニル(略称: C B P)、1, 3, 5 - トリス[4 - (N - カルバゾリル)フェニル]ベンゼン(略称: T C P B)、N - (2 - ナフチル)カルバゾール(略称: N C z)等を用いて形成してもよい。

【0085】

有機化合物層は、蒸着法、電子ビーム蒸着法、スパッタリング法、CVD法等を用いて形成することができる。また、他の形成方法として、スピンコート法、ゾル - ゲル法、印刷法または液滴吐出法等を用いてもよいし、上記方法とこれらを組み合わせてもよい。

【0086】

また、有機化合物層は、正孔輸送性もしくは電子輸送性を有する有機化合物に絶縁物が混合されていてもよい。なお、絶縁物は、均一に分散されている必要はない。絶縁物を混合することにより、有機化合物層のモルフォロジーを向上することができる。よって、有機化合物層の部分的な結晶化等を抑制することができるため、記憶素子毎の挙動のばらつきを抑制することができる。

【0087】

絶縁物としては、絶縁性を有する無機化合物または有機化合物を用いることができる。例えば無機化合物としては、酸化リチウム(Li₂O)、酸化ナトリウム(Na₂O)、

10

20

30

40

50

酸化カリウム (K_2O)、酸化ルビジウム (Rb_2O)、酸化ベリリウム (BeO)、酸化マグネシウム (MgO)、酸化カルシウム (CaO)、酸化ストロンチウム (SrO)、酸化バリウム (BaO)等の酸化物、フッ化リチウム (LiF)、フッ化ナトリウム (NaF)、フッ化カリウム (KF)、フッ化ルビジウム (RbF)、フッ化ベリリウム (BeF_2)、フッ化マグネシウム (MgF_2)、フッ化カルシウム (CaF_2)、フッ化ストロンチウム (SrF_2)、フッ化バリウム (BaF_2)等のフッ化物や、その他絶縁性を有する窒化物、塩化物、臭化物、ヨウ化物、炭酸塩、硫酸塩若しくは硝酸塩等が挙げられる。また、絶縁性を有する有機化合物としては、ポリイミド、アクリルポリマー、ポリアミド、ベンゾシクロブテン系樹脂、ポリエステル、ノボラック樹脂、メラミン樹脂、フェノール樹脂、エポキシ樹脂、シリコーン樹脂、フラン樹脂、ジアリルフタレート樹脂等を用いることができる。また、ケイ素と酸素との結合で主鎖が構成される、いわゆるシロキサン系の材料を用いてもよい。

10

【0088】

なお、このような混合層は、各々の材料を同時に成膜することにより形成することができる。たとえば抵抗加熱による共蒸着法、電子ビーム蒸着同士による共蒸着法、抵抗加熱蒸着と電子ビーム蒸着による共蒸着法、抵抗加熱蒸着とスパッタリング法による成膜、電子ビーム蒸着とスパッタリング法による成膜など、同種もしくは異種の方法を組み合わせ形成することができる。また、他の形成方法として、スピンコート法、ゾル-ゲル法、印刷法または液滴吐出法等を用いてもよいし、これらにおいても上記方法と組み合わせてもよい。また、有機化合物層を形成した後に、イオン注入法やドーピング法などによって絶縁物を導入し、有機化合物と絶縁物との混合層を形成してもよい。

20

【0089】

第2の導電層402には、第1の導電層401と同様、単層または積層構造からなる導電性の高い金属、合金、化合物等を用いることができる。第2の導電層402は、蒸着法、スパッタ法、CVD法、印刷法または液滴吐出法等を用いて形成することができるが、メモリ層403を構成する有機化合物層の上に第2の導電層402が設けられるため本発明を用いて形成することが好ましい。

【0090】

まず、実施の形態1に示したように液滴吐出法等を用いて導電性材料よりなるナノ粒子が分散された吐出材料を吐出し、その後乾燥することで該溶媒を気化させる。そして、活性酸素による前処理を行った後、焼成を行うことで、第2の導電層402を得ることができる。この前処理を施すことにより、焼成温度を低減することが可能となる。よって、このように導電層を形成する下層に高温処理を施すことができない場合に本発明は特に有効である。

30

【0091】

なお、記憶素子はメモリ層403の特性の変化を利用しているため、電圧印加前のメモリ層403の初期特性が記憶素子の特性に及ぼす影響は大きい。そのため、導電層の形成時に高い焼成温度を要さず、他の層の損傷を抑制することができる本発明を用いて記憶素子を形成することは、特に有効であると言える。以上のようにして、簡便に第2の導電層402を形成することができる。

40

【0092】

また、記憶素子の構成は図4(A)に限らず、図4(B)に示す構成であっても良い。図4(B)に示す記憶素子は、第1の導電層401と、層450と、メモリ層403と、第2の導電層402とを有し、層450及びメモリ層403は第1の導電層401と第2の導電層402に挟持された構成であり、メモリ層403は、層450上に接して形成されている。なお、層450の膜厚は特に限定されないが、0.1nm以上50nm以下が好ましい。

【0093】

図4(B)に示すように絶縁層を設けることで、読み取り電圧を印加した際に未書き込み素子に流れてしまうリーク電流をより小さくすることができる。よって、読み取り時に

50

おける消費電力を低減することが可能となる。

【0094】

なお、本実施形態における記憶素子の書き込み電圧は、メモリ層403を薄くすることで低減することができる。しかしながら、薄膜化すると書き込み電圧を低減することは可能なものの、薄膜化しすぎると読み取り時におけるリーク電流が増えてしまう。このような場合に、絶縁層を設けることは特に効果的である。

【0095】

この絶縁層には、絶縁性を有する無機化合物または有機化合物を用いることができ、上述の有機化合物層に混合しても良い絶縁物と同様の材料を用いることができる。なお、層450に用いる絶縁層は、蒸着法、スパッタ法、CVD法、印刷法、スピコート法、ゾルゲル法または液滴吐出法等を用いて形成することができる。

10

【0096】

また、層450は半導体層であっても良く、酸化モリブデン、酸化スズ、酸化ビスマス、シリコン、酸化バナジウム、酸化ニッケル、酸化亜鉛、シリコンゲルマニウム、ヒ化ガリウム、窒化ガリウム、酸化インジウム、リン化インジウム、窒化インジウム、硫化カドミウム、テルル化カドミウム、チタン酸ストロンチウムなどの無機半導体を用いて形成することができる。

【0097】

半導体層においても、蒸着法、スパッタ法、CVD法、印刷法、スピコート法、ゾルゲル法または液滴吐出法等を用いても良い。

20

【0098】

また、図4(B)の構成に限らず、図4(C)のように層450は第2の導電層402に接して設けられていても良い。また、図4(D)に示すように、層450を第1の導電層401及び第2の導電層402に接するように2層設けても良い。

【0099】

なお、本実施形態ではメモリ層403に有機化合物層を用いた場合について述べたが、電圧の印加によって電気的特性が変化するものであれば特にこれに限定されるものではない。メモリ層403の初期特性が記憶素子の特性に及ぼす影響が大きいいため、メモリ層403が有機化合物層から形成されていない場合であっても本発明は有効である。

【0100】

以上のように、本発明を用いて信頼性に優れた記憶素子を簡便かつ安価に作製することができる。

30

【0101】

なお、本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0102】

(実施の形態4)

本実施形態では、本発明を用いて形成した不揮発性メモリ及び前記不揮発性メモリを有する半導体装置の一構成例について説明する。

【0103】

まず、本発明を用いて作製した不揮発性メモリの一構成例と図5に示す。なお、ここでは実施の形態3に示した記憶素子を有する不揮発性メモリについて述べる。

40

【0104】

図5に示す不揮発性メモリは、書き込み回路501、ワード線駆動回路502、ビット線駆動回路503、読み出し回路504、およびm行n列に配置されたメモリセルを含むメモリセルアレイ505を有する。

【0105】

ビット線駆動回路503は、コラムデコーダ530とスイッチ531(1)~531(n)を有し、コラムアドレスが入力される。また、ビット線駆動回路503はメモリセルアレイ505とn本のビット線B(1)~B(n)で接続されている。ビット線駆動回路

50

503はコラムアドレスが指定する列(第k列とする)のスイッチ531(k)をオンにして、ビット線B(k)を書き込み回路501もしくは読み出し回路504に接続する。

【0106】

ワード線駆動回路502は、ローデコーダ520とスイッチ521(1)~521(m)を有し、ローアドレスが入力される。また、ワード線駆動回路502はメモリセルアレイ505とm本のワード線W(1)~W(m)で接続されている。ワード線駆動回路502は、スイッチ521(1)~521(m)を制御して、ローアドレスが指定する行(第j行とする)のワード線W(j)を書き込み回路501に接続し、他の行のワード線を接地電源線に接続する。

【0107】

なお、図5に示す不揮発性メモリは、メモリセル(1,1)を選択した状態を表している。

【0108】

メモリセルアレイ505が有する各々のメモリセル(j,k)(jは1~mの整数、kは1~nの整数)は、トランジスタ550と本発明を用いて形成した記憶素子551とを有し、トランジスタ550のゲート電極はワード線W(j)と接続され、トランジスタ550のソース電極もしくはドレイン電極の一方はビット線B(k)と接続され、他方は記憶素子551の第1の電極と接続される。また、記憶素子の第1の電極と第2の電極の間にはメモリ層が挟持されており、第2の電極には共通電位VCOMが供給される。

【0109】

記憶素子551には、実施の形態3に示した記憶素子を用いることができる。よって、本発明により記憶素子を簡便に作製できる。また、本発明では高温で焼成することを要さないため、他の層への損傷を抑制することができる。

【0110】

書き込み回路501は、スイッチ510、スイッチ511を有し、書き込み用電源電位VHH、電源電位VDD、および書き込み制御信号WEが入力される。信号WEがアサートされた場合、スイッチ510がオンとなり、ビット線駆動回路503へ電位VHHが供給される。また、スイッチ511により、ワード線駆動回路502へ電位VHHが供給される。一方、信号WEがデアサートされた場合、スイッチ510がオフとなり、ビット線駆動回路503に電位VHHは供給されない。また、スイッチ511により、ワード線駆動回路502へは電位VDDが供給される。

【0111】

そのため、書き込み時には信号WEがアサートされ、信号REはデアサートされる。ビット線駆動回路503はコラムアドレスに基づいて列(第k列とする)を選択し、書き込み回路501から供給される電位VHHをビット線B(k)に供給する。ワード線駆動回路502はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路501から供給される電位VHHをワード線W(j)に供給する。そして、選択したメモリセルへの書き込みを行う。

【0112】

読み出し回路504は、スイッチ541、トランジスタ540、インバータ542を有し、読み出し制御信号REが入力され、信号DATA OUTを出力する。信号REがアサートされた場合、スイッチ541はオンとなり、トランジスタ540はビット線駆動回路503と電氣的に接続される。その結果、選択されたメモリセル内の記憶素子の状態に応じた電流が読み出し回路504に入力され、信号DATA OUTの電位が決まる。

【0113】

具体的には、読み出し時には信号REがアサートされ、信号WEがデアサートされる。ビット線駆動回路503はコラムアドレスに基づいて列(第k列とする)を選択し、読み出し回路504とビット線B(k)を接続する。ワード線駆動回路502はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路501から供給される電位VDDをワード線W(j)に供給する。そして、選択したメモリセルの読み出しを行う。

10

20

30

40

50

【0114】

選択されたメモリセル内の記憶素子が低抵抗状態であれば、記憶素子に流れる電流は大きくなり、トランジスタ540による電圧降下も大きくなる。よって、インバータ542への入力電位はインバータのしきい値電位よりも低くなる。その結果、信号DATA OUTの電位はVDDとなる。逆に、選択されたメモリセル内の記憶素子が高抵抗状態であれば、記憶素子に流れる電流は小さくなり、トランジスタ540による電圧降下も小さくなる。よって、インバータ542への入力電位はインバータのしきい値電位よりも高くなる。その結果、信号DATA OUTの電位はGNDとなる。このようにして、記憶素子の状態に基づいてデータ信号DATA OUTが生成されることにより、記憶素子が低抵抗状態もしくは高抵抗状態であることを読み取ることができる。

10

【0115】

なお、信号REがデアサートされた場合、スイッチ541はオフとなり、メモリセルの読み出しは行わない。

【0116】

以上より、本発明により信頼性に優れた不揮発性メモリを簡便かつ安価に提供することが可能となる。記憶素子はメモリ層の特性の変化を利用しているため、メモリ層の電圧印加前の初期特性が記憶素子の特性に及ぼす影響は大きい。そのため、電極の形成時に高い焼成温度を要さず、他の層の損傷を抑制することができる本発明を用いて記憶素子を形成することは、特に有効であると言える。しかし、本発明の適用箇所は記憶素子に限られるものではなく、実施の形態1に示したように配線や電極等をはじめとする導電膜であっても

20

【0117】

次に、上述の不揮発性メモリを有する半導体装置についての一構成例を図6にブロック図として示す。

【0118】

図6に示す半導体装置は、アンテナ601とICチップ602からなる無線タグである。ICチップ602は電源回路603、復調回路604、変調回路605、ロジック回路606、電源回路607、不揮発性メモリ608を有する。また、不揮発性メモリ608は、複数の記憶素子を有する。

【0119】

電源回路603はアンテナ601から入力される交流信号を整流し、所定の電源電圧VDDを生成する。得られた電源電圧VDDはICチップ602が有する回路に供給される。復調回路604はアンテナ601から入力される交流信号から情報を抽出し、復調信号を出力する。例えば、振幅変調(ASK)の場合は、整流及び濾波により復調信号を生成する。変調回路605は、ロジック回路606より得られる変調信号を入力し、負荷変調などによりICチップ602のインピーダンスを変化させる。これにより、無線タグは応答信号を送信する。なお、ロジック回路606はクロック信号と復調信号を入力し、変調信号を出力する。また、ロジック回路606は復号回路、命令解析部、受信データの整合性をチェックするチェック回路、メモリ制御回路、変調信号を生成する出力回路などを有し、受信した命令に従った処理を行う。特に、ロジック回路606が有するメモリ制御回路は、不揮発性メモリ608からの読み出しや書き込みの制御、あるいは不揮発性メモリ608への電源供給の制御を行う。また、電源回路607は、電位VDDより不揮発性メモリ608へ供給する電源を生成する。具体的には、電源回路607は昇圧回路を有し、書き込み時に供給する電位VHHを生成する。この電位VHHを用いて、不揮発性メモリ608が有する記憶素子のいずれかまたは複数に書き込みを行う。

30

40

【0120】

なお、アンテナ601は、コイルアンテナ、ループアンテナ等の電磁誘導方式のアンテナや、ダイポールアンテナ、スリットアンテナ、逆L型アンテナ、パッチアンテナなどの電波方式のアンテナ等を用いることができる。

【0121】

50

また、ICチップとは集積回路が形成されたチップの総称であり、集積回路の基体にはシリコン、ガラス、プラスチック、紙などを用いることができる。また、図6に示したICチップ602を、複数のICチップによって構成しても構わない。

【0122】

図6において、アンテナ601はICチップ602に外付けとする構成について示したが、ICチップ602がアンテナ601を内蔵した構成でも構わない。また、通信方式は、電波方式、電磁誘導方式のいずれでも構わない。

【0123】

以上のようにして、本発明を用いて信頼性に優れた半導体装置を簡便かつ安価に提供することができる。なお、本発明の適用箇所は不揮発性メモリに限られるものではなく、他の回路の配線や電極、導電膜であっても良い。

10

【0124】

また、本実施形態では、メモリセルの各々にトランジスタを有するアクティブマトリクス型の不揮発性メモリについて述べたが、メモリセルの各々にトランジスタを必要としないパッシブマトリクス型の不揮発性メモリであっても良い。

【0125】

また、本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0126】

(実施の形態5)

本実施形態では、実施の形態4で示した本発明の半導体装置の作製方法の一例に関して、部分断面図を用いて説明する。

20

【0127】

まず、図7(A)に示すように、基板701の一表面に絶縁膜702を介して剥離層703を形成し、続けて下地膜として機能する絶縁膜704と半導体膜705(例えば、非晶質珪素を含む膜)を積層して形成する。なお、絶縁膜702、剥離層703、絶縁膜704および半導体膜705は、連続して形成することができる。

【0128】

なお、基板701は、ガラス基板、石英基板、金属基板(例えばステンレス基板など)、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層703は、絶縁膜702を介して基板701の全面に設けているが、必要に応じて、基板701の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

30

【0129】

また、絶縁膜702、絶縁膜704は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)等の絶縁材料を用いて形成する。例えば、絶縁膜702、704を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜702は、基板701から剥離層703又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜704は基板701、剥離層703からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜702、704を形成することによって、基板701からNaなどのアルカリ金属やアルカリ土類金属が、剥離層703から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板701として石英を用いるような場合には絶縁膜702、704を省略してもよい。

40

50

【0130】

また、剥離層703は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気下または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気下または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、 x は2~3であり、 x が2の場合(WO_2)、 x が2.5の場合(W_2O_5)、 x が2.75の場合(W_4O_{11})、 x が3の場合(WO_3)などがある。タングステンの酸化物を形成するにあたり、上記に挙げた x の値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜(例えば、タングステン)を形成した後に、当該金属膜上にスパッタ法で酸化珪素(SiO_2)等の絶縁膜を設けると共に、金属膜上に金属酸化物(例えば、タングステン上にタングステン酸化物)を形成してもよい。また、プラズマ処理として、例えば高密度プラズマ処理を行ってもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下または窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

10

20

【0131】

また、半導体膜705は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。

【0132】

次に、図7(B)に示すように、半導体膜705にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体膜705の結晶化を行ってもよい。その後、得られた半導体膜を所望の形状にエッチングして、結晶化した半導体膜705a~705fを形成し、当該半導体膜705a~705fを覆うようにゲート絶縁膜706を形成する。

30

【0133】

なお、ゲート絶縁膜706は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xNy)($x>y>0$)、窒化酸化シリコン($SiNxOy$)($x>y>0$)等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜706を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

40

【0134】

半導体膜705a~705fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500℃、1時間)と、熱結晶化の処理(550℃、4時間)を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶化された半導体膜705a~705fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質

50

半導体膜の結晶化を行ってもよい。

【0135】

なお、結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム（CWレーザービーム）やパルス発振型のレーザービーム（パルスレーザービーム）を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi：サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0136】

また、ゲート絶縁膜706は、半導体膜705a～705fに対し高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素（NO₂）、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行うと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することができる。

【0137】

このような高密度プラズマを用いた処理により、1～20nm、代表的には5～10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜（結晶性シリコン、或いは多結晶シリコン）を直接酸化（若しくは窒化）するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

【0138】

なお、ゲート絶縁膜706は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。もちろん、CVD法で酸

10

20

30

40

50

化シリコン、酸化シリコン、窒化シリコンなどの絶縁膜を堆積し、この膜に対し高密度プラズマ処理を施しても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0139】

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜705a~705fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャネル長方向(チャネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(TFT:Thin Film Transistor)を得ることができる。

10

【0140】

次に、ゲート絶縁膜706上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20~100nmの厚さで形成する。第2の導電膜は、100~400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成しても良い。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

20

【0141】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜705a~705fの上方にゲート電極707を形成する。ここでは、ゲート電極707として、第1の導電膜707aと第2の導電膜707bの積層構造で設けた例を示しているが、積層数には特に限定はない。

30

【0142】

次に、図7(C)に示すように、ゲート電極707をマスクとして半導体膜705a~705fに、イオンドーピング法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜705a~705fに選択的に導入し、n型を示す不純物領域708を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜705c、705eに導入し、p型を示す不純物領域709を形成する。

40

【0143】

続いて、ゲート絶縁膜706とゲート電極707を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物等の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極707の側面に接する絶縁膜710(サイドウォールともよばれ

50

る)を形成する。絶縁膜710は、LDD(Lightly Doped Drain)領域を形成する際のドーピング用のマスクとして用いる。

【0144】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極707および絶縁膜710をマスクとして用いて、半導体膜705a、705b、705d、705fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域711を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜705a、705b、705d、705fに選択的に導入し、不純物領域708より高濃度のn型を示す不純物領域711を形成する。

10

【0145】

以上の工程により、図7(D)に示すように、nチャネル型薄膜トランジスタ700a、700b、700d、700fとpチャネル型薄膜トランジスタ700c、700eが形成される。なお、ここでは薄膜トランジスタ700a、700bは本発明の不揮発性メモリのメモリセルアレイ部に用いられる薄膜トランジスタであり、薄膜トランジスタ700c~700eは半導体装置が有するその他の薄膜トランジスタを示している。なお、不揮発性メモリのメモリセルアレイ部に用いられる薄膜トランジスタ700a、700b及び書き込み時に用いられる一部のトランジスタは他のトランジスタに比べ、高い電位が印加される。そのため、高耐圧なトランジスタであることが好ましい。よって、少なくとも薄膜トランジスタ700a、700bのチャネル長Lは他のトランジスタのチャネル長より長い方が良い。もちろん、薄膜トランジスタ700c~700eも、不揮発性メモリを構成する薄膜トランジスタとして用いることも可能である。

20

【0146】

なお、nチャネル型薄膜トランジスタ700aは、ゲート電極707と重なる半導体膜705aの領域にチャネル形成領域が形成され、ゲート電極707及び絶縁膜710と重ならない領域にソース領域又はドレイン領域を形成する不純物領域711が形成され、絶縁膜710と重なる領域であってチャネル形成領域と不純物領域711の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ700b、700d、700fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域711が形成されている。

30

【0147】

また、pチャネル型薄膜トランジスタ700cは、ゲート電極707と重なる半導体膜705cの領域にチャネル形成領域が形成され、ゲート電極707と重ならない領域にソース領域又はドレイン領域を形成する不純物領域709が形成されている。また、pチャネル型薄膜トランジスタ700eも同様にチャネル形成領域及び不純物領域709が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ700c、700eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

【0148】

次に、図8(A)に示すように、半導体膜705a~705f、ゲート電極707等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ700a~700fのソース領域又はドレイン領域を形成する不純物領域709、711と電氣的に接続する導電膜713を形成する。絶縁膜は、CVD法、スパッタリング法、SOG法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜712aとして窒化酸化珪素膜で形成し、2層目の絶縁膜712bとして酸化窒化珪素膜で形成する。また、導電膜713は、薄膜トランジスタ700a~700fのソース電極又はドレイン電極を形成する。

40

【0149】

50

なお、絶縁膜 712a、712b を形成する前、または絶縁膜 712a、712b のうちの 1 つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法または R T A 法などを適用するとよい。

【0150】

また、導電膜 713 は、C V D 法やスパッタリング法等により、アルミニウム (A l)、タンゲステン (W)、チタン (T i)、タンタル (T a)、モリブデン (M o)、ニッケル (N i)、白金 (P t)、銅 (C u)、金 (A u)、銀 (A g)、マンガン (M n)、ネオジム (N d)、炭素 (C)、シリコン (S i) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 713 は、例えば、バリア膜とアルミニウムシリコン (A l - S i) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A l - S i) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 713 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、半導体膜と良好なコンタクトをとることができる。

【0151】

次に、導電膜 713 を覆うように絶縁膜 714 を形成し、当該絶縁膜 714 上に、薄膜トランジスタのソース電極又はドレイン電極を形成する導電膜 713 と電気的に接続する導電膜 715a、715b を形成する。図 8 (B) では、不揮発性メモリのメモリセルアレイ部を構成する薄膜トランジスタ 700a 及び薄膜トランジスタ 700b のソース電極又はドレイン電極を形成する導電膜 713 と電気的に接続された導電膜として導電膜 715a が、薄膜トランジスタ 700f のソース電極又はドレイン電極を形成する導電膜 713 と電気的に接続された導電膜として導電膜 715b が図示されている。なお、導電膜 715a は後に形成される記憶素子の第 1 の電極として機能する。また、導電膜 715b は後に形成されるアンテナの下地膜として機能する。この導電膜 715b により、薄膜トランジスタ 700f とアンテナとの接続をより確実に行うことや絶縁膜 714 とアンテナとの密着性を向上させることができる。導電膜 715a 及び導電膜 715b は、上述した導電膜 713 で示したいずれかの材料を用いて形成することができる。

【0152】

なお、絶縁膜 714 は、C V D 法やスパッタ法等により、酸化珪素 (S i O x)、窒化珪素 (S i N x)、酸化窒化珪素 (S i O x N y) (x > y)、窒化酸化珪素 (S i N x O y) (x > y) 等の酸素または窒素を有する絶縁膜や D L C (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、S i - O - S i 結合を含む材料に相当する。シロキサンは、シリコン (S i) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0153】

次に、不揮発性メモリ部分を構成する各々の記憶素子を分離するため、各記憶素子の第 1 の電極の間に隔壁 (絶縁層) 716 を形成する。なお、隔壁 (絶縁層) 716 の断面において、隔壁 (絶縁層) 716 の側面は、第 1 の電極の表面に対して 10 度以上 60 度未満、好ましくは 25 度以上 45 度以下の傾斜角度を有することが好ましい。さらには、湾

10

20

30

40

50

曲していることが好ましい。

【0154】

なお、隔壁（絶縁層）716には、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド、芳香族ポリアミド、ポリベンゾイミダゾールなどの耐熱性高分子、又はシロキサン材料を用いることができる。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いることもできる。ベンゾシクロブテン、パリレン、ポリイミドなどの有機材料、重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。なお、作製法としては、CVD法、スパッタリング法、液滴吐出法、ディスペンサ法、印刷法等を用いることができる。また、スピンコート法で得られる薄膜なども用いることができる。

10

【0155】

次に、導電膜715bと電氣的に接続されるアンテナとして機能する導電膜721を形成する。

【0156】

導電膜721は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

20

【0157】

次に、メモリセルアレイ部を構成する記憶素子を形成する。まず、隔壁（絶縁層）716及び記憶素子の第1の電極、即ち導電膜715a上にメモリ層717を形成する。ここでは、メモリ層717として有機化合物層を用いた例について説明する。このような素子は、実施の形態3でも示したように、電圧を印加することで第1の電極及び第2の電極の一部が接続、つまり短絡する性質を有する。よって、記憶素子に所定の電圧を印加することで高抵抗状態から低抵抗状態へ移行し、書き込み動作を行うことができる。なお、記憶素子を構成する各々の材料については、実施の形態3と同様の物質を用いることができる。

30

【0158】

また、メモリ層717に用いられる有機化合物層は、蒸着法、電子ビーム蒸着法、スパッタ法、CVD法等を用いて形成することができる。

【0159】

次に、メモリ層717上に第2の電極として機能する導電膜718を形成する。この導電膜718の下層には、メモリ層717をはじめとする高温処理を懸念する層がある。そのため、導電膜718は本発明を用いて形成することが好ましい。具体的には、液滴吐出法等を用いて導電性材料よりなるナノ粒子が分散された吐出材料を吐出し、その後乾燥することで該溶媒を気化させる。そして、活性酸素による前処理を行った後、焼成を行うことで、記憶素子の第2の電極を得ることができる。この前処理を施すことにより、焼成温度を低減することが可能となり、導電膜718を形成する際にメモリ層717をはじめとする他の層に与える損傷を抑制することができる。

40

【0160】

なお、活性酸素の生成方法等は実施の形態1に記載した方法を用いることができるが、活性酸素を前処理と同時に生成する際には紫外線を横から照射する方が好ましい。横から照射することで、薄膜トランジスタ700a~700fの半導体膜に紫外線が照射されることを防ぐことができる。よって、作製時における紫外線によるトランジスタの劣化を防ぐことができる。

【0161】

50

以上のようにして、第1の電極として機能する導電膜715aと、メモリ層717と、第2の電極として機能する導電膜718とを有する記憶素子719a、719bを簡便に形成することができる。なお、これらの記憶素子は、隔壁(絶縁層)716によって分離されており、隣接する記憶素子間への電界の影響を防止するだけでなく、メモリ層717を設ける際に導電膜715aの段差により生じるメモリ層717の段切れを隔壁(絶縁層)716を用いて防止することができる。なお、隔壁(絶縁層)716を設けずにメモリ層717が隣接する記憶素子間で分離できる構成としている場合には特に設ける必要はない。

【0162】

次に、図8(C)に示すように、導電膜721や記憶素子719a、719bを覆うように絶縁膜722を形成した後、薄膜トランジスタ700a~700f、導電膜721、記憶素子719a、719b等を含む層(以下、「素子形成層10」と記す)を基板701から剥離する。ここでは、レーザー光(例えば紫外光)を照射することによって、薄膜トランジスタ700a~700fを避けた領域に開口部を形成後、物理的な力を用いて基板701から素子形成層10を剥離することができる。また、基板701から素子形成層10を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層703を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF₃)を使用する。そうすると、素子形成層10は、基板701から剥離された状態となる。なお、剥離層703は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層703の除去を行った後にも、基板701上に素子形成層10を保持しておくことが可能となる。また、素子形成層10が剥離された基板701を再利用することによって、コストの削減をすることができる。

【0163】

絶縁膜722は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜や DLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0164】

本実施形態では、図9(A)に示すように、レーザー光の照射により素子形成層10に開口部を形成した後に、当該素子形成層10の一方の面(絶縁膜722の露出した面)に第1のシート材723を貼り合わせた後、基板701から素子形成層10を剥離する。

【0165】

次に、図9(B)に示すように、素子形成層10の他方の面(剥離により露出した面)に、加熱処理と加圧処理の一方又は両方を行って第2のシート材724を貼り合わせる。なお、第1のシート材723、第2のシート材724として、ホットメルトフィルム等を用いることができる。

【0166】

また、第1のシート材723、第2のシート材724として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電

10

20

30

40

50

防止可能な材料としては、金属、インジウムと錫の酸化物（ITO：Indium Tin Oxide）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0167】

以上の工程により、本発明を用いることにより信頼性に優れた半導体装置を簡便かつ安価に提供することが可能となる。なお、本実施形態では、アンテナを薄膜トランジスタと同じ基板上に形成している例について説明したが、本発明はこの構成に限定されない。薄膜トランジスタを有する層が形成される第1の基板と、アンテナとして機能する導電層が形成される第2の基板とを導電性粒子を含む樹脂により貼り合わせることで、薄膜トランジスタとアンテナとを電氣的に接続してもよい。

10

【0168】

また、上記では基板上に薄膜トランジスタ等の素子を形成した後に剥離する工程を示したが、剥離を行わずそのまま製品としてもよい。また、ガラス基板上に薄膜トランジスタ等の素子を設けた後に、当該ガラス基板を素子が設けられた面と反対側から研磨することにより半導体装置の薄膜化、小型化を行うことができる。

20

【0169】

また、本実施形態では、不揮発性メモリを構成する記憶素子の第2の電極を本発明を用いて作製した例について説明したが、本発明はこれに限られることなく、配線や電極、アンテナ等をはじめとする導電膜などに適用することができる。

【0170】

本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0171】

（実施の形態6）

本実施形態では、上記実施形態とは異なる不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法について図10乃至図12に示す部分断面図を用いて説明する。不揮発性メモリもしくは半導体装置が有するトランジスタは、上記実施形態で説明した絶縁基板上的薄膜トランジスタの他、単結晶基板上的MOSトランジスタで構成することもできる。

30

【0172】

まず、半導体基板1000に素子を分離した領域1002、1003（以下、領域1002、1003とも記す）を形成する（図10（A）参照）。半導体基板1000に設けられた領域1002、1003は、それぞれ絶縁膜1001（フィールド酸化膜ともいう）によって分離されている。なお、ここでは、半導体基板1000としてn型の導電型を有する単結晶Si基板を用い、半導体基板1000の領域1003にpウェル1004を設けた例を示している。

40

【0173】

基板1000は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0174】

素子分離領域1002、1003は、選択酸化法（LOCOS（Local Oxid

50

ation of Silicon)法)又はトレンチ分離法等を適宜用いることができる。

【0175】

また、半導体基板1000の領域1003に形成されたpウェルは、半導体基板1000にp型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。

【0176】

なお、本実施形態では、半導体基板1000としてn型の導電性を有する半導体基板を用いているため、領域1002には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域1002にnウェルを形成してもよい。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。一方、p型の導電性を有する半導体基板を用いる場合には、領域1002にn型を示す不純物元素を導入してnウェルを形成し、領域1003には不純物元素の導入を行わない構成としてもよい。

【0177】

次に、図10(B)に示すように領域1002、1003を覆うように絶縁膜1005、1006をそれぞれ形成する。

【0178】

絶縁膜1005、1006は、例えば、熱処理を行い半導体基板1000に設けられた領域1002、1003の表面を酸化させることにより酸化珪素膜で形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことにより酸化珪素膜の表面を窒化させることにより、酸化珪素膜と窒素と窒素を有する膜(酸窒化珪素膜)との積層構造で形成してもよい。

【0179】

他にも、上述したように、プラズマ処理を用いて絶縁膜1005、1006を形成してもよい。例えば、半導体基板1000に設けられた領域1002、1003の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜1005、1006として酸化珪素(SiO_x)膜又は窒化珪素(SiN_x)膜で形成することができる。また、高密度プラズマ処理により領域1002、1003の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことにより窒化処理を行ってもよい。この場合、領域1002、1003の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に酸窒化珪素膜が形成され、絶縁膜1005、1006は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域1002、1003の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0180】

なお、絶縁膜1005、1006は、後に完成されるトランジスタにおいてゲート絶縁膜として機能する。

【0181】

次に、図10(C)に示すように領域1002、1003の上方に形成された絶縁膜1005、1006を覆うように導電膜を形成する。ここでは、導電膜として、導電膜1007と導電膜1008を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0182】

導電膜1007、1008としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【0183】

10

20

30

40

50

ここでは、導電膜 1007 として窒化タンタルを用いて形成し、その上に導電膜 1008 としてタングステンをを用いて積層構造で設ける。また、他にも、導電膜 1007 として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 1008 として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0184】

次に、積層して設けられた導電膜 1007、1008 を選択的にエッチングして除去することによって、領域 1002、1003 の上方の一部に導電膜 1007、1008 を残存させ、図 11 (A) に示すようにそれぞれゲート電極 1009、1010 を形成する。

【0185】

次に、領域 1002 を覆うようにレジストマスク 1011 を選択的に形成し、当該レジストマスク 1011、ゲート電極 1010 をマスクとして領域 1003 に不純物元素を導入することによって不純物領域を形成する(図 11 (B) 参照)。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。ここでは、不純物元素として、リン (P) を用いる。

【0186】

不純物元素を導入することによって、図 11 (B) に示すように領域 1003 にソース領域又はドレイン領域を形成する不純物領域 1012 とチャンネル形成領域 1013 が形成される。

【0187】

次に、図 11 (C) に示すように領域 1003 を覆うようにレジストマスク 1014 を選択的に形成し、当該レジストマスク 1014、ゲート電極 1009 をマスクとして領域 1002 に不純物元素を導入することによって不純物領域を形成する。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。ここでは、図 11 (C) で領域 1003 に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン (B)) を導入する。その結果、領域 1002 にソ

【0188】

次に、図 12 に示すように絶縁膜 1005、1006、ゲート電極 1009、1010 を覆うように第 2 の絶縁膜 1017 を形成し、当該第 2 の絶縁膜 1017 上に領域 1002、1003 にそれぞれ形成された不純物領域 1012、1015 と電気的に接続する配線 1018 を形成する。

【0189】

第 2 の絶縁膜 1017 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) (x > y)、窒化酸化珪素 (SiN_xO_y) (x > y) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリアル基) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0190】

配線 1018 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タン

10

20

30

40

50

グステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線1018は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線1018を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

10

【0191】

以上のようにして、単結晶基板を用いてMOSトランジスタを作製することができる。なお、トランジスタの構造は上記の構造に限定されるものではなく、例えば、逆スタガ構造、フィンFET構造等でも良い。なお、フィンFET構造では、トランジスタサイズの微細化に伴う短チャネル効果を抑制することができる。

20

【0192】

また、本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【0193】

(実施の形態7)

本実施形態では、上記実施形態とは異なる不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法について図13乃至図16に示す部分断面図を用いて説明する。不揮発性メモリもしくは半導体装置におけるトランジスタは、上記実施形態で説明した単結晶基板上のMOSトランジスタとは異なる作製方法で設けられたMOSトランジスタで構成することもできる。

30

【0194】

まず、図13(A)に示すように基板1300上に絶縁膜を形成する。ここでは、n型の導電性を有する単結晶Siを基板1300として用い、当該基板1300上に絶縁膜1301と絶縁膜1302を形成する。例えば、基板1300に熱処理を行うことにより絶縁膜1301として酸化珪素(SiO_x)を形成し、当該絶縁膜1301上にCVD法を用いて窒化珪素(SiN_x)を成膜する。

【0195】

また、基板1300は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶Si基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板等を用いることができる。

40

【0196】

また、絶縁膜1302は、絶縁膜1301を形成した後に高密度プラズマ処理により当該絶縁膜1301を窒化することにより設けてもよい。なお、基板1300上に設ける絶縁膜は単層又は3層以上の積層構造で設けてもよい。

【0197】

次に、図13(B)に示すように絶縁膜1302上に選択的にレジストマスク1303

50

のパターンを形成し、当該レジストマスク 1303 をマスクとして選択的にエッチングを行うことによって、基板 1300 に選択的に凹部 1304 を形成する。基板 1300、絶縁膜 1301、1302 のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0198】

次に、図 13 (C) に示すようにレジストマスク 1303 のパターンを除去した後、基板 1300 に形成された凹部 1304 を充填するように絶縁膜 1305 を形成する。

【0199】

絶縁膜 1305 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン (SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン (SiN_xO_y) ($x > y > 0$) 等の絶縁材料を用いて形成する。ここでは、絶縁膜 1305 として、常圧 CVD 法または減圧 CVD 法により TEOS (テトラエトキシシラン) ガスを用いて酸化珪素膜を形成する。

10

【0200】

次に、図 14 (A) に示すように研削処理、研磨処理又は CMP (Chemical Mechanical Polishing) 処理を行うことによって、基板 1300 の表面を露出させる。ここでは、基板 1300 の表面を露出させることにより、基板 1300 の凹部 1304 に形成された絶縁膜 1306 間に領域 1307、1308 が設けられる。なお、絶縁膜 1306 は、基板 1300 の表面に形成された絶縁膜 1305 が研削処理、研磨処理又は CMP 処理により除去されることにより得られたものである。続いて、p 型の導電型を有する不純物元素を選択的に導入することによって、領域 1308 に p ウェル 1309 を形成する。

20

【0201】

p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。ここでは、不純物元素として、ボロン (B) を領域 1308 に導入する。

【0202】

なお、本実施形態では、基板 1300 として n 型の導電型を有する半導体基板を用いているため、領域 1307 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 1307 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。

30

【0203】

一方、p 型の導電型を有する半導体基板を用いる場合には、領域 1307 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 1308 には不純物元素の導入を行わない構成としてもよい。

【0204】

次に、図 14 (B) に示すように基板 1300 の領域 1307、1308 の表面上に絶縁膜 1310、1311 をそれぞれ形成する。

【0205】

絶縁膜 1310、1311 は、例えば、熱処理を行い基板 1300 に設けられた領域 1307、1308 の表面を酸化させることにより酸化珪素膜で絶縁膜 1310、1311 を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜 (酸窒化珪素膜) との積層構造で形成してもよい。

40

【0206】

他にも、上述したように、プラズマ処理を用いて絶縁膜 1310、1311 を形成してもよい。例えば、基板 1300 に設けられた領域 1307、1308 の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜 1310、1311 として酸化珪素 (SiO_x) 膜又は窒化珪素 (SiN_x) 膜で形成することができる。また、高密度プラズマ処理により領域 1307、1308 の表面に酸化処理を行った後に、再度

50

高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 1307、1308 の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に酸窒化珪素膜が形成され、絶縁膜 1310、1311 は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域 1307、1308 の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0207】

なお、基板 1300 の領域 1307、1308 に形成された絶縁膜 1310、1311 は、後に完成されるトランジスタにおいてゲート絶縁膜として機能する。

【0208】

次に、図 14 (C) に示すように基板 1300 に設けられた領域 1307、1308 の上方に形成された絶縁膜 1310、1311 を覆うように導電膜を形成する。ここでは、導電膜として、導電膜 1312 と導電膜 1313 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

10

【0209】

導電膜 1312、1313 としては、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

20

【0210】

ここでは、導電膜 1312 として窒化タンタルを用いて形成し、その上に導電膜 1313 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 1312 として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 1313 として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0211】

次に、図 15 (A) に示すように積層して設けられた導電膜 1312、1313 を選択的にエッチングして除去することによって、基板 1300 の領域 1307、1308 の上方の一部に導電膜 1312、1313 を残存させ、それぞれゲート電極として機能する導電膜 1314、1315 を形成する。また、ここでは、基板 1300 において、導電膜 1314、1315 と重ならない領域 1307、1308 の表面が露出するようにする。

30

【0212】

具体的には、基板 1300 の領域 1307 において、導電膜 1314 の下方に形成された絶縁膜 1310 のうち当該導電膜 1314 と重ならない部分を選択的に除去し、導電膜 1314 と絶縁膜 1310 の端部が概略一致するように形成する。また、領域 1308 において、導電膜 1315 の下方に形成された絶縁膜 1311 のうち当該導電膜 1315 と重ならない部分を選択的に除去し、導電膜 1315 と絶縁膜 1311 の端部が概略一致するように形成する。

【0213】

この場合、導電膜 1314、1315 の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜 1314、1315 を形成後残存したレジストマスク又は当該導電膜 1314、1315 をマスクとして重ならない部分の絶縁膜等を除去してもよい。

40

【0214】

次に、図 15 (B) に示すように基板 1300 の領域 1307、1308 に不純物元素を選択的に導入する。ここでは、領域 1308 に導電膜 1315 をマスクとして n 型を付与する低濃度の不純物元素を選択的に導入し、不純物領域 1317 を形成する。一方、領域 1307 には導電膜 1314 をマスクとして p 型を付与する低濃度の不純物元素を選択的に導入し、不純物領域 1316 を形成する。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を付与する不純物元素としては、ボ

50

ロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。

【 0 2 1 5 】

次に、導電膜 1 3 1 4、1 3 1 5 の側面に接するサイドウォール 1 3 1 8 を形成する。具体的には、プラズマ C V D 法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜 1 3 1 4、1 3 1 5 の側面に接するように形成することができる。なお、サイドウォール 1 3 1 8 は、L D D (L i g h t l y D o p e d d r a i n) 領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、サイドウォール 1 3 1 8 は、導電膜 1 3 1 4、1 3 1 5 の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

10

【 0 2 1 6 】

続いて、当該サイドウォール 1 3 1 8、導電膜 1 3 1 4、1 3 1 5 をマスクとして基板 1 3 0 0 の領域 1 3 0 7、1 3 0 8 に不純物元素を導入することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する (図 1 5 (C) 参照)。ここでは、基板 1 3 0 0 の領域 1 3 0 8 にサイドウォール 1 3 1 8 と導電膜 1 3 1 5 をマスクとして高濃度の n 型を付与する不純物元素を導入し、領域 1 3 0 7 にサイドウォール 1 3 1 8 と導電膜 1 3 1 4 をマスクとして高濃度の p 型を付与する不純物元素を導入する。

【 0 2 1 7 】

その結果、基板 1 3 0 0 の領域 1 3 0 7 には、ソース領域又はドレイン領域を形成する不純物領域 1 3 2 0 と、L D D 領域を形成する低濃度不純物領域 1 3 2 1 と、チャンネル形成領域 1 3 2 2 が形成される。また、基板 1 3 0 0 の領域 1 3 0 8 には、ソース領域又はドレイン領域を形成する不純物領域 1 3 2 3 と、L D D 領域を形成する低濃度不純物領域 1 3 2 4 と、チャンネル形成領域 1 3 2 5 が形成される。

20

【 0 2 1 8 】

なお、本実施形態では、導電膜 1 3 1 4、1 3 1 5 と重ならない基板 1 3 0 0 の領域 1 3 0 7、1 3 0 8 を露出させた状態で不純物元素の導入を行っている。従って、基板 1 3 0 0 の領域 1 3 0 7、1 3 0 8 にそれぞれ形成されるチャンネル形成領域 1 3 2 2、1 3 2 5 は導電膜 1 3 1 4、1 3 1 5 と自己整合的に形成することができる。

【 0 2 1 9 】

次に、図 1 6 (A) に示すように基板 1 3 0 0 の領域 1 3 0 7、1 3 0 8 上に設けられた絶縁膜や導電膜等を覆うように第 2 の絶縁膜 1 3 2 6 を形成し、当該絶縁膜 1 3 2 6 に開口部 1 3 2 7 を形成する。

30

【 0 2 2 0 】

第 2 の絶縁膜 1 3 2 6 は、C V D 法やスパッタ法等により、酸化珪素 (S i O x)、窒化珪素 (S i N x)、酸化窒化珪素 (S i O x N y) (x > y)、窒化酸化珪素 (S i N x O y) (x > y) 等の酸素または窒素を有する絶縁膜や D L C (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、S i - O - S i 結合を含む材料に相当する。シロキサンは、シリコン (S i) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【 0 2 2 1 】

次に、図 1 6 (B) に示すように C V D 法を用いて開口部 1 3 2 7 に導電膜 1 3 2 8 を形成し、当該導電膜 1 3 2 8 と電気的に接続するように絶縁膜 1 3 2 6 上に導電膜 1 3 2 9 a ~ 1 3 2 9 d を選択的に形成する。

【 0 2 2 2 】

導電膜 1 3 2 8、1 3 2 9 a ~ 1 3 2 9 d は、C V D 法やスパッタリング法等により、

50

アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 1328、1329a~1329d は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1328 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜 1328 は CVD 法によりタングステン (W) を選択成長することにより形成することができる。

【0223】

以上の工程により、基板 1300 の領域 1307 に形成された p 型のトランジスタと、領域 1308 に形成された n 型のトランジスタとを作製することができる。

【0224】

なお、トランジスタの構造は上記の構造に限定されるものではなく、例えば、逆スタガ構造、フィン FET 構造等でも良い。なお、フィン FET 構造では、トランジスタサイズの微細化に伴う短チャネル効果を抑制することができる。

【0225】

また、不揮発性メモリもしくは半導体装置が有するトランジスタは上述したトランジスタに限定されるものではなく、チャネル形成領域が有機物から形成される有機トランジスタであっても良い。

【0226】

また、本実施の形態は、他の実施形態及び実施例に記載した内容と適宜組み合わせることが可能である。

【実施例 1】

【0227】

本実施例では、本発明を用いて作製した配線の抵抗を示す。

【0228】

まず、ガラス基板上に液滴吐出法を用いて銀のナノ粒子が分散された組成物を吐出した。吐出した組成物、即ち吐出材料には、有機物で被覆された状態で銀のナノ粒子が水及び水溶性有機溶媒中に分散された溶液を用いた。なお、溶液中の銀濃度は約 22.5 wt% (± 2.5 wt%) であり、用いたナノ粒子の粒径は 20 nm 以上 30 nm 以下である。また、粘度が 25 で約 15 Pa·s、表面張力が約 35 mN/m の吐出材料を用いた。

【0229】

次に、基板を 80 のホットプレートを用いて 15 分間加熱し、溶媒を気化させた。そのため、基板には銀のナノ粒子と前記ナノ粒子を被覆する有機物とが残った状態となっている。

【0230】

その後、基板に残った上記の物質、即ち吐出物に対し、低圧水銀ランプを用いて空气中で活性酸素による前処理を行った。低圧水銀ランプには、測定波長 254 nm とした場合に $7 \text{ mW} / \text{cm}^2$ であるランプを用いた。実施の形態 1 でも示したように低圧水銀ランプの発光は波長 254 nm に限られず、波長 185 nm の発光も存在する。よって、低圧水銀ランプの波長 185 nm の発光によりオゾンが得られ、そのオゾン存在下で紫外線を

10

20

30

40

50

照射することで前処理を行っているとも言える。なお、前処理時間は、10分もしくは20分とした。

【0231】

次に、基板を100のホットプレートを用いて60分間加熱することで前処理後の吐出物に対し焼成を行った。

【0232】

以上のように作製した配線の抵抗を2探針法を用いて調べた。なお、比較のために前処理をせずに作製した配線の抵抗も調べた。結果を表1に示す。なお、これら配線の各々は線幅が約134 μm 、膜厚が約316nmであった。ここでいう配線の膜厚とは、配線の幅方向における断面積を線幅で割った平均膜厚を言い、以下平均膜厚と表記する。

【表1】

表1 前処理時間に対する配線抵抗率

前処理時間 [min]	0	10	20
抵抗率 [Ωcm]	6.52×10^4	8.66×10^{-2}	5.93×10^{-4}

【0233】

表1より前処理時間の増加に伴い配線の抵抗率は減少しており、配線作製時に活性酸素による前処理を行うことで配線抵抗を下げる事が可能であることがわかる。また、低い焼成温度にもかかわらず、抵抗の低い配線が得られた。よって、前処理を行うことで焼成による焼結が進行しやすいことがわかる。以上より、前処置を行うことで焼成温度を低減することが可能であると言える。

【0234】

また、上記とは平均膜厚の異なる配線についても作製し、その抵抗も調べた。表2に、前処理時間に対する平均膜厚約580nmの配線抵抗を示す。なお、各々の配線の線幅は約136 μm であった。

【表2】

表2 前処理時間に対する配線抵抗率

前処理時間 [min]	0	10	20
抵抗率 [Ωcm]	6.05×10^4	1.98×10^1	3.23×10^{-3}

【0235】

表2より、たとえ配線の膜厚を厚くしても、配線作製時に活性酸素による前処理を行うことで配線抵抗を下げる事が可能であることがわかった。また、低い焼成温度にもかかわらず、抵抗の低い配線が得られた。

【0236】

上記では前処理後の吐出物に対し100のホットプレートを用いて60分間加熱することにより焼成を行ったが、30分間の場合についても同様の実験を行った。得られた配線の抵抗を表3に示す。なお、60分間の場合と同様、平均膜厚の異なる2種類の配線を作製した。なお、平均膜厚約312nmの配線における線幅は約137 μm であり、平均膜厚約576nmの配線における線幅は約142 μm であった。

【表3】

表3 前処理時間に対する配線抵抗率

前処理時間 [min]	0	10	20	平均膜厚 [nm]
抵抗率 [Ωcm]	9.66×10^4	1.44×10^2	1.64×10^{-3}	312
抵抗率 [Ωcm]	1.01×10^5	1.52×10^3	4.28×10^{-1}	576

【0237】

表3より、たとえ30分の焼成であっても配線作製時に活性酸素による前処理を行うことで配線抵抗を下げる事が可能であることがわかった。

【0238】

以上のように、活性酸素による前処理を行うことで配線作製時における焼成温度を低減することが可能となる。また、焼成時間を短時間とすることも可能である。

【実施例2】

【0239】

本実施例では、本発明を用いて作製した配線の抵抗を示す。なお、本実施例で作製した配線は、前処理後の吐出物に対し150のホットプレートを用いて加熱することにより焼成を行った以外は実施例1と同様の物質及び手法を用いて作製した。

【0240】

まず、ガラス基板上に液滴吐出法を用いて銀のナノ粒子が分散された組成物を吐出した。吐出した組成物、即ち吐出材料には、実施例1と同様のものを用いた。

【0241】

次に、基板を80のホットプレートを用いて15分間加熱し、溶媒を気化させた。そのため、基板には銀のナノ粒子と前記ナノ粒子を被覆する有機物が残った状態となっている。

【0242】

その後、基板に残った上記の物質、即ち吐出物に対し、低圧水銀ランプを用いて空气中で活性酸素による前処理を行った。低圧水銀ランプには、測定波長254nmとした場合に7mW/cm²であるランプを用いた。実施の形態1でも示したように低圧水銀ランプの発光は波長254nmに限られず、波長185nmの発光も存在する。よって、低圧水銀ランプの波長185nmの発光によりオゾンが得られ、そのオゾン存在下で紫外線を照射することで前処理を行っているとも言える。なお、前処理時間は、10分もしくは20分とし、比較のために前処理を行わないものも作製した。

【0243】

次に、基板を150のホットプレートを用いて60分間加熱することで前処理後の吐出物に対し焼成を行った。

【0244】

以上のように作製した配線の抵抗を2探針法を用いて調べた。なお、平均膜厚の異なる配線についても作製し、その抵抗も調べた。これらの結果を表4に示す。作製した配線の平均膜厚は約258nmと約463nmの2種であり、これらの配線幅は共に約136μmであった。

【表4】

表4 前処理時間に対する配線抵抗率

前処理時間 [min]	0	10	20	平均膜厚 [nm]
抵抗率 [Ω cm]	1.03×10^{-4}	6.56×10^{-5}	2.99×10^{-5}	258
抵抗率 [Ω cm]	1.19×10^{-4}	7.29×10^{-5}	4.42×10^{-5}	463

【0245】

表4より、前処理時間の増加に伴い配線の抵抗率は減少しており、配線作製時に活性酸素による前処理を行うことで配線抵抗を下げるということが可能であることがわかる。また、低い焼成温度にもかかわらず、抵抗の低い配線が得られた。よって、前処理を行うことで焼成による焼結が進行しやすいことがわかる。

【0246】

以上より、活性酸素による前処置を行うことで配線作製時における焼成温度を低減することが可能であると言える。

【図面の簡単な説明】

【0247】

【図1】本発明の配線の作製方法について説明する図。

【図2】液滴吐出装置の一態様を示す図。

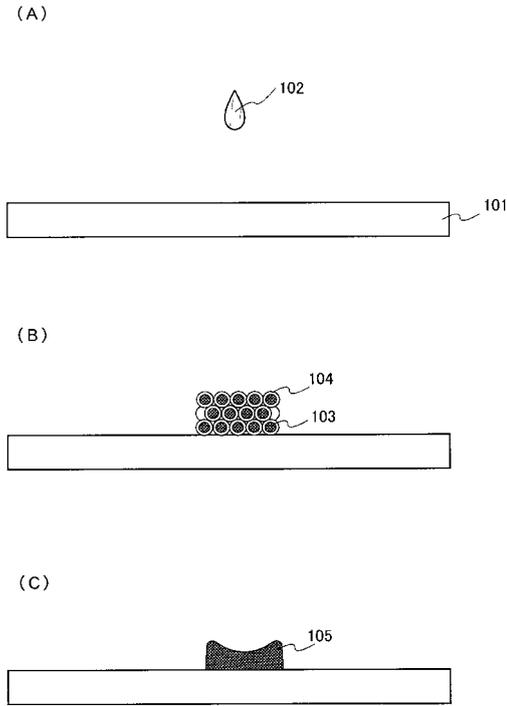
【図3】本発明の配線の作製方法について説明する図。

【図4】本発明の記憶素子の一構成例について説明する図。	
【図5】本発明の不揮発性メモリの一構成例について説明する図。	
【図6】本発明の半導体装置の一構成例について説明する図。	
【図7】本発明の半導体装置の部分断面図。	
【図8】本発明の半導体装置の部分断面図。	
【図9】本発明の半導体装置の部分断面図。	
【図10】本発明の半導体装置が有するトランジスタの部分断面図。	
【図11】本発明の半導体装置が有するトランジスタの部分断面図。	
【図12】本発明の半導体装置が有するトランジスタの部分断面図。	
【図13】本発明の半導体装置が有するトランジスタの部分断面図。	10
【図14】本発明の半導体装置が有するトランジスタの部分断面図。	
【図15】本発明の半導体装置が有するトランジスタの部分断面図。	
【図16】本発明の半導体装置が有するトランジスタの部分断面図。	
【符号の説明】	
【0248】	
10 素子形成層	
101 基板	
102 液滴	
103 ナノ粒子	
104 有機物	20
105 配線	
110 基板	
200 基板	
203 液滴吐出手段	
204 撮像手段	
205 ヘッド	
205 ヘッド	
206 点線	
207 制御手段	
208 記憶媒体	30
209 画像処理手段	
210 コンピュータ	
211 マーカー	
212 ヘッド	
213 材料供給源	
214 材料供給源	
300 隔壁(絶縁層)	
301 配線形成領域	
302 配線	
401 導電層	40
402 導電層	
403 メモリ層	
450 層	
501 回路	
502 ワード線駆動回路	
503 ビット線駆動回路	
504 読み出し回路	
505 メモリセルアレイ	
510 スイッチ	
511 スイッチ	50

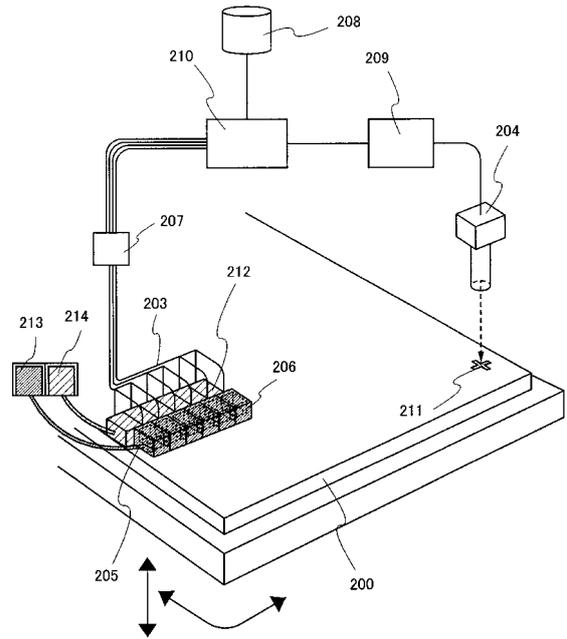
5 2 0	ローデコーダ	
5 2 1	スイッチ	
5 3 0	コラムデコーダ	
5 3 1	スイッチ	
5 4 0	トランジスタ	
5 4 1	スイッチ	
5 4 2	インバータ	
5 5 0	トランジスタ	
5 5 1	記憶素子	
6 0 1	アンテナ	10
6 0 2	ＩＣチップ	
6 0 3	電源回路	
6 0 4	復調回路	
6 0 5	変調回路	
6 0 6	ロジック回路	
6 0 7	電源回路	
6 0 8	不揮発性メモリ	
7 0 1	基板	
7 0 2	絶縁膜	
7 0 3	剥離層	20
7 0 4	絶縁膜	
7 0 5	半導体膜	
7 0 6	ゲート絶縁膜	
7 0 7	ゲート電極	
7 0 8	不純物領域	
7 0 9	不純物領域	
7 1 0	絶縁膜	
7 1 1	不純物領域	
7 1 2 a	絶縁膜	
7 1 2 b	絶縁膜	30
7 1 3	導電膜	
7 1 4	絶縁膜	
7 1 6	隔壁（絶縁層）	
7 1 7	メモリ層	
7 1 8	導電膜	
7 2 1	導電膜	
7 2 2	絶縁膜	
7 2 3	シート材	
7 2 4	シート材	
1 0 0 0	基板	40
1 0 0 1	絶縁膜	
1 0 0 2	領域	
1 0 0 3	領域	
1 0 0 4	pウエル	
1 0 0 5	絶縁膜	
1 0 0 7	導電膜	
1 0 0 8	導電膜	
1 0 0 9	ゲート電極	
1 0 1 0	ゲート電極	
1 0 1 1	レジストマスク	50

1 0 1 2	不純物領域	
1 0 1 3	チャネル形成領域	
1 0 1 4	レジストマスク	
1 0 1 5	不純物領域	
1 0 1 6	チャネル形成領域	
1 0 1 7	絶縁膜	
1 0 1 8	配線	
1 0 2 4	シート材	
1 3 0 0	基板	
1 3 0 1	絶縁膜	10
1 3 0 2	絶縁膜	
1 3 0 3	レジストマスク	
1 3 0 4	凹部	
1 3 0 5	絶縁膜	
1 3 0 6	絶縁膜	
1 3 0 7	領域	
1 3 0 8	領域	
1 3 0 9	p ウェル	
1 3 1 0	絶縁膜	
1 3 1 1	絶縁膜	20
1 3 1 2	導電膜	
1 3 1 3	導電膜	
1 3 1 4	導電膜	
1 3 1 5	導電膜	
1 3 1 6	不純物領域	
1 3 1 7	不純物領域	
1 3 1 8	サイドウォール	
1 3 2 0	不純物領域	
1 3 2 1	低濃度不純物領域	
1 3 2 2	チャネル形成領域	30
1 3 2 3	不純物領域	
1 3 2 4	低濃度不純物領域	
1 3 2 5	チャネル形成領域	
1 3 2 6	絶縁膜	
1 3 2 7	開口部	
1 3 2 8	導電膜	
1 3 2 8	導電膜	
7 0 0 a ~ f	薄膜トランジスタ	
7 0 5 a ~ f	半導体膜	
7 0 7 a	導電膜	40
7 0 7 b	導電膜	
7 1 2 a	絶縁膜	
7 1 2 b	絶縁膜	
7 1 5 a	導電膜	
7 1 5 b	導電膜	
7 1 9 a	記憶素子	
7 1 9 b	記憶素子	
1 3 2 9 a ~ 1 3 2 9 d	導電膜	

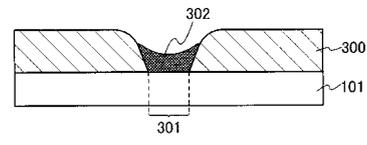
【図1】



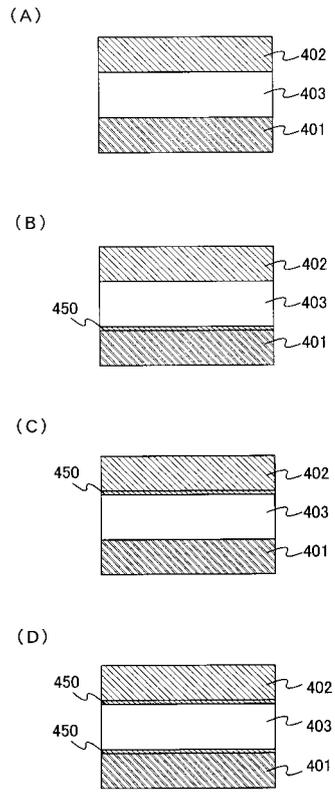
【図2】



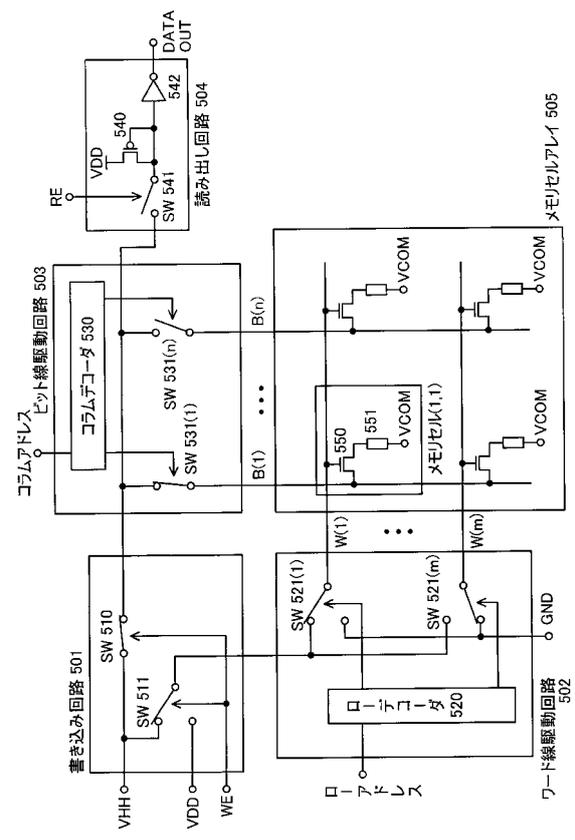
【図3】



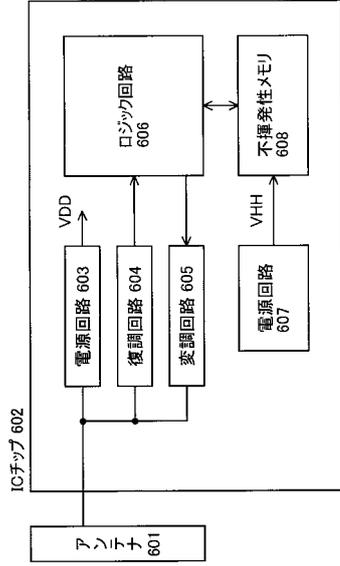
【図4】



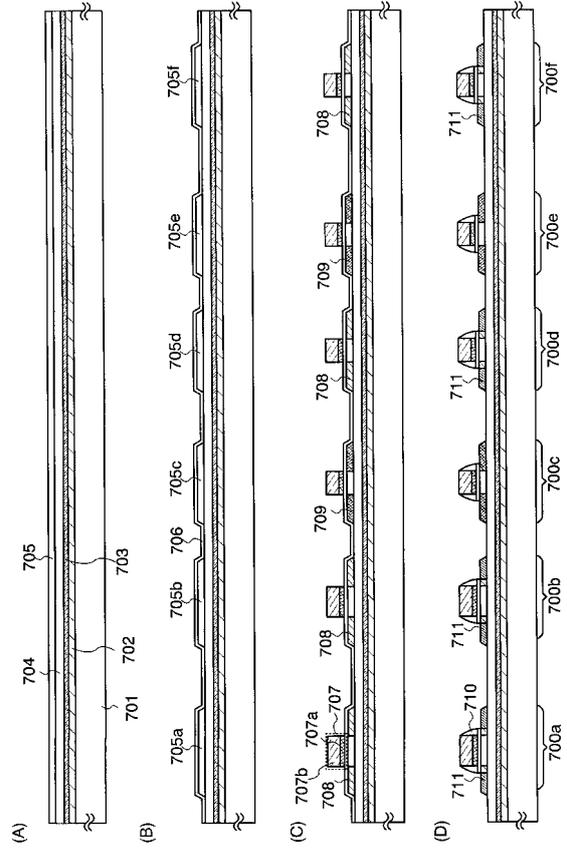
【図5】



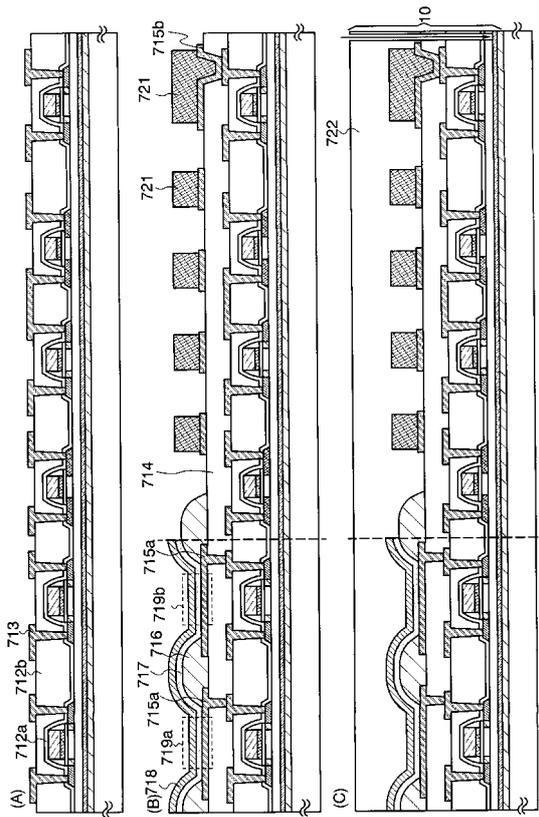
【図6】



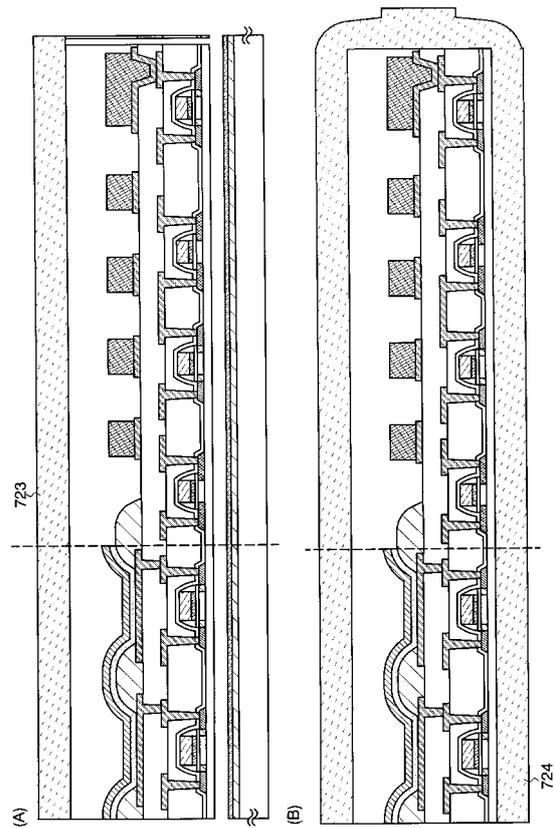
【図7】



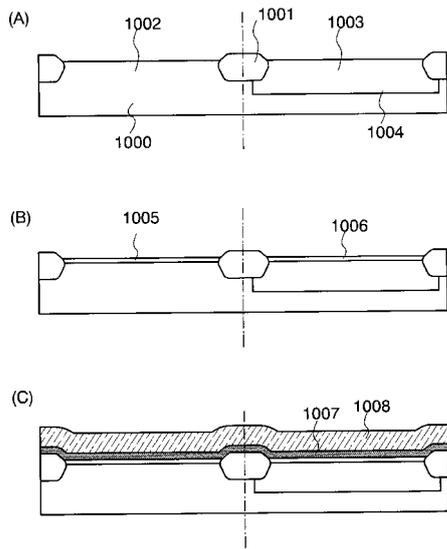
【図8】



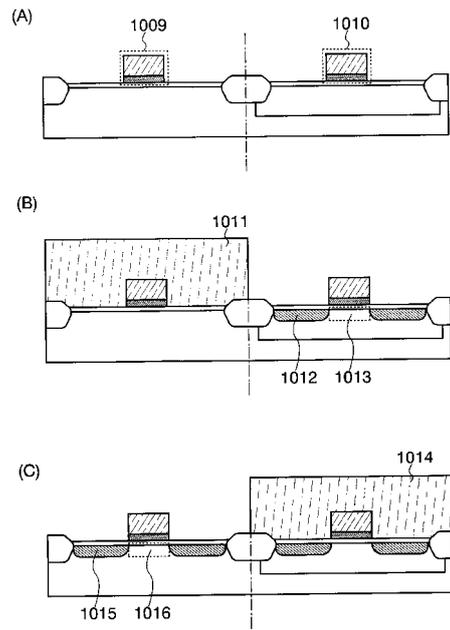
【図9】



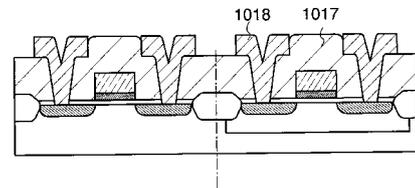
【図10】



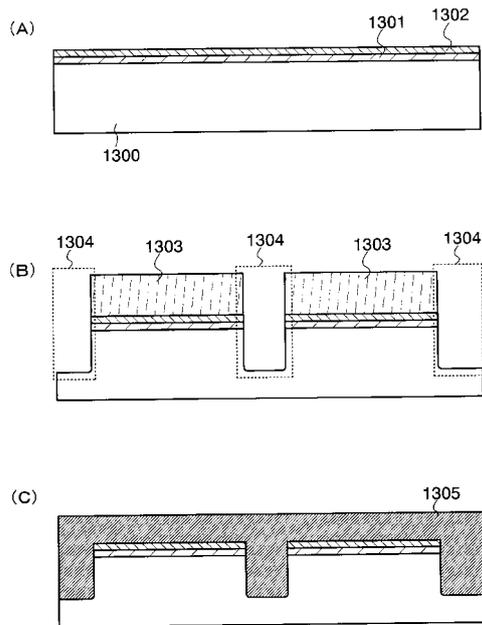
【図11】



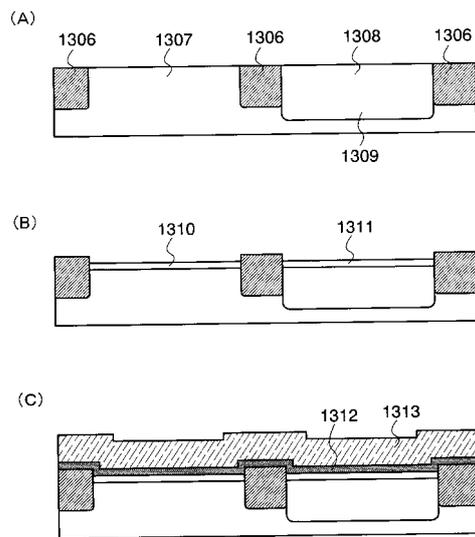
【図12】



【図13】

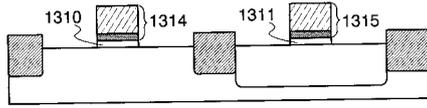


【図14】

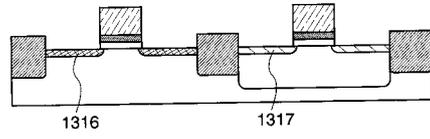


【 15 】

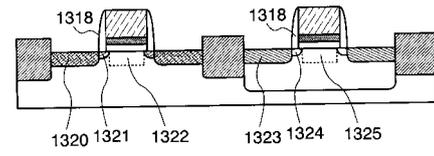
(A)



(B)

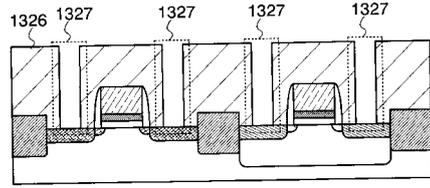


(C)

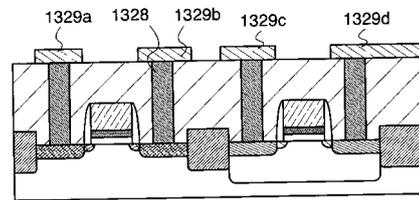


【 16 】

(A)



(B)



フロントページの続き

- (56)参考文献 特開2006-291347(JP,A)
特開平04-083564(JP,A)
特開2006-163418(JP,A)
特開2002-075217(JP,A)
特開2006-310799(JP,A)
特開2004-241770(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/288
H01L 21/768
H01L 23/522
H01L 27/10