

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 23 日(23.08.2012)



(10) 国際公開番号

WO 2012/111586 A1

- (51) 国際特許分類:
H03K 17/06 (2006.01) G09G 3/36 (2006.01)
G02F 1/133 (2006.01) H03K 17/687 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053222
- (22) 国際出願日: 2012 年 2 月 13 日(13.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-033743 2011 年 2 月 18 日(18.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 佐々木 寧
(SASAKI, Yasushi). 村上 祐一郎(MURAKAMI,
Yuhichiroh). 鉢田 卓也(HACHIDA, Takuya). 山本
悦雄(YAMAMOTO, Etsuo). 大河 寛幸(OHKAWA,
Hiroyuki).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

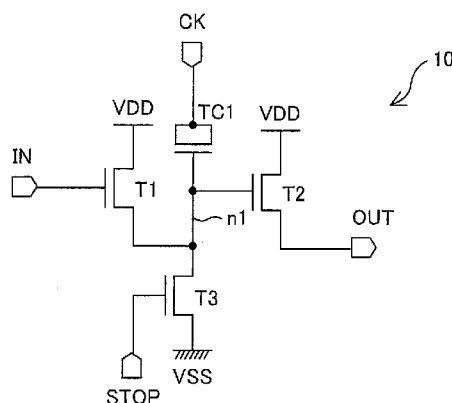
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY APPARATUS

(54) 発明の名称: 半導体装置及び表示装置

[図1]



(57) Abstract: A circuit (10) is provided with a transistor (T1), a transistor (T2), and a capacitor (TC1) installed between a node (n1) and a CK terminal. The frequency of a clock signal is higher than the frequency of an output signal (OUT), and the capacitance of the capacitor (TC1) becomes smaller as the electric potential of the node (n1) drops, and becomes greater as the electric potential of the node (n1) rises.

(57) 要約: 回路(10)は、トランジスタ(T1)と、トランジスタ(T2)と、ノード(n1)およびCK端子の間に設けられる容量(TC1)とを備える。クロック信号の周波数は、出力信号(OUT)の周波数よりも高く、容量(TC1)は、ノード(n1)の電位の低下に伴って小さくなり、ノード(n1)の電位の上昇に伴って大きくなる。

WO 2012/111586 A1

明 細 書

発明の名称：半導体装置及び表示装置

技術分野

[0001] 本発明は、同一導電型のトランジスタで構成される半導体装置に関するものである。

背景技術

[0002] 液晶表示装置では、例えば、アレイ状に配列された画素を順次駆動するための信号を生成するシフトレジスタが、走査信号線駆動回路及びデータ信号線駆動回路に用いられている。また、液晶表示装置には、電源電圧レベルを変換するレベルシフタ、及び入力信号に対して等倍の出力を得る増幅回路のように低出力インピーダンスで広義の増幅信号を出力するいわゆるバッファが用いられている。これらシフトレジスタ及びバッファ等の半導体装置をCMOSトランジスタで構成するとpチャネル及びnチャネルのそれぞれを形成するプロセスが必要になるため、製造工程が複雑化する。そこで、製造工程の簡略化を図って、同一導電型、例えばpチャネルのみなど単極性のチャネルのトランジスタで構成することが好ましい。このような単極性のトランジスタで構成された半導体装置が、例えば特許文献1に開示されている。

[0003] 図46は、特許文献1の半導体装置の構成を示す回路図である。この半導体装置は、n型MOSトランジスタで構成されている。

[0004] 具体的には、半導体装置100は、4個のn型MOSトランジスタT101～T104と、容量C101とを備えている。トランジスタT101は、ドレイン端子が電源VDDに接続され、ゲート端子が入力端子INに接続される。トランジスタT103は、ソース端子が電源VSSに接続され、ゲート端子にはSTOP信号（制御信号）が入力される。トランジスタT102は、ドレイン端子がクロック端子φに接続され、ゲート端子がトランジスタのT101のソース端子及びトランジスタT103のドレイン端子に接続される。トランジスタT104は、ドレイン端子がトランジスタT102のソ

ース端子に接続され、ソース端子が電源 V_{SS} に接続され、ゲート端子がトランジスタ T_{103} のゲート端子に接続される。トランジスタ T_{101} と T_{102} と T_{103} との接続点をノード N_1 とし、トランジスタ T_{102} と T_{104} との接続点をノード N_2 とする。ノード N_1 とノード N_2 との間には、容量 C_{101} が設けられる。ノード N_2 は、出力端子 OUT に接続される。

[0005] 次に、半導体装置 100 の動作について説明する。図 47 は、半導体装置 100 における各種信号の波形を示すタイミングチャートである。

[0006] 入力信号 IN がハイレベルになると、トランジスタ T_{101} がオン状態になり、ノード N_1 の電位は、トランジスタ T_{101} の閾値電圧を V_{th} とすると、 $V_{DD} - V_{th}$ になる（プリチャージ動作）。ノード N_1 の電位が上昇すると、トランジスタ T_{102} はオン状態になり、クロック信号 ϕ がローレベルのときはローレベルの信号が出力端子 OUT から出力される。ノード N_1 の電位は、電荷が一旦プリチャージされると、 $STOP$ 信号がアクティブ（ハイレベル）になるまで保持される（フローティング状態）。このフローティング状態でクロック信号 ϕ がハイレベルになると、容量 C_{101} により、ノード N_1 の電位は、 α 電位分突き上げられ、 $V_{DD} - V_{th} + \alpha$ になる（ブートストラップ動作）。そして、この電位が $V_{DD} + V_{th}$ を超えている間は、出力端子 OUT からは V_{DD} の電位レベルの信号が出力される。

[0007] その後、 $STOP$ 信号がハイレベルになると、ノード N_1 はトランジスタ T_{103} により V_{SS} までディスチャージされ、トランジスタ T_{102} はオフ状態になる。出力端子 OUT からは、トランジスタ T_{104} がオン状態になることにより、 V_{SS} の電位レベルの信号が出力される。

[0008] このように、上記半導体装置の構成によれば、ブートストラップ動作を利用することにより、簡易な構成で、高電位の信号を出力することができる。そのため、このような半導体装置を液晶表示装置内の各部において好適に利用することが可能となる。

[0009] しかし、上記半導体装置では、出力信号がオフリーク（トランジスタがオ

フ時に流す微小な電流)などの影響を受けて、その電位が次第に低下するという問題がある。

[0010] このような問題を解決できる技術が、特許文献2に開示されている。図48は、特許文献2の半導体装置の構成を示す回路図である。この半導体装置200(以下、回路200ともいう)は、3個のn型MOSトランジスタT201~T203と、容量C201とを備えている。トランジスタT201は、ドレイン端子が電源VDDに接続され、ゲート端子が入力端子INに接続される。トランジスタT202は、ドレイン端子が電源VDDに接続され、ソース端子が出力端子OUTに接続され、ゲート端子がトランジスタT201のソース端子に接続される。容量C201は、一方の端子がクロック端子CKに接続され、他方の端子がトランジスタT201のソース端子及びトランジスタT202のゲート端子に接続される。トランジスタT203は、ドレイン端子がトランジスタT201のソース端子とトランジスタT202のゲート端子と容量C201の他方の端子に接続され、ソース端子が電源VSSに接続され、ゲート端子が制御端子(STOP)に接続される。トランジスタT201、T202、T203、容量C201の接続点(ノード)をn201とする。ここで、クロック端子CKに入力されるクロック信号の周波数は、出力端子OUTから出力される出力信号の周波数よりも高くなるように設定されている。

[0011] 上記半導体装置200の構成によれば、出力信号よりも周波数の高いクロック信号の周期に応じて、ノードn201の電位が突き上げられるため、オフリークなどによりノードn201の電位が低下しても、突き上げ動作により、すぐに電位を回復させることができる。これにより、ノードn201の電位を、特許文献1の構成よりも短い周期で高めることができるため、出力信号の電位レベルを安定させることができ、出力信号を受け取る後段の回路の動作を安定させることができる。

先行技術文献

特許文献

[0012] 特許文献1：日本国特許公報「特許第3092506号公報（2000年7月28日登録）」

特許文献2：国際公開公報「WO2009/084272号公報（2009年7月9日公開）」

発明の概要

発明が解決しようとする課題

[0013] ここで、上記特許文献2には、上記半導体装置200における消費電力を低減するための構成が開示されている。

[0014] 図48に示す半導体装置200では、クロック端子CKの負荷容量（クロック負荷）が大きいため、消費電力が増大するという問題がある。以下、クロック負荷について、図48の半導体装置200を用いて具体的に説明する。

[0015] ノードn201の電位がハイレベル（ $V_{DD} - V_{th}$ 以上）の場合、つまり、ノードn201がフローティング状態になっている期間について考えると、クロック端子CKの負荷容量は、トランジスタT201、T202及びT203の寄生容量の合計を C_{tr} とすると、

$$1/\text{クロック端子CKの負荷容量} = 1/C_{201} + 1/C_{tr} \cdots (1)$$

となる。なお、説明の便宜上、配線負荷等は省略している。

[0016] ここで、ノードn201の電位を大きく突き上げようとする、 $C_{201} > C_{tr}$ となる。仮に、クロック信号CKの振幅 V_p に対して、ノードn201の電圧を、 $2 \times V_p / 3$ 分突き上げようすると、 $C_{201} : C_{tr} = 2 : 1$ となる。これを式（1）に代入すると、

$$\text{クロック端子CKの負荷容量} = 1/3 \times C_{201} \cdots (2)$$

となる。

[0017] 次に、ノードn201の電位がローレベル（ V_{SS} ）の場合、つまり、ノードn201がフローティング状態でない期間について考えると、クロック端子CKの負荷容量は、

$$\text{クロック端子CKの負荷容量} = C_{201} \cdots (3)$$

となる。

[0018] このように、ノード $n201$ がフローティング状態でない期間に関しては、クロック端子 CK の負荷容量が大きくなることが分かる。特に、半導体装置 200 を複数段使用し、クロック端子 CK に同じクロック信号 CK を入力する場合には、非常に大きな負荷容量となる。

[0019] そこで、このクロック負荷を低減できる構成として、特許文献 2 には、図 49 の半導体装置 210 （以下、回路 210 ともいう）が開示されている。半導体装置 210 では、図 48 の半導体装置 200 において、さらにトランジスタ $T208$ を備えている。トランジスタ $T208$ は、ゲート端子が入力端子 INB に接続され、ドレイン端子がクロック端子 CK に接続され、ソース端子が容量 $C201$ を介してノード $n201$ に接続されている。

[0020] 半導体装置 210 では、トランジスタ $T208$ により、ノード $n201$ がフローティング状態とはならず、クロック端子 CK の負荷が非常に大きくなる期間に、クロック端子 CK と容量 $C201$ とを切り離すことができる。

[0021] 具体的には、ノード $n201$ の電位が VSS に固定される場合には、ノード $n201$ がクロック信号 CK による突き上げを必要としないため、その期間をトランジスタ $T208$ により、クロック端子 CK と容量 $C201$ とを電氣的に切り離すことで、クロック端子 CK の負荷は、トランジスタ $T208$ の寄生容量のみになるため、非常に小さくなる。

[0022] そのため、クロック端子 CK を駆動する回路の駆動能力低減と容量の削減効果により、低消費電力化が可能となる。

[0023] さらに、半導体装置 210 では、トランジスタ $T208$ がオフ状態である期間、トランジスタ $T208$ と容量 $C201$ との間のノード $n203$ を安定的に電位固定するために、トランジスタ $T209$ 、及び、抵抗 $R201$ とトランジスタ $T211$ とを含むインバータ 206 が設けられている（図 49 ）。トランジスタ $T209$ は、ドレイン端子がノード $n203$ に接続され、ソース端子が電源 VSS に接続され、ゲート端子がインバータ 206 の入力端子 IN に接続される。これにより、トランジスタ $T201$ 及び $T208$ がオ

フ状態になる場合、トランジスタT203及びT209はオン状態になり、ノードn201及びn203の電位をVSSに固定することができる。

[0024] しかしながら、上記半導体装置210では、低消費電力及びノードn203の電位の安定化を図るために、図48に示す半導体装置200に、トランジスタT208、T209、T211、抵抗R201を追加する必要がある、装置の小型化が妨げられる。また、ノードn203の電位は、クロック信号の電位がトランジスタT208により閾値落ちした電位となるため、十分な振幅が得られないという問題もある。

[0025] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、同一導電型のトランジスタからなり、簡易な構成により、低消費電力を図りつつ、電位レベルの低下を防いで安定した信号を出力することができる半導体装置、及びそれを備えた表示装置を提供することにある。

課題を解決するための手段

[0026] 本発明に係る半導体装置は、上記課題を解決するために、
同一導電型の複数のトランジスタにより構成される半導体装置であって、
第1の端子にオン電圧が与えられ、制御端子に入力信号が入力される第1のトランジスタと、
第1の端子にオン電圧が与えられ、第2の端子が出力端子に接続され、制御端子が前記第1のトランジスタの第2の端子に接続される第2のトランジスタと、
前記第1のトランジスタ及び前記第2のトランジスタ同士の接続点と、クロック信号を入力するクロック端子との間に設けられる容量とを備え、
前記クロック信号の周波数は、前記出力端子から出力される出力信号の周波数よりも高く設定されており、
前記容量は、前記接続点の電位の変化に応じて容量値が変化するものであることを特徴としている。

[0027] トランジスタは、第1の端子、第2の端子及び制御端子で構成され、制御端子に入力される制御信号により第1の端子及び第2の端子を導通し、所望

の電位レベルの信号を出力する回路である。ここでの制御信号は、制御端子に与えたときにトランジスタをオン状態にする電圧（信号のレベル： V_{DD} ）を有し、制御端子に与えたときにトランジスタをオフ状態にする電圧（信号のレベル： V_{SS} ）を有する。

[0028] ここで、従来の半導体装置 100（図 46）では、通常、上述したとおり、所望の電位レベルの信号を出力するトランジスタの制御端子に接続されるノードの電位は、オフリークなどの影響により次第に低下する。

[0029] そこで、本発明の半導体装置では、所望の電位レベルの信号を出力するトランジスタの制御端子に接続されるノード、すなわち第 1 のトランジスタ及び第 2 のトランジスタ同士の接続点（ノード）に、容量を介して、出力信号よりも高周波数のクロック信号が入力される構成としている。

[0030] この構成によれば、第 1 のトランジスタの閾値電圧を V_{th} とすると、上記ノードの電位は、まずクロック信号及び容量によって α 電位分突き上げられた後、オフリークなどにより例えば β 電位分下げられ、 $V_{DD} - V_{th} + \alpha - \beta$ になる。その後、クロック信号がローレベル（ V_{SS} ）になると、ノードの電位は、 $V_{DD} - V_{th} - \beta$ になるが、ここで入力信号がハイレベル（ V_{DD} ）の場合には、ノードの電位は、 $V_{DD} - V_{th}$ まで充電される。そして、クロック信号が再びハイレベルになると、ノードの電位は、再び $V_{DD} - V_{th} + \alpha$ まで突き上げられる。

[0031] このように、本発明の半導体装置の構成によれば、出力信号よりも周波数の高いクロック信号の周期に応じて突き上げ動作が行われる。そのため、オフリークなどによりノードの電位が低下しても、突き上げ動作により、すぐに電位を回復させることができる。これにより、ノードの電位を、従来の構成よりも短い周期で高めることができるため、出力信号の電位レベルを安定させることができ、出力信号を受け取る後段の回路の動作を安定させることができる。

[0032] また、上記突き上げられたノードの電位（ $V_{DD} - V_{th} + \alpha$ ）が、 $V_{DD} + V_{th}$ （ V_{th} は第 2 のトランジスタの閾値電圧とする）以上になるよ

うに、クロック信号の振幅及び容量を設定することにより、出力信号の電位レベルをVDDに保つことができる。

[0033] また、第2のトランジスタの制御端子に高電位の信号が入力されるため、出力信号は、低インピーダンスを保つことができ、ノイズに対しても強くなる。

[0034] さらに、本発明の半導体装置では、容量は、ノードの電位の変化に応じて容量値が変化する構成を有している。そのため、例えば、容量が、ノードの電位の低下に伴って容量値が小さくなる一方、ノードの電位の上昇に伴って容量値が大きくなる構成である場合、ノードの電位がローレベル（VSS）の場合は容量値が小さくなるため、上記（3）式より、クロック端子の負荷容量を、従来の半導体装置200（図48）におけるクロック端子CKの負荷容量よりも小さくすることができる。これにより、本発明の半導体装置の消費電力を、従来の半導体装置よりも低減することができる。

[0035] また、本発明の半導体装置では、図49に示す従来の半導体装置210におけるトランジスタT208及びT209、インバータ206、及び容量C201を、上記容量に置き換えることにより、半導体装置210の構成により奏する効果、すなわち低消費電力及びノードn203（本発明のノードn1に相当）の電位安定化を実現することができる。よって、従来の半導体装置210と比較して、回路構成を簡略することができる。

[0036] また、従来の半導体装置210では、クロック端子CKと容量C201とがトランジスタT208を介して接続されているため、ノードn203は、クロック信号の電位が閾値落ちした電位となる。これに対して、本発明の半導体装置では、トランジスタを介さずにクロック端子と容量とが接続されるため、上記閾値落ちすることがない。そのため、半導体装置の動作マージンを高めることができ、出力信号をより安定させることができる。

[0037] 以上のように、本発明の半導体装置によれば、簡易な構成により、低消費電力を図りつつ、電位レベルの低下を防いで安定した信号を出力することができる。

- [0038] また、本発明に係る半導体装置は、上記課題を解決するために、
同一導電型の複数のトランジスタにより構成される半導体装置であって、
第1の端子にオン電圧が与えられ、制御端子に入力信号が入力される第1
のトランジスタと、
第1の端子にオン電圧が与えられ、第2の端子が出力端子に接続され、制
御端子が前記第1のトランジスタの第2の端子に接続される第2のトランジ
スタと、
前記第1のトランジスタ及び前記第2のトランジスタ同士の接続点と、ク
ロック信号を入力するクロック端子との間に設けられる容量と、
第1の端子が前記接続点に接続され、制御端子にオン電圧が入力される第
8のトランジスタと、
第1の端子が第8のトランジスタの第2の端子に接続され、第2の端子に
オフ電圧が入力され、制御端子に制御信号が入力される第3のトランジスタ
を備え、
前記クロック信号の周波数は、前記出力端子から出力される出力信号の周
波数よりも高く設定されており、
前記容量は、前記接続点の電位の変化に応じて容量値が変化するものであ
ることを特徴としている。

- [0039] 上記ノードの電位は、クロック信号により突き上げられるため、上記ノー
ドに接続される各トランジスタには高電圧が印加される。そのため、トラン
ジスタは、自身の耐圧を越えると破壊される危険性がある。

- [0040] そこで、上記半導体装置では、上記ノードと第3のトランジスタとの間に
第8のトランジスタを備えている。これにより、詳細は後述するが、例えば
第3のトランジスタにかかる電位を低下させることができるため、信頼性の
高い回路を構成することができる。

発明の効果

- [0041] 本発明に係る半導体装置は、以上のように、前記容量は、前記接続点の電
位の変化に応じて容量値が変化するものである。したがって、同一導電型の

トランジスタからなり、簡易な構成により、低消費電力を図りつつ、電位レベルの低下を防いで安定した信号を出力することができる半導体装置、及びそれを備えた表示装置を提供することができるという効果を奏する。

図面の簡単な説明

[0042] [図1]実施の形態1に係る回路の構成を示す回路図である。

[図2]図1に示す回路における各種信号の波形を示すタイミングチャートである。

[図3](a)は、図1に示す回路における容量の構成を示す図であり、(b)は、容量における印加電圧と容量値の関係を示すグラフである。

[図4](a)は、図46に示す従来の回路における容量の構成を示す図であり、(b)は、容量における印加電圧と容量値の関係を示すグラフである。

[図5]図1に示す回路において、オフリーク等の影響を受けた場合の各種信号の波形を示すタイミングチャートである。

[図6]図44に示す従来の回路において、オフリーク等の影響を受けた場合の各種信号の波形を示すタイミングチャートである。

[図7]図1に示す回路において、トランジスタT2のドレイン端子にクロック信号φが入力される場合の各種信号の波形を示すタイミングチャートである。

[図8]実施の形態2に係る回路の構成を示す回路図である。

[図9]図8に示す回路における各種信号の波形を示すタイミングチャートである。

[図10]実施の形態3に係る回路の構成を示す回路図である。

[図11]実施の形態4に係る回路の構成を示す回路図である。

[図12]図11に示す回路における各種信号の波形を示すタイミングチャートである。

[図13]図11に示す回路におけるトランジスタT6の他の構成を示した回路図である。

[図14]図11に示す回路におけるトランジスタT6の他の構成を示した回路

図である。

[図15]実施の形態5に係る回路の構成を示す回路図である。

[図16]実施の形態6に係る回路の構成を示す回路図である。

[図17]図1に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図18]図8に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図19]図10に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図20]図11に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図21]図15に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図22]図16に示す回路において、トランジスタT1をダイオード接続した場合の構成を示す回路図である。

[図23]図17に示す回路における各種信号の波形を示すタイミングチャートである。

[図24]本発明の各実施の形態におけるクロック信号CKの波形を示す図である。

[図25]本実施の形態に係る液晶表示装置の全体構成を示すブロック図である。

[図26]実施例1に係るCSドライバ内に設けられるメモリ回路の構成を示すブロック図である。

[図27]図26に示すメモリ回路の構成を示す回路図である。

[図28]図26に示すメモリ回路における各種信号の波形を示すタイミングチャートである。

[図29]図26に示すメモリ回路において、入力信号INから反転信号INBを生成するインバータ回路の構成を示す回路図である。

[図30]図26に示すメモリ回路において、入力信号INから反転信号INBを生成するインバータ回路の他の構成を示す回路図である。

[図31]実施例2に係るバッファ回路の構成を示すブロック図である。

[図32]図31に示すバッファ回路の構成を示す回路図である。

[図33]図31に示すバッファ回路において、インバータがブートストラップ回路により構成されている場合を示すブロック図である。

[図34]図33に示すバッファ回路の構成を示す回路図である。

[図35]実施例3に係るバッファ回路の構成を示すブロック図である。

[図36]図35に示すバッファ回路において、インバータがブートストラップ回路により構成されている場合を示す回路図である。

[図37]実施例4に係るバッファ回路の構成を示すブロック図である。

[図38]図37に示すバッファ回路の構成を示す回路図である。

[図39]実施例5に係るシフトレジスタを構成する単位回路の構成を示すブロック図である。

[図40]図39に示すシフトレジスタを構成する単位回路の他の構成を示すブロック図である。

[図41]図39に示すシフトレジスタを構成する単位回路の他の構成を示すブロック図である。

[図42]図1に示す回路の構成をpチャネル型のトランジスタで構成した場合の回路図である。

[図43]図42に示す回路における各種信号の波形を示すタイミングチャートであり、図中の(a)はトランジスタT2'のソース端子にVSSが入力される場合の波形を示し、図中の(b)はトランジスタT2'のソース端子にクロック信号φが入力される場合の波形を示している。

[図44](a)は、図42に示す回路における容量の構成を示す図であり、(b)は、容量における印加電圧と容量値の関係を示すグラフである。

[図45](a)は、従来の回路における容量の構成を示す図であり、(b)は、容量における印加電圧と容量値の関係を示すグラフである。

[図46]特許文献1に係る従来の半導体装置の構成を示す回路図である。

[図47]図46に示す半導体装置における各種信号の波形を示すタイミングチャートである。

[図48]特許文献2に係る従来の半導体装置の構成を示す回路図である。

[図49]特許文献2に係る従来の半導体装置の他の構成を示す回路図である。

発明を実施するための形態

[0043] 本発明の実施の形態について図面に基づいて説明すると以下の通りである。

[0044] 本発明の半導体装置に相当するActive信号保持回路（以下、単に「回路」と表す）は、同一導電型、すなわち単極性のチャネル（nチャネル型又はpチャネル型）のトランジスタを用いて構成されている。以下に示す各実施の形態では、nチャネル型のトランジスタの構成を例に挙げて説明し、pチャネル型の構成については本欄の末尾に例示するにとどめ、詳細な説明は省略する。このトランジスタには、例えば、TFT、及びシリコン基板状に形成した電界効果トランジスタを使用することが可能である。

[0045] [実施の形態1]

本実施の形態における回路10の構成について、以下に説明する。図1は回路10の構成を示す回路図であり、図2は回路10における各種信号の波形を示すタイミングチャートである。

[0046] 回路10は、トランジスタT1（第1のトランジスタ）、トランジスタT2（第2のトランジスタ）、トランジスタT3（第3のトランジスタ）、及び容量TC1を備え、容量TC1の一端には、回路10の出力信号OUTよりも周波数の高いクロック信号CKが入力される構成である。以下、ゲート端子（制御端子）に与えたときにトランジスタをオン状態にする電圧（信号のレベル）をオン電圧（オンレベル）といい、ゲート端子に与えたときにトランジスタをオフ状態にする電圧（信号のレベル）をオフ電圧（オフレベル）という。nチャネル型トランジスタでは、ハイ電圧がオン電圧（ハイレベルがオンレベル）、ロー電圧がオフ電圧（ローレベルがオフレベル）になり

、pチャネル型トランジスタではその逆になる。

[0047] 図1に示すように、トランジスタT1は、ドレイン端子（第1の端子）が電源VDDに接続され、ゲート端子（制御端子）が入力端子INに接続される。トランジスタT2は、ドレイン端子（第1の端子）が電源VDDに接続され、ゲート端子（制御端子）がトランジスタT1のソース端子に接続され、ソース端子（第2の端子）が出力端子OUTに接続される。トランジスタT3は、ドレイン端子（第1の端子）がトランジスタT1のソース端子及びトランジスタT2のゲート端子に接続される。容量TC1は、トランジスタで構成されており、ゲート端子（制御端子）が、トランジスタT1のソース端子とトランジスタT3のドレイン端子とトランジスタT2の制御端子とに接続され、ドレイン端子（第1の端子）及びソース端子（第2の端子）がクロック端子CKに接続される。以下、必要に応じて、容量TC1をトランジスタTC1ともいう。トランジスタT1とT2とT3とTC1との接続点をノードn1とする。

[0048] ここで、容量TC1の具体的な構成について説明する。図3の（a）は、容量TC1の構成を示す図であり、（b）は、容量TC1における印加電圧と容量値の関係を示すグラフである。また、図4の（a）は、従来の容量C201の構成を示す図であり、（b）は、容量C201における印加電圧と容量値の関係を示すグラフである。

[0049] 従来の容量C201は、図4の（a）に示すように、シリコンSiにN+をドーピングして、Siを低抵抗にしてゲート電極GEとSiとの間に容量を形成している。この容量C201の場合、図4の（b）に示すように、ゲート電極及びSi間の電圧に関わらず略一定の容量値となる。

[0050] これに対して本実施の形態に係る回路10の容量TC1は、図3の（a）に示すように、Si（シリコン層）にN+がドーピングされていない。これにより、容量TC1はMOS容量として機能し、ゲート電極GEに電圧（オン電圧）が印加されない限り容量として機能しない。すなわち、トランジスタとして機能する容量TC1は、ノードn1の電位がクロック端子CKの電位よ

りも低い場合にオフ状態になる一方、ノード $n1$ の電位がクロック端子 CK の電位以上（オン電圧）である場合にオン状態になる。なお、図3の（b）において、 V_{on} は、上記オン電圧を示す。

[0051] よって、容量 $TC1$ は、図3の（b）に示すように、ゲート電極及び Si 間の電圧に応じて容量値が変化する。すなわち、ゲート電極に印加される電圧が大きくなるほど、容量 $TC1$ の容量値が大きくなる。より具体的には、ノード $n1$ の電位の低下に伴って容量 $TC1$ の容量値が小さくなる一方、ノード $n1$ の電位の上昇に伴って容量 $TC1$ の容量値が大きくなる。

[0052] 次に、図2を用いて、回路10の動作とともに具体的に説明する。なお、回路10の内部の信号及び入出力信号の電位は、特に断わらない限り、ハイレベルのときは VDD 、ローレベルのときは VSS （ゼロ）とする。

[0053] 入力信号 IN がハイレベル（ VDD ）になると、トランジスタ $T1$ がオン状態になり、ノード $n1$ の電位は、トランジスタ $T1$ の閾値電圧を V_{th} とするとき、 $VDD - V_{th}$ になる（プリチャージ動作）。ノード $n1$ の電位が上昇すると、トランジスタ $T2$ 及び容量 $TC1$ （トランジスタ $TC1$ ）はオン状態になる。入力信号 IN が、ハイレベルからローレベル（ VSS ）になると、ノード $n1$ はハイレベルの電荷を保持したままフローティング状態になる。この状態で、クロック信号 CK がハイレベルになると、クロック信号 CK により、ノード $n1$ の電位は、 α 電位分突き上げられ、 $VDD - V_{th} + \alpha$ になる。この電位が $VDD + V_{th}$ を超える場合は、トランジスタ $T2$ は、出力端子 OUT に VDD を出力する。

[0054] このように、ノード $n1$ の電位がクロック信号 CK によって突き上げられているときは、トランジスタ $T2$ のゲート端子には高電位の信号が入力されるため、トランジスタ $T2$ から出力端子 OUT に VDD の電位レベルの信号が出力されるとともに、出力インピーダンスが低くなる（図2の t 期間）。

[0055] その後、 $STOP$ 信号がハイレベルになると、トランジスタ $T3$ がオン状態になり、ノード $n1$ の電荷がディスチャージされ、トランジスタ $T2$ 及びトランジスタ $TC1$ はオフ状態になる。これにより、出力端子 OUT はフロ

ーティング状態になる（図2の斜線部分）。

[0056] このように、STOP信号がハイレベルになるまでの期間において、トランジスタT3などのオフリークなどの影響により電位が低下し、クロック信号CKにより突き上げられたノードn1の電位が $V_{DD} + V_{th}$ より低くなるまでの間は、出力端子OUTからは、正常に V_{DD} が出力される。

[0057] また、図2に示すように、ハイレベルの入力信号INが入力され、ノードn1がプリチャージされるときに、クロック信号CKによる突き上げによりノードn1の電位が上がるため、出力信号OUTの立ち上がりが速くなり（点線で囲った部分）、駆動速度を向上させることができる。

[0058] ここで、回路10がオフリーク等の影響を受けた場合の動作について、従来の構成と比較して説明する。図5は、回路10において、オフリーク等の影響を受けた場合の各種信号の波形を示すタイミングチャートである。図6は、図46に示す従来の回路100において、オフリーク等の影響を受けた場合の各種信号の波形を示すタイミングチャートである。

[0059] 図46に示す従来の回路100において、ノードN1にリーク経路がある場合、クロック信号φがハイレベルを継続している間、ノードN1の電位が次第に低下する。このとき、再び入力信号INがハイレベルになったとしても、ノードN1の電位が $V_{DD} - V_{th}$ 以下にまでリークした場合には、 $V_{DD} - V_{th}$ までしか充電されない（図6の点線で囲った部分）。そのため、出力信号OUTは高インピーダンスの状態になり、ノイズに弱くなる。さらに、出力信号OUTにリークがある場合には、ノードN2の電位は、再充電されても、 $V_{DD} - 2 \times V_{th}$ までしか上昇しないため、出力端子OUTに接続される後段の回路の動作マージンが低下する。

[0060] これに対して、本実施の形態の回路10では、ノードn1の電位がクロック信号CKによって突き上げられた後、リークによって β 電位分下がると、 $V_{DD} - V_{th} + \alpha - \beta$ になる。その後、クロック信号CKがローレベルになると、ノードn1の電位は、 $V_{DD} - V_{th} - \beta$ になるが、ここで入力信号INがハイレベルになっていれば、ノードn1の電位は、 $V_{DD} - V_{th}$

まで充電される。そのため、再びクロック信号CKがハイレベルになると、ノードn1の電位は、 $V_{DD} - V_{th} + \alpha$ まで突き上げられる（図5の点線で囲った部分）。これにより、出力信号OUTにリーク等があっても、安定してVDDの電位を保持することができる。よって、出力信号OUTに接続される後段の回路は安定した動作を得ることができる。また、トランジスタT2のゲート端子に高電位の信号が入力されるため、出力信号OUTは、低インピーダンスを保つことができ、ノイズに対しても強くなる。

[0061] このように、本実施の形態の回路10の構成によれば、出力信号OUTにリーク等が生じたとしても、ノードn1の電位を再び $V_{DD} - V_{th}$ まで充電することができる。そして、クロック信号CKの周波数が出力信号の周波数よりも高く設定されているため、STOP信号がハイレベルになるまでの間に、ノードn1の電位を、再びクロック信号CKによる突き上げ動作により $V_{DD} + V_{th}$ 以上に突き上げることができる。これにより、VDDを出力できる期間、及び低インピーダンスの期間を従来よりも長く確保することができる。

[0062] また、本実施の形態の回路10は、容量TC1の一端に出力信号OUTよりも高周波数のクロック信号CKが入力され、容量TC1の他端が、ハイレベルの信号をフローティング状態で保持するノードn1に接続されている構成である。この構成を有することにより、電位レベルを維持し、ノイズの影響を受け難い安定した信号を出力することが可能になる。

[0063] ここで、従来の回路200（図48）では、クロック端子CKの容量（クロック負荷）が大きいため、消費電力が増大するという問題がある。具体的には、ノードn201の電位がハイレベル（ $V_{DD} - V_{th}$ 以上）の場合、つまり、STOP信号がローレベルでノードn201がフローティング状態になっている場合は、上記（1）式（クロック端子CKの容量 = $1 / (1 / C_{201} + 1 / C_{tr})$ ）で示されるように、クロック端子CKの容量は大きくならないため、消費電力が増大することはないが、ノードn201の電位がローレベル（VSS）の場合、つまり、STOP信号がハイレベルでノ

ードn201がフローティング状態でない場合は、上記(3)式(クロック端子CKの容量=C201)で示されるように、クロック端子CKの容量が大きくなるため、消費電力が増大する。

[0064] これに対して、本実施の形態に係る回路10の容量TC1は、トランジスタで構成されMOS容量として機能するため、ノードn1の電位がクロック信号CKの電位よりも高い場合はオン容量として機能し、ノードn1の電位がクロック信号CKの電位よりも低い場合はオフ容量として機能する。

[0065] よって、ノードn1の電位がローレベル(VSS)の場合、つまり、STOP信号がハイレベルでノードn1がフローティング状態でない場合は、図3の(b)に示すように容量値は小さくなる。そのため、上記(3)式より、クロック端子CKの負荷容量を、上記従来の回路200におけるクロック端子CKの負荷容量よりも小さくすることができる。これにより、本実施の形態に係る回路10の消費電力を、従来の回路200よりも低減することができる。

[0066] また、本実施の形態に係る回路10では、図49に示す従来の回路210におけるトランジスタT208及びT209、インバータ206、及び容量C201を、図1に示す容量TC1に置き換えることにより、回路210の構成により奏する効果、すなわち低消費電力及びノードn203(本回路10のクロック端子CKと容量TC1との間に相当)の電位安定化を実現することができる。よって、従来の回路210と比較して、回路構成を簡略することができるため、回路10及びこれを組み込む装置の小型化を実現することができる。また、従来の回路210では、クロック端子CKと容量C201とがトランジスタT208を介して接続されているため、ノードn203は、クロック信号の電位が閾値落ちした電位となる。これに対して、本実施の形態に係る回路10では、トランジスタを介さずにクロック端子CKと容量TC1とが接続されるため、上記閾値落ちすることがない。そのため、回路10の動作マージンを高めることができ、出力信号をより安定させることができる。

[0067] ここで、クロック信号CKの振幅、及び容量TC1は、突き上げられたノードn1の電位 ($V_{DD} - V_{th} + \alpha$) が、 $V_{DD} + V_{th}$ 以上になるように設定される。

[0068] なお、図1に示す回路10の構成では、トランジスタT2のドレイン端子が電源VDDに接続されているが、これに限定されるものではなく、例えば、ドレイン端子にクロック信号φが入力される構成であってもよい。図7は、トランジスタT2のドレイン端子にクロック信号φが入力される場合の回路10の構成における各種信号の波形を示すタイミングチャートである。この構成においても、図1に示す回路10の構成と同様、トランジスタT2に入力される信号の電位レベルを保持したまま出力することができるため、トランジスタT2がオン状態になると、クロック信号φの電位レベルが出力される。

[0069] [実施の形態2]

本実施の形態における回路20の構成について、以下に説明する。図8は回路20の構成を示す回路図であり、図9は回路20における各種信号の波形を示すタイミングチャートである。なお、説明の便宜上、上記実施の形態1において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1において定義した用語については、特に断わらない限り本実施の形態においてもその定義に則って用いるものとする。

[0070] ここで、実施の形態1に示す回路10の構成（図1）では、STOP信号がハイレベルになり、ノードn1がローレベルの電位になるタイミングで、出力端子OUTはフローティング状態（図2の斜線部分）になるため、出力信号OUTはノイズ等の影響を受け易くなる。

[0071] そこで、このフローティング状態を解消すべく、本実施の形態の回路20では、回路10において、さらにトランジスタT4（第4のトランジスタ）を備えている。図8に示すように、トランジスタT4は、ドレイン端子（第1の端子）がトランジスタT2のソース端子及び出力端子OUTに接続され

、ソース端子（第2の端子）が電源VSSに接続され、ゲート端子（制御端子）がトランジスタT3のゲート端子に接続される。トランジスタT3、T4のそれぞれのゲート端子は、入力端子IN2に接続され、トランジスタT3及びT4のオン／オフを制御する入力信号IN2が入力される。トランジスタT2とT4と出力端子OUTとの接続点をノードn2とする。

[0072] 上記の構成によれば、図9に示すように、ノードn1がローレベルの電位になるタイミングで、ハイレベルの入力信号IN2を入力することにより、トランジスタT3及びT4がオン状態になるため、ノードn1の電荷が確実にディスチャージされるとともに、出力信号OUTの電位レベルをローレベル（VSS）に固定することができる。

[0073] なお、トランジスタT4のゲート端子に入力する信号は、特に限定されるものではなく、出力信号OUTの電位レベルをローレベル（VSS）に固定できればよく、他の制御信号を入力してもよい。

[0074] 〔実施の形態3〕

本実施の形態における回路30の構成について、以下に説明する。図10は回路30の構成を示す回路図である。なお、説明の便宜上、上記実施の形態1及び2において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1及び2において定義した用語については、特に断わらない限り本実施の形態においてもその定義に則って用いるものとする。

[0075] 本実施の形態の回路30では、図8に示す回路20において、さらに、リフレッシュ機能の役割を担うトランジスタT5（第5のトランジスタ）を備えている。図10に示すように、トランジスタT5は、ドレイン端子（第1の端子）が電源VDDに接続され、ソース端子（第2の端子）がノードn1に接続され、ゲート端子（制御端子）がノードn2に接続される。

[0076] 上記の構成によれば、出力信号OUTがトランジスタT5のゲート端子に入力されるため、出力信号OUTがハイレベルを出力している間は、入力信号IN1がローレベルになりトランジスタT1がオフ状態である場合に、ノ

ード $n1$ の電位が、オフリーク等により低下したとしても、トランジスタ $T5$ により再び $VDD - V_{th}$ までチャージされる（リフレッシュ動作）。これにより、クロック信号 CK がハイレベルを出力している期間中は、ノード $n1$ の電位を、 $VDD - V_{th} + \alpha$ まで突き上げることができる。そのため、出力信号 OUT は、安定して VDD を出力することができ、低周波動作時に誤動作することなく、正常に動作することができる。

[0077] 〔実施の形態 4〕

本実施の形態における回路 40 の構成について、以下に説明する。図 11 は回路 40 の構成を示す回路図であり、図 12 は回路 40 における各種信号の波形を示すタイミングチャートである。なお、説明の便宜上、上記実施の形態 1～3 において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態 1～3 において定義した用語については、特に断わらない限り本実施の形態においてもその定義に則って用いるものとする。

[0078] 本実施の形態の回路 40 では、図 8 に示す回路 20 において、さらに、入力端子 $IN1$ とトランジスタ $T1$ との間にトランジスタ $T6$ （第 6 のトランジスタ）を備えている。図 11 に示すように、トランジスタ $T6$ は、ドレイン端子（第 1 の端子）が入力端子 $IN1$ に接続され、ソース端子（第 2 の端子）がトランジスタ $T1$ のゲート端子に接続され、ゲート端子（制御端子）にイネーブル信号 EN が入力される構成である。また、トランジスタ $T6$ のソース端子は、トランジスタ $T2$ と $T4$ との接続点（ノード $n2$ ）にも接続される。

[0079] 上記の構成によれば、イネーブル信号 EN が一旦ハイレベルになると、その後、イネーブル信号 EN がローレベルになっても、出力信号 OUT がハイレベルであれば、トランジスタ $T1$ のゲート端子に、常にハイレベルの信号を入力することができる。これにより、回路 40 をアクティブ状態で保持し続けることができる。

[0080] また、出力端子 OUT 及びトランジスタ $T1$ のゲート端子が互いに接続さ

れているので、出力信号OUTがハイレベルを出力している間は、ノードn1の電位が $V_{DD} - V_{th}$ 以下になると、トランジスタT1はオン状態になる。なお、ノードn1の電位が $V_{DD} - V_{th}$ よりも高くなると、トランジスタT1はオフ状態になり、ノードn1はフローティング状態になる。

[0081] これにより、出力信号OUTがハイレベルを出力している間は、ノードn1の電位は、オフリーク等により低下したとしても、トランジスタT1により再び $V_{DD} - V_{th}$ までチャージされる（リフレッシュ動作）。これにより、クロック信号CKがハイレベルを出力している期間中は、ノードn1の電位を、 $V_{DD} - V_{th} + \alpha$ まで突き上げることができるため、出力信号OUTは、安定して V_{DD} を出力することができ、低周波動作時に誤動作することなく、正常に動作することができる。

[0082] ここで、トランジスタT6は、上述した図11の構成に限定されるものではなく、他の構成としては、例えば、入力信号IN1がローレベルの電位になるとソース端子がフローティングになる構成、具体的には、図13に示す構成及び図14に示す構成が挙げられる。図13に示す構成では、トランジスタT6のドレイン端子に電源 V_{DD} が接続され、ゲート端子に入力信号IN1が入力される。また、図14に示す構成では、トランジスタT6のドレイン端子及びゲート端子に入力信号IN1が入力される。これらの構成は、他の信号（例えばイネーブル信号EN）によらず、一旦、入力信号IN1がアクティブ（ハイレベル）になると、その後入力信号IN1がローレベルになっても、アクティブ状態を保持し続ける構成に好適である。

[0083] [実施の形態5]

本実施の形態における回路50の構成について、以下に説明する。図15は回路50の構成を示す回路図である。なお、説明の便宜上、上記実施の形態1～4において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態1～4において定義した用語については、特に断わらない限り本実施の形態においてもその定義に則って用いるものとする。

[0084] ここで、実施の形態１～４に示す回路の構成では、初期状態で入力信号ＩＮがローレベルの場合に、容量ＴＣ１に蓄積されている電荷量が分からず、ノードｎ１の電位が不定状態になっている。そのため、初期状態が不安定になるという問題がある。

[0085] そこで、初期状態を安定させるべく、本実施の形態の回路５０では、実施の形態１～４に示す各回路において、さらにトランジスタＴ７（第７のトランジスタ）を備えている。図１５に示す回路５０は、図１に示した回路１０に対してトランジスタＴ７を備えた構成であり、トランジスタＴ７は、ゲート端子（制御端子）に初期化信号ＩＮＩが入力され、ソース端子（第２の端子）が電源ＶＳＳに接続され、ドレイン端子（第１の端子）がノードｎ１に接続される。

[0086] 上記の構成によれば、初期状態において、ハイレベルの初期化信号ＩＮＩを入力することにより、ノードｎ１の電位をＶＳＳに固定することができるため、初期状態を安定させることができる。

[0087] なお、実施の形態２～４の各回路に対しても、上記と同様に、トランジスタＴ７を備えることにより、初期状態を安定させることができる。

[0088] 〔実施の形態６〕

本実施の形態における回路６０の構成について、以下に説明する。図１６は回路６０の構成を示す回路図であり、なお、説明の便宜上、上記実施の形態１～５において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態１～５において定義した用語については、特に断わらない限り本実施の形態においてもその定義に則って用いるものとする。

[0089] ここで、実施の形態１～５に示す回路の構成では、ノードｎ１がクロック信号ＣＫの突き上げ動作により、 $VDD - V_{th} + \alpha$ という高い電位になるため、ノードｎ１に接続されるトランジスタは、ゲート－ソース間、ゲート－ドレイン間、ソース－ドレイン間に高電圧が印加され、場合によってはトランジスタが、自身の耐圧を超え、破壊される危険性が生じる。

[0090] 具体的には、回路10では、特にトランジスタT3のゲートドレイン間、ソースドレイン間に高電圧が印加される。入力信号INがVSSのとき、ノードn1の電位が突き上げられると、 $V_{DD} - V_{th} + \alpha$ となるため、トランジスタT3について、ゲートドレイン間、及びソースドレイン間は、 $V_{DD} - V_{th} + \alpha - V_{SS}$ という電圧になる。ここで、 $V_{DD} = 1.0\text{ V}$ 、 $V_{SS} = -1.0\text{ V}$ 、 $\alpha = 1.5\text{ V}$ とすると、 $V_{DD} - V_{th} + \alpha - V_{SS} = 3.5\text{ V} - V_{th}$ となる。これに対して、他のノードでは、 V_{DD} と V_{SS} との電位差2.0Vが印加される。このように、ノードn1に接続されるトランジスタには高電圧が印加される。

[0091] そこで、トランジスタの耐圧対策として、本実施の形態の回路60では、実施の形態1～5に示す各回路において、さらにトランジスタT8（第8のトランジスタ）を備えている。図16に示す回路60は、図1に示した回路10に対してトランジスタT8を備えた構成であり、トランジスタT8は、ゲート端子（制御端子）が電源 V_{DD} に接続され、ドレイン端子（第1の端子）がノードn1に接続され、ソース端子（第2の端子）がトランジスタT3のドレイン端子に接続される。トランジスタT3とT8との接続点を、ノードn4とする。

[0092] 上記の構成によれば、入力信号INがVSSの場合に、ノードn1の電位は $V_{DD} - V_{th} + \alpha$ まで上昇するが、ノードn4は $V_{DD} - V_{th}$ までしか上がらない。そのため、トランジスタT3について、ゲートドレイン間、及びソースドレイン間の電圧は、 $V_{DD} - V_{th} - V_{SS} = 2.0\text{ V} - V_{th}$ となり、回路10の場合と比較して、 α 電位分、印加電圧が低くなる。

[0093] また、トランジスタT8のゲートドレイン間の電位は、 $\alpha - V_{th} = 1.5\text{ V} - V_{th}$ 、ゲートソース間の電位は V_{th} 、ソースドレイン間の電位は $\alpha = 1.5\text{ V}$ となり、何れも低電圧となる。

[0094] これにより、クロック信号CKによりフローティング状態のノードn1の電位が突き上げられても、ノードn1に接続されるトランジスタにかかる電

圧負荷を低減することができるため、信頼性の高い回路を構成することができる。

[0095] 上述した本実施の形態の、トランジスタT8によりトランジスタの耐圧対策を図る構成は、上記実施の形態1～5に示した各回路において、同様に適用することができる。

[0096] ここで、以上の実施の形態1～6に示した各回路では、トランジスタT1のドレイン端子が電源VDDに接続されている構成である。しかしながら、本発明の回路の構成はこれに限定されるものではなく、例えば、トランジスタT1のドレイン端子とゲート端子とが互いに接続される、いわゆるダイオード接続の構成であってもよい。図17～図22は、それぞれ、上述した回路10、20、30、40、50及び60において、トランジスタT1をダイオード接続した場合の回路11、21、31、41、51及び61の構成を示す回路図である。例えばトランジスタT1が回路10のような構成の場合には、トランジスタT3がオン状態で、入力端子INにローレベルが入力されている場合に、入力される信号にノイズが発生すると、トランジスタT1が瞬間的にオン状態となり、トランジスタT1及びトランジスタT3を介して電源VDDから電源VSSへ貫通電流が流れ、消費電流の増加もしくは誤動作の原因になるという問題が生じる。この点、上記ダイオード接続の構成によれば、トランジスタT1のゲート端子とドレイン端子が接続されているので、入力端子INにノイズが発生して、トランジスタT1がオン状態になったとしても、ソースドレイン間の電位差がノイズの電位分だけであり、ドレイン端子に電源VDDが接続されている場合と比べ、電位差が小さいため貫通電流が小さくなる。更に、トランジスタT3がオン状態になっているため、トランジスタT1がノイズによってオンしたとしても、トランジスタT3を介して、入力端子INのノイズによって変動した電位を電源VSSへ引っ張ることになり、トランジスタT1をオフする方向の作用が働く。そのため、ノイズの影響によるトランジスタT1の誤動作を防止することができる。

[0097] 図23は、上記トランジスタT1をダイオード接続した場合の各回路のうち、図17に示す回路11における各種信号の波形を示すタイミングチャートである。図23に示すように、図1に示す回路10の構成と同様、トランジスタT2のドレイン端子に入力される信号の電位レベルを保持したまま出力することができるため、トランジスタT2がオン状態になるとVDDが出力される。

[0098] また、上記実施の形態1において、トランジスタT2のドレイン端子にクロック信号φが入力される構成について説明したが、この構成についても、各実施の形態に示した回路に適用可能であり、トランジスタT2がオン状態になると、クロック信号φの電位レベルが出力される。

[0099] ところで、本発明のActive信号保持回路に入力されるクロック信号CKは、図24に示すように、ハイレベルとローレベルとが周期的に繰り返される波形を示す。そして、上述したように、Active信号保持回路の出力信号OUTは、クロック信号CKがハイレベルのとき（期間T）に、特に低インピーダンスになる。そのため、クロック信号CKのデューティ比が図24に示すように、例えば50%である場合には、この50%の期間は、出力信号OUTが低インピーダンスになる。すなわち、クロック信号CKのデューティ比を調整することにより、出力信号OUTの低インピーダンスの期間を調整することができる。

[0100] ここで、クロック信号CKのデューティ比について、好ましい値について図1の構成を参考に検討する。上述したように、クロック信号CKがローレベルになると、オフリーク等によりノードn1の電位が低下し、 $V_{DD} - V_{th} - \beta$ になる。ここで、このノードn1の電位が $V_{DD} - V_{th}$ に再充電されるまでの時間を t_{β} 、1周期を T_1 とすると、ハイ期間：ロー期間 $= T_1 - t_{\beta} : t_{\beta}$ が理想のデューティ比となる。また、クロック信号CKがハイレベルからローレベルに移行する期間は、クロックCK端子の負荷（容量と抵抗）の時定数で決まる。このクロック信号CKがハイレベルからローレベル（もしくはその逆）に移行する期間を t_{ck} とすると、この t_{ck} の期

間をパルスの幅として持っていなければ、ノード n 1 の突き上げに対して、所望の突き上げ電圧 α を得ることができないため、時定数の点から考えると、ハイ期間：ロー期間 = $T_1 - t_{ck} : t_{ck}$ が理想のデューティ比となる。

[0101] 実際の動作では、オフリーク等による再充電と、クロック信号 C K のハイレベルからローレベルへの移行とは同時に行われる。そのため、両者を考慮して、クロック信号 C K がローレベルの時に、 $V_{DD} - V_{th}$ になるまでの時間を $t_{\beta'}$ とすると、ハイ期間：ロー期間 = $T_1 - t_{\beta'} : t_{\beta'}$ が理想のデューティ比となる。これにより、正常に回路のアクティブ状態を保持しながら、トランジスタ T 2 の出力インピーダンスを下げる事が可能となる。

[0102] 上記考察によれば、クロック信号のデューティ比は、クロック信号 C K の 1 周期のうちローレベルの期間が、クロック信号 C K がハイレベルからローレベルに変化した後にノード n 1 の電位が飽和するまでの期間となるように設定されていることが好ましい。

[0103] また、上記デューティ比は、トランジスタ T 2 の低インピーダンスの期間がより長くなるように設定されていることが好ましい。

[0104] なお、クロック信号 C K における遷移時間が 50% を超える場合には、遷移後に確実にローレベルにならないまま、次のハイレベルへ遷移するため、突き上げ電圧 α を得るためには、容量 T C 1 をさらに大きくする（補正する）必要が出てくる。その影響により、回路規模が大きくなってしまい、または容量負荷が増大することにより、更に遷移時間が大きくなってしまうことになる。これを回避するため、一般的にクロック信号の周波数を遅くする、もしくはクロック信号 C K の駆動する負荷が小さくなるように設計するなどして、遷移時間が 50% 以内になっていることから、トランジスタ T 2 が低インピーダンスの期間をできるだけ長くなるように、上記デューティ比は 50% 以上であることが好ましい。

[0105] 図 24 のクロック信号 C K__H は、ハイレベルの期間 T を長くした（デュ

ーティ比を大きくした) 場合の波形の一例である。これにより、Active信号保持回路の出力信号OUTの低インピーダンスの期間を長くすることが可能になる。そして、低インピーダンスの期間を長くできるため、よりノイズに強くなり、また負荷をすばやく駆動することが可能になる。このように、クロック信号CKは、出力信号OUTよりも高周波数であるとともに、ハイレベル（アクティブ側の電位）の期間が長いことが好ましい。

[0106] なお、pチャネル型のトランジスタで構成する場合には、ロジックが全く逆となるため、同様の理由によりクロック信号CKのローレベル期間が長いことが好ましい。

[0107] 以上の実施の形態1～6に示した各回路（Active信号保持回路）は、特に液晶表示装置（表示装置）内において好適に使用することが可能である。図25は、液晶表示装置の全体構成を示すブロック図である。

[0108] 液晶表示装置151は、パネル152上に、画素領域153、ソースドライバ154、ゲート／CSドライバ155、BUFF／レベルシフタ回路156、電源回路157、および、端子158…を備えている。ソースドライバ154は出力回路154aを備えており、画素領域153の各ソースバスラインにデータ信号を出力する。ゲート／CSドライバ155は出力回路155aを備えており、画素領域153の各画素にソースドライバ154から出力されるデータ信号を書き込むためにゲートバスラインに選択信号を出力し、また、画素領域153の各画素への書き込み電位を大きくするためにCSバスラインにCS信号を出力する。出力回路154a及び155aは、入力信号から等倍のデータ信号を生成する低出力インピーダンスの増幅回路であるバッファからなる。BUFF／レベルシフタ回路156は、インバータなどの信号の減衰を補正する等倍の増幅回路及び信号の電源電圧レベルを変換するレベルシフタ回路などの、低出力インピーダンスの増幅回路であるバッファを備えており、これらバッファを通した信号をソースドライバ154およびゲートドライバ155に供給する。電源回路157は、ロジック回路用電源、データ信号の基準電圧、対向電圧、及び、補助容量電圧などを生成

する。端子 1 5 8…は、パネル 1 5 2 上の上述した各回路に信号及び電源を入力するための端子である。なお、液晶表示装置は、ソースドライバに代えて、デマルチプレクサにより構成されていてもよい。

[0109] 上記実施の形態 1 ～ 6 に示した各回路は、上記液晶表示装置 1 5 1 において、各部に適用することが可能であり、特に、CS ドライバ内のスイッチ、バッファ回路、レベルシフト回路、ソースドライバ（データ信号線駆動回路）及びゲートドライバ（走査信号線駆動回路）内のシフトレジスタに好適に利用することができる。また、共通電極駆動回路（COM ドライバ）に適用することもできる。以下では、その一例として、CS ドライバ内に設けられるメモリ回路に適用した例（実施例 1）、バッファ回路及びレベルシフト回路に適用した例（実施例 2 ～ 4）、及びシフトレジスタに適用した例（実施例 5）について説明する。

[0110] [実施例 1]

図 2 6 は、本実施例における CS ドライバ内に設けられるメモリ回路 1 の構成を示すブロック図であり、図 2 7 は該メモリ回路 1 の回路図である。図 2 8 は、メモリ回路 1 における各種信号の波形を示すタイミングチャートである。メモリ回路 1 は、上記各実施の形態に示した 2 つの回路（Active 信号保持回路）を含んで構成される。具体的には、メモリ回路 1 は、例えば、図 1 に示した一方の回路 1 0（回路 1 0 b と表す）の STOP 端子と、他方の回路 1 0（回路 1 0 a と表す）の出力端子 OUT とが接続されることにより構成される。なお、メモリ回路は、少なくとも図 1 に示した回路 1 0 の構成を備えていればよく、本実施例のメモリ回路 1 では、回路 1 0 の構成に加えてトランジスタ T 4（図 2 6 ではトランジスタ T a 4 及び T b 4）が設けられ、図 8 に示した回路 2 0 の構成を含んでいる。

[0111] 次に、メモリ回路 1 の動作について説明する。ここでは、イネーブル信号 EN がハイレベルのときに、ハイレベルの入力信号 IN が回路 1 0 a に入力され、ローレベルの入力信号 INB（IN の反転信号）が、回路 1 0 b に入力される場合を例に挙げて説明する。

- [0112] ハイレベルの信号が入力された回路10aはアクティブ状態になり、ノードna1には、クロック信号が入力されている間、電荷が保持される。そのため、回路10aからは、上記各実施の形態で説明したとおり、VDDの出力信号OUTが出力される。そして、この出力信号OUTは、他方の回路10bのSTOP端子（図26）に入力される。
- [0113] VDDの信号がSTOP端子に入力される回路10bは、非アクティブ状態になり、トランジスタtb4からVSSが出力される。INとINBは、互いの極性が逆転しているため、一方がVDDを出力しているときには他方はVSSを出力することになる。これにより、クロック信号CKが入力されている間は、次のイネーブル信号ENがハイレベルになるまで、回路10a及び10bの電位が保持されることになる。
- [0114] なお、図26のメモリ回路1では、入力信号INの反転信号INBは外部から入力される構成であるが、これに限定されるものではなく、他の構成として例えば、図29及び図30に示すように、メモリ回路1内部において、インバータ回路を構成し、入力信号INから反転信号INBを生成する構成であってもよい。図29は抵抗R1及びトランジスタT11により構成されるインバータを示し、図30はブートストラップ回路により構成されるインバータを示している。これらの構成によれば、入力信号INがハイレベル（VDD）のときは、ローレベル（VSS）の信号が反転信号INBとして出力され、入力信号INがローレベル（VSS）のときは、ハイレベル（VDD）の信号が反転信号INBとして出力される。
- [0115] また、図26のメモリ回路1において、例えば初期状態を安定させるべく、上記実施の形態5において示したトランジスタT7（図15）を、回路10a及び10bのそれぞれに備えていてもよい。回路10aのトランジスタTa7、及び回路10bのトランジスタTb7は、ゲート端子に初期化信号INIが入力され、それぞれのドレイン端子がノードna1及びノードnb1のそれぞれに接続され、それぞれのソース端子が電源VSS及び電源VDDのそれぞれに接続される。これにより、初期状態において、ハイレベルの

初期化信号 INI を入力することにより、初期状態を安定させることができる。

[0116] なお、メモリ回路 1 は、上記実施の形態において説明したリフレッシュ機能を有しているため、低周波駆動でも正常に値を保持することが可能である。

[0117] 本実施例では、上記実施の形態 2 の回路 20 により構成したメモリ回路 1 について説明したが、他の実施の形態における回路（例えば回路 30, 40 又は 50）により構成してもよい。これらの構成においても、同様の効果を得ることができる。

[0118] [実施例 2]

図 31 は、本実施例におけるバッファ回路 2 の構成を示すブロック図であり、図 32 は、該バッファ回路 2 の回路図である。バッファ回路 2 は、上記各実施の形態に示した回路（Active 信号保持回路）を含んで構成される。具体的には、バッファ回路 2 は、少なくとも図 1 に示した回路 10 の構成を備えていればよく、本実施例のバッファ回路 2 では、回路 10 の構成に加えてトランジスタ T4 が設けられ、図 8 に示した回路 20 の構成を含んでいる。

[0119] ここで、回路 10 に入力される信号 INB を生成するインバータは、抵抗 $R1$ とトランジスタ T11 とにより構成されている。そのため、インバータの入力信号 IN がハイレベルの場合には、電源 VDD から電源 VSS に定常的な電流（貫通電流）が流れ、消費電力が増大してしまう。そこで、消費電力を低減するために、抵抗 R を高抵抗に構成することが考えられるが、この場合には、駆動能力が低下するという問題、及びノイズに対して弱くなるという新たな問題が生じる。

[0120] この点、本実施例のバッファ回路 2 では、インバータの出力端子 INB が、回路 10 のトランジスタ T1 のゲート端子にのみ接続されるため、負荷が非常に小さくなる。そのため、インバータの駆動能力が低下しても（抵抗 $R1$ を高抵抗にしても）、すばやくトランジスタ T1 のゲート端子の負荷を駆動することができるため、高速動作が可能であると共に、回路 10 の動作に

よりバッファ回路 2 自体の駆動能力を高めることができる。よって、上記の構成によれば、低消費電力で駆動能力の高いバッファ回路を構成することができる。

[0121] なお、本実施例では、上記実施の形態 2 の回路 20 により構成したバッファ回路 2 について説明したが、他の実施の形態における回路（例えば回路 30, 40 又は 50）により構成してもよい。これらの構成においても、同様の効果を得ることができる。

[0122] また、本実施例のバッファ回路 2 において、入力信号 IN の電圧が VDD / VSS 以外の電圧で入力される場合（例えば、High 電圧が VDD よりも小さく、Low 電圧が VSS の場合）には、レベルシフト回路として機能する。

[0123] また、上記バッファ回路及びレベルシフト回路は、図 33 及び図 34 に示すように、上記インバータが、ブートストラップ回路により構成されていてもよい。この構成においても、入力信号 IN がハイレベルの場合には、トランジスタ T12 及び T13 を通して電源 VDD から電源 VSS に定常的な電流（貫通電流）が流れ、消費電力が増大してしまう。そこで、消費電力を低減するために、トランジスタ T12 及び T13 のサイズを小さくすることが考えられるが、この場合には、抵抗を用いたインバータと同様、駆動能力が低下するという問題、及びノイズに対して弱くなるという新たな問題が生じる。

[0124] この点、図 33 及び図 34 に示すバッファ回路及びレベルシフト回路では、インバータの出力端子 INB が、回路 10 のトランジスタ T1 のゲート端子にのみ接続されるため、上述の抵抗を用いたインバータにより構成されるバッファと同様の効果が得られる。

[0125] [実施例 3]

次に、バッファ回路の他の構成例について説明する。図 35 は、本実施例におけるバッファ回路 3 の構成を示す回路図である。バッファ回路 3 は、図 29 に示したインバータと、図 8 に示した回路 20 を変形した構成とを含ん

でいる。具体的には、図8に示す回路20において、トランジスタT3が省略され、トランジスタT1は、ゲート端子が電源VDDに接続され、ドレイン端子がインバータの出力端子INBに接続される。また、トランジスタT3のゲート端子はインバータの入力端子INに接続される。

[0126] ここで、本実施例のバッファ回路3の動作について説明する。

[0127] まず、インバータの入力信号INがローレベルの場合、反転信号INBはVDDとなる。VDDの反転信号INBがトランジスタT1に入力されると、ノードn1の電位は、 $VDD - V_{th}$ まで充電され、クロック信号CKによる突き上げ動作により、ノードn1の電位は、 $VDD - V_{th} + \alpha$ まで上がる。ノードn1は、トランジスタT2のゲート端子に接続されているため、出力信号OUTBの電位は、閾値落ちのないVDDとなる。

[0128] 次に、インバータの入力信号INがハイレベルになると、反転信号INBはVSSとなり、ノードn1の電位はVSSまでディスチャージされる。このとき、入力信号INは、ハイレベルであるため、トランジスタT3はオン状態になり、出力信号OUTBの電位はVSSとなる。

[0129] この構成によれば、ノードn1の電位がクロック信号CKの突き上げ動作により高電位になっているときは、トランジスタT2が低インピーダンスになるため、ノイズに強くまた、負荷をすばやく駆動することができる。

[0130] また、ノードn1がリークにより電荷が抜ける場合においても、ノードn1の電位が $VDD - V_{th}$ よりも低くなると、トランジスタT1がオン状態となり再充電されるため、低周波動作時の誤動作に対するマージンを確保することができる。

[0131] また、抵抗R1を高抵抗にしても、この端子が充電する負荷はトランジスタT1及びT2の寄生容量と容量TC1とだけであるため、高速駆動が可能になるとともに、低消費電力化を図ることができる。

[0132] さらに、上記実施例2のバッファ回路2の構成と比べて、ノードn1をディスチャージするトランジスタT3が不要になるため、回路規模の縮小化を図ることができる。

[0133] なお、本実施例のバッファ回路3においても、入力信号INの電圧が V_{DD}/V_{SS} 以外の電圧で入力される場合（例えば、High電圧が V_{DD} よりも小さく、Low電圧が V_{SS} の場合）には、レベルシフト回路として機能する。

[0134] また、上記バッファ回路及びレベルシフト回路は、上記実施例2と同様、上記インバータが、ブートストラップ回路により構成されていてもよい。図36は、ブートストラップ回路により構成されたインバータを備えるバッファ回路の構成を示す回路図である。

[0135] なお、実施例2のバッファ回路2は、入力信号INがDC信号の場合でも、正常に動作することが可能である。

[0136] また、実施例3のバッファ3は、入力信号INがDC信号の場合でも、オフリークによりトランジスタT12のゲート端子の電圧は $V_{DD} - V_{th}$ となる。そのため、インバータの出力端子の電圧は、 $V_{DD} - 2 \times V_{th}$ となるため、ノードn1は $V_{DD} - 2 \times V_{th}$ となる。クロック信号CKの突き上げによりノードn1の電位は $V_{DD} - 2 \times V_{th} + \alpha$ となるが、これが $V_{DD} + V_{th}$ より大きくなるように容量TC1を設定しておけば、入力信号INがDC信号の場合でも、正常に動作することが可能である。

[0137] [実施例4]

さらに、バッファ回路の他の構成例について説明する。図37は、本実施例におけるバッファ回路4の構成を示すブロック図であり、図38は、該バッファ回路4の回路図である。バッファ回路4は、図29に示したインバータと、図1に示した回路10とを含んで構成されている。具体的には、図38に示すように、インバータの出力端子INBが、トランジスタT1のゲート端子と、バッファ回路4の出力端子OUTBとに接続され、トランジスタT3のゲート端子がインバータの入力端子INに接続される。

[0138] 本実施例のバッファ回路4によれば、インバータの入力信号INがローレベルの場合、反転信号INBは高抵抗R1から出力されるため、高インピーダンスの V_{DD} となるが、回路10の出力信号（トランジスタT2の出力信号

)によって、出力信号OUTBは低インピーダンスのVDDを得ることができる。

[0139] なお、バッファ回路4においては、出力端子INBとOUTBとが互いに接続されているため、クロック信号CKが停止した場合でも、閾値落ちしないVDDの電位の信号を出力することが可能とある。

[0140] また、回路10の代わりに他の実施の形態に示した回路を用いても同様の効果を得ることができる。

[0141] なお、本実施例のバッファ回路4においても、入力信号INの電圧がVDD/VSS以外の電圧で入力される場合（例えば、High電圧がVDDよりも小さく、Low電圧がVSSの場合）には、レベルシフト回路として機能する。

[0142] また、本実施例のバッファ回路4は、実施例2、3のバッファ回路2、3と同様に、入力信号INがDC信号の場合でも、正常に動作することが可能である。

[0143] ここで、上記実施例1～4に示したバッファ回路においては、入力信号INと反転信号INBとを入れ替えた構成にしてもよい。

[0144] [実施例5]

図39は、本実施例におけるシフトレジスタを構成する単位回路5の構成を示すブロック図である。シフトレジスタは、図39に示す単位回路5を従属接続して構成されており、単位回路5は、上記実施の形態1に示した回路（Active信号保持回路）10を含んで構成されている。なお、回路10を除いた構成については、従来の構成を適用することができる。

[0145] ここで、従来のシフトレジスタの単位回路の構成では、入力信号On-1とOn+1とが、ともにローレベルの場合には、ノードn5がフローティング状態となるため、リーク及びノイズに対するマージンが小さくなるという問題がある。

[0146] この点、本実施例のシフトレジスタの単位回路5の構成では、回路10の出力信号を、回路10の入力側にフィードバックしている。これにより、ノ

ード $n5$ をフローティング状態でないハイレベルに保持することができるため、シフトレジスタのディセーブル状態を保持することができる。そのため、リーク及びノイズに対する問題を解決することができる。

[0147] なお、単位回路 5 が従属接続されるシフトレジスタでは、同時にハイレベルになることのないクロック信号 $CK1$ 及び $CK2$ のうち、偶数段の単位回路 5 のクロック端子 CK にはクロック信号 $CK1$ が入力され、奇数段の単位回路 5 のクロック端子 CK にはクロック信号 $CK2$ が入力され、入力信号 O_{n-1} は前段の単位回路 5 の出力信号であり、入力信号 O_{n+1} は後段の単位回路 5 の出力信号である。

[0148] 上記の構成において、入力信号 O_{n-1} がハイレベルになると、トランジスタ $T14$ を介してブートストラップ容量 $C2$ に電荷が蓄えられ、入力信号 O_{n-1} がローレベルになった後もノード $n6$ はハイレベル状態を保持する。また、トランジスタ $T16$ がオン状態になることにより、ノード $n5$ はローレベルになる。クロック信号 CK がハイレベルになると、ブートストラップ効果により、出力端子 O_n からはクロック信号 CK が出力される。また、入力信号 O_{n+1} がハイレベルになると、トランジスタ $T15$ を介してノード $n5$ がハイレベルになり、トランジスタ $T17$ がオン状態になることにより出力信号 O_n はローレベルになる。

[0149] また、回路 10 の入力信号 IN がハイレベルになることで、トランジスタ $T1$ がオン状態になり容量 $TC1$ に電荷が蓄えられる。以降、クロック信号 CK が入力されるたびに、トランジスタ $T2$ を介して出力信号 OUT の電位が VDD まで引き上げられるため、ノード $n5$ の電位が、オフリーク等により低下することがない。そして、 VDD の出力信号 OUT が入力端子 IN にフィードバックされるため、次に入力信号 O_{n-1} がハイレベルになるまで、ノード $n5$ の電位が VDD に保持される。

[0150] このように、従来のシフトレジスタに、上記実施の形態 1 の回路 10 (Active 信号保持回路) を適用することにより、従来では閾値落ちやリーク等により電位が低下していたノード $n5$ の電位を、確実に VDD に保持することが

できる。

[0151] 本実施例 5 では、上記実施の形態 1 の回路 10 により構成したシフトレジスタについて説明したが、他の実施の形態における回路により構成してもよい。これらの構成においても、同様の効果を得ることができる。

[0152] また、各実施の形態における回路が適用可能なシフトレジスタの構成は、特に限定されるものではない。他のシフトレジスタの構成としては、例えば、図 40 及び図 41 に示すように、シフトレジスタにおける各段の単位回路が、それぞれ、後段の単位回路の出力信号を使用しない場合の構成、つまり、自段の単位回路内でリセット信号を生成する構成が挙げられる。これらの構成においても、同様にディセーブル状態を保持することができる。なお、何れの単位回路も、同時にハイレベルになることのないクロック信号 $CK1$ 及び $CK2$ のうち、偶数段の単位回路のクロック端子 CK にはクロック信号 $CK1$ が入力され、クロック端子 CKB にはクロック信号 $CK2$ が入力され、奇数段の単位回路 5 のクロック端子 CK にはクロック信号 $CK2$ が入力され、クロック端子 CKB にはクロック信号 $CK1$ が入力され、入力信号 O_{n-1} は前段の単位回路 5 の出力信号である。

[0153] 図 40 に示す単位回路 5 では、前段の単位回路 5 の出力信号 O_{n-1} によりブートストラップ容量 $C2$ に電荷が蓄えられ、クロック信号 CK が出力端子 O_n に出力された後、クロック信号 CKB がハイレベルになると、トランジスタ $T20$ がオン状態となることで、抵抗 $R2$ によりノード $n5$ の電位がハイレベルになる。

[0154] 図 41 に示す単位回路 5 では、前段の単位回路 5 の出力信号 O_{n-1} によりブートストラップ容量 $C2$ に電荷を蓄えられ、クロック信号 CK が出力端子 O_n から出力された後、クロック信号 CK と CKB との入力ごとに容量 $C3$ の電荷が容量 $C4$ に転送され、ノード $n5$ の電位がハイレベルになる。

[0155] また、図 40 及び図 41 の単位回路 5 においても同様に、回路 10 は、次に入力信号 O_{n-1} がハイレベルになるまでノード $n5$ の電位を VDD に保持する。

[0156] 最後に、上記各実施の形態における回路をpチャネル型のトランジスタを用いて構成した場合の一例を示す。実施の形態1～6及び実施例1～5で説明した内容をpチャネル型のトランジスタを用いて構成するには、電源VDDを電源VSSに、電源VSSを電源VDDに、ハイレベルはローレベルにというように全てのロジックを逆転させることで可能である。図42は、回路10の構成をpチャネル型のトランジスタで構成した場合の回路10'の回路図である。また、図43は回路10'における各種信号の波形を示すタイミングチャートであり、図中の(a)はトランジスタT2'のドレイン端子にVSSが入力される場合の波形を示し、図中の(b)はトランジスタT2'のドレイン端子にクロック信号φが入力される場合の波形を示している。この構成においても、上述したnチャネル型のトランジスタにより構成した回路の場合と同様、簡易な構成により、低消費電力を図りつつ、電位レベルの低下を防いで安定した信号を出力することができるという効果を奏する。

[0157] ここで、図42に示す回路10'における容量TC1'の具体的な構成について説明する。図44の(a)は、容量TC1'の構成を示す図であり、(b)は、容量TC1'における印加電圧と容量値の関係を示すグラフである。また、図45の(a)は、従来の容量(PNOS型)の構成を示す図であり、(b)は、当該容量における印加電圧と容量値の関係を示すグラフである。

[0158] 従来の容量は、図45の(a)に示すように、シリコンSiにP+をドーピングして、ゲート電極GEとSiとの間に容量を形成している。この容量の場合、図45の(b)に示すように、ゲート電極及びSi間の電圧に関わらず略一定の容量値となる。

[0159] これに対して本実施の形態に係る回路10'の容量TC1'は、図44の(a)に示すように、Si(シリコン層)にP+がドーピングされていない。これにより、容量TC1'はMOS容量として機能し、ゲート電極GEに電圧(オン電圧)が印加されない限り容量として機能しない。すなわち、トラン

ジスタとして機能する容量 $TC1'$ は、ノード $n1'$ の電位がクロック端子 CK の電位よりも高い場合にオフ状態になる一方、ノード $n1'$ の電位がクロック端子 CK の電位以下（オン電圧）である場合にオン状態になる。なお、図44の（b）において、 V_{on} は、上記オン電圧を示す。

[0160] よって、容量 $TC1'$ は、図44の（b）に示すように、ゲート電極及び Si 間の電圧に応じて容量値が変化する。すなわち、ゲート電極に印加される電圧が小さくなるほど、容量 $TC1'$ の容量値が大きくなる。より具体的には、ノード $n1'$ の電位の低下に伴って容量 $TC1'$ の容量値が大きくなる一方、ノード $n1'$ の電位の上昇に伴って容量 $TC1'$ の容量値が小さくなる。

[0161] 本発明に係る半導体装置は、以上のように、前記第1のトランジスタ及び前記第2のトランジスタ同士の接続点と、クロック信号を入力するクロック端子との間に設けられる容量を備え、前記クロック信号の周波数は、前記出力端子から出力される出力信号の周波数よりも高く設定されており、また、前記容量は、前記接続点の電位の変化に応じて容量値が変化するものである。すなわち、前記容量は、（i）容量を形成する Si がNMOSプロセスの場合は、前記接続点の電位の低下に伴って容量値が小さくなる一方、前記接続点の電位の上昇に伴って容量値が大きくなるものである、あるいは、（ii）容量を形成する Si がPMOSプロセスの場合は、前記接続点の電位の低下に伴って容量値が大きくなる一方、前記接続点の電位の上昇に伴って容量値が小さくなるものである。なお、容量を形成する Si がNMOSプロセスの場合は、 Si に $N+$ がドーピングされておらず、容量を形成する Si がPMOSプロセスの場合は、 Si に $P+$ がドーピングされていない。

[0162] また、本発明に係る表示装置は、上記半導体装置を備えている。

[0163] したがって、同一導電型のトランジスタからなり、簡易な構成により、低消費電力を図りつつ、電位レベルの低下を防いで安定した信号を出力することができる半導体装置、及びそれを備えた表示装置を提供することができるという効果を奏する。

- [0164] 本発明に係る半導体装置は、上記半導体装置において、
前記容量は、シリコンを含んで構成されており、前記接続点の電位の低下に伴って容量値が小さくなる一方、前記接続点の電位の上昇に伴って容量値が大きくなる構成とすることができる。
- [0165] 本発明に係る半導体装置は、上記半導体装置において、
前記容量は、シリコンを含んで構成されており、前記接続点の電位の低下に伴って容量値が大きくなる一方、前記接続点の電位の上昇に伴って容量値が小さくなる構成とすることができる。
- [0166] 本発明に係る半導体装置は、上記半導体装置において、
前記容量は、制御端子が前記接続点に接続され、第1の端子および第2の端子が前記クロック端子に接続されたトランジスタで構成されており、
前記容量を構成する前記トランジスタは、前記接続点の電位が前記クロック端子の電位よりも低い場合はオフ状態になる一方、前記接続点の電位が前記クロック端子の電位以上である場合はオン状態になる構成とすることもできる。
- [0167] 上記の構成によれば、容量は、トランジスタで構成されMOS容量として機能するため、ノードの電位がクロック信号の電位よりも高い場合はオン容量として機能し、ノードの電位がクロック信号の電位よりも低い場合はオフ容量として機能する。本発明の半導体装置は上記容量を備えているため、回路構成を簡略することができる。
- [0168] 本発明に係る半導体装置は、上記半導体装置において、
前記容量は、制御端子が前記接続点に接続され、第1の端子および第2の端子が前記クロック端子に接続されたトランジスタで構成されており、
前記容量を構成する前記トランジスタは、前記接続点の電位が前記クロック端子の電位よりも高い場合はオフ状態になる一方、前記接続点の電位が前記クロック端子の電位以下である場合はオン状態になる構成とすることもできる。
- [0169] 上記の構成によれば、容量は、トランジスタで構成されMOS容量として

機能するため、ノードの電位がクロック信号の電位よりも低い場合はオン容量として機能し、ノードの電位がクロック信号の電位よりも高い場合はオフ容量として機能する。本発明の半導体装置は上記容量を備えているため、回路構成を簡略することができる。

[0170] 本発明に係る半導体装置は、上記半導体装置において、
前記容量を構成するシリコンには、N+がドーピングされていない構成とすることもできる。

[0171] 本発明に係る半導体装置は、上記半導体装置において、
前記容量を構成するシリコンには、P+がドーピングされていない構成とすることもできる。

[0172] 本発明に係る半導体装置は、上記半導体装置において、
前記容量は、前記制御端子としてのゲート電極と、前記第1の端子及び前記第2の端子としての前記シリコンとの間に形成されていることが望ましい。

[0173] 本発明に係る半導体装置は、上記半導体装置において、
第1の端子が前記接続点に接続され、第2の端子にオフ電圧が入力され、制御端子に制御信号が入力される第3のトランジスタをさらに備えていることが望ましい。

[0174] 上記の構成によれば、制御信号により、第3のトランジスタがオン状態になると、上記ノードの電位を確実にVSSに下げることができる。

[0175] 本発明に係る半導体装置は、上記半導体装置において、
第1の端子が前記出力端子に接続され、第2の端子にオフ電圧が与えられ、制御端子に前記制御信号が入力される第4のトランジスタをさらに備えていることが望ましい。

[0176] 上記の構成によれば、制御信号により、第3及び第4のトランジスタがオン状態になると、上記ノードの電位を確実にVSSに下げることができるとともに、出力信号の電位レベルをローレベル（オフ電圧：VSS）に固定することができる。

- [0177] 本発明に係る半導体装置は、上記半導体装置において、
第1の端子にオン電圧が入力され、第2の端子が前記接続点に接続され、
制御端子が前記出力端子に接続される第5のトランジスタをさらに備えていることが望ましい。
- [0178] 上記の構成によれば、出力信号が第5のトランジスタの制御端子に入力されるため、出力信号がハイレベル（オン電圧： V_{DD} ）を出力している間は、入力信号がローレベルになり第1のトランジスタがオフ状態である場合に、上記ノードの電位が、オフリーク等により低下したとしても、第5のトランジスタにより再び $V_{DD} - V_{th}$ までチャージされる。
- [0179] これにより、クロック信号がハイレベルを出力している期間中は、上記ノードの電位を、 $V_{DD} - V_{th} + \alpha$ まで突き上げることができる。そのため、出力信号の電位レベルをより安定させることができる。
- [0180] 本発明に係る半導体装置は、上記半導体装置において、
前記入力信号を出力する第6のトランジスタをさらに備え、
前記第6のトランジスタは、第1の端子が入力端子に接続され、第2の端子が前記第1のトランジスタの制御端子と前記出力端子に接続され、制御端子にイネーブル信号が入力されることが望ましい。
- [0181] 上記の構成によれば、イネーブル信号が一旦ハイレベルになると、その後、イネーブル信号がローレベルになっても、出力信号がハイレベルであれば、第1のトランジスタの制御端子に、常にハイレベルの信号を入力することができる。これにより、半導体装置のアクティブ状態を安定して維持することができる。
- [0182] 本発明に係る半導体装置は、上記半導体装置において、第1の端子が前記接続点に接続され、第2の端子にオフ電圧が入力され、制御端子に、当該半導体装置の初期状態を安定させるための初期化信号が入力される第7のトランジスタをさらに備えていることが望ましい。
- [0183] 上記の構成によれば、初期状態において、第7のトランジスタにハイレベルの初期化信号を入力することにより、上記ノードの電位を V_{SS} に固定す

ることができるため、初期状態を安定させることができる。

[0184] 本発明に係る半導体装置は、上記半導体装置において、

前記クロック信号は、ハイレベルとローレベルとを周期的に繰り返す波形を示し、1周期のうちローレベルの期間が、該クロック信号がハイレベルからローレベルに変化した後に前記接続点の電位が飽和するまでの期間となるように設定されていることが望ましい。

[0185] これにより、半導体装置のアクティブ状態を保持しながら、出力信号のインピーダンスを下げることができる。

[0186] 本発明に係る表示装置は、上記何れかの半導体装置を備えていることを特徴としている。

[0187] これにより、電位レベルの低下を防いで安定した信号を出力することができる表示装置を提供することができる。

[0188] なお、本発明に係る表示装置は、液晶表示装置であることが望ましい。

[0189] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0190] 本発明は、入力信号の電位レベルを低下させることなく安定して出力することができる回路であるため、特に表示装置において好適に適用できる。

符号の説明

- [0191] 1 メモリ回路
2, 3, 4 バッファ回路
5 (シフトレジスタの)単位回路
10, 20, 30, 40, 50, 60 回路(半導体装置)
11, 21, 31, 41, 51, 61 回路(半導体装置)
T1 トランジスタ(第1のトランジスタ)
T2 トランジスタ(第2のトランジスタ)

T 3 トランジスタ（第 3 のトランジスタ）

T 4 トランジスタ（第 4 のトランジスタ）

T 5 トランジスタ（第 5 のトランジスタ）

T 6 トランジスタ（第 6 のトランジスタ）

T 7 トランジスタ（第 7 のトランジスタ）

T 8 トランジスタ（第 8 のトランジスタ）

T C 1 トランジスタ（容量）

1 5 1 液晶表示装置（表示装置）

n 1, n 2, n 4, n 5, n 6 ノード（接続点）

1 0 0, 2 0 0, 2 1 0 回路（従来 of 半導体装置）

請求の範囲

- [請求項1] 同一導電型の複数のトランジスタにより構成される半導体装置であって、
- 第1の端子にオン電圧が与えられ、制御端子に入力信号が入力される第1のトランジスタと、
- 第1の端子にオン電圧が与えられ、第2の端子が出力端子に接続され、制御端子が前記第1のトランジスタの第2の端子に接続される第2のトランジスタと、
- 前記第1のトランジスタ及び前記第2のトランジスタ同士の接続点と、クロック信号を入力するクロック端子との間に設けられる容量とを備え、
- 前記クロック信号の周波数は、前記出力端子から出力される出力信号の周波数よりも高く設定されており、
- 前記容量は、前記接続点の電位の変化に応じて容量値が変化するのであることを特徴とする半導体装置。
- [請求項2] 前記容量は、シリコンを含んで構成されており、前記接続点の電位の低下に伴って容量値が小さくなる一方、前記接続点の電位の上昇に伴って容量値が大きくなるものであることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記容量は、シリコンを含んで構成されており、前記接続点の電位の低下に伴って容量値が大きくなる一方、前記接続点の電位の上昇に伴って容量値が小さくなるものであることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記容量は、制御端子が前記接続点に接続され、第1の端子および第2の端子が前記クロック端子に接続されたトランジスタで構成されており、
- 前記容量を構成する前記トランジスタは、前記接続点の電位が前記クロック端子の電位よりも低い場合はオフ状態になる一方、前記接続

点の電位が前記クロック端子の電位以上である場合はオン状態になることを特徴とする請求項 2 に記載の半導体装置。

[請求項5] 前記容量は、制御端子が前記接続点に接続され、第 1 の端子および第 2 の端子が前記クロック端子に接続されたトランジスタで構成されており、

前記容量を構成する前記トランジスタは、前記接続点の電位が前記クロック端子の電位よりも高い場合はオフ状態になる一方、前記接続点の電位が前記クロック端子の電位以下である場合はオン状態になることを特徴とする請求項 3 に記載の半導体装置。

[請求項6] 前記容量を構成するシリコンには、N+がドーピングされていないことを特徴とする請求項 2 または 4 に記載の半導体装置。

[請求項7] 前記容量を構成するシリコンには、P+がドーピングされていないことを特徴とする請求項 3 または 5 に記載の半導体装置。

[請求項8] 前記容量は、前記制御端子としてのゲート電極と、前記第 1 の端子及び前記第 2 の端子としての前記シリコンとの間に形成されていることを特徴とする請求項 6 または 7 に記載の半導体装置。

[請求項9] 第 1 の端子が前記接続点に接続され、第 2 の端子にオフ電圧が入力され、制御端子に制御信号が入力される第 3 のトランジスタをさらに備えていることを特徴とする請求項 1 ～ 8 に記載の半導体装置。

[請求項10] 第 1 の端子が前記出力端子に接続され、第 2 の端子にオフ電圧が与えられ、制御端子に前記制御信号が入力される第 4 のトランジスタをさらに備えていることを特徴とする請求項 9 に記載の半導体装置。

[請求項11] 第 1 の端子にオン電圧が入力され、第 2 の端子が前記接続点に接続され、制御端子が前記出力端子に接続される第 5 のトランジスタをさらに備えていることを特徴とする請求項 10 に記載の半導体装置。

[請求項12] 前記入力信号を出力する第 6 のトランジスタをさらに備え、
前記第 6 のトランジスタは、第 1 の端子が入力端子に接続され、第 2 の端子が前記第 1 のトランジスタの制御端子と前記出力端子とに接

続され、制御端子にイネーブル信号が入力されることを特徴とする請求項 11 に記載の半導体装置。

[請求項13] 第1の端子が前記接続点に接続され、第2の端子にオフ電圧が入力され、制御端子に、当該半導体装置の初期状態を安定させるための初期化信号が入力される第7のトランジスタをさらに備えていることを特徴とする請求項 12 に記載の半導体装置。

[請求項14] 同一導電型の複数のトランジスタにより構成される半導体装置であって、

第1の端子にオン電圧が与えられ、制御端子に入力信号が入力される第1のトランジスタと、

第1の端子にオン電圧が与えられ、第2の端子が出力端子に接続され、制御端子が前記第1のトランジスタの第2の端子に接続される第2のトランジスタと、

前記第1のトランジスタ及び前記第2のトランジスタ同士の接続点と、クロック信号を入力するクロック端子との間に設けられる容量と、

第1の端子が前記接続点に接続され、制御端子にオン電圧が入力される第8のトランジスタと、

第1の端子が第8のトランジスタの第2の端子に接続され、第2の端子にオフ電圧が入力され、制御端子に制御信号が入力される第3のトランジスタを備え、

前記クロック信号の周波数は、前記出力端子から出力される出力信号の周波数よりも高く設定されており、

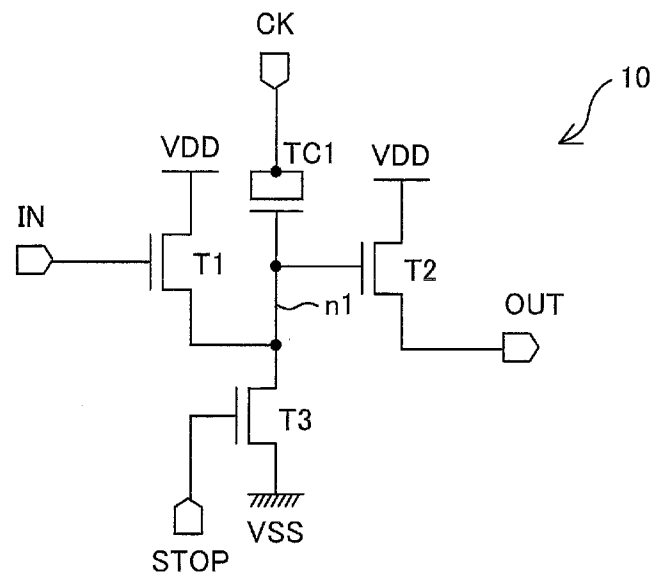
前記容量は、前記接続点の電位の変化に応じて容量値が変化するのであることを特徴とする半導体装置。

[請求項15] 前記クロック信号は、ハイレベルとローレベルとを周期的に繰り返す波形を示し、1周期のうちローレベルの期間が、該クロック信号がハイレベルからローレベルに変化した後に前記接続点の電位が飽和す

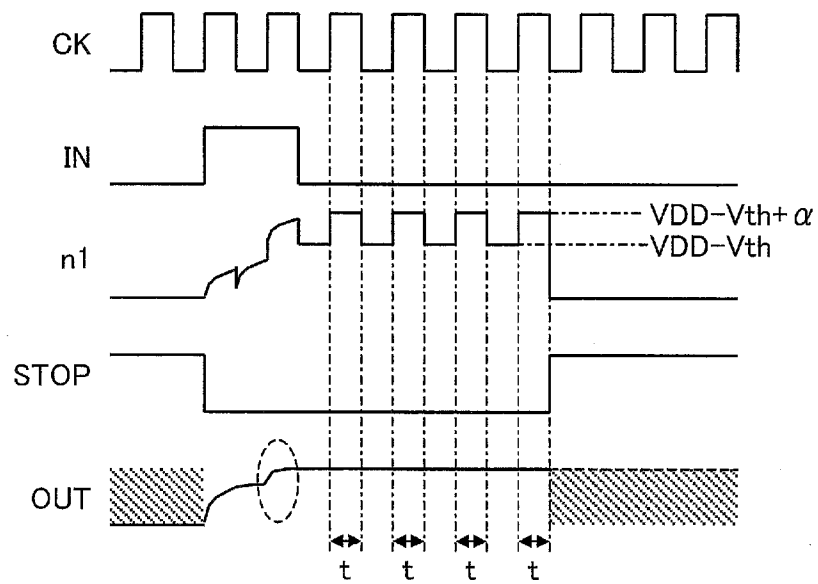
るまでの期間となるように設定されていることを特徴とする請求項 1
または 1 4 に記載の半導体装置。

[請求項16] 請求項 1 または 1 4 に記載の半導体装置を備えていることを特徴と
する表示装置。

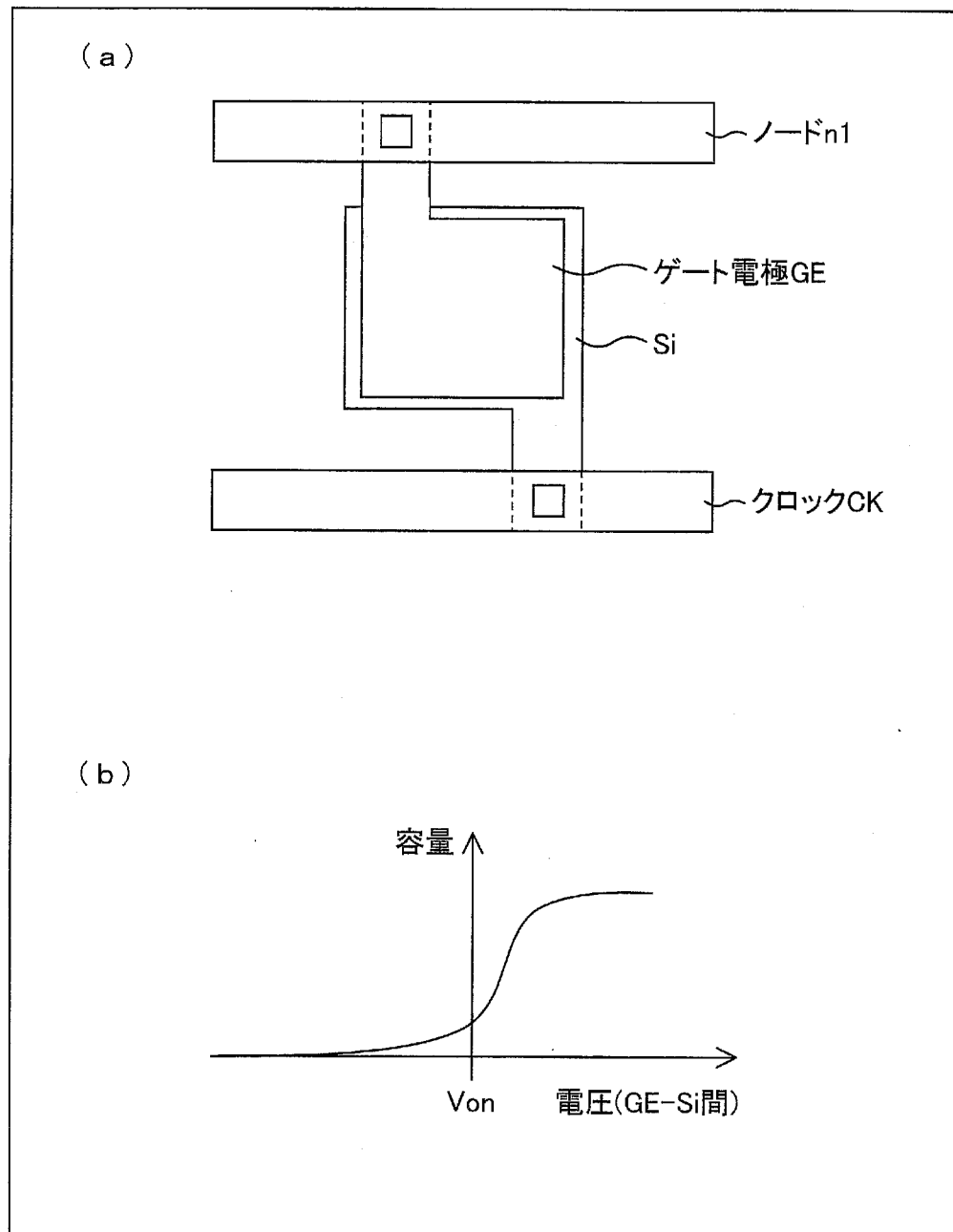
[図1]



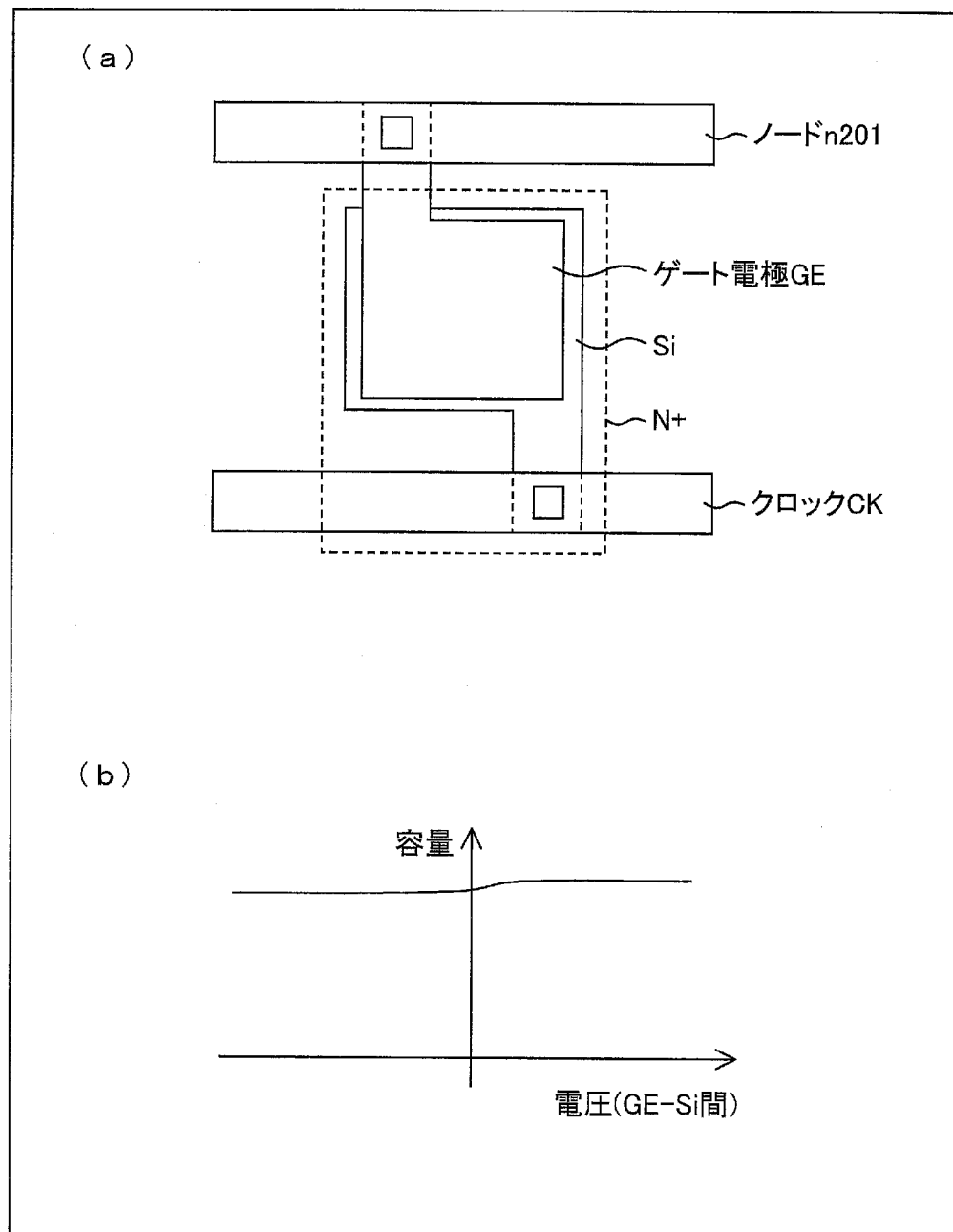
[図2]



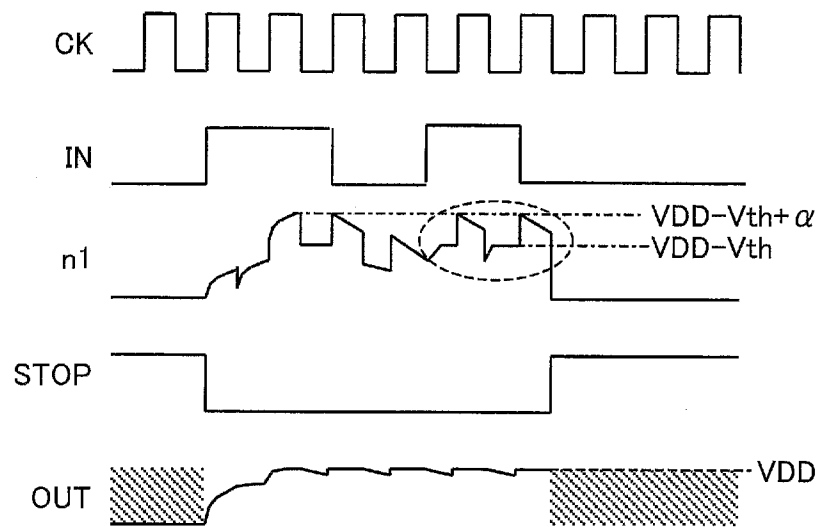
[図3]



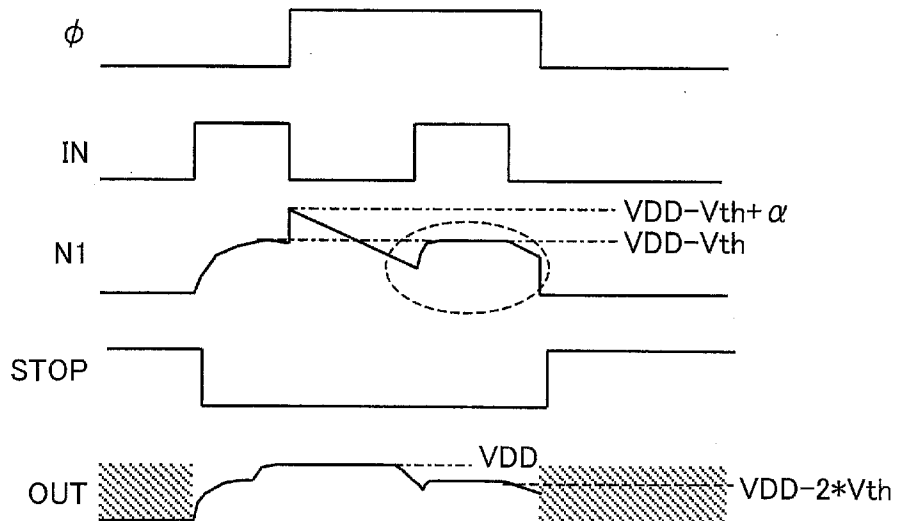
[図4]



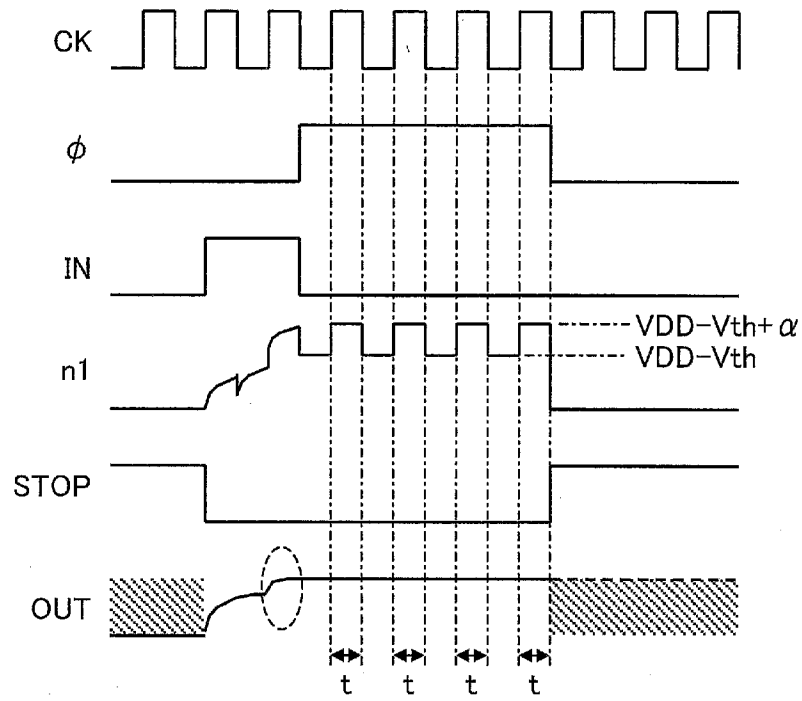
[図5]



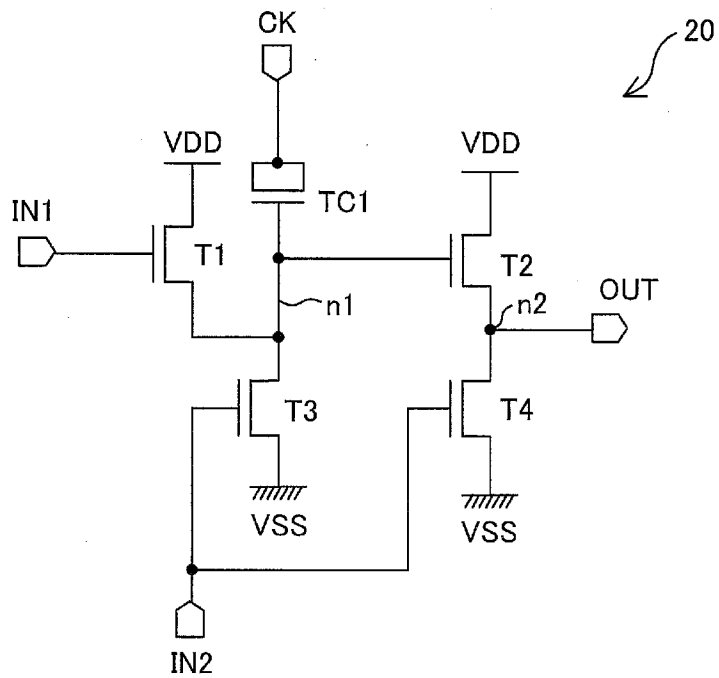
[図6]



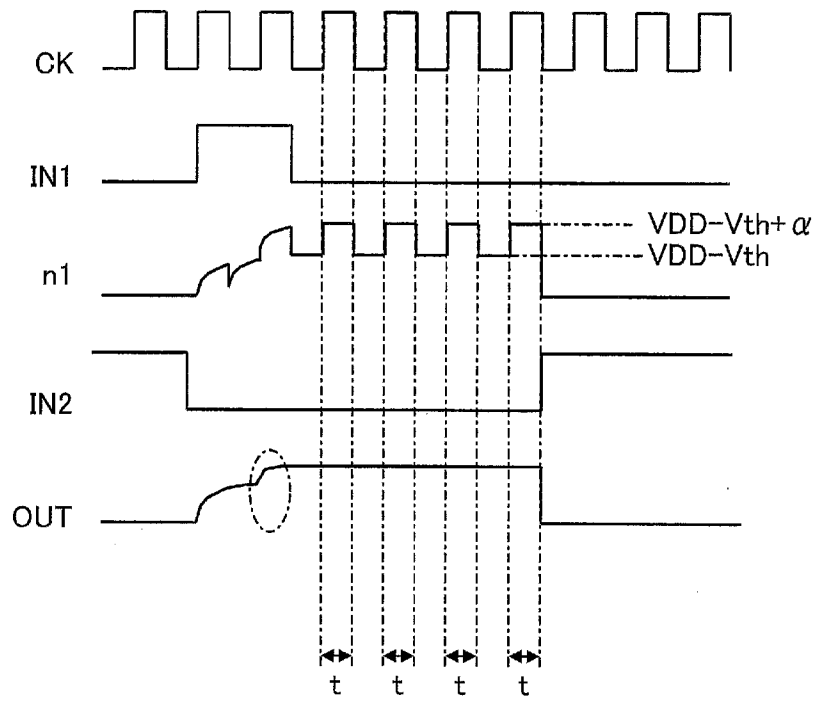
[図7]



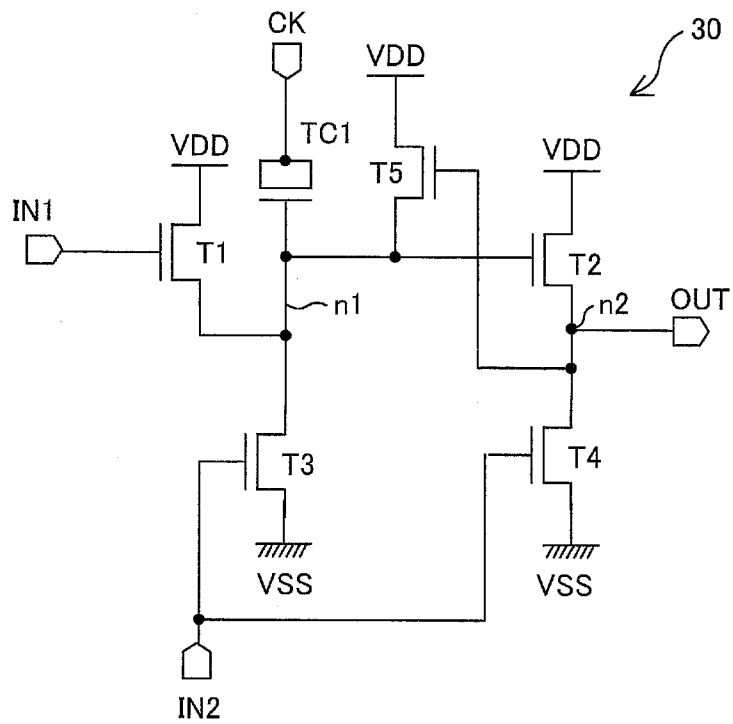
[図8]



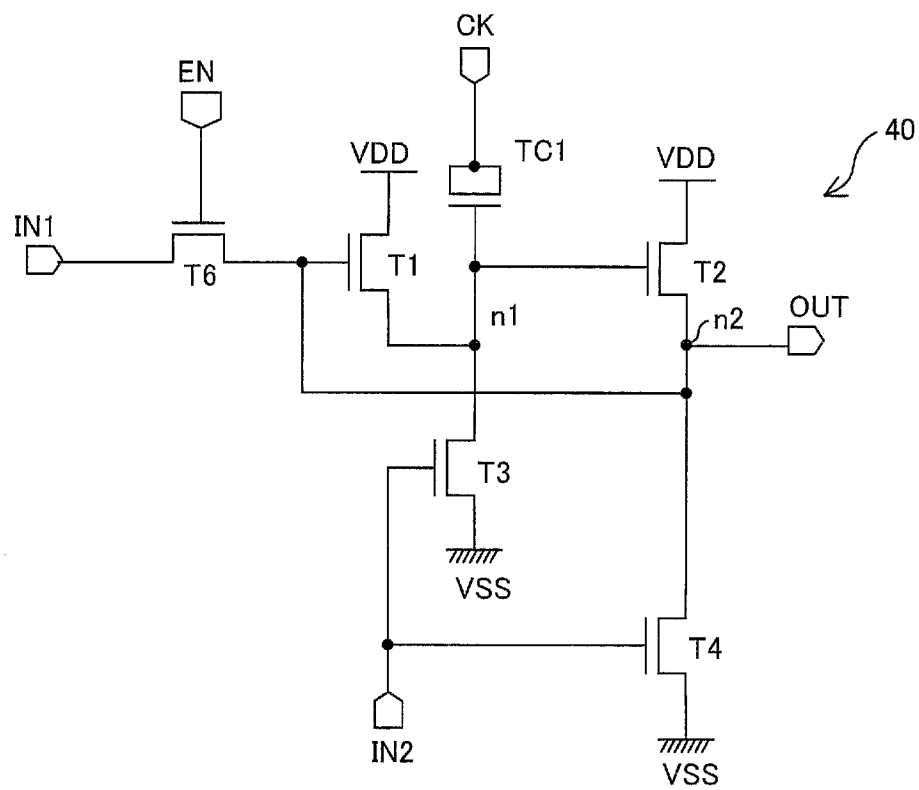
[図9]



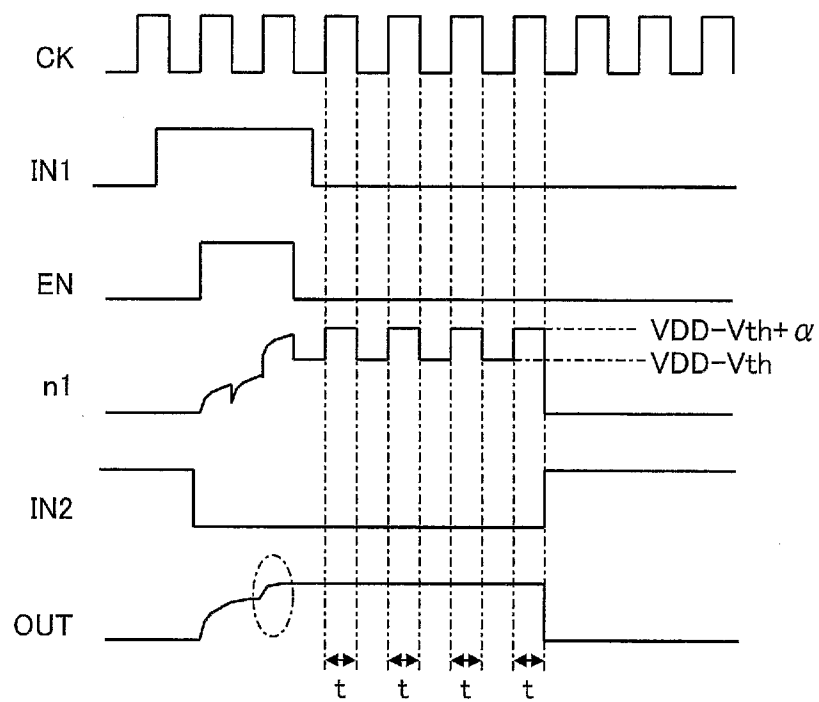
[図10]



[図11]

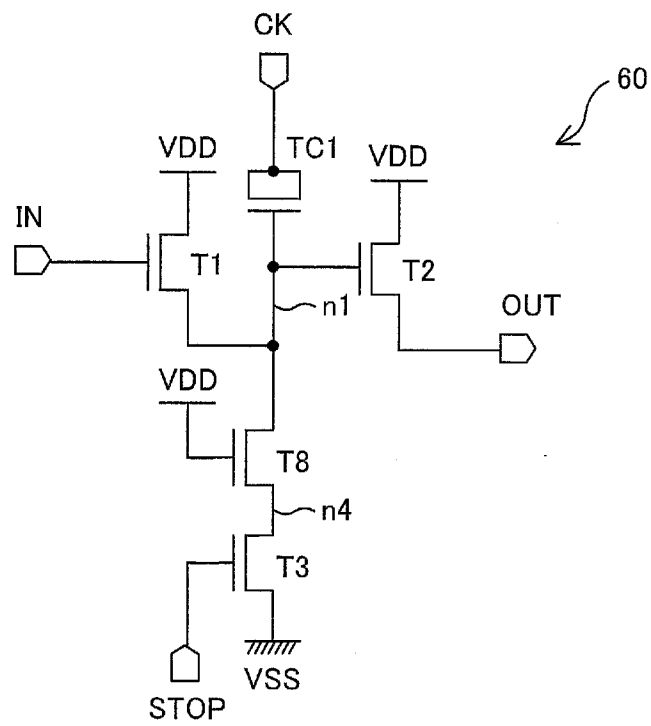


[図12]

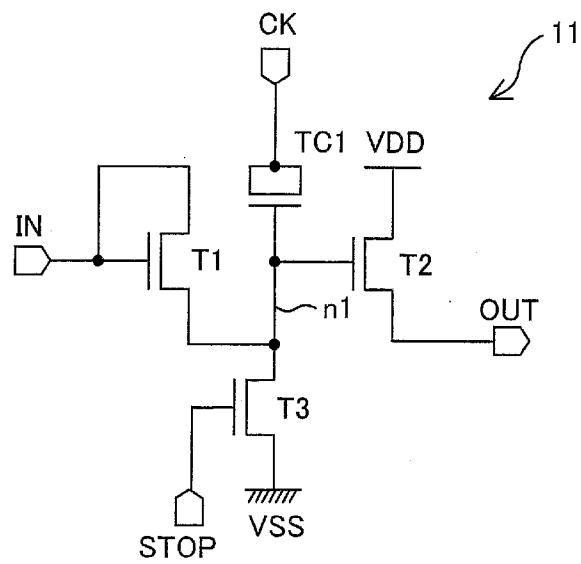


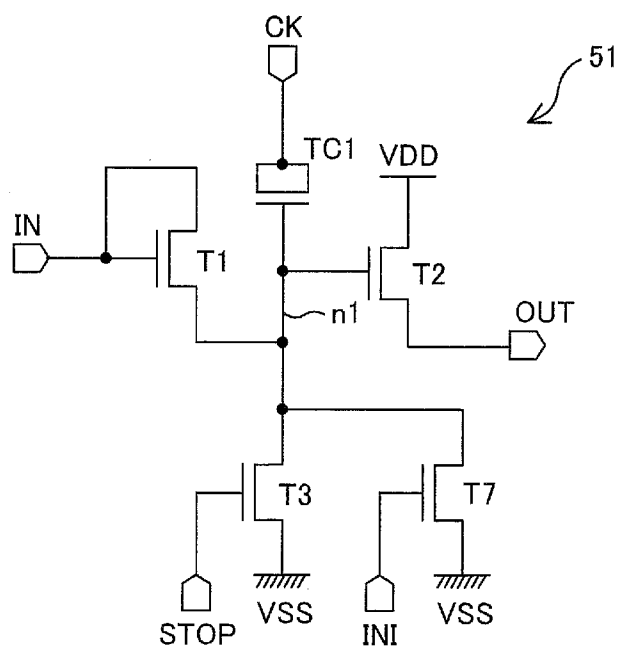
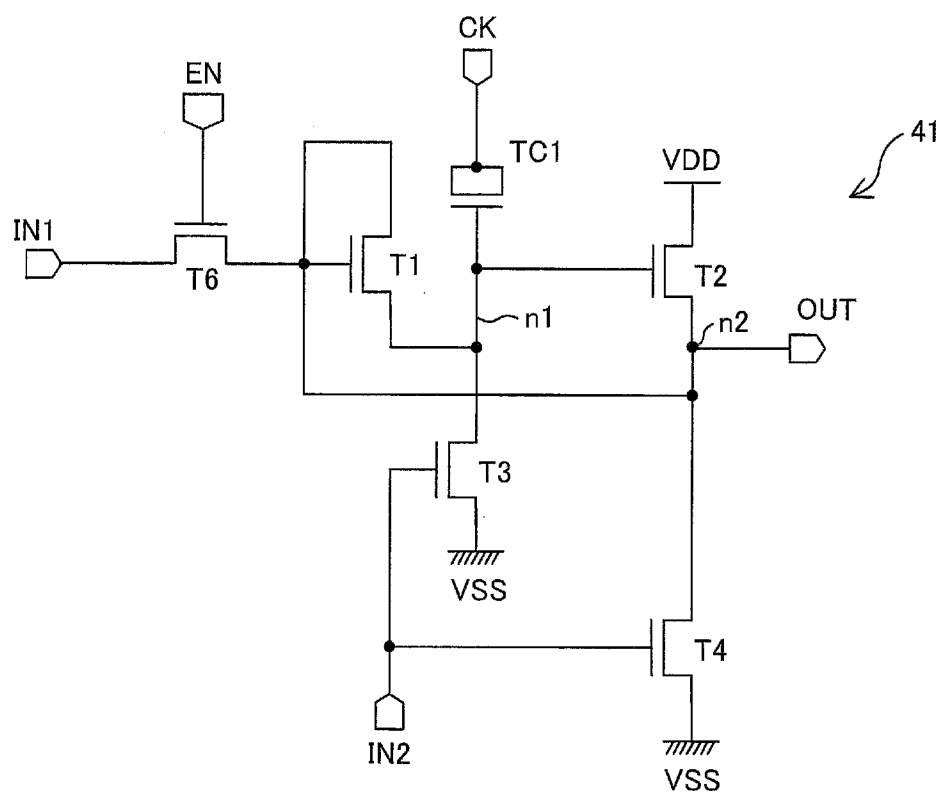
[illegible]

[図16]

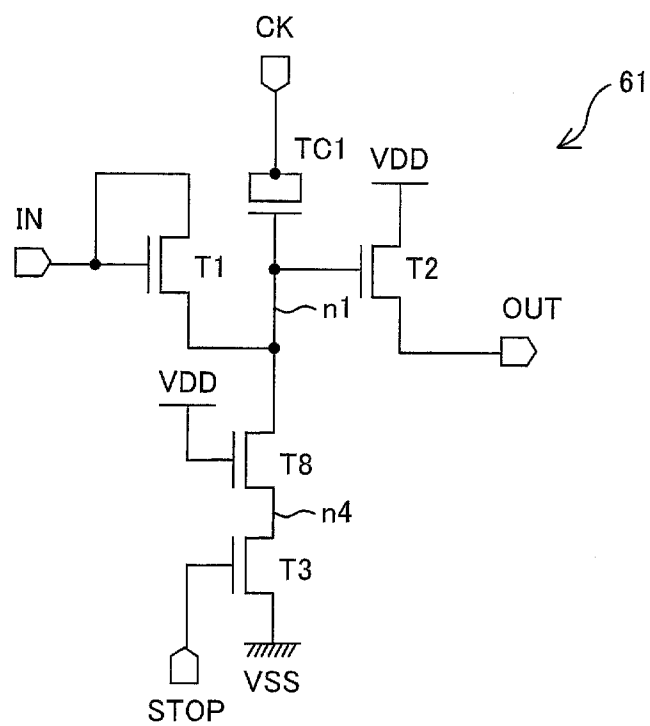


[図17]

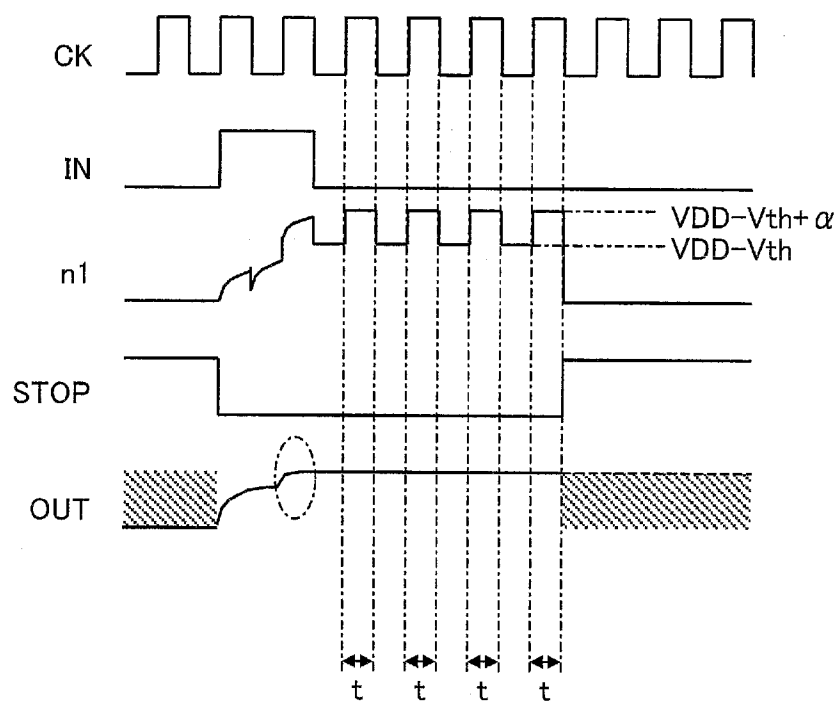




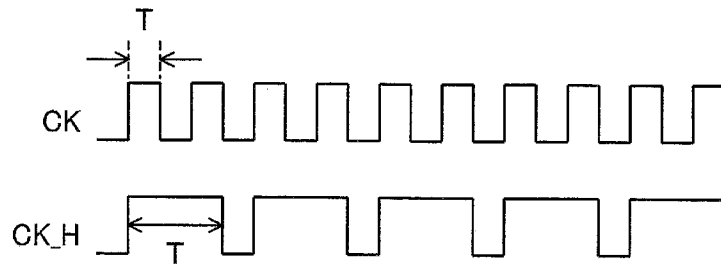
[図22]



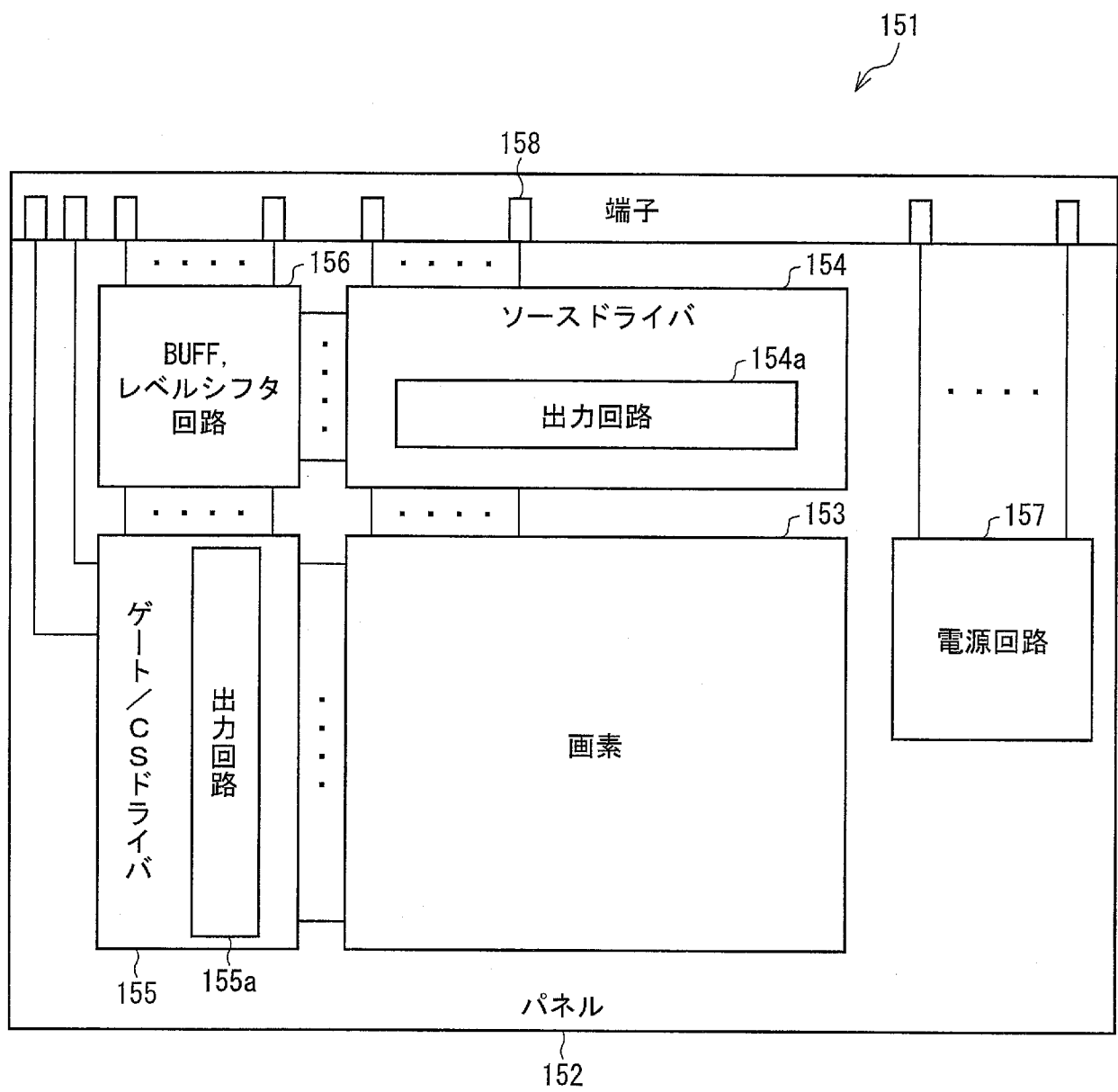
[図23]



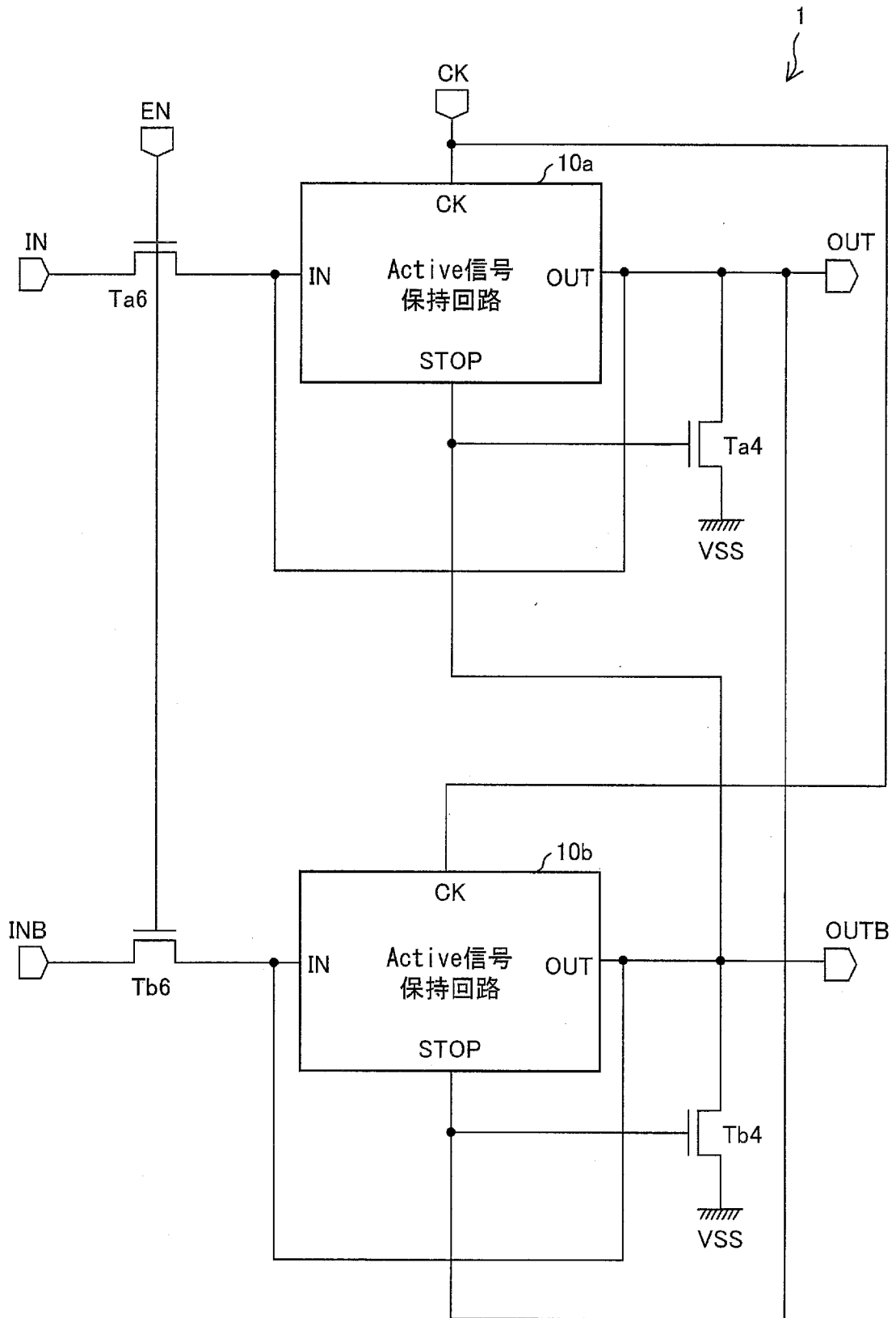
[図24]



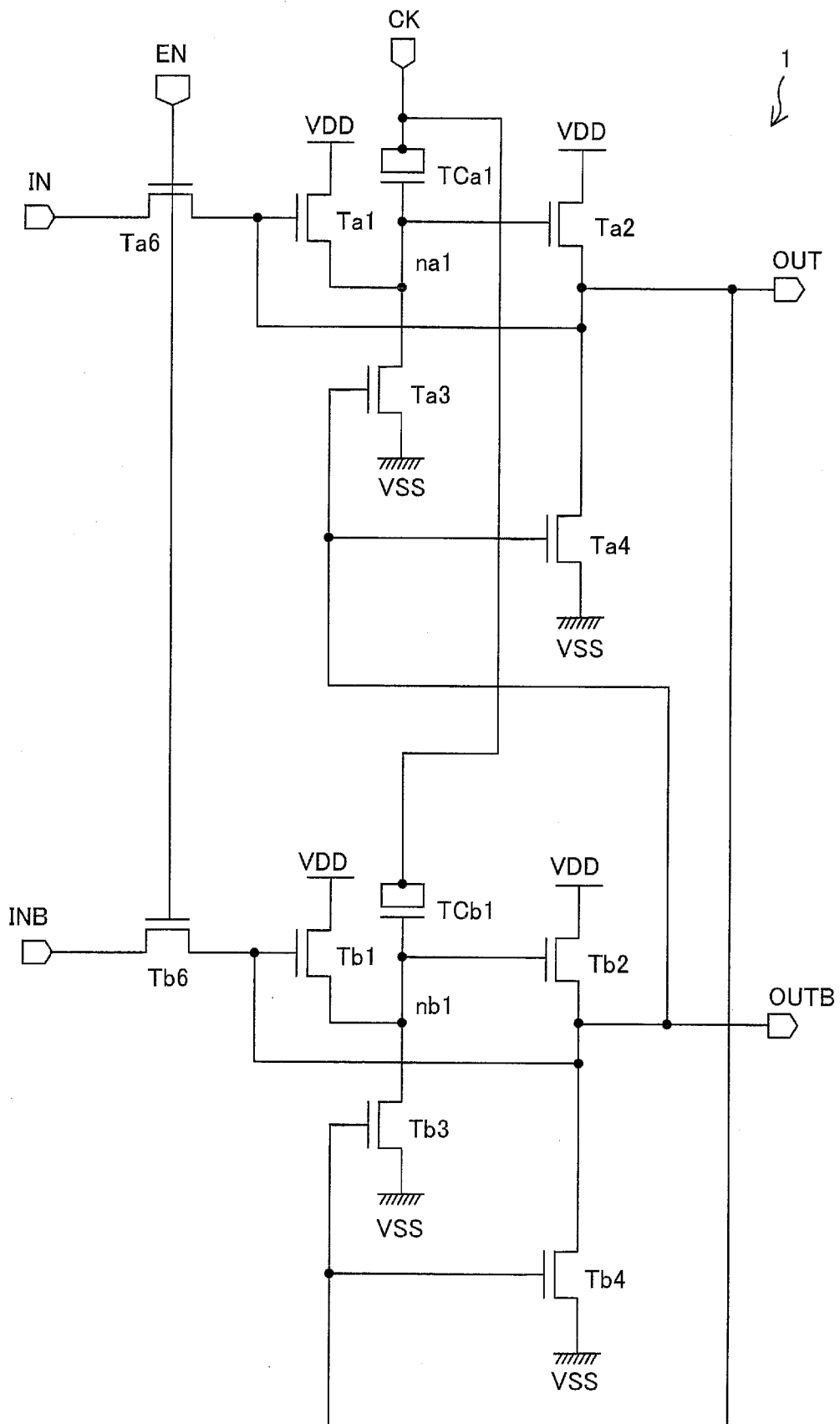
[図25]



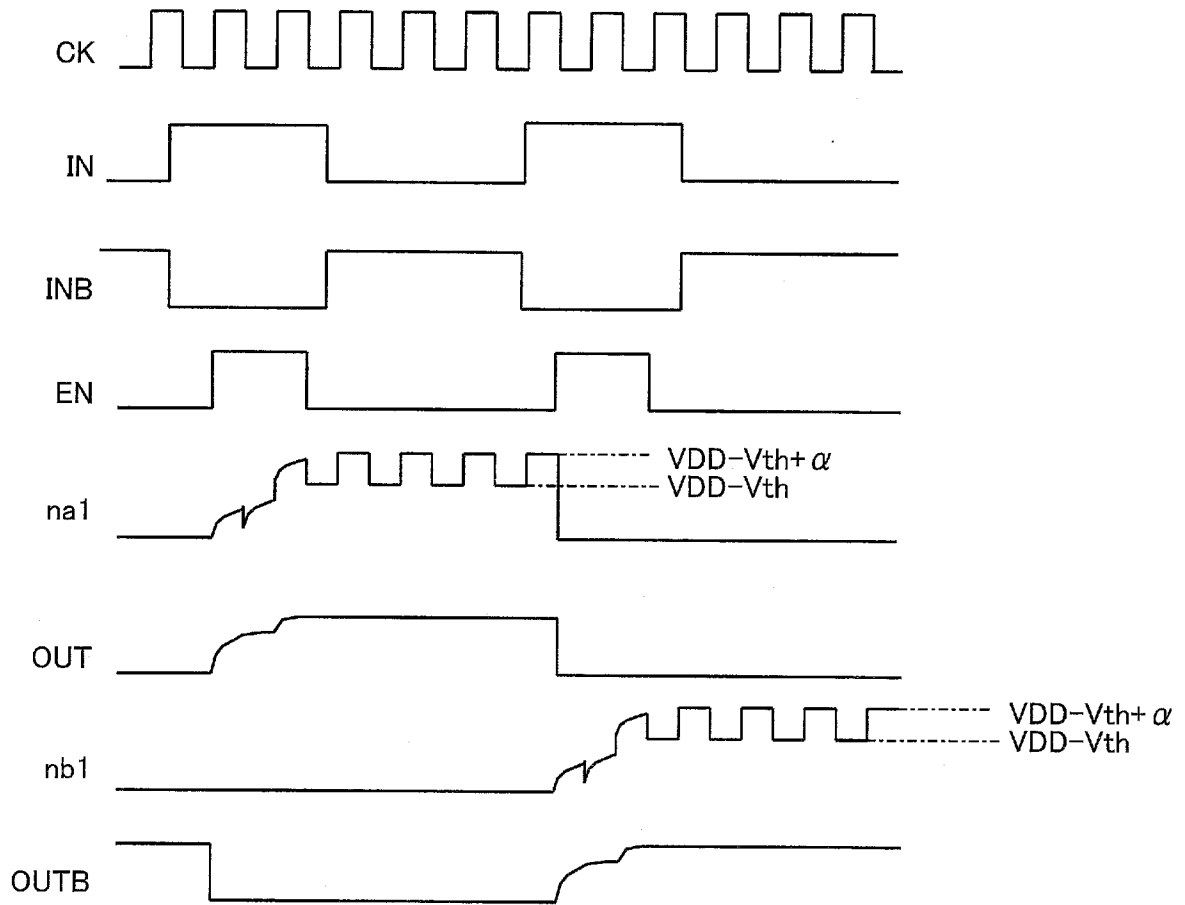
[図26]



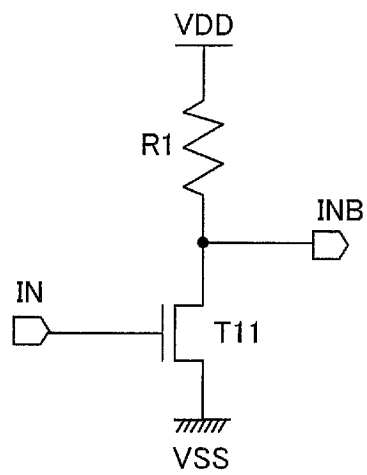
[図27]



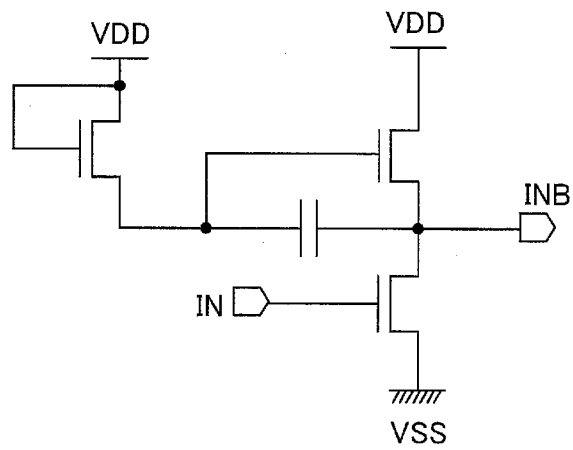
[図28]



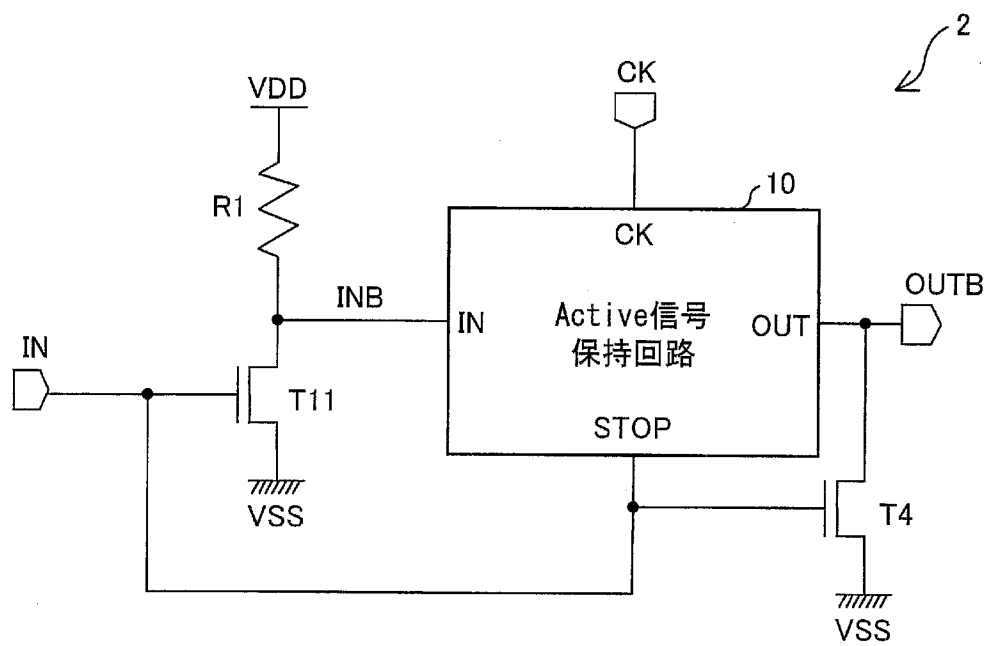
[図29]



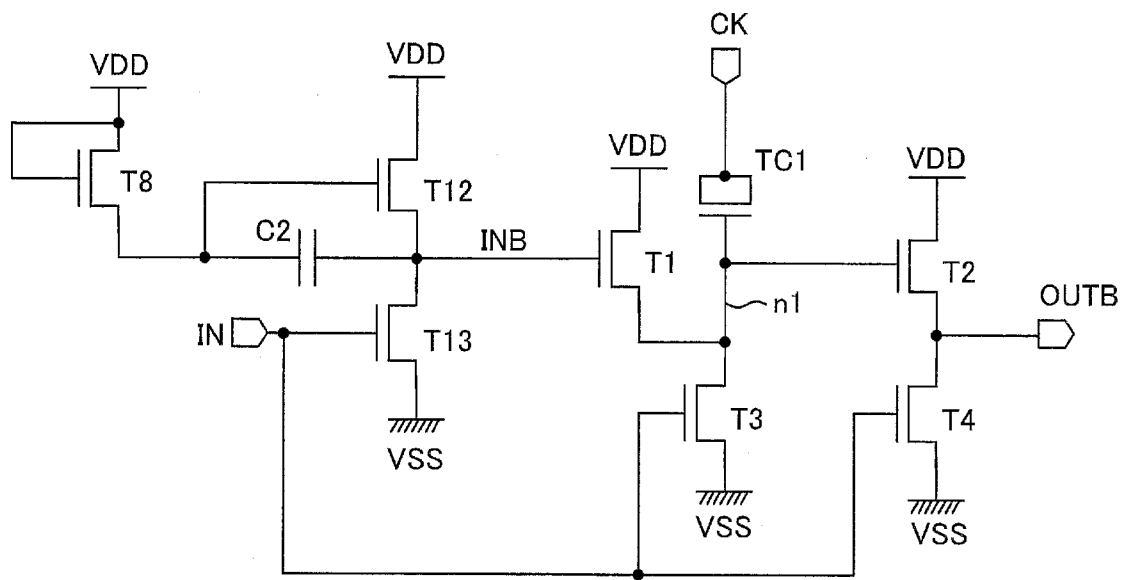
[図30]



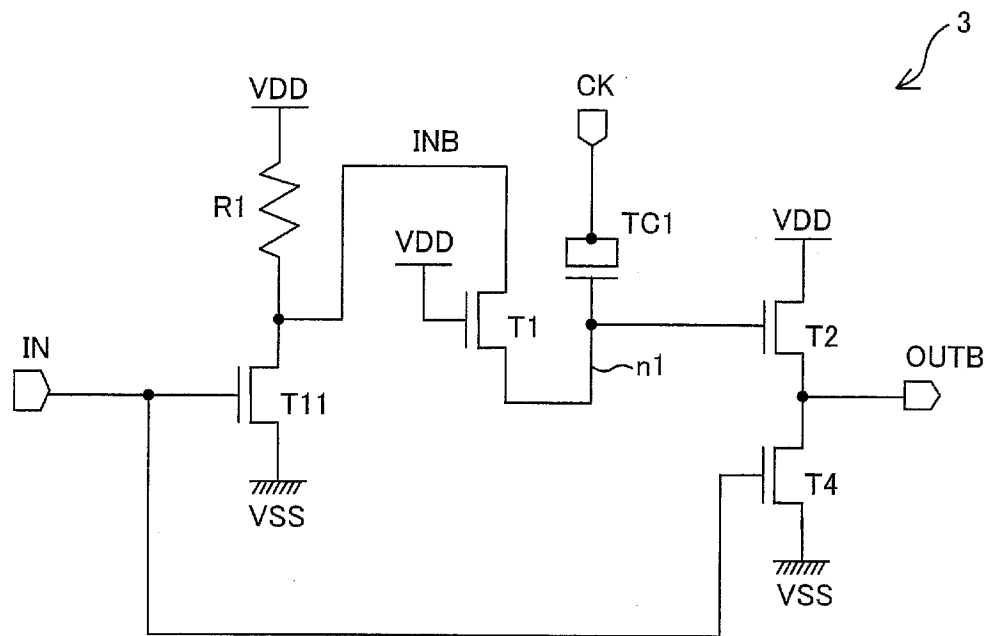
[図31]



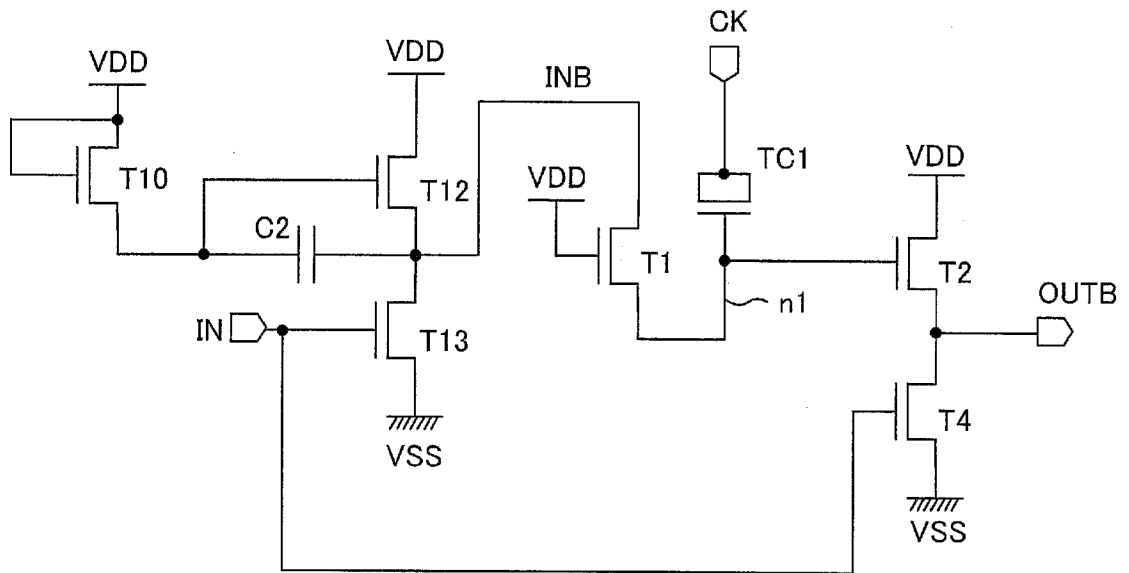
[図34]



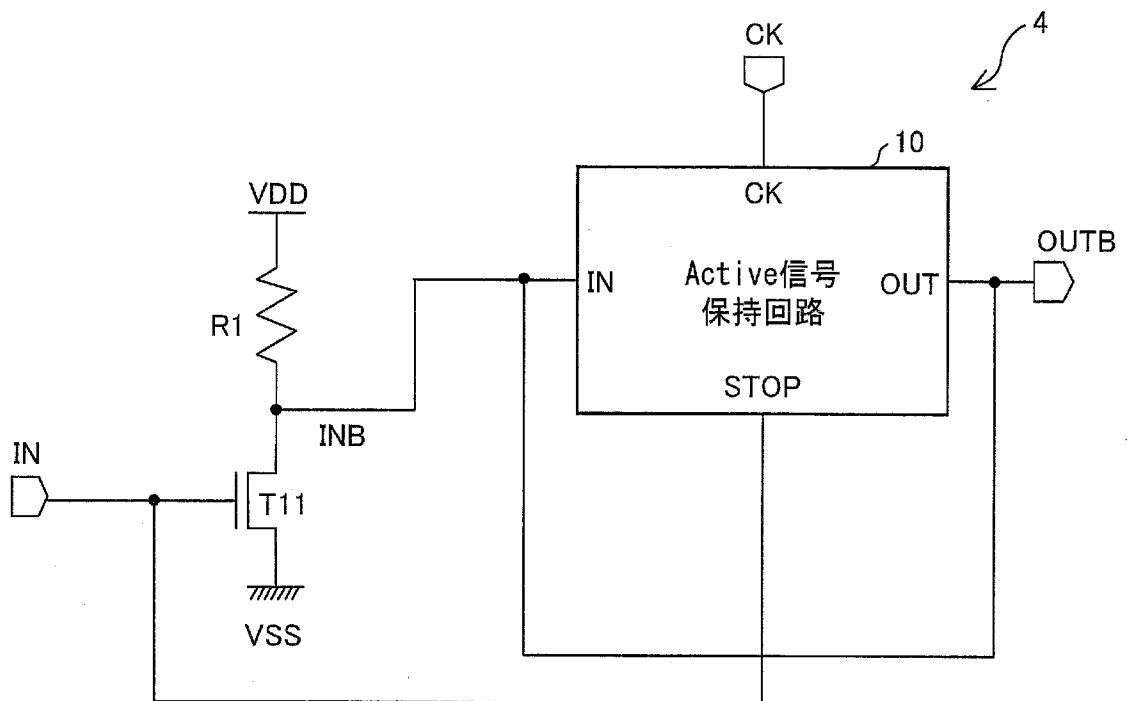
[図35]



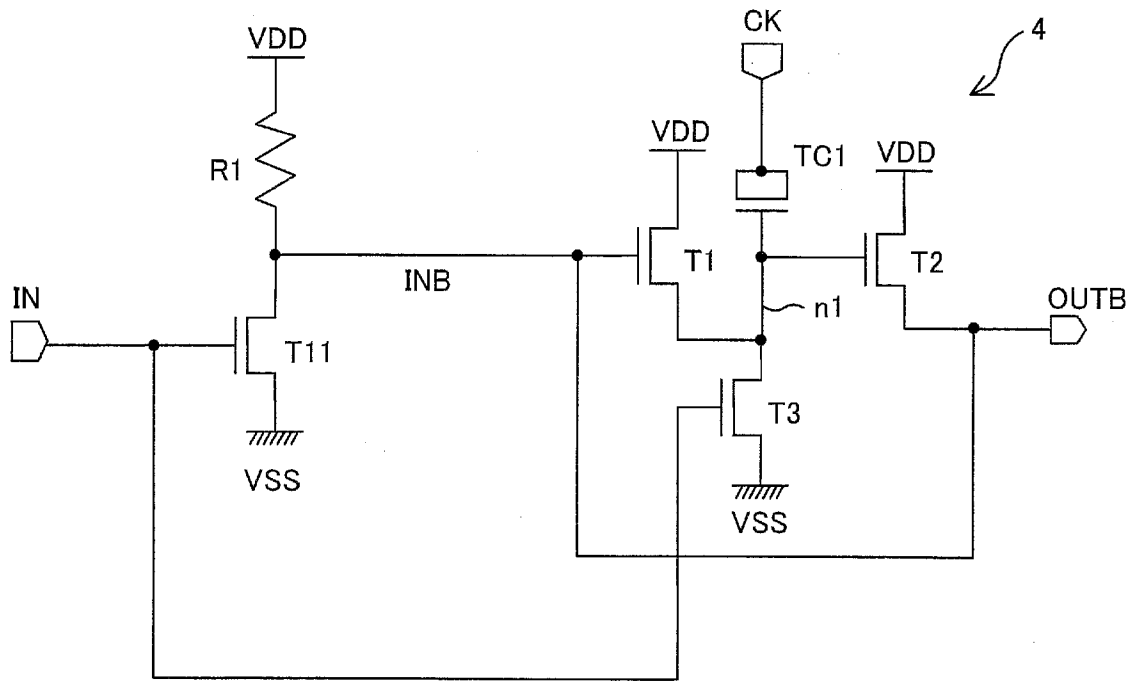
[図36]



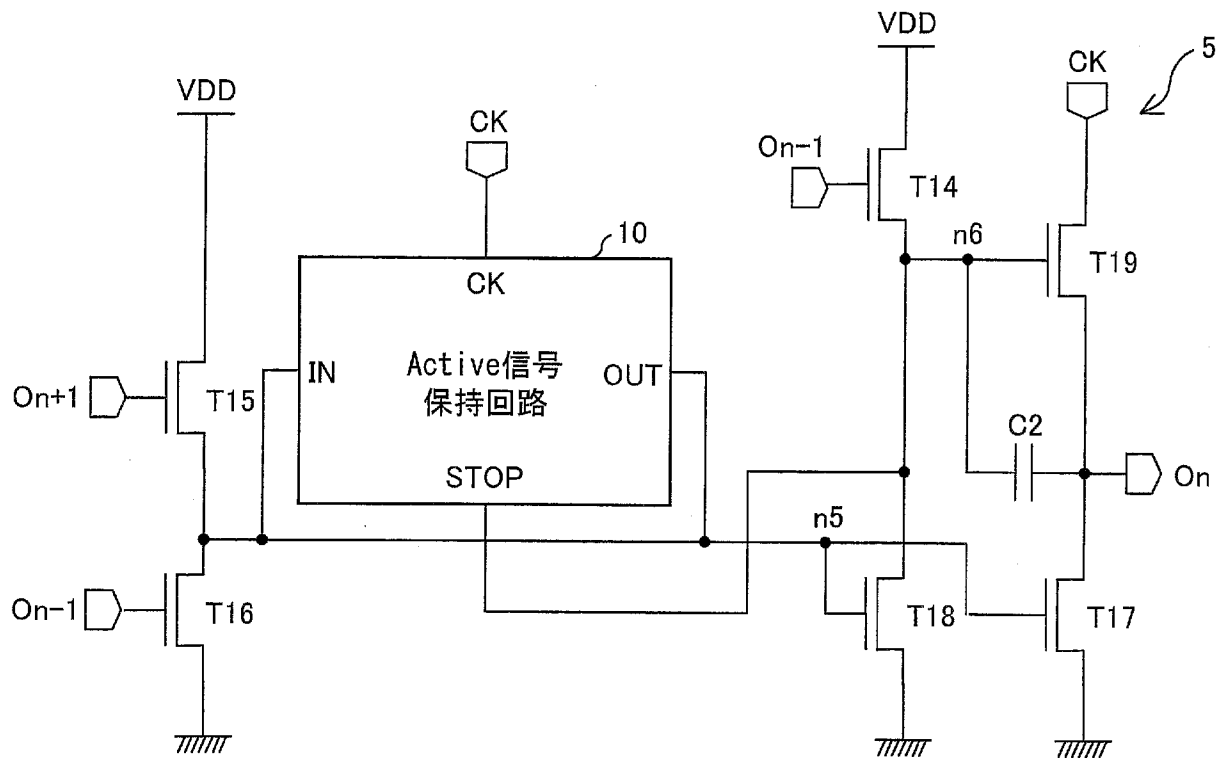
[図37]

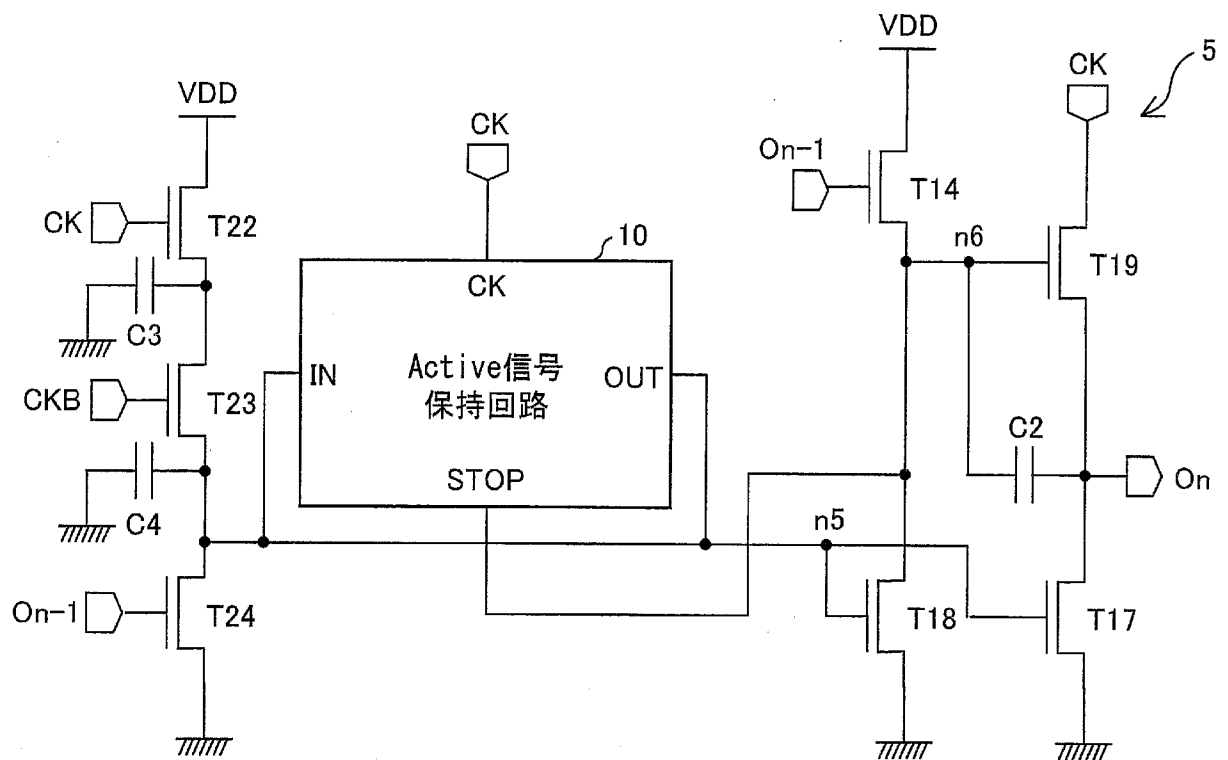
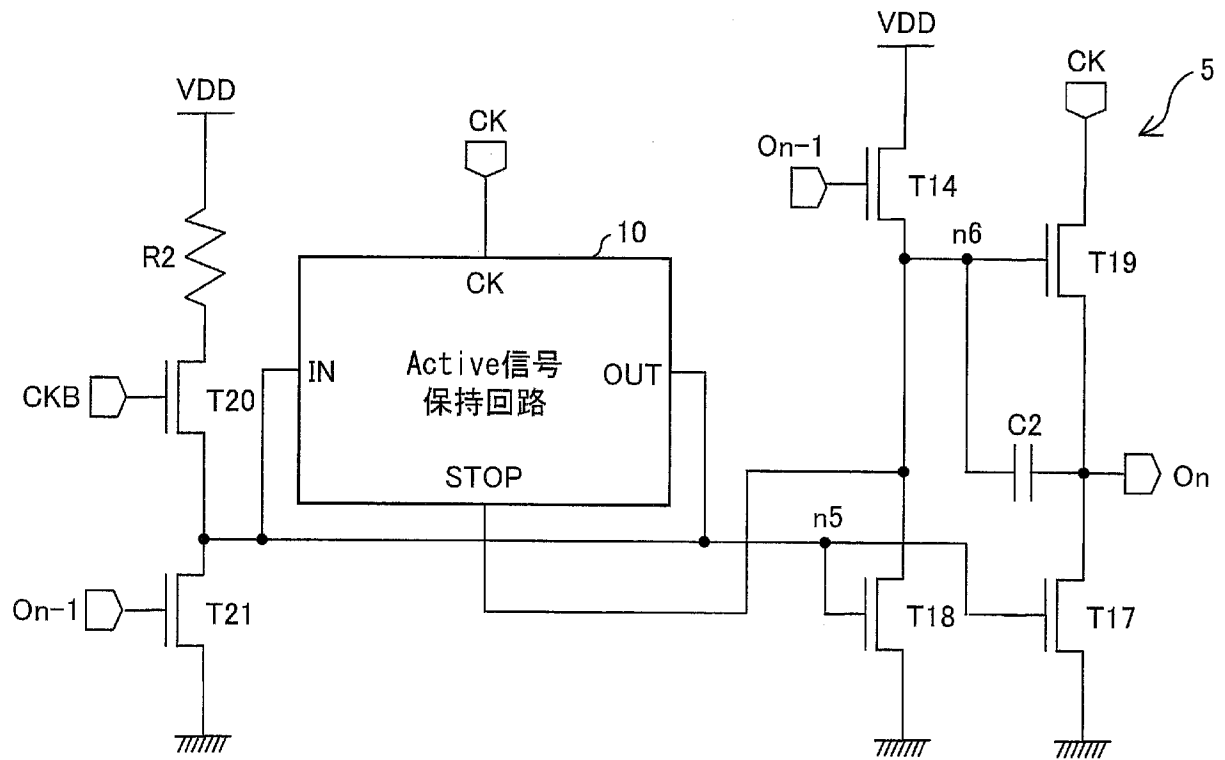


[図38]

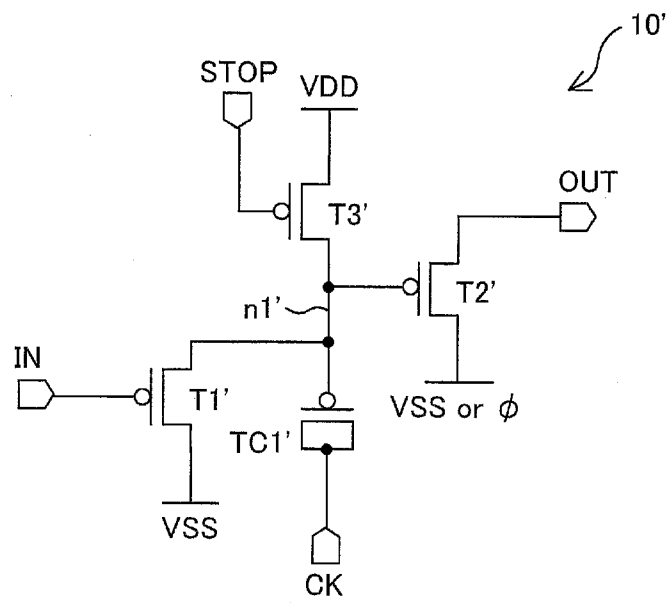


[図39]

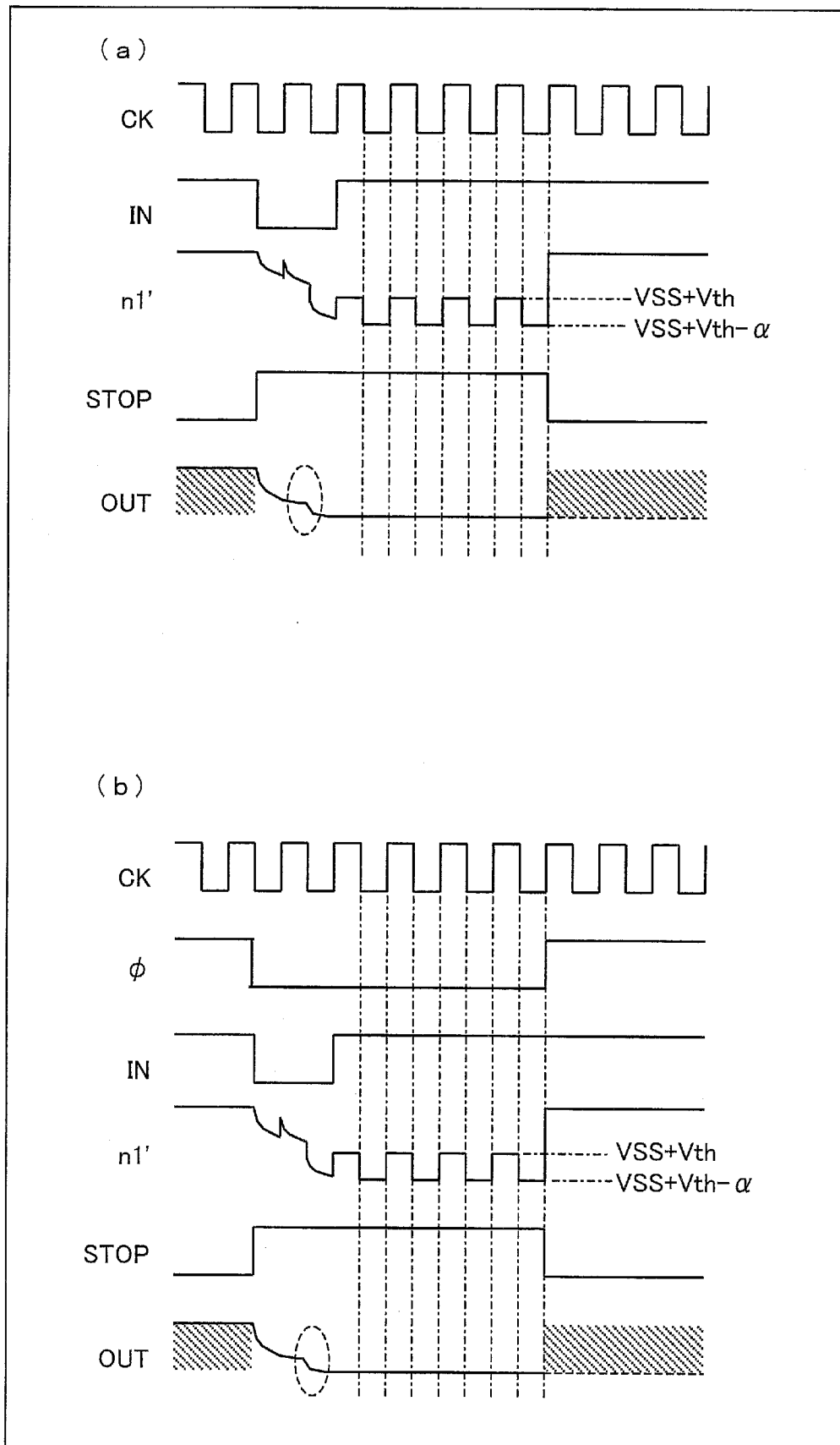




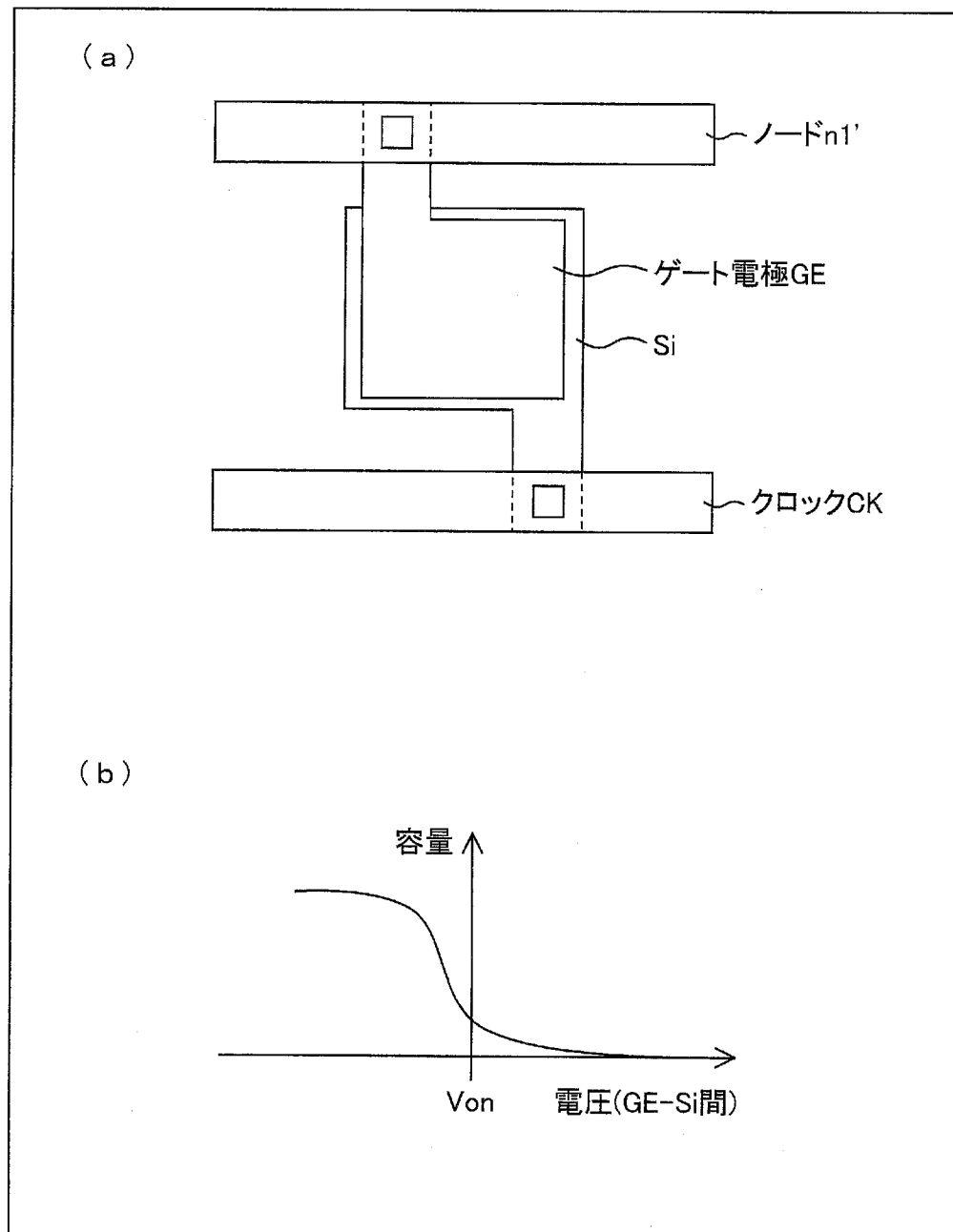
[図42]



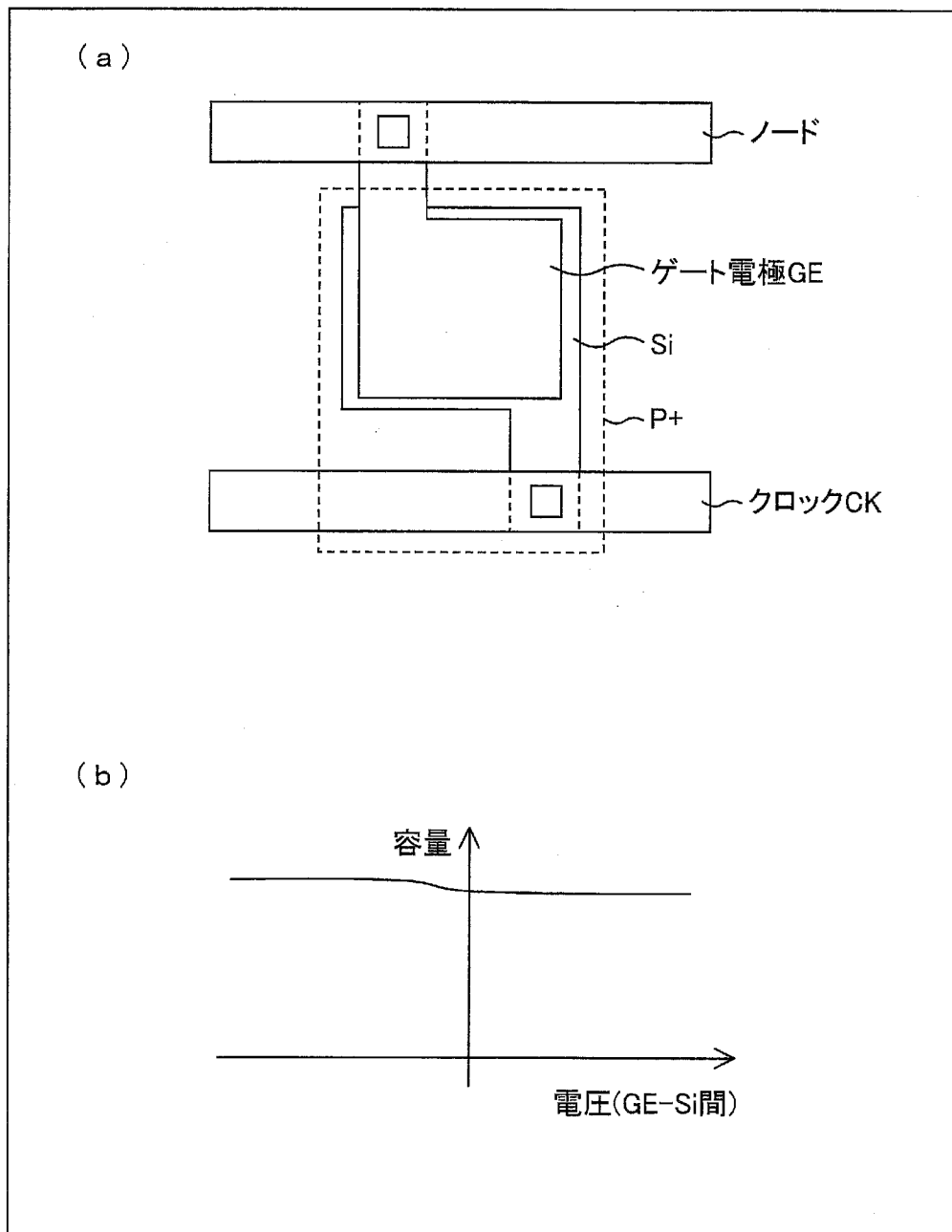
[図43]



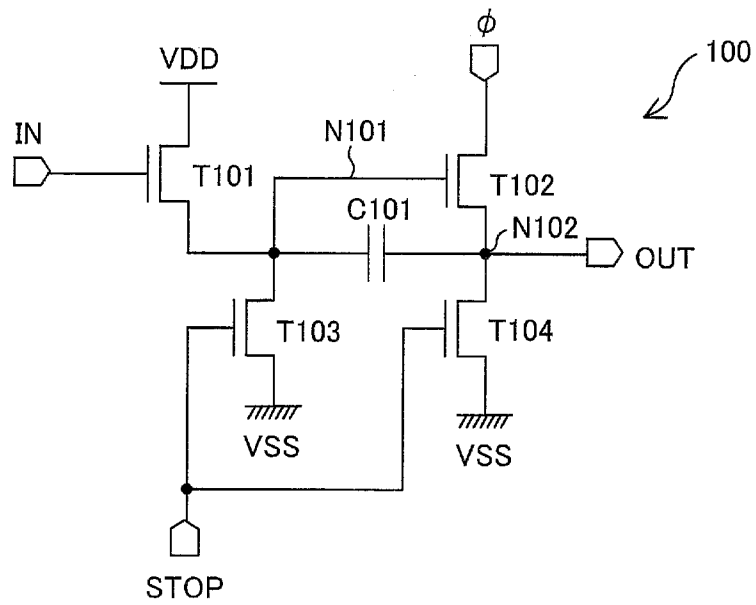
[図44]



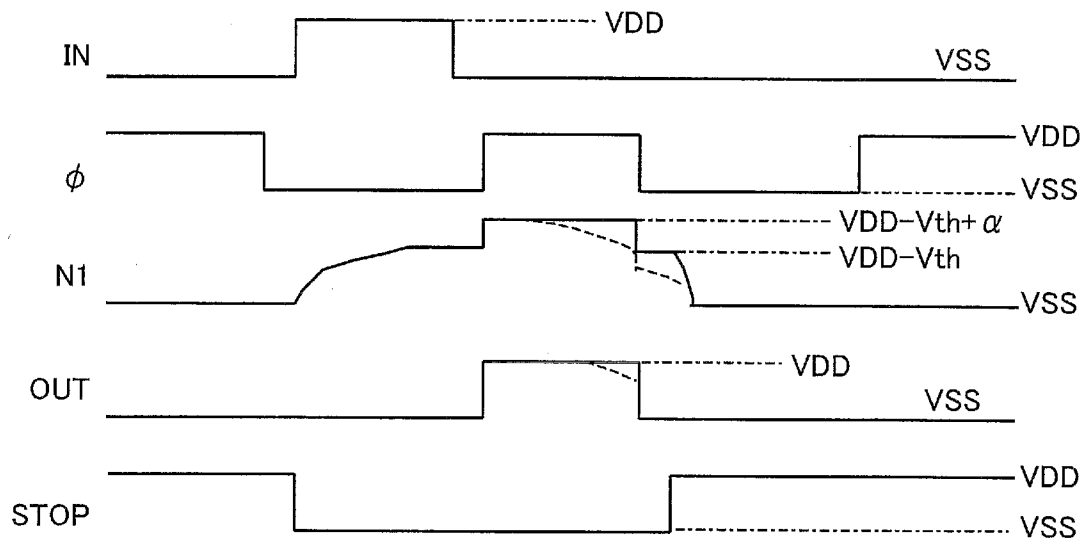
[図45]



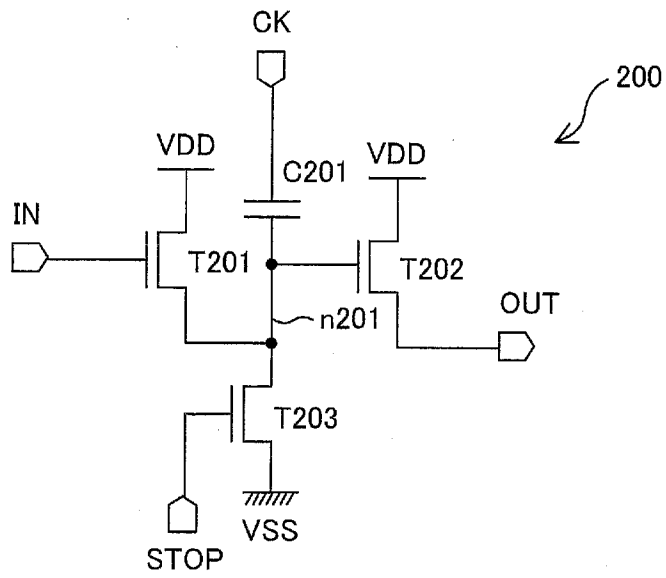
[図46]



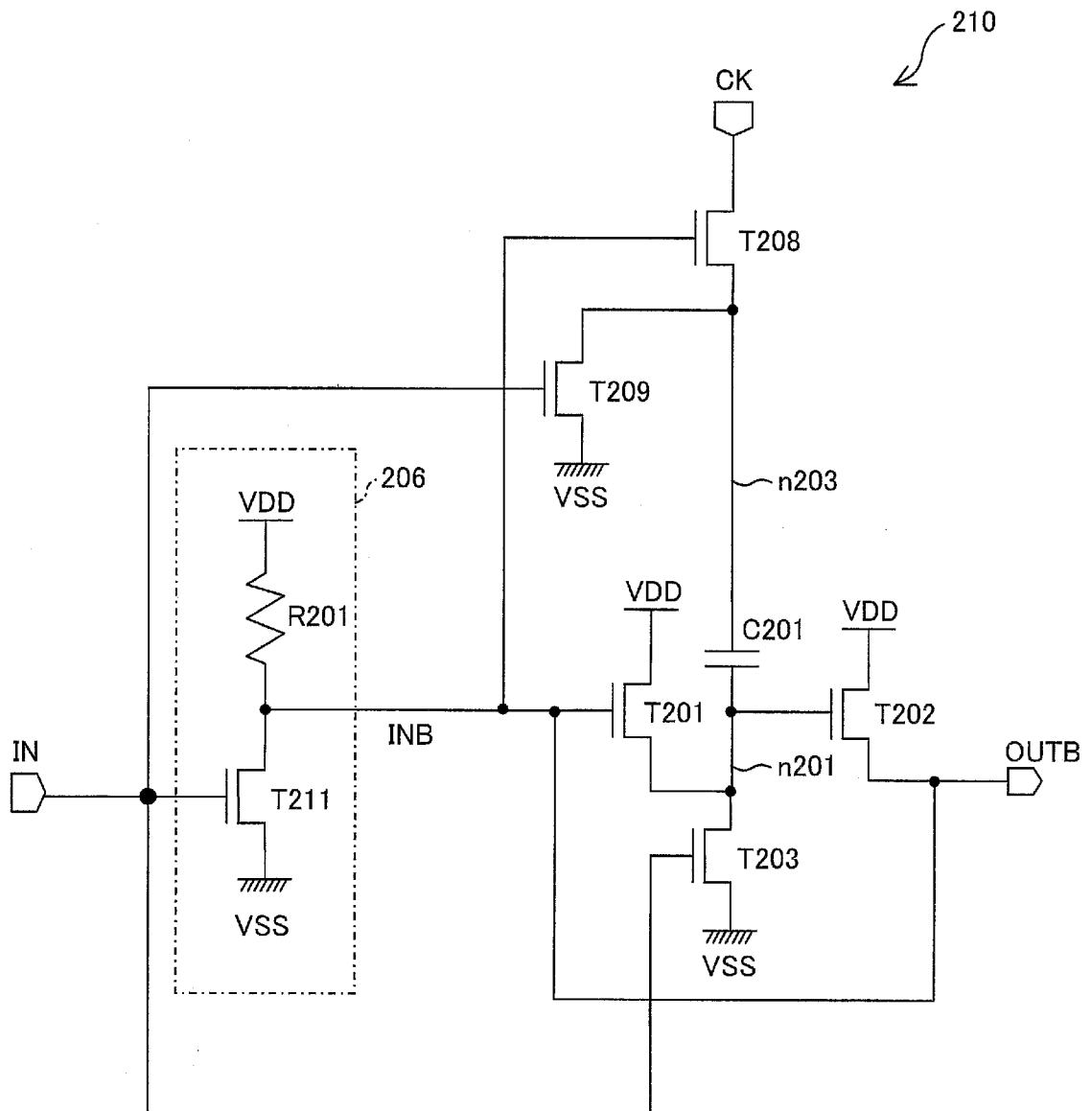
[図47]



[図48]



[図49]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053222

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/06(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, G02F1/133, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/084272 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), paragraphs [0014] to [0043]; fig. 1, 6, 8, 9, 13, 16, 44 & US 2010/0244946 A1 & CN 101878592 A	1-16
Y	JP 2003-344866 A (Sony Corp.), 03 December 2003 (03.12.2003), paragraph [0044]; fig. 4, 13 & US 2004/0017340 A1 & US 2004/0263455 A1 & US 2005/0179040 A1 & US 2007/0181885 A1	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 February, 2012 (22.02.12)

Date of mailing of the international search report
06 March, 2012 (06.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K17/06 (2006.01)i, G02F1/133 (2006.01)i, G09G3/20 (2006.01)i, G09G3/36 (2006.01)i,
H03K17/687 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K17/00-17/70, G02F1/133, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2009/084272 A1 (シャープ株式会社) 2009.07.09, [0014] - [0043], 図1, 6, 8, 9, 13, 16, 44 & US 2010/0244946 A1 & CN 101878592 A	1 - 16
Y	JP 2003-344866 A (ソニー株式会社) 2003.12.03, [0044], 図4, 13 & US 2004/0017340 A1 & US 2004/0263455 A1 & US 2005/0179040 A1 & US 2007/0181885 A1	1 - 16

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 2 . 2 0 1 2

国際調査報告の発送日

0 6 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 9 8 7