(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 33/00

(11) 공개번호 10-2004-0104959
(43) 공개일자 2004년12월13일

(21) 출원번호 10-2004-7015208
(22) 출원일자 2004년09월24일
번역문 제출일자 2004년09월24일
(86) 국제출원번호 PCT/US2003/008355
(87) 국제공개번호 WO 2003/083950
(86) 국제출원출원일자 2003년03월19일
(87) 국제공개일자 2003년10월09일

(30) 우선권주장 10/107,001 2002년03월25일 미국(US)

(71) 출원인 크리 인코포레이티드
미국 노쓰 캐롤라이나 27703-8475 더럼 실리콘 드라이브 4600

(72) 발명자 플린제프리에스.
코네티컷 06759 리치필드 고센로드 392

브란데스조지알.
코네티컷 06488 사우스버리 쉐인드라이브 77

(74) 대리인 이처영

심사청구 : 없음

(54) 도핑된 그룹 III-V 질화물 재료 및 이를 포함하는마이크로일렉트로닉 디바이스 및 디바이스 프리커서 구조물

요약

본 발명은 델타도핑층(24) 및/또는 도핑된 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일렉트로닉스 디바이스 구조물에 관한 것이다. 본 발명의 델타도핑 방법은 에피택셜 필름 표면을 만들기 위해 기판 상에서 반도체 재료의 증착을 종결하는 단계; 상기 에피택셜 필름 표면에서 반도체 재료를 델타도핑하는 단계; 상기 필름 상에 델타도핑층을 형성시키는 단계; 델타도핑을 종결하는 단계; 두번째 에피택셜 필름 성장 공정에서 델타도핑층 상에 반도체 재료를 증착하기위하여 반도체 재료의 증착을 재시작하는 단계; 및 도핑된 마이크로일렉트로닉 디바이스 구조물을 제작하기위하여, 결정된 범위까지 반도체 재료의 에피택셜 필름 성장공정을 계속하는 단계를 포함한하고, 상기 델타도핑층(24)은 첫번째 및 두번째 에피택셜 필름 성장 공정에서 증착된 반도체 재료의 내부에 위치하게 된다.

대표도

도 19

색인어

델타도핑, 마이크로일렉트로닉 디바이스, 에피택셜 필름, 수퍼랙티스

명세서

기술분야

본 발명은 도핑된 그룹 III-V 질화물(예를 들면,질화알루미늄갈륨(AlGaN), 질화인듐갈륨(InGaN) 및 질화갈륨(GaN) 재료), 상기 재료를 제조하는 방법 및 상기 재료들로 구성된 마이크로일렉트로닉 디바이스 및 디바이스 프리커서 구조물에 관한 것이다.

배경기술

그룹 III/V 질화물 반도체는 넓은 밴드갭, 높은 열전도율 및 큰 전기적 방전장(breakdown field)을 가지므로 높은 온도, 높은 주파수 및 높은 전력의 마이크로일렉트로닉 및 자외선/청/녹 광일렉트로닉에서 유용한 물질로서 중요한 가능성을 가지고있다.

마이크로일렉트로닉 디바이스 어플리케이션은 일반적으로 높은 주파수, 높은 전력 커뮤니케이션을 위한 디바이스, 높은 밀도 광저장, 풀-칼라 디스플레이 및 넓은 밴드갭 반도체 어플리케이션을 포함하는 (Al, In, Ga)N-기반 디바이스뿐만아니 라, AlGaN -GaN 다층-기반 레이저 다이오드, HEMTs(high electron mobility transistors), FETs(field effect transistor), HBTs(heterojunction bipolar transistors), LEDs(light emitting diodes) 및 초음파 광판독기를 포함한다.

질화알루미늄갈륨(AlGaN) 및 질화갈륨(GaN) 물질은 특히, 무선 및 광 커뮤니케이션 시스템을 위한 차세대 일렉트로닉 및 광일렉트로닉 디바이스를 위한 그룹 III-V 질화물질로 기대되고 있다. 그럼에도 불구하고, 그룹 III-V 질화물질은 현상 및 전개를 시도하는 데 어려움이 있는 고유의 한계를 가지고 있다.

보다 구체적으로, 하기의 성질을 획득하기 위하여, III-V 질화물 반도체 물질의 도핑을 개선시킬 필요가 있다:

a) 증가된 캐리어의 이동성;

b) 보다 넓은 도핑 범위;

c) 감소된 도판트 활성에너지;

d) 캐리어 이동성 및 보다 넓은 도핑 범위의 전류 증가와 관련된 감소된 저항율 ;

e) 증가된 a)-d) 특징의 재생산성;

f) 도판트 불순물을 활성화시킬 필요성을 없애거나, 도판트 활성에 요구되는 온도/시간을 줄이는 것;

g) 활성구역의 제거에 의해 불순물의 혼합으로 유도되는 질화물질을 변화시키는 것;

h) 도판트 불순물의 혼합으로 생기는 질화물질의 변화를 최소화함; 및

i)도핑된 III-V 질화물질의 다양한 성질, 예를 들면, 저항율(상기 (d)와는 달리, 몇몇 응용에서는 저항율을 증가시키거나 또는 물질의 특질을 다양화하는 것이 바람직하다)을 선택하는 능력.

종래의 기술들은 상기 문제들을 해결할 수 없어, 본 발명을 제안하게 되었다.

발명의 상세한 설명

본 발명은 도핑된 그룹 III-V 질화물(예를 들면,질화알루미늄갈륨(AlGaN), 질화인듐갈륨(InGaN) 및 질화갈륨(GaN) 재료), 상기 재료를 제조하는 방법 및 상기 재료들로 구성된 마이크로일렉트로닉 디바이스 및 디바이스 프리커서 구조물에 관한 것이다.

본 발명의 일 양태에서는 GaN 및 관련 질화물과 같은 그룹 III-V 질화물의 수퍼랙티스(superlattice) 도핑뿐만 아니라 GaN 및 관련 질화물과 같은 그룹 III-V 질화물의 델타도핑을 제공한다.

본 발명에서 사용한 '그룹 III-V 질화물'이라는 용어는 질소와 Al, In 및 Ga에서 하나 이상을 포함하는 반도체 재료를 말한다.

본 발명은 그룹 III-V 질화물, (Al, In, Ga)N 및 디바이스와 상기 재료로 구성된 디바이스 구조물에 관한 것이다. (Al, In, Ga)N 라는 용어는 하나 이상의 Al, In 및 Ga를 포함하는 질화물의 모든 자리바꿈 순열을 포함하고, 따라서 대안적 재 료로서 AlN, InN, AlInN, AlGaN, InGAN 및 AlInGaN를 포함하고, 상기 금속 중 두개 또는 세개 모두를 포함하는 화합물에서 Al, In 및 Ga의 화학양론적 계수는 상기 모든 화학양론 계수의 합은 1이라는 조건을 만족한다면, 0~1 사이의 어떠한 수치라도 상관없다. 이점에 관하여, 수소 또는 탄소와 같은 불순물, 도판트 또는 보론(boron)과 같은 변형 재료들은 (Al, In, Ga)N 재료에 혼합될 수 있다, 그러나 모든 화학양론 계수의 합은 ±0.1%의 편차에서 1이어야 한다. 이러한 화합물의 예에는 $0 \leq X \leq 1$일때의 $Al_xGa_{1-x}N$ 및 $0 \leq X \leq 1$ 및 $0 \leq y \leq 1$일 때의 $Al_xIn_yGa_{1-x-y}N$ 을 포함한다. 본 발명의 실시예로 바람직한 재료는 GaN 및 AlGaN을 포함한다.

본 발명의 일 양상은 델타도핑층 및/또는 도핑된 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물에 관한 것이다.

본 발명의 또 다른 양상은 델타도핑층을 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물에 관한 것이다.

상기 델타도핑층은 상기 디바이스 구조물의 도핑되지 않은 III-V 질화물 층의 중간체로 형성될 수 있다.

그룹 III-V 질화물 층은 AlGaN 또는 GaN으로 구성될 수 있고, 델타도핑층은 Si, Ge, Mg, C, O, Ca, Zn, Li, Mn, Na, K, Cd, Rb, Sr, Sc 및 Be로 구성된 그룹에서 선택된 도판트를 포함할 수 있다.

마이크로일렉트로닉 디바이스 구조물는 LEDs, 레이저 다이오드, AlGaN/GaN HEMTs(high electron mobility transistors), 접촉구조물, 분리 구조물, AlGaN FETs, 광일렉트로닉 트랜지스터 검출기, 터널 도핑 구조물, 도핑 기반 HBTs(heterojunction bipolar transistor) 및 광 필터를 포함할 수 있다.

본 발명의 다른 양상은 도핑된 III-V 질화물 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물에 관한 것이다.

본 발명의 다른 양상, 특징, 실시예는 첨부된 명세서와 부가된 청구항으로 보다 명백하게 나타내었다.

도면의 간단한 설명

도 1은 실온에서 델타도핑된 $Al_{0.25}Ga_{0.75}N$층 및 벌크도핑된 구조물의 Hall 캐리어 농도에 대한 Hall 이동성의 그래프이다 (델타도핑된 층에서의 Hall 캐리어 농도는 층의 두께로 나눈 홀 시트 전하로 정의된다; C-V 데이타는 5~25 Å 범위의 층 두께를 나타낸다).

도 2는 델타도핑된 HEMT 구조물을 나타낸 도시이다.

도 3은 도핑되지 않은 HEMT 구조물을 나타낸 도시이다.

도 4는 Hall 이동성($cm^2 V^{-1} S^{-1}$)에 대한 사파이어 상의 300Å $Al_{0.30}Ga_{0.70}N$ HEMTs의 Hall 시트 전하(cm^{-2})를 나타낸 그래프이다.

도 5는 A의 I-HEMT 디바이스, 구조물 B의 델타도핑된 HEMT 디바이스 및 구조물 C의 n-HEMT에 대한 C-V 도핑(cm^{-3}) 구조물에 대한 깊이(㎛) 함수의 그래프이 다.

도 6은 구조물 A의 I-HEMT 디바이스, 구조물 B의 델타도핑된 HEMT 디바이스 및 구조물 C의 n-HEMT의 전압(V)의 함수에 대한 전기용량(capacitance)(pF)의 그래프이다.

도 7은 두 개 합금 수퍼랙티스 구조물에 대한 에너지 밴드갭 다이어그램이다.

도 8은 세 개 합금 수퍼랙티스 구조물에 대한 에너지 밴드갭 다이어그램이다.

도 9는 합금 1 및 합금 2에서 n-타입 도핑을 가지는 수퍼랙티스 구조물에 대한 에너지 밴드갭이다.

도 10은 합금 1에서만 n-타입 도핑을 가지는 수퍼랙티스 구조물에 대한 에너지 밴드갭이다.

도 11은 부분 1 및 부분 2에서 다른 농도의 n-타입 도핑을 가지는 수퍼랙티스 구조물에 대한 에너지 밴드갭이다.

도 12는 관련된 이온화 도판트 불순물을 가지고 있지 않은 합금 1에 대한 에너지 다이어그램이다.

도 13은 부분 2의 도판트에서 유래된 부분 1의 캐리어로부터 발생하는 높은 전도성을 가지는 수퍼랙티스 구조물에 대한 에너지 밴드갭이다.

도 14는 높은 Al 함량의 광음극(photocathode)의 구조물을 도시한 것이다.

도 15 ~ 도 19는 본 발명의 일 실시예에 따른 에피택셜 필름 증착 및 델타도 핑 공정의 공정 흐름을 나타낸다.

도 20, 도 22 및 도 24는 델타도핑된 고주파장 이펙트 트랜지스터(도 20), 대응하는 디바이스의 전류/전압 곡선(도 22) 및 대응하는 디바이스의 용량/전압 곡선(도 24)를 나타내고, 비교하기 위하여 배치된 도 21, 도 23 및 도 25는 각각 벌크도핑된 고주파장 이펙트 트랜지스터(도 21), 대응하는 디바이스의 전류/전압 곡선(도 23) 및 대응하는 디바이스의 용량/전압 곡선(도 25)를 나타낸다.

도 26은 델타도핑된 접촉 및 분리 구조물(60)를 도시하고, 벌크도핑된 접촉 및 분리 구조물(72)를 도시한 도 27과 비교하기 위하여 배치되어 있으며, 상기 두개의 디바이스 구조물에서 주입 손상을 보여주고 있다.

도 28은 본 발명의 일 실시예에 따른 델타 도핑된 NPN 트랜지스터(84)를 도시한 것이다.

도 29는 본 발명의 다른 실시예에 따른 델타도핑된 HBT(heterojunction bipolar transistor)(92)를 도시한 것이다.

도 30은 본 발명의 또 다른 실시예에 따른 이미터 구조물(108)을 도시한 것이다.

도 31은 도핑 대 깊이의 그래프와 본 발명에 따른 델타도핑된 터널도핑 HEMT 디바이스에 대하여 대응하는 터널 에너지 다이어그램이고, 도핑 대 깊이 그래프와 벌크도핑에 의하여 도핑된 토널도핑 HEMT 디바이스에 대하여 대응하는 터널 에너지 다이어그램인 도 32와 비교하기 위하여 배치하였다.

실시예

하기 문헌의 자세한 설명은 본 발명에서 인용문헌으로서 각각 그대로 삽입되었다: Zhao et al, Applied Physics Letters,77(14), 2 Oct 2000, pp 2195-2197; Kim et al, MRS Internet Journal of Nitride Semiconductors, Res4S1, G3.49 (1999); 미국특허 출원번호 09/605,195 filed June 28,2000 in the names of Jeffrey S. Flynn, et al. for 'METHOD FOR ACHIEVING IMPROVED EPITAXY QUALITY (SURFACE TEXTURE AND DEFECT DENSITY) ON FREE- STANDING (ALUMINUM, INDIUM, GALLIUM) NITRIDE((Al, In, Ga) N) SUBSTRATES FOR OPTO-ELECTRONIC AND ELECTRONIC DEVICES'; 미국특허 출원번호 09/179,049 filed October 26,1998 in the names of Robert P. Vaudo, et al. for 'LOW DEFECT DENSITY(Al,In, Ga) N AND HVPE PROCESS FOR MAKING SAME'; and 미국특허 6,156,581 issued December 5,2000 in the names of Robert P. Vaudo, et al. for 'GaN-BASED DEVICES USING (Ga, Al, In) N BASEDLAYERS'.

델타도핑은 높은 농도의 도판트 불순물들을 반도체 크리스탈에 매우 작은 부피로 위치시킬 수 있는 2차원 도핑 기술이다. 이상적으로, 델타도핑된 층은 적당한 반도체 부위, III 또는 V 상의 호스트 반도체 크리스탈에 위치한 도판트 불순물(n-타입 또는 p-타입)의 하나 이상의 단일층에 의해 구성된다. 양질의 델타도핑된 층의 형성에 있어서, 일반적으로 반도체 크리스탈 성장이 프리-포즈(pause), 포즈 및 포스트-포즈 조건 전체를 포함하는 포즈 단계를 거칠때, 델타도핑이 일어난다. 본 발명의 델타도핑은 반도체 재료의 위 또는 내부에 단층 또는 거의 단층의 도판트 원자를 포함하고 있다. 하기에서 더욱 자세히 설명하는 '포즈 도핑'의 바람직한 실시예에서, 델타도핑층은 포즈된 도핑의 전후에서 반도체 재료의 에피택셜한 성장을 포함하는 단계에 의하여, 반도체 재료에서 전형적으로 내부에 위치하는 내부층이며, 그러므로, 도판트 원자는 반도체 재료 내부에 존재하는 층에 삽입되게 된다.

델타도핑된 층이 접촉층에 이용되면, 상기 델타도핑된 층은 접촉층에 직접적으로 노출되고, 반도체 재료로 싸이거나 반도체 재료 내부에 위치되지 않고, 반도체 재료와 접촉 전극을 형성하는 금속화된 층 사이에 삽입되게 된다.

그러므로, 델타도핑은 단일층의 층두께보다 훨씬 두꺼운 반도체 크리스탈 재료의 부피에서 불순물을 섞는데 사용되었던 기존의 벌크 도핑 기술과 대조적인 단일층의 도핑기술이다. 본 발명의 일반적인 실시예에서, 포즈 기간동안 반응디바이스에서는 잔류 성장에 의한 성장이 계속되고(특히, 프리-포즈 기간이 성장요소들을 완전히 제거하는데 충분한 시간으로 주어지지 않았을 경우), 그 결과, 델타도핑층은 하나 또는 수개의 원자층이 된다. 이러한 변이는 반도체 재료 내부의 도판트 원자의 단일층이 얻어지는 바람직한 실시예에 대한, 본 발명에 따른 델타도핑 영역에서 예상되어진다.

본 발명에 따른 델타도핑은 도판트 불순물이 혼합되고, 삽입되고, 가열냉각 및 선택적으로 분리되는 MOCVD(metalorganic chemical vapor deposition). MBE(molecular beam epitaxy), HVPE(hydride vapor phase epitaxy), PECVD(plasma etch chemical vapordeposition) 등과 같은 공정을 이용하여 in-situ 도핑으로 수 행된다. in-situ 도핑 기술은 본 발명의 구체적인 응용에서 기대되는 것과 같이, 그룹 III 부위 또는 그룹 V 부위 또는 그룹 III-V 재료의 틈새 부위에서 도판트를 삽입하는 여러 구현예에서 실행되고 있다.

본 발명에 따른 델타도핑에 선행하는 그룹 III-V 질화물 반도체 재료의 증착에 유용하게 적용되는 실질적 예의 공정 조건은 약 400 ~ 약1200℃의 온도범위, 약 1 ~ 약 1000 torr의 압력, 약 1 ~ 약100,000의 V/III 비율, 원하는 반도체 재료 내에 델타도핑층을 생산하는 델타도핑이 수행되는데 충분한 포즈(pause)기간 및 질소, 수소, 아르곤, 헬륨 또는 다른 적당한 단일 성분 또는 다중 성분의 가스로 구성된 도핑 작업의 대기환경을 포함한다. 성장 조건은 미리 정해진 본질적 결함을 낮은 수준으로 유지하고, 성장한 재료에서 이질적이고 해로운 불순물의 혼합을 최소화하는 기술의 숙련을 통해 손쉽게 최적화된다.

도핑작업은 에피텍셜 성장 공정에 적합한 공정 조건에서 편리하게 수행되며, 그러므로, 전체 온도의 변동과 다른 공정에서의 변이가 일어나는 것을 막을 수 있다. 즉, 상기 도핑은 계속적인 연속공정에서 에피택셜 성장 공정과 통합될 수 있다.

에피택셜 성장, 필름 성장의 정지, 도핑, 도핑의 정지 및 에피택셜 성장의 재시작을 포함하는 상기 계속적인 연속공정이 선호되더라도, 상기 델타도핑은 비연속적인 방법에서 수행되어진다. 그러므로, (Al, In, Ga)N 재료의 초기 에피택셜 성장이 수행되고, 결과물질이 저장되거나, 델타도핑 작업의 다음에 일어나는 작업이 중단된다.

그 후에, 도핑이 완성되면, 델타도핑층이 포함된 반도체 재료를 형성하기 위하여, 도핑된 반도체 재료 물질이 저장되거나, 최종 에피택셜 성장공정이 지연된다.

프리-포즈에서 포스트-포즈 단계들은 예를 들면, 다중 델타도핑층의 형성, 각각의 델타도핑층들이 서로 관련되게 위치하는 것과 같이 원하는 효과를 획득하기 위하여 여러번 반복될 수 있다.

개개의 프리-포즈, 도핑 및 포스트-포즈 단계에서의 최적 인터페이스 조건은 깨끗한 표면을 제조하기 위한 도판트의 바람직한 혼합 (예를 들면, 최종 프리-포즈 작업으로 표면 제작이 수행되는 것), 결함을 최소화시키도록 조절된 공정 조건, 혼합 위치를 조절하는 동안(도핑 단계), 층 성장의 계속 및 외부 불순물의 혼합, 인터페이스 표면상에서 도판트 불순물의 재구성, 분리 및 재배치를 위해 조절된 공정조건을 포함한다.

델타도핑층을 형성하기 위하여, 인터페이스 표면 상에 도판트 불순물 증착 의 재구성, 분리 및 재배치에 관하여, 본 발명은 델타도핑 기술로서 주입, 이동 및 위치화 단계를 포함하는 공정을 개발하였다.

실시예를 통하여, 프리-포즈 단계동안, 이온 주입디바이스는 반응용기 안에 위치하고, 성장 조건은 재료의 적절한 구역에서 반도체 크리스탈로 주입될 수 있도록 조절되었다. 계속되는 포즈 단계동안, 주입디바이스는 활성화되고, Si 이온들은 재료로 주입된다. 이것은 바람직한 또는 변형된 델타도핑 구조물(예를 들면, 그중에, 도판트 불순물 원자들이 평면 구역에 집합되어 있고, 바람직하게는 도판트 원 자의 지름(원자 지름)의 약 25배를 넘지않는 두께를 가지고, 더욱 바람직하게는 도판트 원자의 지름의 약 15배를 넘지않는 두께를 가지고, 가장 바람직하게는 도판트 원자의 지름의 약 10배를 넘지않는 두께를 가지는)를 형성하기 위하여 Si 운반체를 반도체 크리스탈의 특정 범위로 어닐링(annealing), 이동 또는 위치화시키는 것에 이어서 수행된다.

프리-포즈, 포즈 및 포스트-포즈 도핑공정 단계는 온도변화, 주변공기 조건의 변화, 프리커서의 변화, 압력의 변화, 전체 흐름의 변화, 불순물 첨가의 변화, 계면활성제의 첨가(도핑된 표면의 질을 향상시키고, 도판트 불순물 혼합을 균질화시키기 위함), 재료의 에칭 또는 제거, 재료 제거 구역의 선택 또는 위치화 등을 포함하는 양질의 델타도핑을 위한 부가적인 반도체 재료 제작, 복구 또는 변형 단계를 제한없이 포함한다.

본 발명에 따른 델타도핑은 종래 기술의 도핑된 III-V 질화물 재료와 관련된 III-V 재료 산물에서 실질적인 이동성의 향상 및 시트 저항의 감소를 달성하였다. 특정예를 살펴보면, 본 발명에 따른 AlGaN의 델타도핑은 벌크 도핑된 AlGaN 재료와 비교하였을 때, 2 배 이상 큰 이동성의 향상을 달성하였다.

상기 향상은 실온의 Hall 이동성에 대한 델타도핑된 AlGaN 층의 Hall 캐리어 농도의 함수 그래프로 도 1에 나타내었다. 도 1에 나타난 델타도핑 데이타는 델타도핑 시트 전하를 두께 5, 10 및 25Å의 다른 델타도핑층을 가지는 캐리어 농도로 전환함으로써 얻어진 것이다. 상기 델타도핑층의 두께는 C-V 데이타의 FWHM(약 10Å)로부터 측정되었다. 상기 델타도핑 데이타는 동량의 25%의 알루미늄 조성을 가 지는 종래 방법으로 1~3㎛ 벌크 도핑된 AlGaN층의 데이타와 비교하였다. 도 1의 그래프로 작성된 데이타는 델타도핑된 구조물이 동량의 캐리어 농도에서 벌크 도핑된 구조물과 비교하여 보다 높은 이동성을 나타낸다는 것을 보여준다. 모든 데이타는 실온에서 측정되었다.

비록, 본 발명자들은 이러한 전자 이동성의 실질적인 향상에 관한 특정한 기작을 아직 밝히지는 못했지만, 이러한 큰 폭의 이동성 향상이 GaN 및 이와 관련된 재료 시스템과 연관되어 있던 종전의 도핑 결함들의 분리를 가능하게 한다는 것은 명백하다. 위에서 밝힌 이동성의 향상의 성질 또는 범위에 관한 어떠한 이론에 의하여 설명될 수는 없으나, 상기 실질적으로 증가된 전자 이동성은 캐리어-불순물 상호작용의 변형, 불순물 산란의 감소, 결함 산란의 감소 및 포논(phonon)-포논(phonon) 상호작용의 감소를 포함하는 다른 효과뿐만아니라, 도핑층 부위의 랙티스 스트레인에 의한 상기 III-V 질화물 재료에서의 강한 압전 효과에 기인하는 것일 것이다.

본 발명에 의한 상기 전자 이동성의 실질적 향상은 새로운 마이크로일렉트로닉 디바이스 구조물의 실현뿐만 아니라, 접촉 저항(resistivity) 향상, 향상된 p-타입 저항(예를 들면, 델타도핑 기반 HBT(heterojunction bipolar transistor) 및 레이저 디바이스 구조물에서), 강화된 디바이스 신뢰성 및 강화된 디바이스 성능을 실현하는데 적용될 것이다.

본 발명자들은 두개의 HEMT(high electron mobility transistor) 구조물을 제작하고, 그들의 특징을 비교함으로써 본 발명의 향상된 전자 이동성의 이점과 가 능성을 증명하였다. 도 2에 나타낸 첫번째 구조물(구조물 A)는 도핑되지 않은 HEMT 구조물이다. 도 3에 나타낸 두번째 구조물(구조물 B)는 델타도핑된 HEMT 구조물이다.

게이트(gate), 소스(source), 드레인(drain), 페시베이션(passivation) 및 다른 층들은 당해 분야의 기술에서 최종 HEMT 구조물을 완성하는 종래 기술로 증착시킬 수 있다.

도 2에서 나타낸 바와 같이, HEMT 구조물(구조물 A)는 기반 구조물로서 사파이어 기판(10) 및 버퍼 층(12)으로 구성되어 있다. 기판(10)은 GaN, SiC 또는 다른 적절한 기판 재료로 구성될 수 있다. 상기 버퍼 층은 AlN으로 형성되고, 약 400Å의 두께를 가진다. 이러한 기반 구조물 상에 3㎛ 두께의 GaN 층(14)과 200Å 두께를 가지는 $Al_{0.25}Ga_{0.75}N$ 층(16)이 성장된다.

도 3에 나타낸, 비교 구조물 B는 $Al_{0.25}Ga_{0.75}N$층(16)이 실리콘 델타도핑층(18)을 사이에 두고, 30Å 두께의 아랫 부분과 170Å 두께의 윗부분으로 구성된다는 것을 제외하고는, 구조물 A와 같은 층(모든 해당 층은 도 2에서 사용된 것과 같은 번호를 사용하여 표시하였다)으로 구성되어있다. 델타도핑층(18)은 델타도핑층을 가진 $Al_{0.25}Ga_{0.75}N$로 이루어진 보정구조물에서 $5\times10^{12}\ cm^{-2}$ 의 Hall 시트 전하를 생산한다.

도 2에 나타낸 타입의 HEMT 구조물의 종래 기술에서는, HEMT 구조물의 시트 전하의 증가의 결과로서, 도 4에 나타낸 바와 같이, 상기 구조물의 전자 이동성이 상응하여 감소하게된다. 도 4는 사파이어 기판 상의 HEMT(구조물 A)의 300Å 두께의 $Al_{0.30}Ga_{0.70}N$ 층의 Hall 시트 전하(cm^{-2}) 함수에 대한 Hall 이동성($cm^{2}V^{-1}S^{-1}$)의 그래프이다.

하기의 표 1에 나타낸 바와 같이, 델타도핑 구조물(구조물 B)에서는 증가된 시트 전하에서 전자 이동성이 감소되는 불리한 효과가 나타나지 않았으며, 보다 높은 시트 전하에서, 도핑되지 않은 HEMT 구조물(구조물 A)와 동일한 이동성을 나타내었다.

[표 1]

구조물	RT Hall 시트 전하 (cm^{-2})	RT Hall 이동성 ($cm^{2}V^{-1}S^{-1}$)
구조물 B	1.17E13	1152
구조물 A	7.97E12	1145

도 3(모든 해당 층은 도 2에서 사용된 것과 같은 번호를 사용하여 표시하였다)의 구조물 B에 도시한 것과 같은 $Al_{0.25}Ga_{0.75}N$층(16)의 30Å 두께의 아랫부분을 가지고, $Al_{0.25}Ga_{0.75}N$층(16)의 윗부분이 70Å의 두께를 가지며, 중간층(18)은 델타도핑이 아닌 벌크도핑된 것을 제외하고는 동일한 일반 구조물 및 층들을 가지는 또 다른 비교구조물 C가 제작되었다. 상기 벌크도핑층(18)은 100Å의 두께를 가지고, $5\times10^{12}\ cm^{-2}$ 의 대응하는 시트 전하에 대하여 $5\times10^{18}\ cm^{-3}$ 의 캐리어 농도를 포함한다.

하기 표 2에 나타난 바와 같이, 여러 샘플 구조물(구조물 A, 구조물 B 및 구조물 C)에 대한 Lehighton 시트 저항(ohm/sq)을 표로 나타내었을 때, 델타도핑된 HEMT 구조물(구조물 B)는 대응하는 벌크도핑된 HEMT 구조물(구조물 C)와 비교하였을 때, 향상된 시트 저항을 나타내었다.

[표 2]

구조물	Lehighton 시트 저항(ohm/sq)
구조물 A	547.6
구조물 C	459.8

구조물 B	542.8

보다 높은 균일성을 갖는 도핑

종래의 벌크 도핑의 균일성은 성장 속도 및 프리커서의 균일성, 기체 흐름의 균일성 및 도판트 프리커서의 균일성과 관련이 있었다. 델타도핑에서는, 성장 속도 균일성의 변수가 제거되어, 균일성을 획득하는 능력이 향상되었으며, 더욱 재현성 있도록 도핑 특징들이 향상되었다. 게다가, 랙티스내에서 바람직한 혼합율을 얻을 수 있는 도핑 포화조건을 제공하기 위하여, 도판트 농도, 델타도핑 공정 조건 및 델타도핑 시간을 포함하는 도핑 균일성에 영향을 미치는 나머지 인자들은 하기 명세서를 기초로한 기술로 최적화시키기 쉬운 상태에 있다.

델타도핑에서의 엔지니어링 변형

호스트 랙티스에 대응하는 도판트 원자의 크기에 의하여, 델타도핑층과 호스트 반도체 메트릭스 사이에 변형이 존재할 때, GaN 재료 시스템과 같은 III-V 질화물 재료 시스템에서 델타도핑 레벨 의존성 압전효과는 델타도핑 구조물 및 상기 델타도핑 구조물로 구성된 디바이스 구조물을 최적화하는데 있어서 중요한 역할을 할 수 있다. 델타도핑층에서 유래하는 압전 성질의 절절한 엔지니어링을 위하여, 불순물의 다중 타입(다른 랙티스 크기, 랙티스 위치 친화성 및 활성 에너지)의 조합은 Si, Ge, Mg, C,O, Ca, Zn, Li, Mn, Na, K, Cd, Rb, Sr, Sc 및 Be를 포함하는 델타도핑층에 적용될 수 있다. 압전 성질의 그이상의 최적화는 델타도핑층과 함께 AlInGaN의 네 원소로 된 합금을 제작하는데 영향을 미칠 수 있다.

향상된 디바이스 구조물의 안정성

대응하는 AlGaN 알루미늄 함량의 증가 및/또는 두께의 증가에 의해 변형(strain)이 증가하는 것에 의하여, AlGaN HEMT의 시트 전하는 일반적으로 증가한다. 10^{13} cm^{-3} 의 알맞은 시트 전하를 얻기 위하여, AlGaN 배리어 층의 임계적 두께는 일반적으로 매우 두꺼워야 한다. 이는 완화(relaxation)를 위하여 높은 포텐셜을 가지는 불안정한 디바이스 구조물을 초래한다. 이러한 결함을 피하기 위한 한가지 접근법은 채널 부위[층(14)와 가까운 부위(16)]에서 높은 Al 함량을 가지는 AlGaN층을 사용하여 구조물을 성장시킨 후, 채널[층(14)/층(16) 경계면으로부터 먼]로부 터 떨어진 낮은 Al 함량의 AlGaN으로 점차 변화시키는 것이다. 시트 전하를 증가시키는 다른 접근법은 배리어층의 벌크도핑과 같은 종래 기술을 사용하는 방법을 포함하지만, 배리어층의 두께는 여전히 상당히 두껍거나 도핑 레벨이 매우 높아야 하고, 재료의 분해를 초래한다.

본 발명자들은 배리어층에서의 델타도핑층의 혼합이 채널에 기여하는 전하를 매우 증가시킨다는 것을 발견하였다. 본 발명자들은 상기 사실을 5×10^{12} cm^{-2} 의 시트 전하(100Å, 5×10^{18} cm^{-3})를 가지는 배리어층의 벌크도핑과 비교하여, 5×10^{12} cm^{-2} 의 시트 전하를 가지는 AlGaN HEMT에서 증명하였다. 도 5 및 도 6에 나타낸 바와 같이, 상기 델타도핑 구조물는 채널에 기여하는 향상된 전하를 제공한다.

도 5는 구조물 A의 I-HEMT 디바이스, 구조물 B의 델타도핑된 HEMT 디바이스 및 구조물 C의 n-HEMT의 깊이(㎛)의 함수에 대한 C-V 도핑(cm^{-3})의 그래프이다.

도 6은 구조물 A의 I-HEMT 디바이스, 구조물 B의 델타도핑된 HEMT 디바이스 및 구조물 C의 n-HEMT의 전압(V)의 함수에 대한 전기용량(capacitance)(pF)의 그래프이다.

상기 결과들은 AlGaN 층의 임계적 두께 미만에서, 수득된 보다 안정적인 디바이스 구조물에 의하여, 작은 두께 및 낮은 알루미늄 함량이 덜 안정적으로 두껍고, 높은 알루미늄 함량 구조물 및 벌크도핑된 구조물과 비교할만한 특징들을 가진 델타도핑 구조물을 얻을 수 있다는 것을 증명한다. 채널에 기여하는 향상된 전하에 혼합되는 델타도핑층을 혼합하는 능력은 디바이스 구조물 설계자에게 또 다른 정도의 자유도(freedom)를 가져다 주고, 변형 및 그 결과로 생기는 압전성질을 최적화 할 수 있게 하여 가장 높은 신뢰성과 가장 높은 성능의 디바이스 구조물을 얻을 수 있게 한다.

향상된 디바이스 구조물 안정성의 또 다른 예는 디바이스 구조물 내의 델타도핑층의 위치와 관련이 있다. 최적 위치는 각 디바이스에서의 디바이스의 응용 및 디바이스에 필요로 하는 성능에 따라 결정된다. 예를 들어, 델타도핑된 HEMT에서 바람직한 실시예는 HEMT의 배리어 내에 델타도핑층이 위치하는 것을 포함할 수 있으며, 채널과의 근접성에 있어서, 상기 델타도핑층과 채널과의 거리는 전화 캐리어의 터널 거리보다 작다(도 31).

향상된 광학상 특질

Si 또는 Mg와 같은 도판트를 사용하여 GaN 및 AlGaN층을 벌크도핑할 시에는, 디바이스 구조물의 광루미네센스 특질에 의하여 증명된 것과 같이, 부가적으로 깊은 레벨이 발생한다. 상기 깊은 레벨은 일반적으로 그룹 III-V 질화물 재료에서의 에너지 이미션 및 트랜스미션 응용에서 요구하는 에너지 보다 낮은 에너지이고, 상기 깊은 레벨의 결과로서, 이미터(emiter)의 매우 약한 빛 추출 효율, 매우 약한 검출기 반응 및 필터의 매우 약한 빛 트랜스미션을 초래할 수 있다. 델타도핑은 본 발명에 의하여, 델타도핑은 충분한 단일 층과 동량 부피의 도핑재료를 제공하기 때문에 광학적으로 활성있는 결함들의 영향을 완화시켜주는 데 사용될 수 있다. 델타 도핑은 또한 대응하는 반도체 디바이스보다 향상된 노이즈 성질을 가짐으로써, 반도체의 밴드갭보다 낮은 에너지에서 상기 층 또는 디바이스 구조물의 빛에 대한 민감성을 감소시키는데 유용하다.

향상된 디바이스 특질

앞 부분에서 기재한 것과 같이, GaN 및 AlGaN과 같은 III-V 질화물 재료의 벌크도핑은 재료에 깊은 레벨을 발생시킨다. 상기 깊은 레벨을 포함하는 디바이스 층의 횡단면(부피)을 감소시키기 위하여 델타도핑을 사용하는 것은 온도 안정성, 수명, 누출 및 파손 성질을 포함하는 디바이스의 특질들을 상당부분 향상시키는 효과가 있다.

이러한 점에서, 델타도핑된 배리어 HEMT 구조물(구조물 B)은 디바이스가 조여졌을 때 파손 및 누출되는 성질이 개선되는 것을 보여줄 것이다. 벌크도핑된 HEMT 구조물(구조물 C)와 비교하여, 구조물 B 디바이스가 내부에 더 작은 깊은 레벨을 가지기 때문에, 저항성이 향상되고, 파손경로가 감소되었다.

향상된 디바이스 제작

델타도핑층은 향상된 디바이스 제작을 가능하게 하기 위하여, 예를 들어, 델타도핑된 접촉층, 분리층 및 연결층을 가지는 디바이스 구조물에서의 프로비젼(provison)을 포함하는 디바이스에서의 델타도핑층의 위치에 관하여 설계될 수 있다. 예를 들어, 델타도핑된 접촉층은 소스 또는 드레인의 저항 접촉 양식을 향상시 키기 위하여, HEMT 디바이스 구조물[부위(16)]의 상부에 가깝게 위치할 수 있다. 그 결과에 의한 디바이스는 주입 에너지 및 시간이 감소되어, 동량의 저항성을 가지는 벌크 도핑층 보다 손쉽고, 생산적으로 주입 분리를 통해 분리될 수 있다. 그 결과, 분리, 파손 및 누출 성질을 포함하는 디바이스 특징이 향상됨에 따라 주입 부피 및 주입 손상이 상당히 감소하게된다 (도 26 및 도 27).

a) 접촉 및 분리 구조물

b) 고주파 AlGaN FETs 또는 HEMTs

c) 일반적인 델타도핑된 구조물 및 광학 프로비젼

d) 광-일렉트릭 트랜지스터 검출기 구조물

e) 터널 도핑된 구조물

f) 델타도핑 기반 HBTs(NPN)

g) 광학필터

h) 검출기

수퍼랙티스 구조물

수퍼랙티스 구조물는 재료 두께 또는 재료 두께의 일부를 가로지르는 규칙적 또는 주기적 방법으로 합금 성분이 변화하는 구조물이다. 합금 성분은 주로 두개의 성분 사이에서 변화하며, 상기 변화는 보통 급격하게 나타나며, 합금 조성의 변화는 통상적으로 도 7에 나타난 것과 같은 밴드갭의 변화를 가져온다. 상기 급격함의 정도는 사용된 디바이스의 제작 기술에 따라 다르다. 이론적으로, 수퍼랙티스은 도 8에 나타난 것과 같이 셋 또는 그 이상의 합금을 포함할 수 있으나, 하기의 명세서를 쉽게 하기 위하여, 수퍼랙티스 구조물는 하기에서는 부분 1 및 부분 2로 표시한 두개의 부분으로 구성되는 것으로 예를 들어 설명하였다.

반도체에서 수퍼랙티스 구조물의 구간 X(도 7)은 일반적으로 수 나노미터에서 수십 나노미터의 범위를 가지지만, 그룹 III-V 질화물 재료 시스템에서 상기 범위는 1 나노미터 만큼 작거나, 500 나노미터 만큼 클 수도 있다. 수퍼랙티스에서의 구간의 수와 두개 합금 부분의 폭 W_1 및 W_2 는 요구되는 디바이스와 이의 최종 사용목적에 따라 달라질 수 있다.

수퍼랙티스은 도 9, 도 10 및 도 11에 나타난 것과 같이, 합금 또는 개개의 합금 부분에 독립적으로 도핑될 수 있으며, 합금 1 및 합금 2의 n-타입 도판트 에너지 레벨(도 2), 부분 1만의 p-타입 도핑(도 10) 및 부분 1 및 부분 2에서 다른 농도를 가지는 n-타입 도핑(도 11)를 나타내었다. 몇몇 경우에서, 각 부분에서의 농도는 달라질 수 있다. 예를 들어, 부분 1은 $1\times10^{17}\ cm^{-3}$ 농도에서 n-타입일 수 있고, 부분 2는 $5\times10^{17}\ cm^{-3}$ 농도에서 n-타입일 수 있다. 도판트 불순물의 에너지 레벨은 합금의 성분, 도판트 농도 및 수퍼랙티스의 크기에 따른 밴드갭과 함께 변화할 수 있다. 도 11에 나타난 바와 같이, 부분 1 및 부분 2의 다른 도핑 농도는 밴드 오프셋(offset)을 초래할 수 있다.

본 발명의 일 실시예에서, 높은 활성화 에너지를 가지는 도판트는 특정온도 및 합금 조성에 대한 캐리어를 제공하지 않을 수도 있다. 관련된 이온화 도판트 불 순물이 없는 도 12의 에너지 다이어그램을 보이는 합금 1을 예로 들 수 있다. 상기 도판트가 합금 2의 밴드갭이 합금 1의 밴드갭보다 큰, 합금 1 및 합금 2를 포함하는 수퍼랙티스 구조물에 사용되었을 때, 재료의 전도성은 보다 높게된다. 상기 도판트는 양쪽 부분에 혼합되거나 또는 부분 2에만 혼합되게 된다. 상기 더 높은 전도성은도 13의 에너지 다이어그램에 나타난 것과 같이, 부분 2의 도판트로부터 유래된 부분 1의 캐리어로 부터 발생된다. 일반적으로 부분 1의 어떠한 도판트도 부분 1의 온도 및 조성에 의미있는 방법으로 기여하지 않는다.

Mg는 통상적으로 GaN 및 작은 Al 함유 AlGaN에서 p-타입 유도를 위한 도판트로 사용되지만, Mg를 포함하는 GaN에서 $1\times10^{18}\ cm^{-3}$ 의 높은 캐리어 농도를 달성하기는 어렵다. 상기와 같은 이유 때문에, Mg는 바람직한 효율성을 가진 도판트이다. GaN 및 AlGaN 수퍼랙티스 구조물을 위한 또 다른 도판트는 Ca, Na, K, Zn, Li,Cd, Rb, Sr, Sc 및 Be가 포함될 수 있다.

부분 1 및 부분 2의 폭, 부분 2의 합금 조성(상기 부분 1 조성은 관련된 디바이스 구조물의 특정한 최종 사용용도에 따라 정의된다) 및 부분 1과 부분 2에서의 도핑 농도는 미리 결정된 레벨 또는 원하는 레벨의 전도성을 달성하도록 조절할 수 있다.

마그네슘이 GaN 또는 AlGaN의 도판트 불순물로 사용될 경우, Mg가 도핑된 GaN 및 Mg가 도핑된 AlGaN은 재료에 존재하는 수소가 Mg 불순물 또는 Mg 복합체에 결합하여 Mg 불순물과 Mg 복합체를 전기적으로 불활성화 시키기 때문에, 재료를 활 성화시키기 위하여 높은 어닐링 온도를 필요로한다. 어닐링은 일반적으로 분해를 방지하고, 결합상태의 수소를 자유롭게하여 수소가 재료로부터 확산되어 나오게 하기 위하여, 암모니아 또는 질소 가스 환경에서 수행된다. 압전 GaN/AlGaN은 수소 제거에 필요한 에너지를 감소시키는 역할을 하는 내부 전기장을 만든다. 압전 GaN/AlGaN의 이러한 특징은 어닐링이 더 낮은 전력/온도 요구성을 가지고 수행되도록 하여, 결과적으로 비용을 절감하게 한다. 어닐링 온도는 GaN 또는 AlGaN의 분해 위험없이 질소를 함유하지 않는 대기조건에서 수행되는 어닐링이 가능하도록 충분히 낮을 수 있다.

본 발명의 또 다른 실시예를 따르면, 네개 이상의 원소로 된 합금이 성장하여 그룹III-V 질화물 시스템의 수퍼랙티스 구조를 만든다. 에피택셜 층에서 세번째 불순물의 첨가는 스트레인과 결함 밀도를 변형시키는 데 사용될 수 있다.

상기의 내용이 도판트 활성화 및 활성화 에너지/캐리어 농도 특징에 있어서의 초살창 구조에 기인하는 변화에 주의를 기울인 반면, 다른 결정 성질의 향상이 동시에 초살창 도핑의 결과로서 일어 날 수 있다는 것을 알게 되었다. 예를 들면, 도판트 활성화 에너지가 초살창의 에피층(epilayer)에서 효과적으로 변화한다면, 대응하는 보다 높게 도핑된 층과 비교하여, 보다 적은 도판트 불순물이 요구되고, 결함밀도 및/또는 열 전도성이 향상될 수 있다. 수퍼랙티스 재료의 광학적, 화학적, 구조물적 성질 뿐만아니라, 결정 품질 및 열 전도성의 향상을 얻을 수 있다.

본 발명에 따른 수퍼랙티스 구조물는 MOVPE, MBE, HVPE, 스퍼터 증착(및 선택적 어닐링), 주입(및 선택적 어닐링) 및 MOVPE, MBE 또는 HVPE에 의한 성장 과정 동안의 주입을 포함하는 어떠한 적절한 반도체 제조 기술을 통해서도 제한없이 성장시키거나 제조할 수 있다. MOVPE 및 MBE 기술이 가장 바람직하다. 상기와 같은 성장 및 제조 공정의 조건은 본 발명이 속한 분야의 기술로서 용이하게 결정될 수 있다.

본 발명에 따른 도핑된 수퍼랙티스 구조물의 향상된 전자 전도성은 향상된 저항의 전기적 접촉(보다 낮은 특정 접촉 저항성을 가지는)의 프로비젼을 가능하게 한다. 도핑된 수퍼랙티스 구조물의 존재에 의하여 생기는 더 높은 캐리어 농도는 금속-반도체 배리어의 폭을 감소시킨다. GaN 및 AlGaN과의 접촉(contact)을 제조하는 데 사용되는 전형적인 금속은 Pd, Ni, Au, Re, Pt/Au, Pd/Au 및 Ti/Pt/Au를 포함한다.

본 발명에 따른 수퍼랙티스 도핑에 의해 제조되는 향상된 p-타입 재료는 쏠라 블라인드 검출기의 질화물 광음극(photocathode)의 생산을 용이하게 하는 본 발명의 일 실시예에서 유용하게 사용되며, 특히, 상당한 전하 반환 용량 (그러므로 높은 재료 전도성)이 요구되는 곳 또는 매우 짧은 파장의 포톤이 검출될 때 높은 비율로 응용된다.

종래기술에서는 높은 Al 함량의 AlGaN p-타입 도체를 만드는 것이 어려웠다. 이러한 결함은 본 발명의 p-타입 도핑된 AlGaN 재료로써 극복되었다.

도 14는 높은 Al 함량의 광음극 구조물을 도시하였다. 부분 3의 Al 함량은 밴드갭 E_3 는 원하는 파장의 광자(photon)을 흡수하고 보다 긴 파장의 광자가 통과하 도록 선택된다. 부분 3의 폭은 원하는 파장의 대부분의 광자를 흡수하고, 그러나 너무 커서 생산된 전자가 표면에 도달하여 진공으로 이미션되기 전에 다시 흡수되지 않도록 선택된다. 0.2 미크론 이하로 약하게 도핑된 p-GaN에서 전자 확산 길이 및 AlGaN에서 얻어진 유사한 확산 길이에 기초하여, 부분 3은 수십 미크론 두께를 가지고, 두께의 일정 부분은 재료의 품질에 따라 달라지며, 낮은 품질의 재료를 사용할 때가 더 얇다.

Al 함량 및 부분 1과 부분 2의 폭은 바람직하게는 광자들이 장애없이 통과할 수 있고, 부분 3 내부와 인접부에서 적절한 전도성을 제공하도록 선택된다.

도 14에 나타난 구조물는 또 다른 잇점을 가지고 있다. 부분 3에서 부분 1로의 트랜지션은 밴드갭이 증가하는 구역이다. 따라서, 잠재적 배리어로부터 캐리어가 반사될 것이다. 상기 반사되는 배리어는 부분 3에서 발생된 캐리어가 이미션될 가능성을 증대시킨다(즉, 광음극은 높은 효율성을 가지게된다).

본 발명의 도핑된 수퍼랙티스 재료는 유니폴라(unipolar) 및 바이폴라(bipolar) 디바이스와 두개의 터미널 및 세개 또는 그 이상의 터미널 디바이스를 포함하는 일렉트릭 디바이스 및 광일렉트릭 디바이스로 폭넓은 다양성을 가지고 사용될 수 있다.

도 15 ~ 도 19은 본 발명의 일 실시예에 따른, 에피택셜 필름 증착을 위한 공정 흐름 및 델타도핑 공정을 나타낸다.

도 15는 에피택셜 필름 성장공정에서, 프리커서 증기(21)로부터 기판(20) 상에 증착된 에피택셜 필름(22)을 나타낸다. 도 16 ~ 도 19에서는 인용을 쉽게하기 위하여 동일한 특징의 제조된 물질에 대하여 대응하게 번호를 붙였다.

도 16은 프리커서 증기(21)(도 15)의 흐름이 종결되어 프리포즈(pre-pause)상태에 있는 에피택셜 성장을 나타내었다. 결과와 같이, 에피택셜 필름(22)은 증착공정이 일시적으로 중단되어 있다.

도 17은 에피택셜 필름(22) 상에 거의 단일원자 두께의 델타도핑층(24)을 형성하기 위하여 에피택셜 필름과 도판트 소스 재료(23)의 도판트가 접촉하는 다음 단계를 나타내고 있다. 에피택셜 필름(22)상의 도판트 원자의 거의 단일층의 증착을 형성하기 위한 도판트 소스 재료는 매우 희석된 도판트 증기(예를 들어, 비활성 캐리어 가스 내에서)를 포함할 수 있다.

공정의 포즈 단계 동안 에피택셜 필름(22) 상에 델타도핑층(24)이 형성된 후, 도판트 증착은 종결된다. 그후, 증착 또는 필름 형성이 수행되지 않는 포스트-포즈라는 또 다른 정지 단계가 뒤따른다.

다음, 에피택셜 필름 제작 공정이 재시작되고 델타도핑층(24) 위에 추가적인 에피택셜 필름(26)이 증착된다. 상기 방법으로, 도판트는 낮은 층(22) 및 윗 층(26)으로 구성된 에피택셜 필름에서 내부에 위치하거나 삽입되게 된다.

도 20, 도 22 및 도 24는 델타도핑된 고주파장 이펙트 트랜지스터(도 20), 대응하는 디바이스의 전류/전압 곡선(도 22) 및 대응하는 디바이스의 용량/전압 곡선(도 24)를 나타내고, 비교하기 위하여 배치된 도 21, 도 23 및 도 25는 각각 벌크도핑된 고주파장 이펙트 트랜지스터(도 21), 대응하는 디바이스의 전류/전압 곡선(도 23) 및 대응하는 디바이스의 용량/전압 곡선(도 25)를 나타낸다.

도 20은 사이에 삽입된 델타도핑층(34)을 가지는 에피택셜 반도체 재료(32)를 포함하는 델타도핑된 고주파장 이펙트 트랜지스터(30)를 보여준다. 상기 디바이스 구조물는 소스 및 드레인의 저항성 접촉(36 및 40)와 게이트 Schottky 접촉(38)을 특징으로 한다.

도 20의 디바이스 구조물의 전류/전압 곡선은 도 22에 나타내었으며, 도 20의 디바이스 구조물의 용량/전압 곡선은 도 24에 나타내었다.

도 21은 도 20의 FET 디바이스 구조물에서 동일한 도판트로 재료의 부분(46)을 벌크도핑한 에피택셜 반도체 재료(44)를 포함하는 대응하는 벌크 도핑된 고주파장 이펙트 트랜지스터(42)를 나타낸다. 상기 FET 디바이스 구조물는 소스 및 드레인 저항성 접촉(48 및 52)와 게이트 Schottky 접촉(50)을 포함한다.

도 21의 디바이스 구조물의 전류/전압 곡선을 도 23에 나타내었고, 도 21의 디바이스 구조물의 용량/전압 곡선을 도 25에 나타내었다.

도 22와 도 23의 비교 및 도 24와 도 25의 비교는 도 20의 델타도핑된 FET 디바이스 구조물의 성능의 특징이 도 21의 벌크도핑된 FET 디바이스 구조물의 성능 특징보다 현저하게 우수하다는 것을 보여주고 있다.

도 26은 델타도핑된 접촉 및 분리 구조물(60)를 도시하고, 벌크도핑된 접촉 및 분리 구조물(72)를 도시한 도 27과 비교하기 위하여 배치되어 있으며, 상기 두개의 디바이스 구조물에서 주입 손상(implant damage)을 보여주고 있다.

도 26에 나타낸 타도핑된 접촉 및 분리 구조물(62)는 에피택셜 반도체 재료 내에 삽입되어 있는 (적절한 n-또는 p-도판트의) 델타도핑층(64) 아래에 위치하는 디바이스 활성화층(62)을 특징으로 한다. 상기 구조물는 접촉(68 및 70)을 특징으로 한다. 주입손상은 사선으로 나타내었다.

도 27에 나타낸 상기 벌크도핑된 접촉 및 분리 구조물(72)는 반도체 재료의 도핑된 부분(76) 아래에 위치하는 디바이스 활성화층(74)을 포함한다. 상기 접촉 및 분리 구조물(72)는 접촉(80 및 82)을 특징으로 한다. 반도체 재료가 확장되어 디바이스의 활성층(74) 쪽으로 가라앉은 사선부분(78)은 도 26의 델타도핑된 디바이스보다 주입 손상이 더 크게 확장되어 있는 것을 나타낸다. 도 27의 디바이스 구조물에서 도판트 종류는 도 26의 디바이스 구조물의 것과 동일한 것이고, 두 구조물는 모두 비교할만한 저항성을 가지고 있다. 다시 말하면, 본 발명의 델타도핑된 구조물는 매우 작은 주입손상의 확장을 나타내고, 도 27의 벌크도핑된 구조물에 비하여, 도 26에 나타낸 접촉 및 분리 구조물는 우수한 조작 성질을 가진다.

도 28은 본 발명의 일 실시예에 따른 델타 도핑된 NPN 트랜지스터(84)를 도시한 것이다. 상기 트랜지스터(84)는 N 콜렉터(collector) 부위(86) 및 N 이미터 부위(88)를 포함하고, 그 사이에 디바이스의 델타도핑된 P 기반층(90)이 존재한다.

도 29는 본 발명의 다른 실시예에 따른 델타도핑된 HBT(heterojunction bipolar transistor)(92)를 도시한 것이다. 상기 HBT 디바이스(92)는 연결된 접촉(102 및 104), 델타도핑된 P 기반층(96) 및 그 위에 접촉(106)이 형성된 위쪽 N 이미터(기반의 밴드갭보다 이미터의 밴드갭이 크다) 부위(98)를 가지는 N 콜렉터 부위(94)를 포함한다.

도 30은 본 발명의 또 다른 실시예에 따른 이미터 구조물(108)을 도시한 것 이다. 상기 이미터 구조물(108)는 아래쪽 n 부위 및 델타도핑된 p-타입 도핑층(112 및 114)를 포함하는 위쪽 부위를 가지는 활성부위(110)을 포함한다. 도 30에 나타낸 바와 같이, 광자는 디바이스의 작동 시에 디바이스 구조물의 상기 활성부위에서 유발된다.

도 31은 도핑 대 깊이의 그래프와 본 발명에 따른 델타도핑된 터널도핑 HEMT 디바이스에 대하여 대응하는 터널 에너지 다이어그램이고, 도핑 대 깊이 그래프와 벌크도핑에 의하여 도핑된 토널도핑 HEMT 디바이스에 대하여 대응하는 터널 에너지 다이어그램인 도 32와 비교하기 위하여 배치하였다. 터널 에너지 다이어그램에 나타난 거리 d 는 델타도핑된 HEMT 디바이스의 작동 시의 캐리어의 터널 거리보다 작다. 벌크도핑된 HEMT의 작동 시의 전하 캐리어의 에너지는 월등하게 덜 유리하며, 이것은 도 31과 도 32를 비교함으로써 용이하게 확인할 수 있다.

델타도핑된 마이크로일렉트로닉 디바이스의 구조물적 특징과 작동 기능이 상당히 개선되었고, (Al,In,Ga)N 재료 및 상기 (Al,In,Ga)N 재료를 포함하는 마이크로일렉트로닉/광일렉트로닉 디바이스의 기술분야에서 중요한 향상을 가져왔다는 것은 상기의 기재들로 명백할 것이다.

지금까지의 서론과 일치하게, 여기에서는 여러 실시예에서 GaN 및 AlGaN을 특정예로 사용하여 본 발명을 설명하였으나, 모든 그룹 III-V 질화물(Al,In,Ga)N이 하기에서 설명하는 본 발명의 넓은 범위에 포함된다는 것은 명백할 것이다.

본 발명의 특징과 장점은 하기의 실시예 및 본 발명의 제한없는 예들로서 보다 자세히 나타내었다.

실시예 1

델타도핑된 HEMT 디바이스 구조물

사파이어 기판은 H_2 환경에서 100mbar의 압력으로 10분간 1170℃로 가열시켰다. 델타도핑 구조물 성장의 잔여물에 위해 압력을 유지시키면서, 반응기는 500℃로 냉각시키고, 종래의 방법으로 저온 AlN 핵형성 버퍼를 증착하였다. 사파이어 상에 버퍼층이 증착된 후, 반응기를 2.5 slm의 NH_3 및 20slm의 H_2 조건에서 1220℃의 서스셉터(susceptor) 온도로 가열시키고, 상기 온도를 약 2분간 안정화시켰다.

약 2.0㎛/시간의 성장률을 90분간 제공하기에 충분한 유량에서, 반응기에 TMG(trimethylgallium)를 첨가하여 3 미크론 두께를 가지는 GaN 층을 증착하였다. TMA(trimethylaluminum)는 30 Å의 두꺼운 $Al_{0.25}Ga_{0.75}N$ 스페이서층을 성장시키기 위하여 5.5초 동안 첨가되었다.

다음, 반응기로의 TMG 및 TMA의 유입을 막으면 프리-포즈(pre-pause) 단계를 시작시키고, 경계면은 1220℃의 서스셉터 온도에서 NH_3 와 H_2 환경 조건 하에 두었다. 상기 프리-포즈 단계는 10초간 지속시켰다. 프리-포즈 단계 후, 55ppm의 디시레인(H_2 로 희석한 SiH_6)을 실리콘의 델타도핑에 영향을 주는 유량에서 75초간 반응기로 유입시켜 포즈(pause) 단계를 시작하였다.

포즈 단계 후, 반응기로의 디시레인 유입을 막고, (프리-포즈 AlGaN 성장을 위한) 상기 과정의 조건에서 31.2초 동안 TMA 및 TMG를 반응기로 유입시켜 동시에 포스트-포즈(post-pause)단계를 시작하여, 추가적인 170 Å의 $Al_{0.25}Ga_{0.75}N$층을 성장시켰다. 상기 구조물의 GaN 및 AlGaN층에 대한 V/III 비율은 약 2500이었다. TMG 및 TMA의 반응기로의 유입을 막아 재료의 성장을 정지시켰다. 성장한 재료를 NH_3 와 H_2 환경, 과도한 압력 하에서 500℃ 이하로 냉각시키고, 반응기 압력을 900mbar로 증가시켜, 델타도핑된 HEMT 디바이스 구조물을 생산하였다.

실시예 2

델타도핑된 수퍼랙티스 구조물

사파이어 기판은 H_2 환경에서 100mbar의 압력으로 10분간 1170℃로 가열시켰다. 델타도핑 구조물 성장의 잔여물에 위해 압력을 유지시키면서, 반응기는 500℃로 냉각시키고, 종래의 방법으로 저온 AlN 핵형성 버퍼를 증착하였다. 사파이어 상에 버퍼층이 증착된 후, 반응기를 2.5 slm의 NH_3 및 20slm의 H_2 조건에서 1220℃의 서스셉터(susceptor) 온도로 가열시키고, 상기 온도를 약 2분간 안정화시켰다.

약 2.0㎛/시간의 성장률을 90분간 제공하기에 충분한 유량에서, 반응기에 TMG(trimethylgallium)를 첨가하여 3 미크론 두께를 가지는 GaN 층을 증착하였다. TMA(trimethylaluminum)는 적절한 유량에서 $Al_{0.2}Ga_{0.8}N$층을 성장시키기 위하여 첨가 되었다.

다음, 반응기로의 TMG 및 TMA의 유입을 막아 프리-포즈(pre-pause) 단계를 시작시켰다. 경계면은 1220℃의 서스셉터 온도에서 NH_3 와 H_2 환경 조건 하에 두었다. 상기 프리-포즈 단계는 10초간 지속시켰다. 프리-포즈 단계 후, Cp_2Mg(bis-cyclopentadienyl magnesium)을 미리 증착된 필름 재료의 Mg 델타도핑에 알맞은 유량에서 75초간 반응기로 유입시켜 포즈(pause) 단계를 시작하였다.

포즈 단계 후, 반응기로의 Cp_2Mg 유입을 막고, AlGaN 재료의 프리-포즈 성장에서 사용된 조건과 동일한 조건에서 TMA 및 TMG를 반응기로 유입시켜 동시에 포스트-포즈(post-pause)단계를 시작하였다. 이러한 방법으로, 추가적인 두께의 $Al_{0.2}Ga_{0.8}N$층을 증착시켰다. 그 다음, TMA의 유입을 막고, 다시 GaN층을 성장시켰다.

적당한 두께의 $Al_{0.2}Ga_{0.8}N$층을 성장시키기 위하여 TMA를 주입시켰다. 상기 구조물의 GaN 및 AlGaN층에 대한 V/III 비율은 약 2500이었다. TMG 및 TMA의 반응기로의 유입을 막아 재료의 성장을 정지시키고, 성장한 재료를 NH_3 와 H_2 환경, 과도한 압력 하에서 500℃ 이하로 냉각시키고, 반응기 압력을 900mbar로 증가시켜, 델타도핑된 수퍼랙티스 구조물을 완성하였다.

실시예 3

광음극 구조물

사파이어 기판은 H_2 주변 환경에서 100mbar의 압력으로 10분간 1170℃로 가열시켰다. 델타도핑 구조물 성장의 잔여물에 위해 압력을 유지시키면서, 반응기는 500℃로 냉각시키고, 종래의 방법으로 저온 AlN 핵형성 버퍼를 증착하였다. 사파이어 기판 상에 버퍼층이 증착된 후, 반응기를 2.5 slm의 NH_3 및 20slm의 H_2 조건에서 1220℃의 서스셉터(susceptor) 온도로 가열시키고, 상기 온도를 약 2분간 안정화시켰다. $Al_{0.3}Ga_{0.7}N$층을 성장시키기 위하여 TMG(trimethylgallium) 및 TMA(trimethylaluminum)를 반응기에 첨가하였다.

다음, 반응기로의 TMG 및 TMA의 유입을 막아 프리-포즈(pre-pause) 단계를 시작시켰다. 경계면은 1220℃의 서스셉터 온도에서 NH_3 와 H_2 환경 조건 하에 두었다. 상기 프리-포즈 단계는 10초간 지속시켰다. 프리-포즈 단계 후, 델타도핑을 위해 Cp_2Mg(bis-cyclopentadienyl magnesium)을 75초간 반응기로 유입시켜 포즈(pause) 단계를 시작하였다. 포즈 단계 후, 반응기로의 Cp_2Mg 유입을 막고, AlGaN 재료의 프리-포즈 성장에서 사용된 조건과 동일한 조건에서 TMA 및 TMG를 반응기로 유입시켜 동시에 포스트-포즈(post-pause)단계를 시작하여, 추가적인 두께의 $Al_{0.3}Ga_{0.7}N$층을 성장시켰다. 그 다음, $Al_{0.15}Ga_{0.85}N$층을 생산하기 위한 AlGaN 필름의 화학양론을 다양화하기 위하여 TMA 유량을 변형시켰다. 그 후, $Al_{0.3}Ga_{0.7}N$층을 생산하기 위하여, TMA 유량을 증가시켰다. 최종적으로, 상기 구조물을 Mg 벌크도핑된 GaN층으로 덮었다. 상기 구조물의 GaN 및 AlGaN층에 대한 V/III 비율은 약 2500이 었다. TMG 및 TMA의 반응기로의 유입을 막아 재료의 성장을 정지시키고, 성장한 재료를 NH_3 와 H_2 환경, 과도한 압력 하에서 500℃ 이하로 냉각시키고, 반응기 압력을 900mbar로 증가시켜, 광음극 구조물을 완성하였다.

상기 명세서에서 본 발명의 실시예와 특징들을 설명하였으나, 상기에 기재한 실시예와 특징들은 본 발명을 제한하려는 것이 아니며, 당해 분야에서 통상의 기술을 가진자에 의한 본 발명의 다른 변형, 변이 및 다른 실시예가 제안될 수 있다는 것은 명백할 것이다. 그러므로, 본 발명은 이후에 기재되는 청구항의 등가물의 범위에서 넓게 해석되어 진다.

(57) 청구의 범위

청구항 1.
델타도핑층을 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 2.
제1항에 있어서, 상기 델타도핑층은 상기 디바이스 구조물에서 도핑되지 않은 그룹 III-V 질화물 중간층인 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 3.
제2항에 있어서, 상기 그룹 III-V 질화물 층은 AlGaN을 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 4.
제2항에 있어서, 상기 그룹 III-V 질화물 층은 GaN을 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 5.
제1항에 있어서, 상기 델타도핑층은 Si, Ge, Mg, C, O, Ca, Zn, Li, Mn, Na, K, Cd, Rb, Sr, Sc 및 Be로 구성된 군에서 선택된 어느 하나 이상의 도판트 종류를 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 6.
제1항에 있어서, UV LEDs, AlGaN/GaN HEMTs(high electron mobility transistors), 접촉 구조물, 분리 구조물, AlCaN FETs, 광일렉트로닉 트랜지스터 검출기, 터널 도핑구조물, 도핑기반 HBTs(heterojunction bipolar transistors) 및 광 필터로 구성된 군에서 선택된 디바이스 구조물을 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 7.
제1항에 있어서, AlGaN/GaN HEMT(high electron mobility transistors)를 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 8.
제7항에 있어서, 상기 AlGaN/GaN HEMT(high electron mobility transistors)는 상기 델타도핑층이 없는 대응하는 디바이스 구조물과 비교하여, 디바이스 구조물의 시트 전하를 증가시키기 위한 디바이스의 배리어 층에 존재하는 델

타도핑층을 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 9.
제8항에 있어서, 상기 델타도핑층은 디바이스 구조물의 채널층과 관련된 위치에 있는 배리어 층에 위치하여, 상기 델타도핑층 및 채널층은 디바이스 구조물의 작동 시에 전하 캐리어의 터널 거리 보다 작은 거리를 두고 떨어져 있는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 10.
제9항에 있어서, 상기 델타도핑층의 도판트는 실리콘인 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 11.
도핑된 III-V 질화물 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 12.
제11항에 있어서, 상기 수퍼랙티스은 GaN 또는 AlGaN 수퍼랙티스를 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 13.
제11항에 있어서, 상기 수퍼랙티스은 Si, Ge, Mg, C, O, Ca, Zn, Li, Mn, Na, K, Cd, Rb, Sr, Sc 및 Be로 구성된 군에서 선택된 어느 하나 이상의 도판트 종류를 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 14.
제11항에 있어서, 상기 수퍼랙티스은 첫 번째 및 두 번째 합금을 포함하고, 상기 두 번째 합금의 밴드갭이 상기 첫 번째 합금의 밴드갭보다 크고, 전도성은 도핑되지 않은 수퍼랙티스를 포함하는 대응하는 마이크로일렉트로닉 디바이스 구조물과 비교하여 증가되는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 15.
하기 단계를 포함하는 도핑된 그룹 III-V 질화물 반도체 마이크로일렉트로닉 디바이스 구조물을 제작하는방법:

첫 번째 에피택셜 필름 성장 공정을 통해 기판 상에 반도체 재료를 증착하는 단계;

에피택셜 필름 표면을 드러내기위하여 기판 상의 반도체 재료의 증착을 종결하는 단계;

에피택셜 필름 표면에 델타도핑층을 형성하기 위하여, 에피택셜 필름 표면에 반도체 재료를 델타도핑하는 단계;

델타도핑을 종결하는 단계;

두번째 에피택셜 필름 성장 공정에서 델타도핑층 상에 반도체 재료를 증착시 키 기 위하여 반도체 재료의 증착을 재시작하는 단계; 및

상기 델타도핑층은 상기 첫번째 및 두번째 에피택셜 필름 성장 공정에서 증착된 반도체 재료의 내부에 존재하게되고, 도핑된 마이크로일렉트로닉 디바이스 구조물을 제작하기 위하여, 상기 반도체 재료의 두번째 에피택셜 필름 성장 공정을 결정된 범위까지 계속하는 단계.

청구항 16.
제15항에 있어서, 상기 델타도핑은 MOCVD, MBE, HVPE, PECVD 및 이온 주입으로 구성된 군에서 선택된 공정을 포함하는 것을 특징으로 하는 방법.

청구항 17.
제15항에 있어서, 상기 반도체 재료는 GaN 또는 AlGaN을 포함하는 것을 특징으로 하는 방법.

청구항 18.
제15항에 있어서, 상기 반도체 재료는 GaN을 포함하는 것을 특징으로 하는 방법.

청구항 19.
제15항에 있어서, 상기 반도체 재료는 AlGaN을 포함하는 것을 특징으로 하는 방법.

청구항 20.
제15항에 있어서, 상기 델타도핑은 그룹 III 부위에 도판트 원자를 혼합하는 것을 특징으로 하는 방법.

청구항 21.
제15항에 있어서, 상기 델타도핑은 그룹 V 부위에 도판트 원자를 혼합하는 것을 특징으로 하는 방법.

청구항 22.
제15항에 있어서, 상기 델타도핑은 그룹 III-V 질화물 반도체의 간격사이에 도판트 원자를 혼합하는 것을 특징으로 하는 방법.

청구항 23.
제15항에 있어서, 상기 델타도핑은 계면활성제가 존재하는 조건을 포함하는 공정조건 하에서 수행되는 것을 특징으로 하는 방법.

청구항 24.
제15항에 있어서, 상기 첫번째 및 두 번째 에피택셜 성장 공정 및 델타도핑 층 제작은 약 400 ~ 약 1200℃ 범위의 온도, 약 1~ 1000 torr 범위의 압력, 약 1~ 약 100,000 범위의 V/III 비율을 포함하는 공정조건 하에서 GaN 또는 AlGaN의 성장을 포함하는 것을 특징으로 하는 방법.

청구항 25.
제24항에 있어서, 상기 첫번째 및 두번째 에피택셜 성장 공정 및 델타핑층 제작은 질소, 수소 또는 암모니아를 포함하는 주변공기에서 수행되는 것을 특징으로 하는 방법.

청구항 26.
제1항에 있어서, 사파이어, SiC 및 GaN으로 구성된 군에서 선택된 재료로 제작된 기판을 더 포함하는 것을 특징으로 하는 마이크로일렉트로닉 디바이스 구조물.

청구항 27.
사파이어 기판, 상기 기판 상의 AlN 버퍼층, 상기 AlN 버퍼층 상의 GaN층 및 상기 GaN층 상의 AlGaN층을 포함하고, 상기 AlGaN층은 내부에 델타도핑층을 가지는 것을 특징으로 하는 HEMT 디바이스.

청구항 28.
제27항에 있어서, 상기 델타도핑층은 Si, Ge, Mg, C, O, Ca, Zn, Li, Mn, Na, K, Cd, Rb, Sr, Sc 및 Be로 구성된 군에서 선택된 어느 하나 이상의 도판트를 포함하는 것을 특징으로 하는 HEMT 디바이스.

청구항 29.
제27항에 있어서, 상기 델타도핑층은 실리콘 도판트를 포함하는 것을 특징으로 하는 HEMT 디바이스.

청구항 30.
디바이스의 배리어층에 델타도핑층을 포함하는 그룹 III-V 질화물 HEMT 디바이스.

청구항 31.
제30항에 있어서, 상기 델타도핑층 및 채널층은 상기 델타도핑층과 채널층과의 거리가 디바이스 구조물의 작동 시에 전하 캐리어의 터널 거리 보다 더 작은 거리에 있는 위치하여, 상기 델타도핑층이 디바이스의 채널층과 근접성을 갖는 것을 특징으로 하는 HEMT 디바이스.

청구항 32.
그룹 III-V 질화물 이미터(emitter), 그룹 III-V 질화물 검출기 및 그룹 III-V 질화물 필터로 구성된 군에서 선택되고, 디바이스의 광학 특징을 향상시키는데 효과적인 델타도핑층을 포함하는 것을 특징으로 하는 그룹 III-V 질화물 광일렉트로닉 디바이스.

청구항 33.
델타도핑층이 없는 상응하는 그룹 III-V 질화물 광일렉트릭 디바이스와 비교하여, 그룹 III-V 질화물 반도체 및 그룹 III-V 질화물 반도체의 밴드갭보다 낮은 에너지에서 디바이스의 광 민감성을 감소시키는데 효과적인 델타도핑층을 포함하는 것을 특징으로 하는 그룹 III-V 질화물 광일렉트로닉 디바이스.

청구항 34.

접촉층, 분리층 및 연결층으로 구성된 군에서 선택된 디바이스 층을 포함하고, 상기 층 중 적어도 하나가 델타도핑된 것을 특징으로 하는 그룹 III-V 질화물 반도체 디바이스.

청구항 35.
제34항에 있어서, 상기 디바이스는 HEMT 디바이스를 포함하고, 상기 디바이스는 델타도핑된 접촉층을 포함하는 것을 특징으로 하는 그룹 III-V 질화물 반도체 디바이스.

청구항 36.
도핑된 III-V 질화물 수퍼랙티스를 포함하고, 상기 수퍼랙티스은 세 개 이상의 합금을 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 37.
도핑된 III-V 질화물 수퍼랙티스를 포함하고, 상기 수퍼랙티스은 첫 번째 합금 부위 및 두 번째 합금 부위로 정의되는 두 개 합금을 포함하고, 상기 수퍼랙티스은 상기 첫 번째 및 두 번째 부위의 적어도 하나는 델타도핑되어 있는 것을 특징으로 하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 38.
제37항에 있어서, 상기 하나의 첫 번째 및 두 번째 부위는 도핑되어 있는 것을 특징으로 하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 39.
제37항에 있어서, 상기 첫 번째 및 두 번째 부위는 모두 도핑되어 있는 것을 특징으로 하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 40.
네가지 원소로된 합금 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일 렉트로닉 디바이스 구조물.

청구항 41.
p-도핑된 수퍼랙티스를 포함하는 그룹 III-V 질화물 광음극(photocathode).

청구항 42.
제15항의 방법으로 제작된 도핑된 그룹 III-V 질화물 반도체 마이크로일렉트로닉 디바이스 구조물.

청구항 43.
델타도핑층 및/또는 도핑된 수퍼랙티스를 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

청구항 44.
제15항에 있어서, 상기 델타도핑은 MOCVD, MBE, HVPE 및 PECVD 또는 이온 주입으로 구성된 군에서 선택된 공정을 포함하는 것을 특징으로 하는 방법. 45. HBT 구조물을 위한 델타도핑 기반.

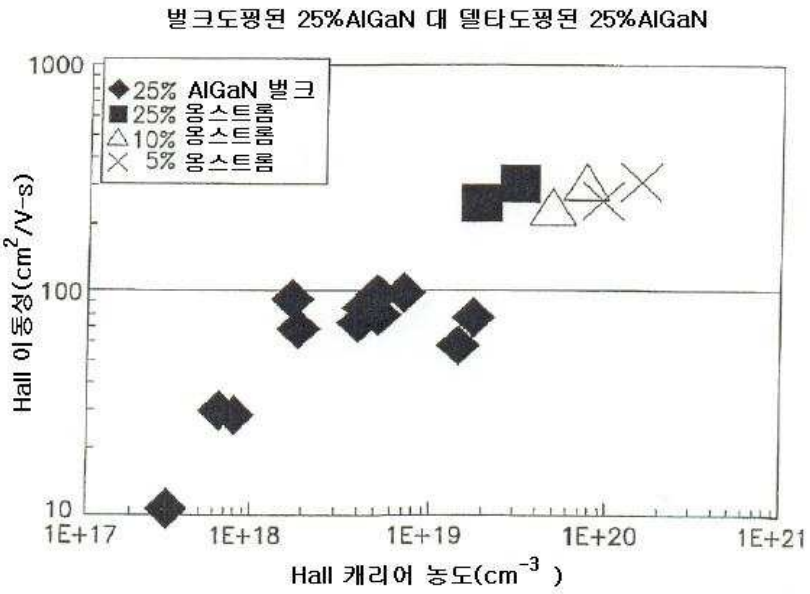
청구항 45.
벌크도핑된 구조물과 비교하여 상당히 향상된 이동성을 가지는 것을 특징으 로 하는 델타도핑된 구조물.

청구항 46.
두 개 이상의 델타도핑층을 포함하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

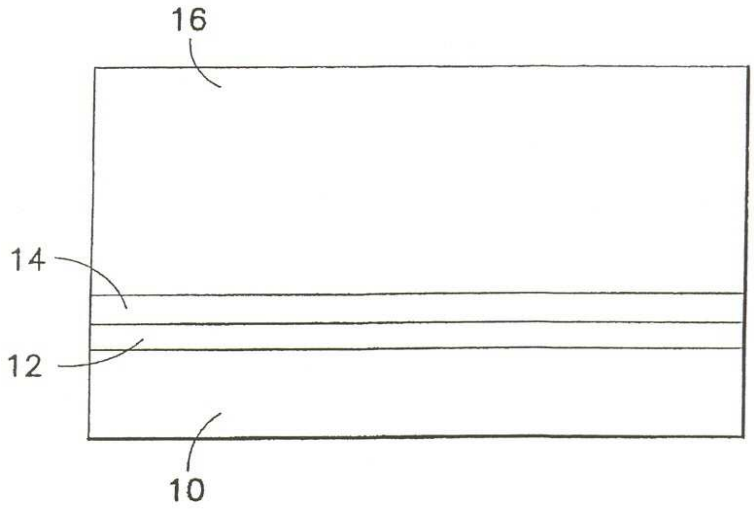
청구항 47.
제46항에 있어서, 결정된 방법에서 디바이스 구조물의 전도성을 조절하기 위한, 델타도핑층의 다양성을 포함하는 것을 특징으로 하는 그룹 III-V 질화물 마이크로일렉트로닉 디바이스 구조물.

도면

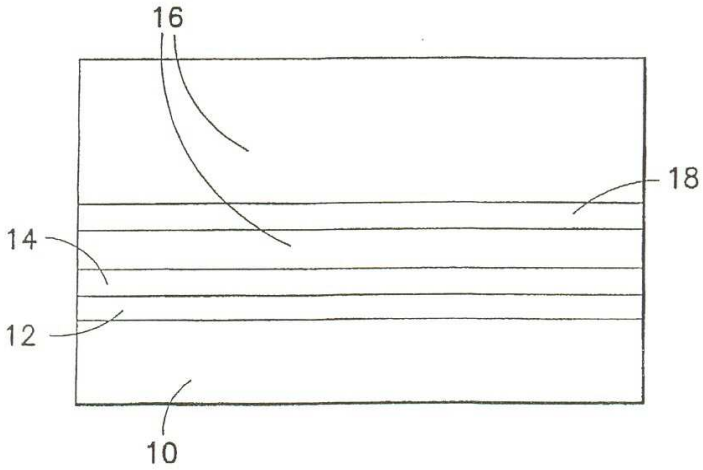
도면1


벌크도핑된 25%AlGaN 대 델타도핑된 25%AlGaN
1000
100
10
25% AlGaN 벌크
25% 몽스트롬
10% 몽스트롬
5% 몽스트롬
Hall 이동성(cm²/V-s)
1E+17
1E+18
1E+19
1E+20
1E+21
Hall 캐리어 농도(cm⁻³)

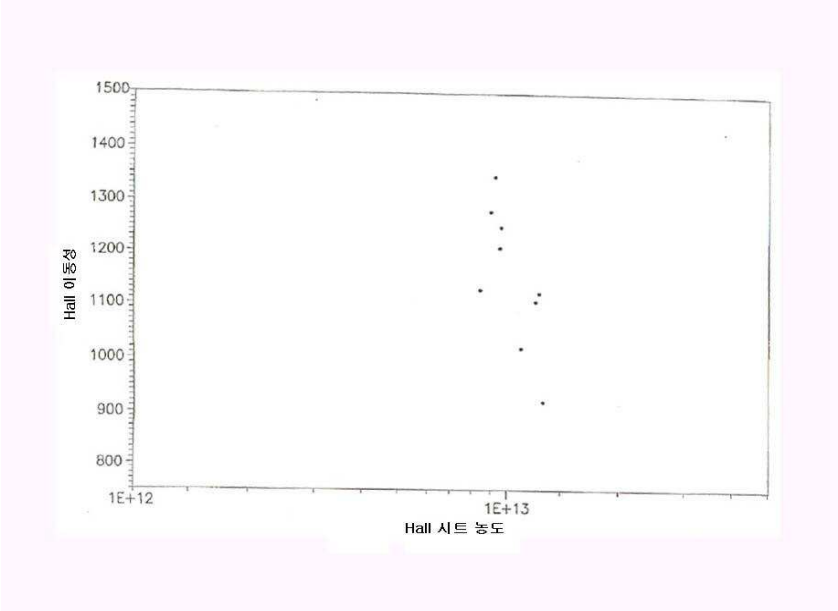
도면2


16
14
12
10

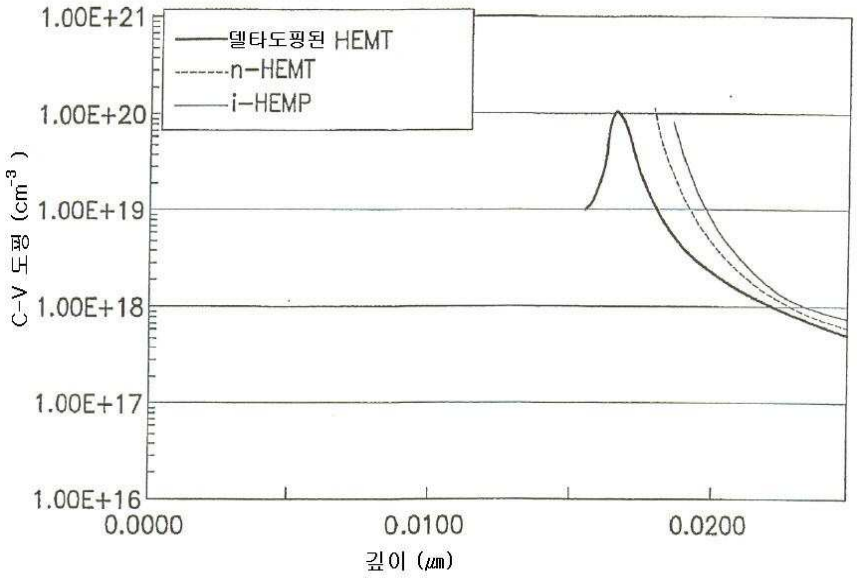
도면3


16
18
14
12
10

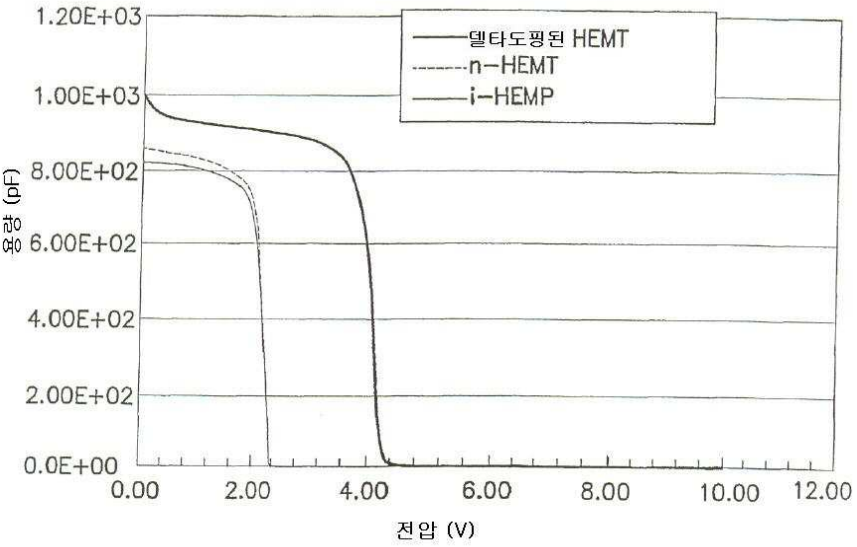
도면4


1500
1400
1300
1200
1100
1000
900
800
Hall 이동성
1E+12
1E+13
Hall 시트 농도

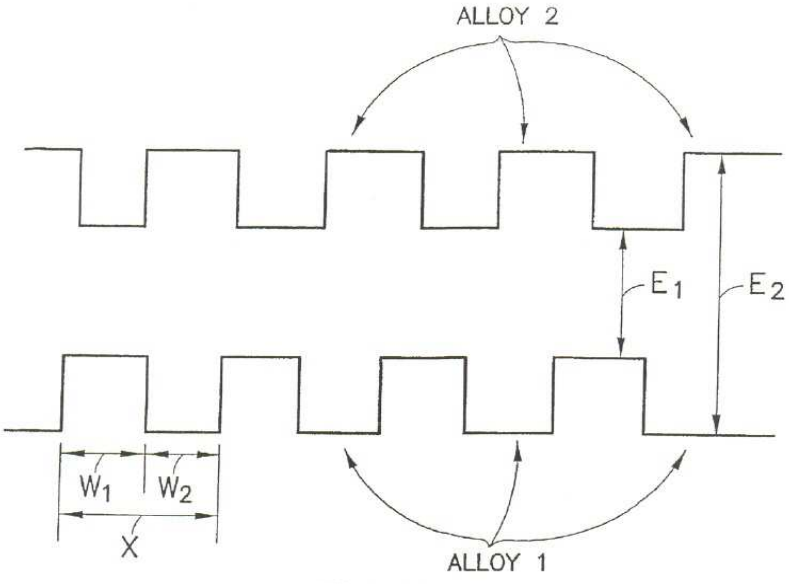
도면5


델타도핑된 HEMT
n-HEMT
i-HEMP
1.00E+21
1.00E+20
1.00E+19
1.00E+18
1.00E+17
1.00E+16
C-V 도핑 (cm-3)
0.0000
0.0100
0.0200
깊이 (㎛)

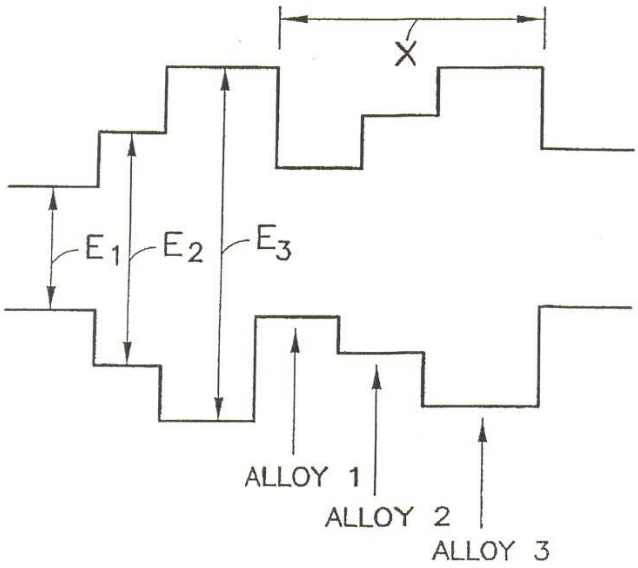
도면6


델타도핑된 HEMT
n-HEMT
i-HEMP
1.20E+03
1.00E+03
8.00E+02
6.00E+02
4.00E+02
2.00E+02
0.0E+00
용량 (pF)
0.00
2.00
4.00
6.00
8.00
10.00
12.00
전압 (V)

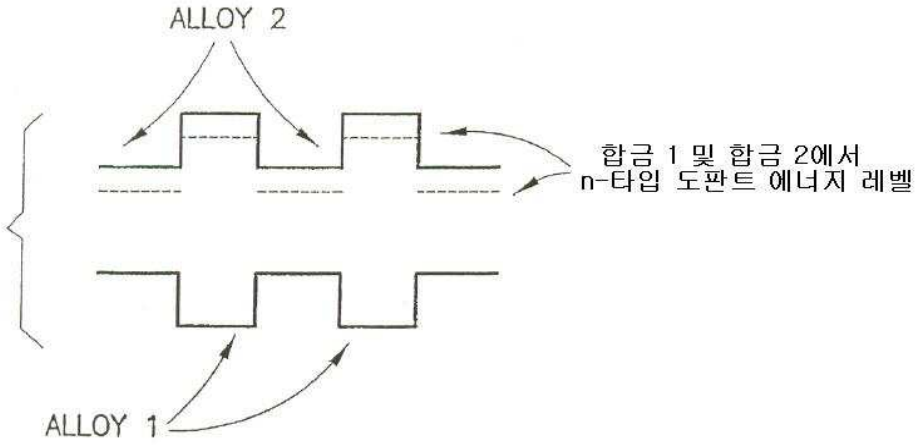
도면7


ALLOY 2
E1
E2
W1
W2
X
ALLOY 1

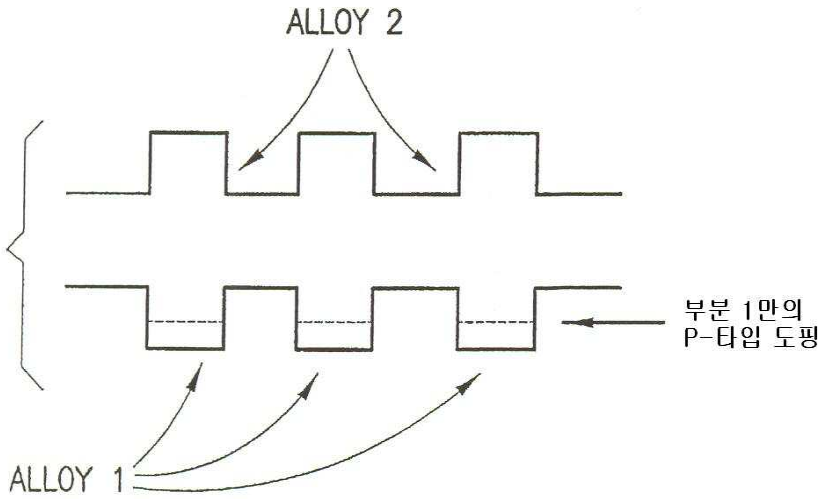
도면8


X
E1
E2
E3
ALLOY 1
ALLOY 2
ALLOY 3

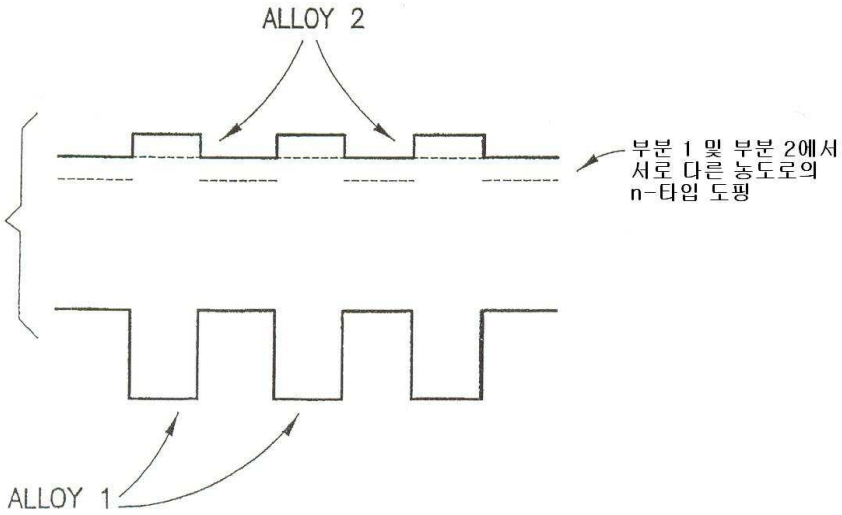
도면9


ALLOY 2
합금 1 및 합금 2에서
n-타입 도판트 에너지 레벨
ALLOY 1

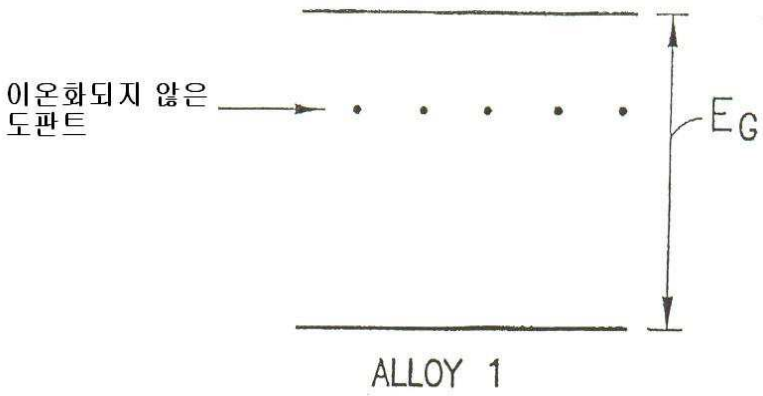
도면10



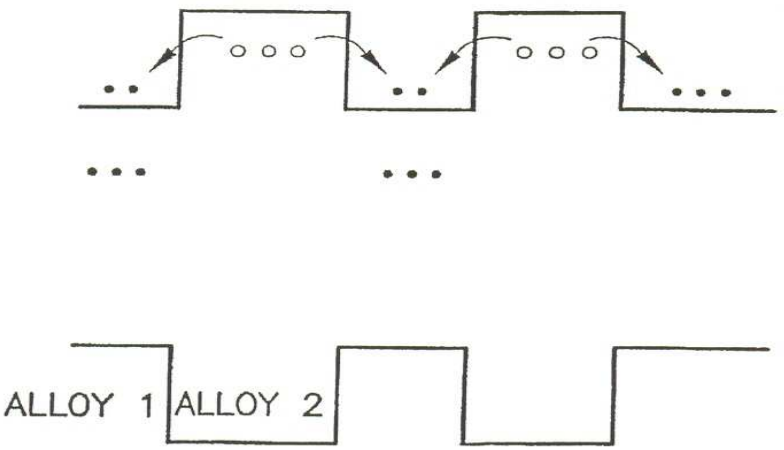
도면11



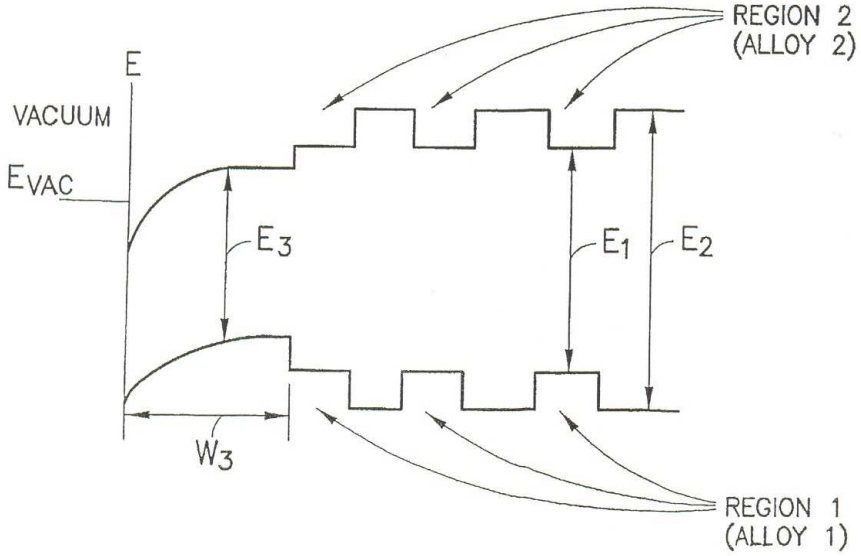
도면12



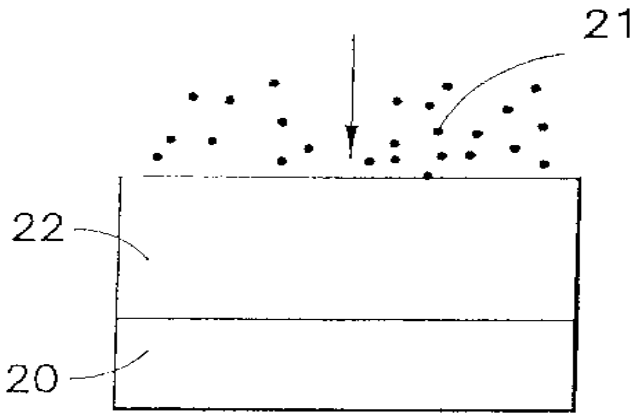
도면13



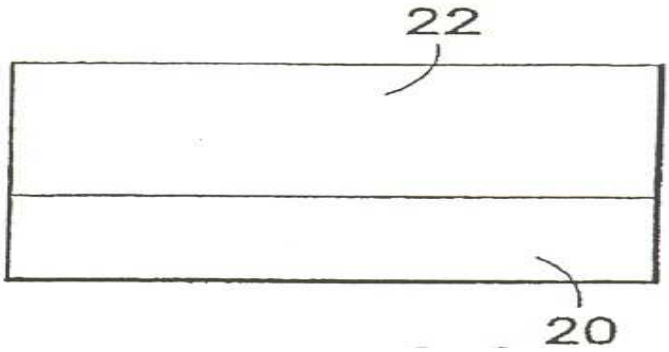
도면14



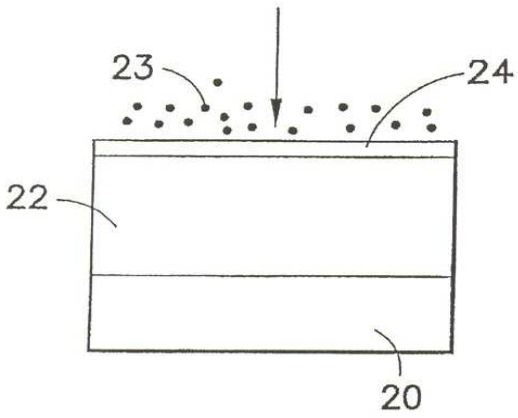
도면15



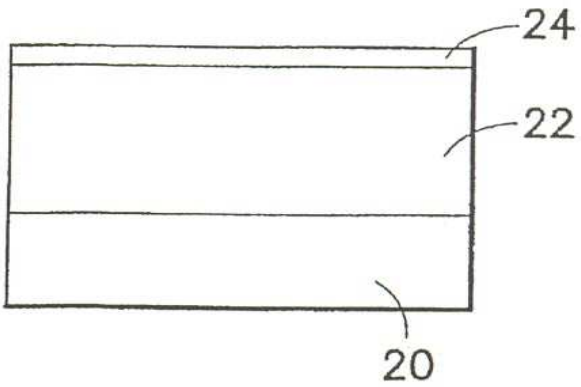
도면16



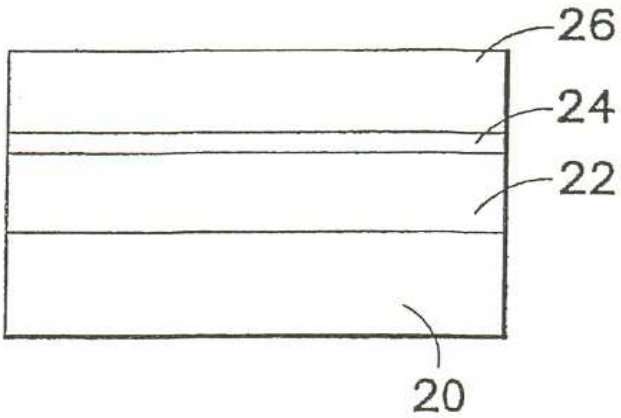
도면17



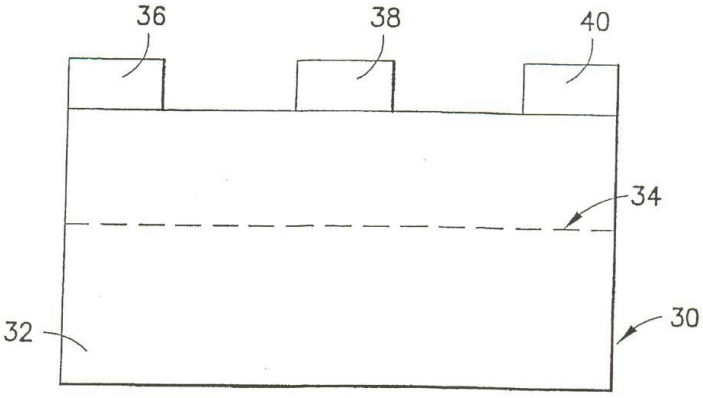
도면18



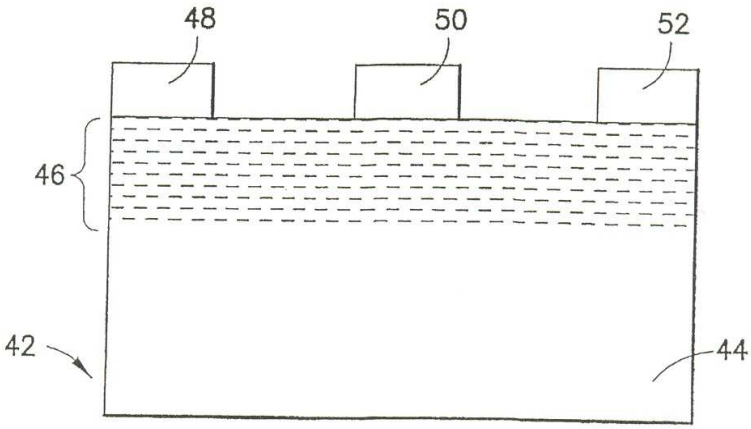
도면19



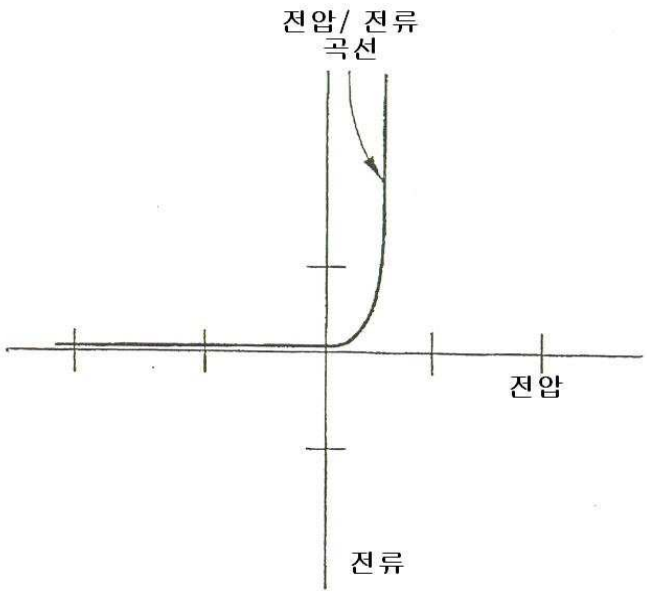
도면20



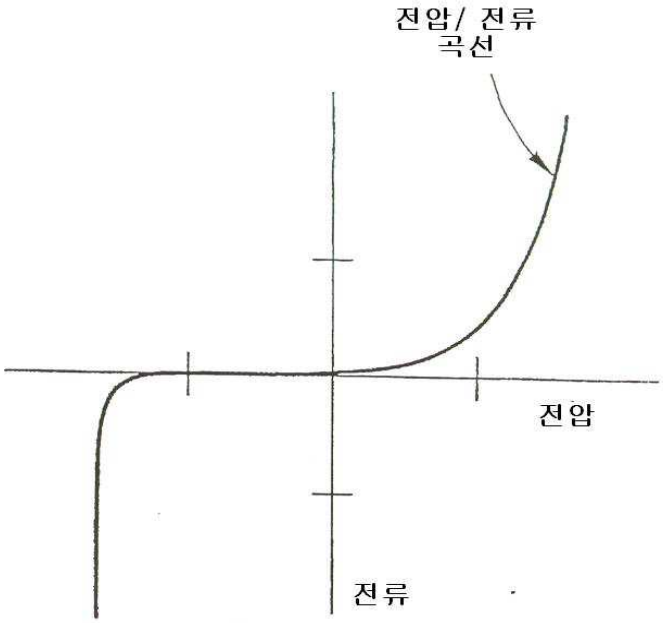
도면21



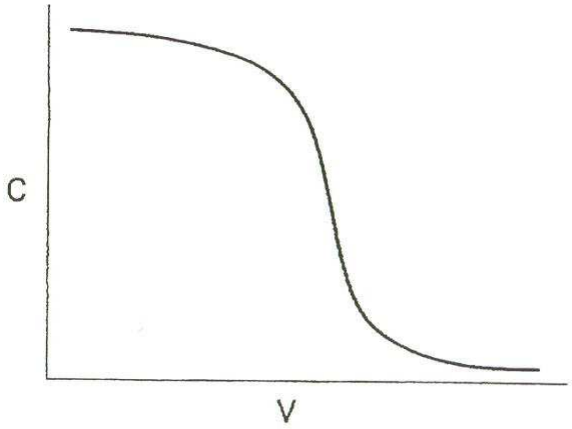
도면22



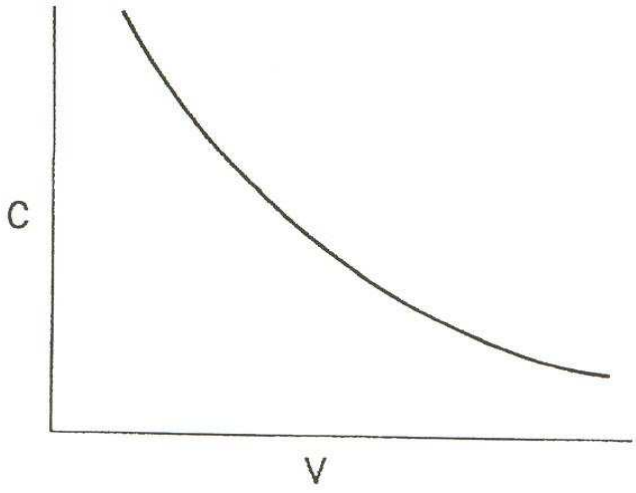
도면23



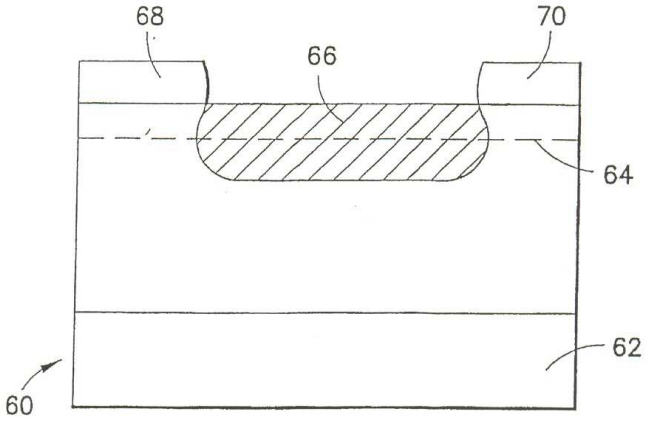
도면24



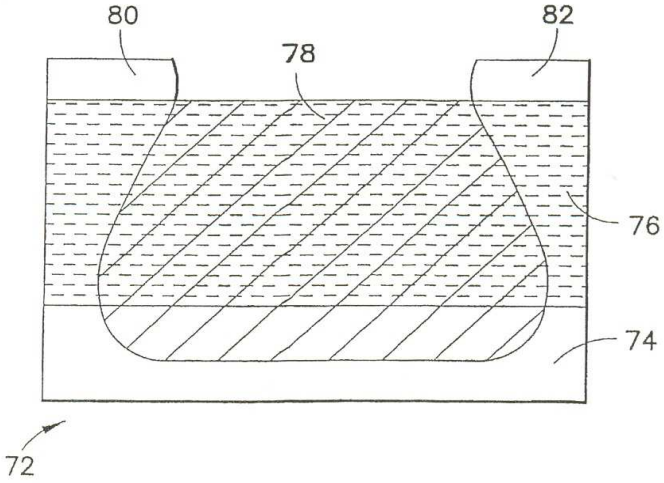
도면25



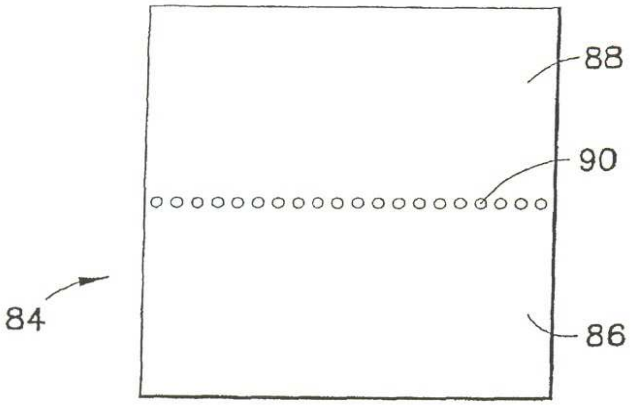
도면26



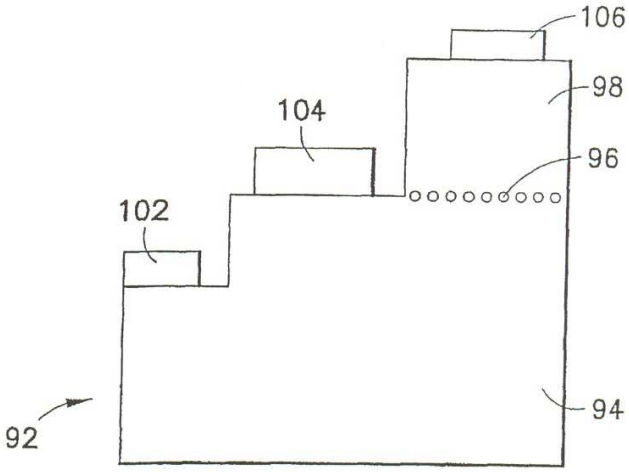
도면27



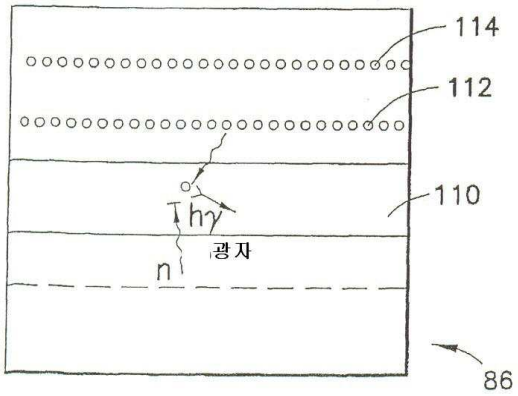
도면28



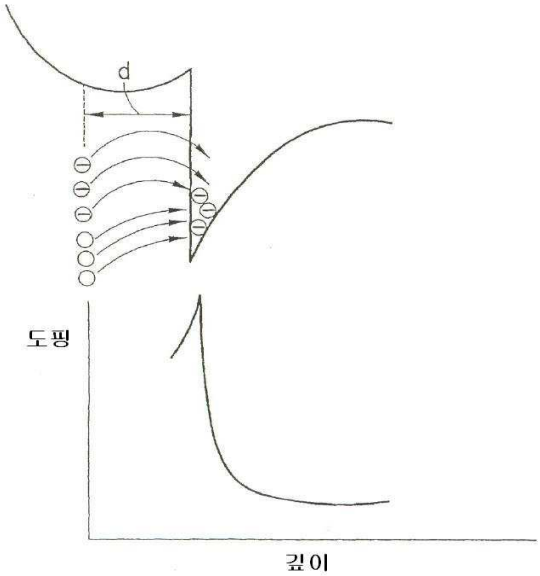
도면29



도면30



도면31



도면32