



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0024027
(43) 공개일자 2012년03월14일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

H01L 27/10 (2006.01)

(21) 출원번호 10-2010-0086581

(22) 출원일자 2010년09월03일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

백인규

서울특별시 광진구 뚝섬로35길 32, 우성3차아파트 301동 1301호 (자양동)

황홍선

경기도 수원시 영통구 영통로173번길 37, 쌍용아파트 106동 303호 (망포동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

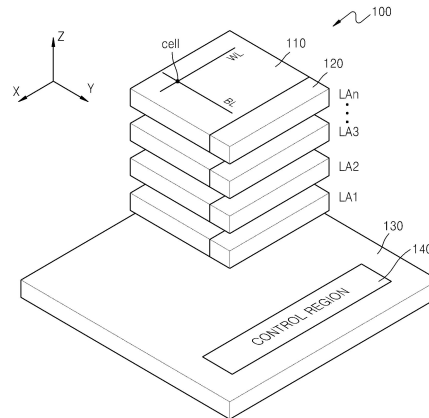
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 저항 스위치 기반의 로직 회로를 갖는 적층 구조의 반도체 메모리 장치 및 그 제조방법

(57) 요약

저항 스위치 기반의 로직 회로를 갖는 적층 구조의 반도체 메모리 장치 및 그 제조 방법이 개시된다. 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 라인으로 구성된 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역과 상기 제2 영역이 그 사이에 위치하는 제3 영역에 의해 전기적으로 분리되는 제1 도전라인과, 상기 제1 영역과 연결되며, 데이터를 저장하기 위한 제1 가변저항 물질막 및 상기 제1 영역과 제2 영역 간의 전기적 연결을 제어하는 제2 가변저항 물질막을 포함하는 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

유학수

경기도 성남시 분당구 이매로 54, 703동 405호 (이매동, 이매촌)

박철우

경기도 용인시 기흥구 흥덕중앙로105번길 41, 흥덕마을 경남아너스빌 1101동 101호 (영덕동)

특허청구의 범위

청구항 1

라인으로 구성된 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역과 상기 제2 영역이 그 사이에 위치하는 제3 영역에 의해 전기적으로 분리되는 제1 도전라인;

상기 제1 영역과 연결되며, 데이터를 저장하기 위한 제1 가변저항 물질막; 및

상기 제1 영역과 제2 영역 간의 전기적 연결을 제어하는 제2 가변저항 물질막을 포함하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제2 가변저항 물질막은,

상기 제3 영역에 형성되고 상기 제1 및 제2 영역과 접하는 반도체 메모리 장치.

청구항 3

제1항에 있어서,

상기 제1 가변저항 물질막과 인접하게 배치되며 스위칭 동작을 수행하는 다이오드를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제1항에 있어서, 상기 제1 및 제2 가변저항 물질막 각각은,

티타늄 산화물(TiO_x), 니켈 산화물(NiO_x), 탄탈륨 산화물(TaO_x), 텅스텐 산화물(WO_x), 하프늄 산화물(HfO_x), 알루미늄 산화물(Al_xO_x), 스트론튬 티타늄 산화물($SrTiO_x$), 지르코늄 산화물(ZrO_x) 및 아연 산화물(ZnO_x)을 포함하는 전이금속산화물, Ag_2S , Cu_2S 및 칼코겐계(Chalcogenides) 화합물을 포함하는 고체 전해질 및 페로브스카이트계 화합물을 포함하는 그룹에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제1항에 있어서,

상기 제1 가변저항 물질막과 제2 가변저항 물질막은 서로 동일한 가변 저항 물질을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

워드라인과 비트라인 사이에 연결되며 제1 가변저항 물질막을 포함하는 저항성 메모리 셀; 및

제2 가변저항 물질막을 포함하고, 제1 단자에 의해 수신되는 스위칭 제어신호에 응답하여 제2 및 제3 단자 사이의 전류 패스(current path)를 제어하는 저항 스위치를 포함하며,

상기 비트라인은, 라인으로 구성된 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역과 제2 영역은 그 사이에 위치하는 제3 영역에 의해 전기적으로 분리되며,

상기 제1 영역은 상기 저항성 메모리 셀 및 상기 제2 단자와 접속되고, 상기 제2 영역은 상기 제3 단자에 접속되며, 상기 저항 스위치는 상기 제3 영역상에 배치되어 상기 제1 영역과 제2 영역 사이의 전류 패스를 제어하는 반도체 메모리 장치.

청구항 7

제어 영역을 갖는 제1 레이어;

상기 제1 레이어와 적층되며, 적어도 하나의 저항성 메모리 셀을 포함하는 메모리 셀 영역과 적어도 하나의 저

항 스위치를 포함하는 로직 영역을 갖는 제2 레이어; 및

상기 제1 및 제2 레이어를 전기적으로 연결하는 하나 이상의 글로벌 도전라인을 포함하며,

상기 저항 스위치는, 제어신호를 수신하는 제1 단자와, 상기 메모리 셀 영역과 전기적으로 연결된 제2 단자와, 상기 글로벌 도전라인과 전기적으로 연결된 제3 단자를 포함하고, 상기 제어신호에 응답하여 상기 제2 단자와 상기 제3 단자 사이의 전류 패스(Current path)를 제어하는 반도체 메모리 장치.

청구항 8

제7항에 있어서,

상기 제어 영역은 상기 메모리 셀 영역을 구동하기 위해 배치되며 CMOS 기반으로 하는 회로를 포함하는 반도체 메모리 장치.

청구항 9

제7항에 있어서,

상기 제어 영역은, 상기 저항 스위치를 제어하는 제어 신호를 발생하며 상기 제어 신호를 상기 글로벌 도전 라인을 통해 상기 로직 영역으로 제공하는 반도체 메모리 장치.

청구항 10

제9항에 있어서,

상기 로직 영역은 상기 반도체 레이어 상에 형성되는 N 개의 도전 라인을 통해 상기 메모리 셀 영역과 연결되고, M 개의 글로벌 도전 라인을 통해 상기 제어 영역과 연결되는 반도체 메모리 장치(단, N은 M보다 큰 정수).

청구항 11

제9항에 있어서,

상기 로직 영역은, 로우 디코더, 컬럼 디코더, 페이지 버퍼 및 에러 정정 회로를 포함하는 그룹에서 선택된 어느 하나를 포함하는 반도체 메모리 장치.

청구항 12

제9항에 있어서,

상기 로직 영역은, 제1 글로벌 비트 라인을 통해 상기 제어 영역으로부터 컬럼 어드레스를 수신하고 상기 메모리 셀 영역의 복수의 비트라인 각각에 대응하여 상기 저항 스위치가 배치되는 컬럼 디코더를 구비하고,

상기 컬럼 디코더의 스위칭 동작에 기반하여, 상기 복수의 비트라인이 제2 글로벌 비트 라인을 통해 상기 제어 영역에 선택적으로 연결되는 반도체 메모리 장치.

청구항 13

반도체 메모리 장치; 및

메모리 컨트롤러를 구비하며,

상기 반도체 메모리 장치는,

제어 영역을 포함하는 제1 레이어;

상기 제1 레이어에 적층되며, 적어도 하나의 저항성 메모리 셀을 포함하는 메모리 셀 영역과 적어도 하나의 저항 스위치를 포함하는 로직 영역을 갖는 제2 레이어; 및

상기 제1 및 제2 레이어를 전기적으로 연결하는 하나 이상의 글로벌 도전 라인을 포함하며,

상기 저항 스위치는, 제어신호를 수신하는 제1 단자와, 상기 메모리 셀 영역과 전기적으로 연결된 제2 단자와, 상기 글로벌 도전라인과 전기적으로 연결된 제3 단자를 포함하고, 상기 제어신호에 응답하여 상기 제2 단자와

상기 제3 단자 사이의 전류 패스(Current path)를 제어하는 반도체 메모리 시스템.

명세서

기술 분야

[0001] 본 발명은 적층 구조의 반도체 메모리 장치에 관한 것으로, 특히 저항 스위치 기반의 로직 회로를 갖는 적층 구조의 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 산업이 발달하고, 멀티 미디어가 발달함에 따라서, 컴퓨터나 모바일 장비 등에 사용되는 반도체 장치는 그 부피가 점점 작아지면서도 고 용량의 데이터 처리를 요한다. 이러한 반도체 장치의 일 예로서, 데이터를 저장하기 위해 사용되는 반도체 메모리 장치는 그 집적도를 높이기 위해, 메모리 층들을 3차원으로 적층시켜 형성한 다층 구조의 메모리 장치가 연구 되고 있다.

[0003] 3차원 메모리 장치는 일반적으로 하부 기판에 구동 회로를 형성하고 메모리 셀 어레이가 포함된 반도체 레이어를 기판 상에 적층하여 제조될 수 있다. 구동 회로 영역은 메모리 장치의 동작을 지원하는 다수의 로직 회로들을 포함하며, 또한 상부에 적층 된 반도체 레이어 상의 메모리 셀 어레이는 기판상의 구동 회로 영역과 글로벌 도전 라인을 통해 전기적으로 연결된다. 이 경우 적층되는 반도체 레이어 수가 늘어남에 따라 메모리 동작을 지원하기 위한 구동 회로 영역의 면적이 증가하게 되며, 또한 반도체 레이어와 구동 회로 영역을 전기적으로 연결하기 위한 글로벌 도전 라인의 수가 늘어나게 되므로, 다수의 반도체 레이어들을 적층함에 의하여 집적도를 증가시키는 것에는 한계가 발생하게 된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은, 다수의 반도체 레이어 적층시 구동 회로 영역의 증가 및 글로벌 도전 라인의 증가에 기인한 제약을 개선함으로써, 동일한 기판 면적에 더 많은 반도체 레이어를 적층하여 집적도를 향상할 수 있는 반도체 메모리 장치, 모듈, 및 시스템과 반도체 메모리 장치의 제조방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 라인으로 구성된 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역과 상기 제2 영역이 그 사이에 위치하는 제3 영역에 의해 전기적으로 분리되는 제1 도전라인과, 상기 제1 영역과 연결되며, 데이터를 저장하기 위한 제1 가변저항 물질막 및 상기 제1 영역과 제2 영역 간의 전기적 연결을 제어하는 제2 가변저항 물질막을 포함하는 것을 특징으로 한다.

[0006] 한편, 본 발명의 다른 실시예에 따른 반도체 메모리 장치는, 워드라인과 비트라인 사이에 연결되며 제1 가변저항 물질막을 포함하는 저항성 메모리 셀 및 제2 가변저항 물질막을 포함하고, 제1 단자에 의해 수신되는 스위칭 제어신호에 응답하여 제2 및 제3 단자 사이의 전류 패스(current path)를 제어하는 저항 스위치를 포함하며, 상기 비트라인은, 라인으로 구성된 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역과 제2 영역은 그 사이에 위치하는 제3 영역에 의해 전기적으로 분리되며, 상기 제1 영역은 상기 저항성 메모리 셀 및 상기 제2 단자와 접속되고, 상기 제2 영역은 상기 제3 단자에 접속되며, 상기 저항 스위치는 상기 제3 영역상에 배치되어 상기 제1 영역과 제2 영역 사이의 전류 패스를 제어하는 것을 특징으로 한다.

[0007] 한편, 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치는, 제어 영역을 갖는 제1 레이어와, 상기 제1 레이어와 적층되며, 적어도 하나의 저항성 메모리 셀을 포함하는 메모리 셀 영역과 적어도 하나의 저항 스위치를 포함하는 로직 영역을 갖는 제2 레이어 및 상기 제1 및 제2 레이어를 전기적으로 연결하는 하나 이상의 글로벌 도전라인을 포함하며, 상기 저항 스위치는, 제어신호를 수신하는 제1 단자와, 상기 메모리 셀 영역과 전기적으로 연결된 제2 단자와, 상기 글로벌 도전라인과 전기적으로 연결된 제3 단자를 포함하고, 상기 제어신호에 응답하여 상기 제2 단자와 상기 제3 단자 사이의 전류 패스(Current path)를 제어하는 것을 특징으로 한다.

[0008] 한편, 본 발명의 일 실시예에 따른 반도체 메모리 시스템은, 반도체 메모리 장치 및 메모리 컨트롤러를 구비하며, 상기 반도체 메모리 장치는, 제어 영역을 포함하는 제1 레이어와, 상기 제1 레이어에 적층되며, 적어도 하나의 저항성 메모리 셀을 포함하는 메모리 셀 영역과 적어도 하나의 저항 스위치를 포함하는 로직 영역을 갖는

제2 레이어 및 상기 제1 및 제2 레이어를 전기적으로 연결하는 하나 이상의 글로벌 도전 라인을 포함하며, 상기 저항 스위치는, 제어신호를 수신하는 제1 단자와, 상기 메모리 셀 영역과 전기적으로 연결된 제2 단자와, 상기 글로벌 도전라인과 전기적으로 연결된 제3 단자를 포함하고, 상기 제어신호에 응답하여 상기 제2 단자와 상기 제3 단자 사이의 전류 패스(Current path)를 제어하는 것을 특징으로 한다.

발명의 효과

[0009]

본 발명의 반도체 메모리 장치, 모듈, 시스템 및 반도체 메모리 장치의 제조방법에 따르면, 실리콘 기판에 배치되는 로직 회로의 면적 부담을 감소함과 함께 기판과 다수의 반도체 레이어를 연결하는 글로벌 도전 라인의 수를 감소시킬 수 있으며, 이에 따라 동일한 기판 면적에 더 많은 반도체 레이어를 적층함으로써 집적도를 향상시키는 효과가 있다.

도면의 간단한 설명

[0010]

도 1은 본 발명의 일 실시예에 따른 3차원 적층 구조의 반도체 메모리 장치의 구조도이다.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 저항성 메모리와 저항스위치의 단면도 및 회로도이다.

도 3은 본 발명의 실시예에 따른 반도체 메모리 장치의 글로벌 도전 라인을 구현하는 일 예를 나타내는 블록도이다.

도 4는 도 1의 반도체 메모리 장치의 일 구현예를 3차원으로 도시한 블록도이다.

도 5는 도 4의 반도체 메모리 장치를 저항성 메모리로 구현한 일예를 나타내는 회로도이다.

도 6은 도 5의 반도체 메모리 장치의 제1 레이어의 일부분을 구현하는 레이아웃의 일예를 나타낸 도면이다.

도 7은 도 6의 선 (A-A)에 따라 절취한 단면도이다.

도 8은 도 6의 선 (B-B)에 따라 절취한 단면도이다.

도 9a 내지 도 9h 는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 제조방법을 나타내는 공정 단계도이다.

도 10a 내지 도 10f 는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 다른 제조방법을 나타내는 공정 단계도이다.

도 11은 도 5의 반도체 메모리 장치의 구조를 변형한 예를 나타내는 반도체 레이어의 회로도이다.

도 12는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 3차원으로 도시한 블록도이다.

도 13은 도 12의 3차원 반도체 메모리 장치를 구현하는 일예를 도시한 회로도이다.

도 14는 도 12의 3차원 반도체 메모리 장치를 달리 구현한 예를 나타내는 회로도이다.

도 15는 도 14의 반도체 메모리 장치를 구현하는 레이아웃의 일예를 나타낸 도면이다.

도 16a,b는 본 발명의 다른 실시예에 따른 3차원 적층 구조의 반도체 메모리 장치를 나타내는 블록도이다.

도 17a,b,c,d는 본 발명의 또 다른 실시예에 따른 3차원 적층 구조의 반도체 메모리 장치를 나타내는 블록도이다.

도 18a,b,c는 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치 및 시스템을 나타내는 블록도이다.

도 19는 본 발명의 실시예들에 따른 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 블록도이다.

도 20은 본 발명의 일 실시예에 따른 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 블록도이다.

도 21은 본 발명에 따른 반도체 메모리 시스템이 장착된 정보 처리 시스템의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011]

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본

발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

- [0012] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0013] 도 1은 3차원 적층 구조의 반도체 메모리 장치(100)의 구조도이다. 도 1을 참조하면, 반도체 메모리 장치(100)는 기판(130)과 기판상에 3차원으로 적층된 복수의 반도체 레이어(LA1~LAn)를 구비한다. 복수의 반도체 레이어(LA1~LAn)는 각각 메모리 셀 영역(110)과 로직 영역(120)을 포함한다.
- [0014] 메모리 셀 영역(110)은 각각 메모리 셀 어레이를 포함한다. 메모리 셀 어레이를 구성하는 메모리 셀은, DRAM(Dynamic Random Access Memory) 또는 SRAM(Static Random Access Memory) 등의 휘발성(Volatile) 메모리로 구현되거나, 또는 PRAM(Phase change Random Access Memory), 전이금속산화물(Complex Metal Oxides) 등의 가변저항 특성 물질을 이용한 RRAM(Resistive Random Access Memory), 또는 강자성체 물질을 이용한 MRAM(Magnetic Random Access Memory) 등의 비휘발성(Non-volatile) 메모리로 구현될 수 있다. 반도체 레이어(LA1~LAn)가 상기한 바와 같은 다수의 종류의 메모리 중 어느 하나의 메모리를 공통하게 구비할 수 있으나, 각 레이어별로 서로 다른 종류의 메모리를 각각 구비하여도 무방하다.
- [0015] 메모리 셀 영역(110)은 X축 방향으로 배치되는 워드 라인들(WL), X축 방향과 직교하는 Y축 방향으로 배치되는 비트라인들(BL)과 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(cell)을 구비한다. 상기 메모리 셀들(cell) 각각은 전술한 다양한 단위 셀 구조들 중 어느 하나의 셀 구조를 갖는다. 예컨대, 메모리 셀 영역(110)이 RRAM일 경우에는 각각의 메모리 셀(cell)은 하나의 가변저항 소자(R) 또는 가변저항 소자(R)와 다이오드 소자(D)를 포함하며, 메모리 셀 영역(110)이 PRAM일 경우에는 각각의 메모리 셀(cell)은 하나의 가변저항 소자(R)와 다이오드 소자(D)를 포함할 수 있다.
- [0016] 반도체 메모리 장치(100)는 메모리 셀 어레이의 메모리 동작을 제어하기 위한 구동 회로를 포함한다. 구동 회로는 다수의 로직 회로들을 포함하며, 본 발명의 일 실시예에 따르면, 상기 구동 회로의 일부의 로직 회로는 기판(130)에 배치되며, 다른 일부의 로직 회로는 반도체 레이어(LA1~LAn) 각각에 배치된다. 반도체 레이어(LA1~LAn) 각각에 배치되는 로직 회로의 소자들은 기판(130)에 배치되는 로직 회로에 의하여 제어될 수 있으므로, 본 발명을 설명함에 있어서 반도체 레이어(LA1~LAn) 상에 로직 회로가 배치되는 영역을 로직 영역(120)으로 지칭하고, 기판(130) 상에 로직 회로가 배치되는 영역을 제어 영역(140)으로 지칭한다.
- [0017] 메모리 셀(cell)이 가변저항 물질을 사용하는 비휘발성 메모리인 경우, 상기 메모리 셀(cell)의 가변저항 물질과 동일 또는 유사한 가변저항 물질을 이용하여 저항 스위치 기반의 로직 회로를 구현한다. 이에 따라, 구동 회로를 구성하는 로직 회로들 중 CMOS 기반의 로직 회로는 기판(130)의 제어 영역(140)에 배치되며, 저항 스위치를 포함하는 로직 회로는 비실리콘 기반의 반도체 레이어(LA1~LAn)의 로직 영역(120)에 배치된다.
- [0018] 로직 영역(120)은 메모리를 구동하기 위한 구동 회로의 일부 회로를 포함할 수 있다. 예를 들어, 로직 영역(120)은 메모리 장치의 동작을 지원하는 어드레스 디코더(address decoder), 리드/라이트 제어 회로, 출력 버퍼 및 보상회로 등의 로직 회로들 중 일부를 포함할 수 있다. 이외에도, 다수 종류의 구동 회로들 중 저항 스위치에 기반하여 구현될 수 있는 구동회로가 로직 영역(120)에 배치될 수 있다. 이에 따라 다수의 반도체 레이어(LA1~LAn)가 기판(130) 상에 적층되더라도, 상기 반도체 레이어(LA1~LAn)를 구동하기 위한 기판(130)의 제어 영역(140)이 상기 레이어의 수에 비례하여 증가하는 것을 방지하고, 기판(130)에의 면적 부담을 줄일 수 있다.
- [0019] 제어 영역(140)은 외부의 컨트롤러(미도시)와 인터페이스를 수행하며, 또한 다수의 반도체 레이어(LA1~LAn)의 액세스를 제어하여 데이터의 리드 및 라이트 동작을 제어한다. 제어 영역(140)은 반도체 레이어(LA1~LAn)의 로직 영역(120)을 제어하기 위한 신호를 발생하는 로직 회로를 포함하며, 다수의 글로벌 도전 라인들(미도시)를 통해 메모리 셀 영역(110) 및 로직 영역(120)과 연결된다.
- [0020] 도 2a는 본 발명의 일 실시예에 따른 반도체 메모리 장치의 저항성 메모리와 저항 스위치의 구조를 나타내는 단면도이다. 도 1의 메모리 셀 영역(110)은 다수의 저항성 메모리를 포함하고, 로직 영역(120)은 다수의 저항 스위치를 구비하며, 도 2a의 저항성 메모리(111)와 저항 스위치(121)는 각각 메모리 셀 영역(110)에 배치되는 저항성 메모리의 단위 셀 구조와 로직 영역(120)에 배치되는 어느 하나의 저항 스위치를 나타낸다. 더불어 도 2b와 도 2d는 각각 저항 스위치(111), 저항성 메모리(121)의 회로도이며, 도 2c는 제1 가변저항 물질막(113) 구성의 일 예를 나타내는 도면이다.
- [0021] 도 2a와 도 2b를 참조하면, 저항성 메모리(111)는 제1 가변저항 물질막(113), 스위칭 소자(112) 및 상, 하부 도전 라인들(170, 114)을 포함한다. 도전 라인들(170, 114) 중 어느 하나, 예를 들면, 하부 도전 라인(170)은

비트 라인일 수 있으며, 다른 하나, 예를 들면, 상부 도전 라인(114)은 워드 라인일 수 있다.

[0022] 스위칭 소자(112)는 생략 가능하나, 셀들 상호간의 간섭을 방지하고, 누설전류로 인한 전력소모를 방지하기 위해 구비되는 것이 바람직하다. 스위칭 소자의 종류로는 다이오드(diode) 및 바리스터(varistor), 문턱 소자(threshold switch) 등이 있다. 그러나 집적도를 극대화하기 위하여 1D(diode)-1R(resistor)의 단순한 구조를 단위 소자로 하여 크로스 포인트(cross-point)형으로 설계되는 것이 바람직하다. 또한, 상기 다이오드는 p-n접합에 의한 정류특성을 보이는 PN 다이오드(P-N diode), Schottky 접합에 의한 정류 특성을 보이는 쇼트키 다이오드(Schottky diode) 및 제너 다이오드(Zenor diode) 등 중에서 어느 하나가 적용될 수 있다. 도 2a 와 도 2c 를 참조하면, 제1 가변저항 물질막(113)은 가변 저항 물질(variable resistance material, 113b)이외에 제 1 전극(113a)과 제2 전극(113c)을 더 포함할 수 있다.

[0023] 상기 가변 저항 물질(113b)은, 전이 금속 산화물(TMO : transition metal oxide) , 예를 들면, 티타늄 산화물(TiOx), 니켈 산화물(NiOx), 탄탈륨 산화물(TaOx), 텅스텐 산화물(WOx), 하프늄 산화물(HfOx), 알루미늄 산화물(AlxOx), 스트론튬 티타늄 산화물(SrTiOx), 지르코늄 산화물(ZrOx) 및 아연 산화물(ZnOx) 중 어느 하나 또는 이들의 조합일 수 있다. 또는, 가변 저항 물질(211b)은, 고체 전해질, 예를 들면, Ag_2S , Cu_2S 및 칼코젠계(Chalcogenides) 화합물이나, 또는 페로브스카이트계 화합물 과 같은 저항의 가변적 스위칭이 가능한 재료일 수도 있다. 우수한 비휘발성 메모리 소자를 구현하기 위하여, 가변 저항 물질(113b)로서, 저저항 상태의 저항값과 고저항 상태의 저항값의 비가 크고, 소비 전력을 감소시키기 위해 구동 전압이 작은 재료가 선택될 수 있다. 이들 가변 저항 물질(113b)은 당해 기술 분야에 잘 알려진 바와 같이, 화학기상 증착법 또는 원자층 증착법에 의해 형성될 수 있다.

[0024] 상기 제1 전극(113a) 및 제2 전극(113c)은 내산화성 금속막(oxidation resistant metal layer)인 것이 바람직하다. 예를 들면, 상기 제1 전극(113a) 및 제2 전극(113c)은 이리듐막(Ir), 백금막(Pt), 텅스텐막(W), 이리듐 산화막(IrO), 티타늄 질화막(TiN), 티타늄 알루미늄 질화막(TiAlN), 루테튬막(Ru) 또는 루테튬 산화막(RuO)일 수 있다. 이와는 달리, 상기 제1 전극(113a) 및 제2 전극(113c)은 폴리실리콘막일 수도 있다.

[0025] 도 2c에서, 상기 제1 전극(113a), 가변저항 물질막(113b) 및 제2 전극(113c)은 단일 층으로 도시되어 있지만, 적합한 장벽막을 포함하는 다층 구조일 수도 있다. 또한 상기 상부 도전 라인(114)이 제2 전극(113c)의 역할을 할 수 있는 경우에는 상기 제2 전극(113c)은 생략할 수 있다.

[0026] 또한 다른 실시 예로, 상기 제1 전극(113a) 및 제2 전극(113c) 사이에 버퍼층(Buffer layer)이 추가될 수 있으며, 상기 버퍼층(미도시)은 이리듐 산화물(IrOx), 알루미늄 산화물(AlxOx), 마그네슘 산화물(MgxOx) 또는 탄탈륨 산화물(TaxOx)일 수 있다.

[0027] 도 2a와 도 2d를 참조하면, 저항 스위치(121)는 제2 가변저항 물질막(122) 및 세 개의 단자를 구성하는 도전 라인(123, 170b, 170c)들로 이루어진다. 제2 가변저항 물질막(122)은 제어 신호를 전달하여 스위칭 동작을 하도록 하는 상부 도전라인(123)과 연결되며, 복수의 하부 도전라인들(170b, 170c) 사이의 서로 분리된 구간을 채우도록 배치된다. 상기 제2 가변저항 물질막(122)은 제1 가변저항 물질막(113)과 동일한 물질로 구현될 수 있으며, 또한, 동일한 공정에 의하여 동시에 형성될 수 있다.

[0028] 상기 저항 스위치(121)는 트랜지스터와 같이 게이트에 가하는 전압에 따라 소스와 드레인 사이의 전류를 가변하게 하는 소자로 기존 트랜지스터 기반의 구동회로에서 트랜지스터의 위치에 1:1로 치환하여 적용할 수 있다.

[0029] 예를 들어, 상기 하부 도전 라인(170b, 170c)들 중 저항성 메모리(111)의 하부 도전라인(170)과 연결된 제1 단자(170b)는 소스(source)역할을 하고, 그 반대편의 제2 단자(170c)는 드레인(drain) 역할을 할 수 있다. 또한

상기 상부 도전 라인(123)은 제3 단자로 게이트(gate) 전극일 수 있다. 제2 가변저항 물질막(122)이 Ag_2S , Cu_2S 와 같은 고체 전해질로 이루어진 경우, 상기 게이트 전극(123)에 양전압(Positive voltage)이 가해지면 소스(170b)와 드레인(170c) 사이에 전류 패스(Current path)가 형성되어 ON 되고, 음전압(negative positive)이 가해지면 OFF 된다. 이 때, 게이트 전극에 의한 전류 패스는 게이트 전극과 이격된 위치에서 발생되며 각 상태는 비휘발성이다. 제2 가변저항 물질막(122)이 전이금속산화물로 이루어진 경우, 그 반대의 전압에 따라 ON/OFF가 결정된다. 이런 저항 스위치 소자의 예로 T. Sakamoto 등이 2005년 IEDM의 "Three terminal solid-electrolyte nanometer switch" 논문에서 발표한 나노 브릿지(nanobridge)소자나 미국 공개특허 US 2008/0079029 등이 있다.

- [0030] 저항성 메모리(111)의 워드라인으로서의 상부 도전 라인(114)과 상기 저항 스위치(121)의 게이트 전극으로서의 상부 도전 라인(123)은 동일한 도전 라인 도포 공정에 의하여 배치될 수 있다. 또한 저항성 메모리(111) 및 저항 스위치(121)는 절연막(101)에 의해 절연된다. 상기 절연막(101)은 실리콘 산화 막, 실리콘 질화막 또는 이들의 조합 막(combination layer)일 수 있다.
- [0031] 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치의 글로벌 도전 라인을 구현하는 일예를 나타내는 블록도이다. 반도체 메모리 장치(200)는 반도체 기판(230)과 기판상에 적층된 복수의 반도체 레이어(LA1~LAn)를 구비한다. 복수의 레이어(LA1~LAn) 각각은 메모리 셀 영역이 배치되는 메모리 셀 영역(210)과 로직 회로가 배치되는 로직 영역(220)을 포함하며 이 두 영역은 레이어 상의 로컬 라인(270)을 통해 전기적으로 연결된다. 더불어 가장 하단의 기판(230)은 CMOS 기반의 로직 회로가 배치되는 제어 영역(240)을 포함한다. 기판(230)과 복수의 레이어(LA1~LAn)는 글로벌 도전 라인(250)을 통해 서로 신호를 송수신한다. 제어 영역(240)은 글로벌 도전 라인(250)을 통해 메모리 셀 영역(210)과 로직 영역(220)과 서로 연결된다. 도 3에서는, 로직 영역(220)과 제어 영역(240) 사이의 글로벌 도전 라인(250)을 배치하는 예가 도시된다. 상기 글로벌 도전 라인(250)은 기판(230) 및 복수의 레이어(LA1~LAn)들 사이의 신호를 전달하는 라인이다. 또한, 상기 반도체 메모리 장치(200)에서, 기판(230)에 배치되는 제어 영역(240)에 의하여 외부와의 인터페이스가 수행되고 또한 메모리 동작이 제어되는 경우, 기판(230)은 마스터 영역으로 정의되고 복수의 레이어(LA1~LAn)는 슬레이브 영역으로 정의될 수 있다.
- [0032] 도 3에 도시된 바와 같이, 로직 회로를 포함하는 로직 영역(220)이 복수의 레이어(LA1~LAn)에 각각 배치되므로, 반도체 메모리 장치(200)에 배치되어야 할 글로벌 도전 라인(250)의 수가 감소될 수 있다. 예컨대, 로직 영역(220)이 메모리 셀 영역(210)의 비트라인에 각각 연결되는 컬럼 디코더인 경우, 상기 비트라인의 개수에 대응하는 로컬 라인(270)이 각각의 레이어(LA1~LAn) 상에 배치된다. 또한, 적어도 두 개 이상의 로컬 라인(270)에 대응하여 하나의 글로벌 도전 라인(250)을 배치하고, 로컬 라인(270)으로부터의 데이터를 순차적으로 글로벌 도전 라인(250)을 통해 제어 영역(240)으로 전달하므로, 글로벌 도전 라인(250)의 수를 감소하여 반도체 메모리 장치(200) 내에서 차지하는 글로벌 도전 라인(250)의 개수 및 그 면적을 감소할 수 있다.
- [0033] 도 4는 도 1의 반도체 메모리 장치의 일 구현 예를 3차원으로 도시한 블록도이다. 반도체 메모리 장치(300)는 반도체 기판(330)과 복수의 반도체 레이어(LA1~LA4)가 3차원으로 적층된 구조를 가지며, 도 4에서는 그 일 예로서 기판(330) 상에 4 개의 반도체 레이어(LA1~LA4)가 적층된 예를 나타낸다. 복수의 레이어(LA1~LA4)는 각각 메모리 셀 영역(310)과 로직 영역(320)을 포함한다. 메모리 셀 영역(310)은 워드 라인들(WL), 비트라인들(BL)과 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(cell)을 구비한다.
- [0034] 기판(330)은 CMOS 기반의 로직 회로가 배치되는 제어 영역(340)을 구비하며, 제어 영역(340)은 레이어들(LA1~LA4)의 메모리 동작을 제어하기 위한 각종 신호들을 발생하여 상기 레이어들(LA1~LA4)로 제공한다. 예컨대, 제어 영역(330)은 로우 어드레스를 디코딩하여 워드라인 신호를 발생하는 로우 디코더(341)를 구비하며, 상기 로우 디코더(341)는 글로벌 도전 라인으로서 워드라인 신호 라인(380a)을 통하여 복수의 레이어(LA1~LA4)의 메모리 셀 영역(310)으로 워드라인 전압을 제공한다. 또한, 제어 영역(340)은 레이어들(LA1~LA4)의 로직 영역(320)을 제어하기 위한 신호들을 발생하여 이를 제어 영역(340)으로 제공한다. 제어 영역(340)은 다른 글로벌 도전 라인(350, 380b)을 통해 레이어들(LA1~LA4)의 로직 영역(320)과 전기적으로 연결된다.
- [0035] 메모리를 구동하기 위하여 반도체 메모리 장치(300)에 구비되는 구동 회로는 다수의 로직 회로들을 포함하며, 일부의 로직 회로는 복수의 레이어들(LA1~LA4) 각각의 로직 영역(320)에 배치되며, 다른 일부의 로직 회로는 제어 영역(340)에 배치된다. 로직 회로로서 컬럼 디코더(Y-decoder)가 로직 영역(320)에 배치되는 경우, 복수의 레이어들(LA1~LA4) 각각의 컬럼 디코더(Y-decoder)는 제어 영역(340)의 어드레스 버퍼(342)로부터 글로벌 도전 라인, 예컨대 컬럼 어드레스 라인(380b)을 통해 컬럼 어드레스(Yadd)를 수신하고, 수신된 컬럼 어드레스(Yadd)에 응답하여 비트라인(BL)을 통해 데이터를 메모리 셀 영역(310)으로 전달하거나, 메모리 셀 영역(310)으로부터의 데이터를 글로벌 도전 라인, 예컨대 데이터 라인(350)을 통해 제어 영역(340)으로 전달한다. 상기 어드레스 버퍼(342)가 로우 어드레스를 함께 저장하는 경우, 상기 로우 어드레스는 제어 영역(340)의 로우 디코더(341)로 제공될 수 있다.
- [0036] 컬럼 디코더(Y-decoder)는 수신된 컬럼 어드레스(Yadd)를 디코딩하는 디코딩 회로와 디코딩된 어드레스에 응답하여 비트라인의 선택을 제어하기 위한 스위칭 회로를 포함할 수 있다. 스위칭 동작에 의하여 선택된 비트라인을 통하여 데이터가 메모리 셀 영역(310)과 제어 영역(340) 사이에 전달된다.
- [0037] 한편, 레이어(LA1~LA4) 상에 수평적으로 배열된 일정 수의 로컬 비트 라인들이 하나의 그룹으로 정의되고, 각 그룹 당 1개의 데이터 라인(350)이 배치되며, 이에 따라 일정 수의 로컬 비트라인들의 데이터를 순차적으로 제

어 영역(340)으로 전달한다. 순차적으로 제어 영역(340)으로 전달된 데이터는 글로벌 비트라인(GBL0~GBL4)을 통하여 외부로 전달된다. 도 4에서는 복수의 레이어(LA1~LA4) 각각에 대응하여 데이터 라인(350)이 서로 분리되어 배치되는 예가 도시된다.

- [0038] 제어 영역(340)에는 복수의 레이어(LA1~LA4)의 데이터와 글로벌 비트라인(GBL0~GBL4) 사이의 연결을 제어하기 위한 제어 스위치들(N10~N4n)이 배치된다. 상기 제어 스위치들(N10~N4n)은 선택 제어신호(LS10~LS4n)에 응답하여 스위칭되며, 상기 스위칭 동작에 기반하여 해당 레이어 및 비트라인에 대한 데이터의 액세스가 수행된다.
- [0039] 또한, 컬럼 어드레스 라인(380b)은 복수의 레이어(LA1~LA4) 간에 서로 공유될 수 있으며, 복수의 레이어(LA1~LA4)로 컬럼 어드레스(Yadd)를 제공하는 컬럼 어드레스 라인(380b)의 수는 컬럼 어드레스에 의하여 선택이 제어되는 로컬 비트라인의 개수보다 작다.
- [0040] 도 5는 도 4의 반도체 메모리 장치를 저항성 메모리로 구현한 일예를 나타내는 회로도이다. 복수의 반도체 레이어(LA1~LA4)는 각각 메모리 셀 영역(310)과 로직 영역(320)을 포함하며, 로직 영역(320)은 컬럼 디코더를 포함한다.
- [0041] 메모리 셀 영역(310)은 워드 라인들(WL), 비트 라인들(BL), 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(311)을 구비한다. 메모리 셀(311)은 가변 저항소자와 다이오드를 포함하는 저항성 메모리일 수 있다. 메모리 셀 영역(310)을 구현하는 다른 실시 예로서, 워드라인(WL)을 중심으로 비트라인(BL)과 상보 비트라인(/BL)이 배치되고, 비트라인(BL)과 상보 비트라인(/BL) 사이에 두 개의 가변 저항 소자가 서로 대칭하게 존재할 수 있다.
- [0042] 복수의 레이어(LA1~LA4) 각각의 컬럼 디코더는 컬럼 어드레스(미도시)를 수신하여 디코딩 동작을 수행하고, 비트라인 선택을 제어하기 위한 제어신호(Yi[0]~Yi[3])를 발생한다. 컬럼 디코더는 비트라인의 선택을 제어하기 위한 다수의 저항 스위치(321)를 포함하고, 상기 저항 스위치(321)는 제어신호(Yi[0]~Yi[3])에 의해 제어된다. 도 5에서는, 4개의 비트라인(BL)이 하나의 그룹으로 정의되는 예가 도시되며, 일례로서 4 번째 반도체 레이어(LA4)의 4 개의 비트라인(BL[4,0]~BL[4,3])이 하나의 데이터 라인(GL[4,0])에 연결된다. 상기 4 개의 비트라인(BL[4,0]~BL[4,3])을 통한 데이터는 순차적으로 데이터 라인(GL[4,0])을 통하여 글로벌 비트 라인(GBL[0])으로 전달된다.
- [0043] 도 6은 도 5의 반도체 메모리 장치의 제1 레이어(LA1)의 일부분을 구현하는 레이아웃의 일 예를 나타낸 도면이다. 상기 레이아웃은 메모리 셀 영역(310), 로직 회로 영역(320)으로 구분된다. 설명의 편의상 4 개의 워드라인(WL[1,0]~WL[1,3]), 4 개의 비트라인(BL[1,0]~BL[1,3]) 및 이에 대응하는 메모리 셀(311)만을 도 6에 도시한다. 메모리 셀(311)은 저항성 소자를 포함하는 저항성 메모리가 적용될 수 있다.
- [0044] 로직 영역(320)에는 비트라인(BL[1,0]~BL[1,3])과 제어신호 라인(YL)이 각각 직교하여 배치된다. 로직 영역(320)에서 비트라인(BL[1,0]~BL[1,3])은 각각 패터닝된 구간을 가지며, 상기 패터닝된 구간에 대응하여 저항 스위치(321)가 배치된다. 또한 제어신호(Yi[0]~Yi[3])에 응답하여 저항 스위치(321)가 제어되며, 상기 4 개의 비트라인(BL[1,0]~BL[1,3])은 수직하게 배치되는 하나의 데이터 라인(350)을 통해 기판의 제어영역과 연결된다. 제어신호(Yi[0]~Yi[3])에 응답하여 저항 스위치(321)가 턴온되는 경우, 상기 패터닝된 구간을 중심으로 양측의 비트라인이 서로 전기적으로 연결된다.
- [0045] 도 7은 도 6의 선 (A-A)에 따라 절취한 단면도이다. 반도체 기판(301) 상에 제1 내지 제4 액세스 트랜지스터들(TA1~TA4)를 포함하는 제1 층간 절연막(302)이 배치된다. 상기 제1 층간 절연막(302)은 실리콘 산화막으로 형성할 수 있다.
- [0046] 상기 제1 층간 절연막(302) 상에 제1 영역(370a)과 제2 영역(370b)을 포함하는 제1 도전 라인(370)이 배치되며, 상기 제1 도전 라인(370)의 일부 구간을 패터닝하여 제3 영역(370c)을 형성함으로써 제1 영역(310)과 제2 영역(320)이 서로 전기적으로 분리되도록 한다. 상기 제1 액세스 트랜지스터(TA1)는 콘택 플러그(371)를 통해 제1 도전 라인(370)과 연결된다. 상기 제1 도전 라인(370)은 저항성 메모리의 비트라인으로 제공될 수 있다.
- [0047] 제1 도전 라인(370) 상에 제2 층간 절연막(303)이 더 구비된다. 상기 제2 층간 절연막(303)에는 저항성 메모리(311)의 제1 가변저항 물질막(313)이 배치되며, 또한 제1 도전 라인(370)의 제3 영역(370c)에 대응하는 위치에 저항 스위치(321)에 포함되는 제2 가변저항 물질막(322)이 배치된다. 바람직하게는, 상기 제1 가변저항 물질막(313)과 제2 가변저항 물질막(322)는 동일한 저항성 소자 도포 공정에 의하여 형성된다.
- [0048] 구체적으로, 제1 가변저항 물질막 (313)의 하부에는 산화물 층 또는 실리콘 층이 일부 적층된 다이오드(312)가

위치한다. 다이오드(312)는 수직 다이오드로서, p형 산화물층과 n형 산화물층이 차례로 적층된 구조이거나, p형 실리콘층과 n형 실리콘층이 차례로 적층된 구조일 수 있다. 그의 변형 구조에서 스위칭 소자로서 다이오드 대신에 문턱소자(threshold device)를 사용할 수 있다. 다른 실시 예로, 상기 다이오드(312)는 제1 가변저항 물질막(313)과 그 상하부 위치가 바뀌거나 또는 상기 다이오드(312)는 생략될 수 있다.

[0049]

제1 가변저항 물질막(313)은 티타늄 산화물(TiO_x), 니켈 산화물(NiO_x), 탄탈륨 산화물(TaO_x), 텅스텐 산화물(WO_x), 하프늄 산화물(HfO_x), 알루미늄 산화물(Al_xO_x), 스트론튬 티타늄 산화물($SrTiO_x$), 지르코늄 산화물(ZrO_x) 및 아연 산화물(ZnO_x) 등의 전이 금속 산화물(TMO : transition metal oxide) 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 또는, 고체 전해질, 예를 들면, Ag_2S , Cu_2S 및 칼코겐계(Chalcogenides) 화합물이나, 또는 페로브스카이트계 화합물과 같은 저항의 가변적 스위칭이 가능한 재료를 포함할 수도 있다. 또한, 제2 가변저항 물질막(322)은 제1 가변저항 물질막(313)과 동일한 가변저항 물질로 이루어질 수 있다. 저항 스위치(321)의 스위칭 동작을 제어하기 위하여 제2 가변저항 물질막(322)의 상부에 제2 도전 라인(323)이 배치된다.

[0050]

복수 개의 평행한 제2 도전 라인(314, 323)은 서로 동일한 공정에 의해 배치될 수 있으며, 또한 제2 도전 라인(314, 323)은 상기 제2 층간 절연막(303) 상에 배치된다. 상기 제2 도전 라인(314, 323)들은 저항성 메모리(311)의 워드라인(314) 및 저항 스위치(321)의 제어 라인(323)을 포함한다. 상기 제2 도전 라인 중 워드라인(314)과 상기 제어 라인(323)의 폭은 같거나 다를 수 있다. 본 발명의 일 실시예에서, 상기 제2 도전 라인(314, 323)은 평면도로부터 보여졌을 때 상기 제1 도전 라인(370)과 90도의 각도를 이룰 수 있다. 또한 상기 제2 도전 라인들(314, 323)의 높이보다 크거나 유사한 높이의 제3 층간 절연막(304)을 구비하여 제1 레이어를 형성한다. 그 위로 제1 레이어와 동일한 구조의 복수의 레이어가 수직으로 적층된다. 각 레이어(LA)는 콘택 플러그를 통해 반도체 기판상에 위치한 각 액세스 트랜지스터(TA)와 연결되어 각 레이어(LA)의 액세스 여부를 전달 받는다. 예를 들어, 제1 레이어(LA1)는 콘택 플러그(371)를 통해 제1 액세스 트랜지스터(TA1)와 연결될 수 있다.

[0051]

도 8은 도 6의 선 (B-B)에 따라 절취한 단면도이다. 반도체 기판(301) 상에 액세스 트랜지스터(TA5)를 갖는 제1 층간 절연막(302)이 배치된다. 상기 제1 층간 절연막(302) 상에 제1 도전 라인(370)들이 서로 이격되어 위치한다. 제1 도전 라인(370)은 상기 비트라인으로서 동작할 수 있다. 상술한 바와 같이 제1 도전 라인(370)의 일부의 구간(예컨대 제3 영역, 미도시)이 패터닝되고, 상기 패터닝된 영역에는 제2 가변저항 물질막(322)이 배치된다. 상기 제2 가변저항 물질막(322)과 같은 높이의 제2 층간 절연막(303)이 형성되며, 그 위에 제2 도전 라인(323)이 배치된다. 상기 제2 도전 라인(323)은 제어신호 라인으로 동작할 수 있다. 상기 제2 도전 라인(323)의 높이보다 크거나 유사한 높이의 제3 층간 절연막(304)이 배치되어 제1 레이어(LA1)가 형성된다. 상기 제1 레이어(LA1)와 동일한 구조의 복수의 레이어(LA2~LA4)가 수직으로 적층된다. 상기 제2 도전 라인(323)은 기판상에 위치한 액세스 트랜지스터(TA5)와 콘택 플러그(381)를 통해 전기적으로 연결된다. 복수의 레이어(LA1~LA4) 각각은 콘택 플러그(381)를 통해 어드레스를 수신하고, 상기 수신된 어드레스의 디코딩 결과에 따른 제어신호는 제2 도전 라인(323)을 통해 전달된다. 또한 적층된 복수의 레이어는 상기 액세스 트랜지스터(TA5)와 콘택 플러그(381)를 공유할 수 있다.

[0052]

도 9a 내지 도 9h 는 본 발명의 일 실시 예에 따른 반도체 메모리 장치의 형성 방법을 나타내는 단면도이다.

[0053]

도 9a를 참조하면, 반도체 기판(401) 상에 복수의 액세스 트랜지스터(TA1)를 포함하는 제1 층간 절연막(402)을 형성한다. 상기 액세스 트랜지스터(TA1)는 콘택 플러그(471)와 연결된다. 상기 제1 층간 절연막(402) 상에 제1 영역(470a)과 제2 영역(470b)을 포함하는 제1 도전 라인(470)이 배치되며, 상기 제1 영역(470a)과 제2 영역(470b) 사이의 일부 구간을 패터닝하여 제3 영역(470c)을 형성할 수 있다. 제1 도전 라인(470)은 우수한 도전성을 가지는 물질로, 그 예로는, 텅스텐(W), 알루미늄(Al), 티타늄 질화물(TiN) 및 구리(Cu) 등을 들 수 있다. 상기 제1 도전 라인(470)은 저항성 메모리의 비트라인으로 동작한다.

[0054]

상기 제1 도전라인(470)상에 제3 영역(470c)을 형성하기 위해 상기 제1 도전 라인(470) 상에 하드 마스크막(도시안됨)을 형성한다. 상기 하드 마스크막은 실리콘 산질화물을 증착시켜 형성할 수 있다. 이 후, 상기 하드 마스크막을 패터닝하여 하드 마스크 패턴(도시안됨)을 형성한다. 그리고, 상기 하드 마스크 패턴을 식각 마스크로 사용하여 상기 도전 라인을 식각함으로써 제1 도전 라인(470)의 제3 영역(470c)을 형성한다.

- [0055] 도 9b를 참조하면, 상기 제1 도전 라인(470) 상에 제2 층간 절연막(403)을 배치한다. 이 후, 제1 도전 라인(470)의 제1 영역의 일부를 노출시키는 복수 개의 제1 홀(411)을 형성한다.
- [0056] 도 9c를 참조하면, 상기 제1 홀(411)에 산화물 층 또는 실리콘 층이 일부 적층 되어 다이오드(412)가 형성될 수 있다. 상기 다이오드(412)는 수직 다이오드로서, p형 산화물층과 n형 산화물층이 차례로 적층된 구조이거나, p형 실리콘층과 n형 실리콘층이 차례로 적층된 구조일 수 있다. 예컨대, CuO층과 같은 p형 산화물층과 InZnO층과 같은 n형 산화물층이 순차로 적층된 구조를 가질 수 있다. 그의 변형 구조에서 스위칭 소자로서 다이오드 대신에 문턱소자(threshold device)를 사용할 수 있고, 다이오드도 일반적인 pn 다이오드가 아닌 다른 구조의 다양한 다이오드를 사용할 수 있을 것이다.
- [0057] 도 9d를 참고하면, 제2 층간 절연막(403)에 상기 제1 도전 라인(470)의 제3 영역(470c)을 노출시키는 제2 홀(421)을 형성한다.
- [0058] 도 9e를 참조하면, 제1 홀(411)과 제2 홀(421)이 형성된 제2 층간 절연막(403)에 가변 저항물질(VR)을 증착한다. 가변저항물질(VR)은, 전이 금속 산화물(TMO : transition metal oxide), 예를 들면, 티타늄 산화물(TiO_x), 니켈 산화물(NiO_x), 탄탈륨 산화물(TaO_x), 텅스텐 산화물(WO_x), 하프늄 산화물(HfO_x), 알루미늄 산화물(Al_xO_x), 스트론튬 티타늄 산화물($SrTiO_x$), 지르코늄 산화물(ZrO_x) 및 아연 산화물(ZnO_x) 중 어느 하나 또는 이들의 조합일 수 있다. 또는, 가변 저항 물질(VR)은, 고체 전해질, 예를 들면, Ag_2S , Cu_2S 및 칼코젠계(Chalcogenides) 화합물 이나, 또는 페로브스카이트계 화합물 과 같은 저항의 가변적 스위칭이 가능한 재료일 수도 있다. 우수한 비휘발성 메모리 소자를 구현하기 위하여, 가변저항물질(VR)들로서, 저저항 상태의 저항값과 고저항 상태의 저항값의 비가 크고, 소비 전력을 감소시키기 위해 구동 전압이 작은 재료가 선택될 수 있다. 상기 제2 층간 절연막(403) 상에 가변 저항 물질(VR)이 산소 반응 스퍼터링 공정(O2 reactive sputtering process), 화학기상 증착 공정(chemical vapor deposition process) 또는 원자층 증착 공정(atomic layer deposition process)에 의하여 형성될 수 있다.
- [0059] 도 9f를 참조하면, 가변 저항 물질(VR) 막에 평탄화 공정 또는 에치 백(etch back) 공정을 진행시키어 상기 제2 층간 절연막(403)의 상부면을 노출시킨다. 그 결과, 제1 홀 내에 각각 다이오드(412)와 제1 가변저항 물질막(413)으로 구성된 저항성 메모리가 형성되고, 제2 홀 및 제1 도전라인의 제3 영역(470c)을 채우는 제2 가변 저항 물질막(422)으로 구성된 저항 스위치가 형성된다.
- [0060] 본 발명의 다른 실시 예에 의하면, 저항성 메모리의 다이오드(412) 및 제1 가변저항 물질막(413)은 단일 층이 아닌 여러 층으로 구성될 수 있다. 예를 들어, 제1 홀(411)과 제2 홀(412)에 가변 저항 물질(VR) 막을 증착하기 전, 후에 제1 홀(411)에 대해서만, 상부 전극, 중간 전극 및 하부 전극 등(미도시)을 증착 하여 형성할 수 있다.
- [0061] 도 9g를 참조하면, 상기 제2 층간 절연막(403) 상부 면에 제2 도전 라인(414, 423)을 증착한다. 상기 복수의 제2 도전 라인(414, 423)은 저항성 메모리에 대응하여 배치되어 워드라인으로 동작하는 라인(414)과 저항 스위치에 대응하여 배치되어 제어라인으로 동작하는 라인(423)을 포함하고, 서로 평행하게 배치될 수 있다. 이러한 제2 도전 라인(414, 423)은 소정의 금속 층을 라인 형태로 패터닝 함으로써 형성할 수 있다. 또한 제2 도전 라인(414, 423)은 우수한 도전성을 가지는 물질로, 그 예로는, 텅스텐(W), 알루미늄(Al), 티타늄 질화물(TiN), 구리(Cu) 등을 들 수 있다. 상기 제2 도전 라인(414, 423)의 가로 폭은 같거나 다를 수 있다. 이 후, 상기 제2 도전 라인(414, 423)보다 높거나 유사한 높이의 제3 층간 절연막(404)을 형성한다.
- [0062] 도 9h를 참조하면, 상기 형성된 제1 레이어(LA1)와 동일한 구조의 복수의 레이어(예컨대, 제2 레이어 LA2)가 수직으로 적층된다. 더불어, 각 레이어(LA1, LA2)와 반도체 기판상에 위치한 각 액세스 트랜지스터(TA1)가 연결되도록 콘택 플러그(471)를 형성한다. 예를 들어, 제1 레이어(LA1)는 콘택 플러그(471)를 통해 제1 액세스 트랜지스터(TA1)와 연결될 수 있다.
- [0063] 도 10a 내지 도 10g 는 본 발명의 다른 실시 예에 따른 반도체 메모리의 형성 방법을 나타내는 단면도이다.
- [0064] 도 10a를 참조하면, 반도체 기판(501) 상에 복수의 액세스 트랜지스터들(TA1)을 포함하는 제1 층간 절연막(502)을 형성한다. 상기 액세스 트랜지스터(TA1)는 콘택 플러그(571)와 연결된다. 상기 제1 층간 절연막(502) 상에

제1 영역(570a)과 제2 영역(570b)을 포함하는 제1 도전 라인(570)이 배치된다. 제1 도전 라인(570)은 우수한 도전성을 가지는 물질로, 그 예로는, 텅스텐(W), 알루미늄(Al), 티타늄 질화물(TiN), 구리(Cu) 등을 들 수 있다. 상기 제1 도전 라인(570)은 저항성 메모리의 비트라인으로 동작한다. 또한, 상기 제1 도전 라인(570)의 일부 구간을 패터닝하여 제3 영역(570c)을 형성함으로써, 상기 제1 영역(570a)과 제2 영역(570b)을 전기적으로 분리할 수 있다. 상기 제1 도전 라인의 제3 영역(570c)은 절연물질 등을 통해 매립된다.

[0065] 도 10b를 참조하면, 상기 제1 도전 라인(570) 상에 가변저항 물질(VR)을 산소 반응 스퍼터링 공정(O₂ reactive sputtering process), 화학기증 증착 공정(chemical vapor deposition process) 또는 원자층 증착 공정(atomic layer deposition process)에 의하여 형성될 수 있다. 더불어, 같은 방법으로 가변저항 물질 막 상에 다이오드를 형성할 수 있는 물질 막(532)을 형성할 수 있다.

[0066] 상기 가변저항 물질(VR)은, 전이 금속 산화물(TMO : transition metal oxide), 예를 들면, 티타늄 산화물(TiO_x), 니켈 산화물(NiO_x), 탄탈륨 산화물(TaO_x), 텅스텐 산화물(WO_x), 하프늄 산화물(HfO_x), 알루미늄 산화물(Al_xO_x), 스트론튬 티타늄 산화물($SrTiO_x$), 지르코늄 산화물(ZrO_x) 및 아연 산화물(ZnO_x) 중 어느 하나 또는 이들의 조합일 수 있다. 또는, 가변 저항 물질(VR)은, 고체 전해질, 예를 들면, Ag_2S , Cu_2S 및 칼코겐계(Chalcogenides) 화합물 이나, 또는 페로브스카이트계 화합물 과 같은 저항의 가변적 스위칭이 가능한 재료일 수도 있다. 우수한 비휘발성 메모리 소자를 구현하기 위하여, 가변저항물질(VR)들로서, 저저항 상태의 저항값과 고저항 상태의 저항값의 비가 크고, 소비 전력을 감소시키기 위해 구동 전압이 작은 재료가 선택될 수 있다.

[0067] 상기 다이오드를 형성할 수 있는 물질막(532)은, p형 산화물층과 n형 산화물층이 차례로 적층되었거나, p형 실리콘층과 n형 실리콘층이 차례로 적층되었을 수 있다. 예컨대, CuO층과 같은 p형 산화물층과 InZnO층과 같은 n형 산화물층이 순차로 적층되었을 수 있다.

[0068] 도 10c 참조하면, 상기 증착된 가변저항물질(VR)과 다이오드를 형성할 수 있는 물질막(도 10b의 532)을 패터닝하여 하부로 갈수록 폭이 넓어지는 복수의 적층 구조물(510)을 형성한다. 이 때, 제1 도전 라인(570)의 상부 면이 일부 노출되도록 한다. 이 후, 상기 적층 구조물과 같은 높이의 제2 층간 절연막(503)을 형성한다.

[0069] 도 10d를 참조하면, 상기 제2 층간 절연막(503)에 포토 레지스트(PR)를 이용하여 제1 도전 라인(570)의 제3 영역(570c)에 위치한 적층 구조물의 상부 층(도 10c의 532)을 식각하여 제거한다. 도 10e를 참조하면, 상기 제2 층간 절연막(503) 상부면에 제2 도전 라인(514, 523)을 증착한다. 상기 복수의 제2 도전 라인(514, 523)은 서로 평행한 배선일 수 있다. 이러한 제2 도전 라인(514, 523)은 소정의 금속 층을 라인 형태로 패터닝 함으로써 형성할 수 있다. 또한 제2 도전 라인(514, 523)은 우수한 도전성을 가지는 물질로, 그 예로는, 텅스텐(W), 알루미늄(Al), 티타늄 질화물(TiN), 구리(Cu) 등을 들 수 있다. 상기 제2 도전 라인(514, 523)의 일부(514)는 저항성 메모리를 구성하는 가변저항 물질막(513) 상에 위치하여 메모리의 워드라인으로 동작할 수 있다. 또한 다른 일부(523)는 저항 스위치를 구성하는 가변저항 물질막(522) 상에 위치하여 저항 스위치의 게이트로 동작할 수 있다. 상기 제2 도전 라인(514, 523)보다 높거나 유사한 높이의 제 3 층간 절연막(504)을 형성한다.

[0070] 도 10f를 참조하면, 상기 형성된 제1 레이어(LA1)와 동일한 구조의 복수의 레이어(예컨대, 제2 레이어 LA2)가 수직으로 적층된다. 더불어, 각 레이어(LA1, LA2)와 반도체 기판상에 위치한 각 액세스 트랜지스터(TA1)와 연결되도록 콘택 플러그(571)를 형성한다. 예를 들어, 제1 레이어(LA1)는 콘택 플러그(571)를 통해 제1 액세스 트랜지스터(TA1)와 연결될 수 있다.

[0071] 도 11은 도 5의 반도체 메모리 장치의 구조를 변형한 예를 나타내는 반도체 레이어의 회로도이다. 도 11에는 설명의 편의상 반도체 메모리 장치(300)에 포함되는 다수의 반도체 레이어들 중 어느 하나의 반도체 레이어만을 나타낸다. 레이어는 메모리 셀 영역(310)과 로직 영역(320)을 포함한다. 메모리 셀 영역(310)은 워드 라인들(WL), 비트라인들(BL)과 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(311)을 구비한다.

[0072] 로직 영역(320)은 컬럼 디코더(Column decoder)를 포함할 수 있다. 컬럼 디코더는 제어신호(Yi[0]~Yi[7])에 응답하여 스위칭되는 저항 스위치를 구비하며, 상기 제어신호(Yi[0]~Yi[7])는 로직 영역(320) 내에서 외부의 어드레스를 디코딩하여 발생할 수 있다. 상기 저항 스위치(321)의 스위칭 동작에 기반하여 비트

라인(BL)의 선택이 제어된다. 도 11에서는 그 일례로서, 하나의 레이어에 1024개의 비트 라인(BL)이 배치되고, 8개의 비트라인(BL)이 그룹화되어 상기 8개의 비트라인(BL)이 각각 제어신호($Y_i[0] \sim Y_i[7]$)에 의해 제어되는 예가 도시된다. 제어신호($Y_i[0] \sim Y_i[7]$)를 전달하는 라인은 비트라인(BL)에 각각 직교하여 배치된다. 하나의 그룹에 속하는 8 개의 비트라인(예컨대 BL[0]~BL[7])은 앞서 언급한 콘택 플러그(또는 비아 콘택)로 형성되는 하나의 데이터 라인(350)에 공통하게 연결되며, 상기 데이터 라인(350)은 기판에 배치되는 제어영역(미도시)의 글로벌 비트라인(GBL)에 연결된다. 도 11의 경우, 128 개의 그룹이 배치되는 예가 설명되었으므로, 상기 그룹에 대응하여 128 개의 데이터 라인(350)이 배치되고, 또한, 상기 128 개의 데이터 라인은 각각 128 개의 글로벌 비트라인(GBL[0]~GBL[127])에 연결된다. 상기 데이터 라인(350)은 글로벌 비트라인(GBL[0]~GBL[127])에 스위칭 가능하게 연결될 수 있으며, 도 11에 도시된 다른 제어신호($LS[0] \sim LS[127]$)는 데이터 라인(350)과 글로벌 비트라인(GBL[0]~GBL[127])의 연결을 제어하기 위한 신호이다.

[0073] 로직 영역(320)이 컬럼 디코더를 포함함으로써 레이어와 기판(미도시) 사이를 연결하기 위해 수직하게 배치되는 데이터 라인(350)의 수가 감소한다. 예를 들면, 기판 상의 제어 영역에 컬럼 디코더가 배치되고, 각 반도체 레이어에 배치되는 비트라인의 개수가 a 개인 경우, 각각의 레이어에 대응하여 동일한 수(a 개)의 글로벌 도전 라인이 배치되어야 한다. 반면에, 도 11과 같이 기판 상의 제어 영역의 일부 로직회로(예컨대, 컬럼 디코더)를 각 레이어 상에 배치하고, 8 개의 비트라인이 하나의 그룹으로 정의되는 경우, 컬럼 어드레스를 전달하기 위한 글로벌 도전 라인이 더 배치되더라도, 각각의 레이어의 비트라인에 대응하여 배치되는 글로벌 도전 라인(데이터 라인)의 수가 a/8 개로 감소하므로 전체 글로벌 도전 라인의 수를 줄일 수 있다.

[0074] 도 12는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 3차원으로 도시한 블록도이다. 도 12를 참조하면, 반도체 메모리 장치(600)는 수직하게 적층되는 기판(630)과 복수의 반도체 레이어(LA1~LA4)를 구비한다. 도 12에서는 4 개의 반도체 레이어가 기판(630)에 적층된 예를 나타내고 있으나, 다른 수의 레이어가 적층될 수도 있다. 복수의 레이어(LA1~LA4) 각각은 각각 메모리 셀 영역(610)과 로직 영역(620)을 포함한다. 메모리 셀 영역(610)은 워드 라인들(WL), 비트라인들(BL)과 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(cell)을 구비한다. 셀(cell)은 가변 저항소자와 다이오드를 포함하는 저항성 메모리일 수 있다.

[0075] 로직 영역(620)은 컬럼 디코더(620a)와 레이어 선택 영역(620b)을 포함한다. 복수의 레이어(LA1~LA4)와 기판(630) 사이의 데이터를 수직하게 전달하기 위한 데이터 라인(650)이 복수의 레이어(LA1~LA4)에 공유되어 있기 때문에, 레이어를 선택하기 위한 레이어 선택 영역(620b)이 복수의 레이어(LA1~LA4) 각각에 배치되어 레이어의 선택을 제어 할 수 있도록 한다.

[0076] 기판(630)에는 레이어들(LA1~LA4)의 메모리 동작을 제어하기 위한 제어 영역(640)이 배치된다. 제어영역(640)은 레이어들(LA1~LA4)의 워드라인(WL)의 선택을 제어하는 로우 디코더(641), 레이어들(LA1~LA4)로 컬럼 어드레스를 제공하기 위한 어드레스 버퍼(642), 레이어의 선택을 제어하기 위한 레이어 선택신호를 발생하는 레이어 선택 제어부(643) 및 레이어들(LA1~LA4)의 비트라인들(BL)과 기판(630) 상의 글로벌 비트라인(GBL)의 전기적 연결을 제어하는 스위칭 회로(644) 등을 포함할 수 있다. 제어 영역(640)은 각 레이어의 메모리 셀 영역(610)과 로직 영역(620)이 외부 신호들과 인터페이스 할 수 있도록 하며, 레이어들(LA1~LA4)과 글로벌 도전 라인들(650, 680a, 680b, 680c)을 통해 전기적으로 연결된다.

[0077] 컬럼 디코더(620a)와 레이어 선택 영역(620b)은 각각 저항 스위치(미도시)를 구비하며, 또한 도 12의 실시예에서는 레이어들(LA1~LA4)과 기판(630) 사이의 데이터를 전달하기 위한 데이터 라인(650)이 레이어들(LA1~LA4)에 공통하게 배치되는 예를 나타낸다. 이 경우, 레이어들(LA1~LA4) 사이의 데이터 충돌을 방지하기 위하여 레이어 선택 영역(620b) 각각에 구비되는 저항 스위치(미도시)가 레이어 선택 제어부(643)로부터의 제어신호에 응답하여 스위칭된다. 다수의 레이어들(LA1~LA4)이 순차적으로 선택됨에 따라 공통한 데이터 라인(650)을 통하여 기판(630)과 데이터를 송수신한다.

[0078] 도 13은 도 12의 3차원 반도체 메모리 장치를 구현하는 일례를 도시한 회로도이다. 반도체 메모리 장치(600)는 반도체 기판(630)과 기판상에 3차원으로 적층된 복수의 반도체 레이어(LA1~LA4)를 구비한다. 복수의 레이어(LA1~LA4) 각각은 메모리 셀 영역(610)과 로직 영역(620a, 620b)을 포함한다.

[0079] 도 13의 예에서는, 복수의 레이어(LA1~LA4) 각각의 4 개의 비트라인이 하나의 그룹으로 정의되며, 하나의 그룹의 비트라인들이 하나의 글로벌 도전 라인으로서 데이터 라인(650)에 연결된다. 복수의 레이어(LA1~LA4) 각각의 로직 영역(620a, 620b)은 컬럼 디코더(620a)와 레이어 선택 영역(620b)을 포함하고, 컬럼 디코더(620a)와 레이어 선택 영역(620b) 각각은 하나 이상의 저항 스위치(621a, 621b)를 포함한다. 컬럼 디코더(620a)의 저항 스위

치(621a)는 그 내부에 배치될 수 있는 디코딩 회로(미도시)로부터 발생하는 컬럼 선택신호(Yi[0] 내지 Yi[3])에 응답하여 제어되며, 또한 레이어 선택 영역(620b)의 저항 스위치(621b)는 기관의 제어 영역(미도시)으로부터 글로벌 도전 라인을 통해 전달되는 레이어 선택 제어신호(Li[0]~Li[3])에 응답하여 제어될 수 있다. 상기과 같은 과정에 의하여 레이어 및 비트라인이 선택되면, 선택된 레이어의 해당 비트라인으로부터의 데이터가 데이터 라인(650)을 통하여 기관 상의 글로벌 비트라인(GBL[0])으로 전달된다.

[0080] 도 14는 도 12의 3차원 반도체 메모리 장치를 달리 구현한 예를 나타내는 회로도이다. 도 14에는 설명의 편의상 하나의 반도체 레이어(제2 레이어, LA2)만이 도시된다. 상기 레이어(LA2)는 메모리 셀 영역(610)과 로직 영역(620a, 620b)을 포함하며, 로직 영역(620a, 620b)은 컬럼 디코더 영역(620a)과 레이어를 선택하기 위한 레이어 선택 영역(620b)을 포함한다. 메모리 셀 영역(610)은 워드 라인들(WL), 비트라인들(BL), 워드라인들(WL) 및 비트라인들(BL)의 교차점(Cross point)에 각각 배치되는 메모리 셀들(cell, 611)을 구비한다.

[0081] 도 14에서는 각각의 레이어(LA2)에 1024 개의 비트라인(BL[0]~BL[1023])이 배치되고, 8개의 비트라인이 하나의 그룹으로 정의되어 총 128개의 그룹이 구비되는 예가 도시된다. 각각의 그룹에 대응하여 수직하게 데이터를 전달하는 하나의 데이터 라인(650)이 배치되고, 저항 스위치로 구현되는 레이어 선택 스위치(621b)에 의하여 비트라인(BL[0] 내지 BL[1023])과 데이터 라인(650) 사이의 연결이 제어된다. 레이어(LA1)를 선택하기 위한 레이어 선택 스위치(621b)가 턴온 되는 경우, 비트라인(BL[0] 내지 BL[1023])은 데이터 라인(650)을 통하여 기관의 제어 영역(미도시)의 글로벌 비트라인(GBL[0]~GBL[127])과 연결된다.

[0082] 도 15는 도 14의 회로도에 대한 레이아웃으로서 본 발명의 반도체 메모리 장치 중 두 번째 레이어(LA2)의 일부분을 나타낸 도면이다. 레이아웃은 메모리 셀 영역(610), 컬럼 디코더(620a), 레이어 선택 영역(620b)로 구분된다.

[0083] 메모리 셀 영역(610)에는 비트라인(BL)과 워드라인(WL)이 각각 직교하여 배치된다. 각 비트라인(BL)과 워드라인(WL)의 교차 지점 사이에 저항성 소자가 위치하여 저항성 메모리(611)를 구성한다. 컬럼 디코더(620a)에는 비트라인(BL)이 연장되어 배치되며, 또한 컬럼 디코더(620a) 영역에서 상기 비트라인(BL)의 연장된 라인에 패터닝 구간이 형성된다. 또한 상기 패터닝 구간에 대응하여 제1 저항 스위치(621a)가 배치된다. 상기 제1 저항 스위치(621a)를 제어하기 위한 제어신호(Yi[0]~Yi[7])를 전달하는 라인(YL)이 비트라인(BL)에 직교하여 배치되며, 비트라인(BL)의 패터닝 된 부분과 제어신호(Yi[0]~Yi[7])를 전달하는 라인(YL)이 교차하는 지점에 제1 저항 스위치(621a)가 위치한다. 다수의 비트라인(BL)들은 하나의 그룹으로 정의되며, 예컨대 8개의 비트라인(BL[2,0]~BL[2,7])이 공통한 글로벌 도전 라인으로서 데이터 라인(650)을 통해 제어 영역(미도시)의 하나의 글로벌 비트라인(GBL[0])과 연결된다.

[0084] 레이어 선택 영역(620b)에는 8 개의 비트라인에 공통하게 연결되는 공통 비트라인(661)과 레이어 신호 라인(662)이 직교하여 배치되며, 그 교차점에 제2 저항 스위치(621b)가 배치된다. 공통 비트라인(661)은 레이어의 데이터를 기관(미도시)으로 전달하는 데이터 라인(650)에 연결되며, 또한 레이어 신호 라인(662)은 기관(미도시)으로부터 레이어 제어신호(Li[2])를 수신한다. 이에 따라, 복수개의 레이어가 적층 된 3차원 메모리 장치에서 데이터 라인(650)이 각 레이어에 공유되어 사용되더라도, 제2 저항 스위치(621b)의 on/off에 따라 레이어의 선택을 제어하여 데이터의 충돌을 방지한다.

[0085] 도 16a,b는 본 발명의 다른 실시예에 따른 3차원 적층 구조의 반도체 메모리 장치를 나타내는 블록도이다. 도 16a는 컬럼 디코더가 반도체 기관의 상부에 적층되는 반도체 레이어들(LA1~LAn) 각각의 로직 영역(720A)에 배치되고, 컬럼 디코더로 컬럼 어드레스(Yadd)를 제공하는 글로벌 도전 라인이 반도체 레이어들(LA1~LAn) 별로 서로 분리되어 배치되는 예를 나타낸다.

[0086] 도 16a에 도시된 바와 같이, 반도체 메모리 장치(700A)는 반도체 기관 상에 적층되는 복수의 레이어들(LA1~LAn)을 포함한다. 설명의 편의상 상기 반도체 기관은 앞서 설명된 기관과 동일 또는 유사하게 구현되므로 이에 대한 도시는 생략한다. 또한, 레이어들(LA1~LAn) 각각의 로직 영역(720A)은 컬럼 디코더를 포함하며, 상기 컬럼 디코더는 컬럼 어드레스(Yadd)를 디코딩하는 디코딩 회로(dec_cir, 721A)와, 상기 디코딩 결과에 따라 메모리 셀 영역(710A)의 데이터의 선택을 제어하는 스위칭 회로(swit_cir, 722A)를 포함한다.

[0087] 기관(미도시)으로부터의 워드라인 신호(Xsig)는 글로벌 도전라인(예컨대, 글로벌 워드라인)을 통해 레이어들(LA1~LAn) 각각의 워드라인(WL)으로 제공된다. 워드라인 신호(Xsig)에 응답하여 다수의 워드라인(WL) 중 어느 하나의 워드라인이 선택된다. 워드라인 구동 신호(Xsig)를 전달하는 글로벌 워드 라인이 레이어들(LA1~LAn)에 공유되는 경우, 상기 레이어들(LA1~LAn) 상의 동일한 위치에 배치된 워드라인(WL)이 공통하게 선택될 수 있다.

반면에, 컬럼 디코더로 컬럼 어드레스(Yadd)를 제공하는 글로벌 도전라인(예컨대, 글로벌 컬럼 어드레스 라인)은 서로 분리, 배치되므로, 어느 하나의 레이어의 비트라인(BL)을 선택하고, 상기 선택된 비트라인(BL)의 데이터를 글로벌 컬럼 어드레스 라인을 통하여 기판 상의 글로벌 비트라인(GBL)으로 전달할 수 있다.

[0088] 도 16b에 도시된 반도체 메모리 장치(700B)는, 컬럼 디코더에 구비되는 전체 회로가 레이어들(LA1~LAn)의 로직 영역(720B)에 배치되는 것이 아니라, 컬럼 디코더의 일부의 회로만이 로직 영역(720B)에 배치되는 예를 나타낸다. 컬럼 디코더는 컬럼 어드레스(Yadd)를 디코딩하는 디코딩 회로(743)와 디코딩 결과에 따른 비트라인 구동 신호(Ysig)에 응답하여 비트라인의 선택을 제어하는 스위칭 회로를 포함할 수 있다. 도 16b에 도시된 실시예에서는, 디코딩 회로(743)가 기판(730B)에 배치되고 스위칭 회로가 레이어들(LA1~LAn) 각각의 로직 영역(720B)에 배치되는 경우를 나타낸다.

[0089] 상기 기판(730B)은 어드레스 버퍼(741), 로우 디코더(742), 컬럼 디코딩 회로(743) 및 입출력 버퍼(744) 등을 구비할 수 있으며, 바람직하게는 상기 기판(730B)에 배치되는 로직 회로들을 CMOS 기반의 회로일 수 있다. 로우 디코더(742) 및 컬럼 디코딩 회로(743)는 각각 로우 어드레스(Xadd) 및 컬럼 어드레스(Yadd)를 디코딩하여 워드라인 구동신호(Xsig) 및 비트라인 구동신호(Ysig)를 발생한다. 또한, 워드라인 구동신호(Xsig) 및 비트라인 구동신호(Ysig)는 각각 레이어들(LA1~LAn)로 제공된다. 로직 영역(720B)에는 저항 스위치 기반의 스위칭 회로가 배치되며, 상기 스위칭 회로는 비트라인 구동신호(Ysig)에 응답하여 스위칭이 제어된다. 상기 스위칭 회로의 스위칭 동작에 기반하여 레이어들(LA1~LAn) 각각의 데이터가 기판(730B)의 입출력 버퍼(744)로 전달된다.

[0090] 도 17a,b,c,d는 본 발명의 또 다른 실시예에 따른 3차원 적층 구조의 반도체 메모리 장치를 나타내는 블록도이다. 도 17a는 로우 디코더가 반도체 레이어들(LA1~LAn)의 로직 영역(820A)에 배치되는 일례를 나타낸다.

[0091] 도 17a에 도시된 바와 같이, 반도체 메모리 장치(800A)는 반도체 기판(830A)과 그 상부에 적층되는 복수의 반도체 레이어들(LA1~LAn)을 포함한다. 레이어들(LA1~LAn) 각각은 메모리 셀 영역(810A)과 로직 영역(820A)을 포함하며, 상기 로직 영역(820A)은 저항 스위치를 기반으로 하는 로우 디코더(X-decoder)를 포함한다. 또한, 기판(830A)은 메모리 동작을 지원하기 위한 로직 회로들, 예컨대 어드레스 버퍼(841A), 컬럼 디코더(842A) 및 데이터를 소정의 단위로 저장하는 버퍼(예컨대 페이지 버퍼, 843A)를 구비한다.

[0092] 어드레스 버퍼(841A)는 로우 어드레스(Xadd) 및 컬럼 어드레스(Yadd)를 각각 로우 디코더(X-decoder) 및 컬럼 디코더(842A)로 제공한다. 로우 디코더는 레이어들(LA1~LAn)의 로직 영역(820A)에 배치되므로, 로우 어드레스(Xadd)는 글로벌 워드 라인을 통하여 레이어들(LA1~LAn)의 로우 디코더로 제공된다. 상기 로우 어드레스(Xadd)를 전달하기 위한 글로벌 워드 라인이 레이어들(LA1~LAn)마다 각각 분리되어 배치되는 예가 도시되었으나, 레이어들(LA1~LAn)에 대해 공통하게 배치될 수도 있다. 또한, 컬럼 디코더(842A)의 동작에 의하여 메모리 셀 영역(810A)의 비트라인(BL)의 선택이 제어되며, 상기과 같은 동작을 통하여 레이어들(LA1~LAn)로부터의 데이터가 페이지 버퍼(843A)로 전달된다.

[0093] 도 17B는 로우 디코더를 반도체 레이어들(LA1~LAn) 상에 배치하는 실시예를 변형한 경우를 나타낸다. 로우 디코더는 메인 워드라인을 구동하는 메인 워드라인 구동부(Main X_dri, 843B)와 서브 워드라인을 구동하는 서브 워드라인 구동부(Sub X_dri)를 포함할 수 있으며, 서브 워드라인 구동부(Sub X_dri)는 실제 메모리 셀을 액세스하기 위한 워드라인(WL)에 연결된다. 도 17B의 예에서는, 메인 워드라인 구동부(843B)가 반도체 기판(830B)에 배치되고, 레이어들(LA1~LAn)의 로직 영역이 서브 워드라인 구동부(821B)와 컬럼 디코더(822B)를 포함하는 경우를 나타낸다. 기판(830B)은 상기 메인 워드라인 구동부(843B) 외에도 로우 어드레스 버퍼(841B), 디코딩 회로(842B), 컬럼 어드레스 버퍼(844B) 및 입출력 버퍼(845B) 등을 구비할 수 있다.

[0094] 디코딩 회로(842B)는 로우 어드레스를 디코딩하고, 그 디코딩 결과를 메인 워드라인 구동부(843B)와 서브 워드라인 구동부(821B)으로 제공한다. 상기 디코딩 결과는 기판(830B) 상의 도전 라인을 통해 메인 워드라인 구동부(843B)로 제공되며, 또한 글로벌 도전라인을 통해 서브 워드라인 구동부(821B)로 제공된다. 레이어들(LA1~LAn) 각각의 서브 워드라인 구동부는 메인 워드라인 구동부(843B)로부터의 구동 신호 및 디코딩 회로(842B)로부터의 디코딩 신호에 응답하여 워드라인(WL)을 액세스하기 위한 구동 신호를 발생한다. 도 17B에서는, 메인 워드라인 구동부(843B)로부터의 구동 신호가 서로 공통한 글로벌 도전 라인을 통해 레이어들(LA1~LAn)로 제공되고, 또한 디코딩 회로(842B)로부터의 디코딩 신호가 분리 구조의 글로벌 도전 라인을 통해 레이어들(LA1~LAn)로 제공되는 예가 도시되었으나, 이와 같은 글로벌 도전 라인의 구조는 앞선 실시예에서 개시된 설명에 근거하여 다양한 변형이 가능할 것이다.

[0095] 도 17c의 반도체 메모리 장치(800C)는 로우 디코더(X-decoder) 및 컬럼 디코더(Y-decoder)가 모두 반도체 레이

어들(LA1~LAn) 각각에 배치되는 예를 나타낸다. 도 17c에 도시된 바와 같이, 반도체 메모리 장치(800C)는 반도체 기관(830C)과 기관(830C) 상부에 적층된 복수의 반도체 레이어들(LA1~LAn)을 구비한다. 레이어들(LA1~LAn) 각각은 메모리 셀 영역(810C)과 로직 영역을 구비하며, 상기 로직 영역은 저항성 스위치 기반의 로우 디코더(821C) 및 컬럼 디코더(822C)를 포함한다. 기관(830C)은 메모리 동작을 지원하기 위한 다양한 로직 회로들을 포함하며, 일례로서 로우 어드레스 버퍼(841C), 컬럼 어드레스 버퍼(842C) 및 입출력 버퍼(843C)를 포함한다.

[0096] 로우 어드레스 버퍼(841C)는 글로벌 도전 라인을 통하여 로우 어드레스(Xadd)를 레이어들(LA1~LAn)로 제공하며, 또한 컬럼 어드레스 버퍼(842C)는 글로벌 도전 라인을 통하여 컬럼 어드레스(Yadd)를 레이어들(LA1~LAn)로 제공한다. 글로벌 도전 라인을 구현하는 일례로서, 로우 어드레스(Xadd)를 전달하는 글로벌 도전 라인이 레이어들(LA1~LAn) 각각에 대하여 분리 배치되며, 또한 컬럼 어드레스(Yadd)를 전달하는 글로벌 도전 라인이 레이어들(LA1~LAn) 각각에 대하여 분리 배치될 수 있다. 또한, 레이어들(LA1~LAn)과 입출력 버퍼(843C) 사이의 데이터를 전달하기 위한 글로벌 도전 라인 또한 레이어들(LA1~LAn) 각각에 대하여 분리 배치될 수 있다.

[0097] 도 17d는 로우 디코더 및 컬럼 디코더 이외에 다른 로직 회로들이 반도체 레이어들에 배치되는 예를 나타낸다.

[0098] 도 17d에 도시된 바와 같이, 반도체 메모리 장치(800D)는 반도체 기관(830D) 및 기관(830D)에 수직 적층되는 복수의 반도체 레이어들(LA1~LAn)을 구비하며, 레이어들(LA1~LAn) 각각은 메모리 셀 영역(810D) 및 로직 영역을 구비한다. 상기 로직 영역은 다양한 로직 회로를 포함할 수 있으며, 도 17d에서는 그 일례로서 페이지 버퍼(821D), 컬럼 디코더(822D) 및 ECC 회로(823D)가 로직 영역에 배치되는 예가 도시된다. K. Terable 등이 2005년에 Nature에 발표한 "Quantized conductance atomic switch" 논문에서 AND, OR, NOT 게이트와 같은 논리소자도 저항 스위치로 구현할 수 있음을 보여주고 있다. 따라서 상기 다양한 로직 회로 구현도 논리 소자들의 조합을 통해 가능함을 알 수 있다.

[0099] 기관(830D)은 메모리 동작을 지원하기 위한 제어 영역(840D)을 구비한다. 제어 영역(840D)은 다수의 글로벌 도전 라인(851D~853D)을 통하여 레이어들(LA1~LAn)과 각종 신호를 송수신한다. 일례로서, 워드라인(WL)을 선택하기 위하여 글로벌 도전 라인(851D)을 통하여 워드라인 신호가 제어 영역(840D)으로부터 레이어들(LA1~LAn)로 전달된다. 또한, 로직 영역에 배치되는 다양한 로직 회로들을 제어하기 위한 신호가 글로벌 도전 라인(852D)을 통하여 레이어들(LA1~LAn)로 전달된다. 상기와 같은 제어 동작에 기반하여 데이터에 대한 라이트/리드 동작이 지원되며, 이에 따른 데이터가 글로벌 도전 라인(853D)을 통하여 레이어들(LA1~LAn)과 기관(830D) 사이에서 전달된다.

[0100] 한편, 레이어들(LA1~LAn)의 로직 영역에 로직 회로를 배치함에 있어서, 메모리 동작을 지원하기 위한 다수의 종류의 로직 회로들 중 소정의 특성을 갖는 로직 회로를 선택할 필요가 있다. 예컨대, 상기 로직 회로들은 레이어들(LA1~LAn) 각각에 대하여 로컬하게 이용되는 회로 그룹과, 레이어들(LA1~LAn)에 대해 글로벌하게 이용되는 회로 그룹을 포함할 수 있다. 로직 영역에 로직 회로를 배치함에 있어서, 레이어들(LA1~LAn) 각각에 대하여 로컬하게 이용되는 회로 그룹 중에서 적어도 하나의 로직 회로를 선택하여 상기 로직 영역에 배치할 수 있다.

[0101] 또한, 상기 로직 회로들은, 저항 스위치를 기반으로 하여 구현되고 그 스위칭 동작에 기반하여 기능을 수행하는 회로 그룹과, 그 이외의 회로 그룹을 포함할 수 있다. 도 17D는 페이지 버퍼(821D), 컬럼 디코더(822D) 및 ECC 회로(823D) 등의 로직 회로가 로직 영역에 배치되는 예를 설명하였으나, 상기와 같은 로직 회로의 특성을 고려하여 기타 다른 로직 회로가 로직 영역에 배치될 수 있다.

[0102] 도 18A,B,C는 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치 및 시스템을 나타내는 블록도이다. 도 18A는 3차원 적층 구조의 반도체 메모리 장치를 포함하는 시스템으로서, 상기 메모리 시스템(900A)은 메모리 장치를 구성하는 메모리 셀 영역(910A)과 메모리 동작을 지원하기 위한 회로 영역(921A, 941A)을 포함하며, 또한 메모리 장치의 제어를 위한 컨트롤러 영역(922A, 942A)이 집적된 시스템을 나타낸다. 메모리 장치와 컨트롤러의 구분을 명확히 하기 위하여, 메모리 동작을 지원하기 위한 회로 영역(921A, 941A)을 주변회로 영역(Peri region)으로 지칭한다.

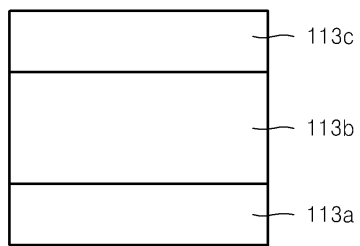
[0103] 주변 회로나 컨트롤러 각각은 다수의 로직 회로들로 구성될 수 있다. 또한, 상기 로직 회로들은 저항 스위치 기반으로 구현 가능한 로직 회로를 포함하며, 또한 복수의 반도체 레이어들(LA1~LAn) 각각에 대하여 로컬하게 이용되는 로직 회로를 포함한다. 이에 따라, 주변 회로나 컨트롤러 각각은 일부의 로직 회로가 기관(930A)에 배치되고, 다른 일부의 로직 회로가 레이어들(LA1~LAn) 각각에 배치될 수 있다. 도 18A에 도시된 바와 같이, 제1 컨트롤러 영역(942A)과 제2 컨트롤러 영역(922A)이 컨트롤러를 구성하며, 상기 제1 컨트롤러 영역(942A)은 기관(930A)에 배치되고, 제2 컨트롤러 영역(922A)은 레이어들(LA1~LAn) 각각에 배치된다. 이와 유사하게, 제1 페리 회로 영역(941A)은 기관(930A)에 배치되고, 제2 페리회로 영역(921A)은 레이어들(LA1~LAn) 각각에 배치된다.

- [0104] 도 18B는 본 발명의 적층 구조의 반도체 메모리 장치에서 반도체 레이어간 글로벌 도전 라인이 관통 실리콘 비아(Through Silicon Via, TSV)로 구현되는 예를 나타낸다. 반도체 메모리 장치(900B)가 복수의 실리콘 기판을 구비하고, 가장 하부의 기판(920B)이 마스터로서 동작하고 그 상부에 적층된 실리콘 기판(910B)이 슬레이브로서 동작하는 경우를 예로 들어 설명한다.
- [0105] 반도체 메모리 장치(900B)에 구비되는 기판 상에는 다양한 종류의 메모리 셀이 배치될 수 있다. 일반적으로 슬레이브 기판(910B)에 메모리 셀 영역(911B)이 배치될 수 있으나, 마스터 기판(920B) 또한 메모리 셀 영역(921B)을 구비할 수도 있다. 또한, 메모리 동작을 지원하기 위한 구동 회로가 반도체 메모리 장치(900B) 내에 구비된다. 구동 회로의 일부의 로직 회로를 마스터 기판(920B)의 제어 영역(922B)에 배치하며, 다른 일부의 로직 회로를 슬레이브 기판(910B)의 로직 영역(912B)에 배치한다.
- [0106] 상술하였던 바와 같이, 메모리 셀의 단위 구조는 하나 이상의 소자를 이용하여 구현된다. 슬레이브 기판(910B)의 로직 영역(912B)을 구현함에 있어서, 상기 메모리 셀의 단위 구조에 포함되는 소자와 동일한 소자에 의하여 로직 영역(912B)을 구현한다. 일례로서, 슬레이브 기판(910B)의 메모리 셀 영역(911B)이 저항성 소자를 포함하는 저항성 메모리로 구현되는 경우, 로직 영역(912B)이 상기 저항성 소자를 이용한 저항 스위치를 포함하도록 한다. 상기와 같은 경우, 기판들(910B, 920B) 사이의 수직한 신호 전달을 위하여 실리콘 기판을 관통하여 연결되는 TSV 등이 반도체 메모리 장치(900B) 내에 구비될 수 있다.
- [0107] 도 18C는 반도체 메모리 장치(900C)가 이중 메모리를 구비하는 실시예를 나타낸다. 반도체 메모리 장치(900C)는 반도체 기판(930C) 및 이에 적층된 복수의 반도체 레이어(910C, 920C)를 구비한다. 일부의 반도체 레이어(제1 레이어, 910C)는 제1 타입의 메모리 셀이 배치된 셀 영역(911C)을 포함하고, 다른 일부의 반도체 레이어(제2 레이어, 920C)는 제2 타입의 메모리 셀이 배치된 셀 영역(921C)을 포함한다. 예컨대, 제1 레이어(910C)는 DRAM 등과 같은 휘발성 메모리를 포함하며, 제2 레이어(920C)는 저항성 메모리 등과 같은 불휘발성 메모리를 포함할 수 있다. 한편, 상기 기판(930C)은 메모리 동작을 지원하기 위한 각종 로직 회로들, 예컨대 로우 디코더(931C, 932C), 어드레스 버퍼(933C, 934C), 제1 레이어용 컬럼 디코더(935C) 및 입출력 버퍼(936C)를 포함한다. 도 18C에서는 기판(930C)에 배치되는 디코더, 버퍼 등의 구성이 제1 및 제2 레이어용 디코더, 버퍼로 구분하여 도시되었으나, 상기 디코더 및 버퍼 등은 각각의 레이어(하나의 레이어)에 대하여 구분하여 배치되는 것으로 설명될 수도 있다.
- [0108] 제2 레이어(920C)가 저항성 메모리가 배치된 셀 영역(921C)을 구비하는 경우, 로직 회로(예컨대, 컬럼 디코더)는 상기 저항성 메모리의 저항성 소자와 동일한 소자를 이용하여 구현될 수 있다. 이에 따라, 상기 저항성 소자로 구현되는 저항 스위치 기반의 로직 회로(예컨대, 컬럼 디코더)를 제2 레이어(920C) 상에 배치한다. 반면에, 제1 레이어(910C)의 셀 영역(911C)에 포함되는 소자를 이용하여 로직 회로의 구현이 불가능하거나 그 구현이 용이하지 않은 경우, 제1 레이어(910C)를 위한 로직 회로는 CMOS 회로를 기반으로 하여 기판(930C)에 배치한다.
- [0109] 상기와 같은 도 18C의 이중 메모리를 포함하는 반도체 메모리 장치(900C)는 랜덤 액세스가 가능하여 시스템 데이터를 저장하는 메모리를 포함함과 동시에 대용량의 데이터를 저장하는 메모리를 포함할 수 있다. 대용량의 메모리를 저장하기 위하여 다수 개의 제2 레이어(920C)가 반도체 메모리 장치(900C)에 포함되므로, 상기 제2 레이어(920C)의 메모리를 구동하기 위한 구동 회로 및 글로벌 도전 라인의 면적이 늘어나게 된다. 그러나, 본 발명의 실시예에 따라, 상기 제2 레이어(920C)의 메모리를 구동하기 위한 일부의 로직 회로를 제2 레이어(920C) 상에 배치하므로 구동 회로의 면적 및 글로벌 도전 라인의 면적의 증가에 따른 제약을 감소할 수 있다.
- [0110] 도 19는 본 발명의 실시예들에 따른 적층 구조의 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 블록도이다.
- [0111] 도 19를 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신하는 시스템 등 메모리 장치를 이용하는 모든 시스템에 적용될 수 있다.
- [0112] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리 장치(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0113] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리 장치(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에

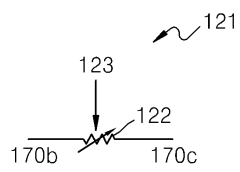
사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터를 입력받기 위한 수단 및 시스템(1100) 외부로 데이터 또는 신호를 출력하기 위한 수단으로서, 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.

- [0114] 메모리 장치(1130)는 본 발명의 실시예들에 따른 적층 구조의 반도체 메모리 소자를 포함한다. 메모리 장치(1130)는 비휘발성 메모리를 포함하거나, 또는 다른 종류의 메모리, 예컨대 임의의 수시 접근이 가능한 휘발성 메모리를 포함하거나, 휘발성 및 비휘발성 메모리를 모두 포함할 수 있다. 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.
- [0115] 도 20은 본 발명의 일 실시예에 따른 적층 구조의 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.
- [0116] 도 20을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 메모리 장치(1210)를 장착한다. 상기 메모리 장치(1210)는 저항성 메모리를 포함하는 RRAM 일 수 있다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0117] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로서 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트(Host)의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 메모리 장치(1210)와 인터페이싱하여 데이터를 제공하거나 수신한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0118] 도 21은 본 발명에 따른 반도체 메모리 시스템이 장착된 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0119] 도 21을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 메모리 시스템(1310)이 장착되며, 도 19의 예에서는 메모리 시스템(1310)의 일예로서 적층 구조를 이루며 저항성 메모리를 포함하는 RRAM 시스템이 적용된다. 상기 메모리 시스템(1310)은 RRAM(1311)과 메모리 동작을 제어하기 위한 메모리 컨트롤러(1312)를 포함한다. 본 발명에 따른 정보 처리 시스템(1300)은 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 메모리 시스템(1310)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0120] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

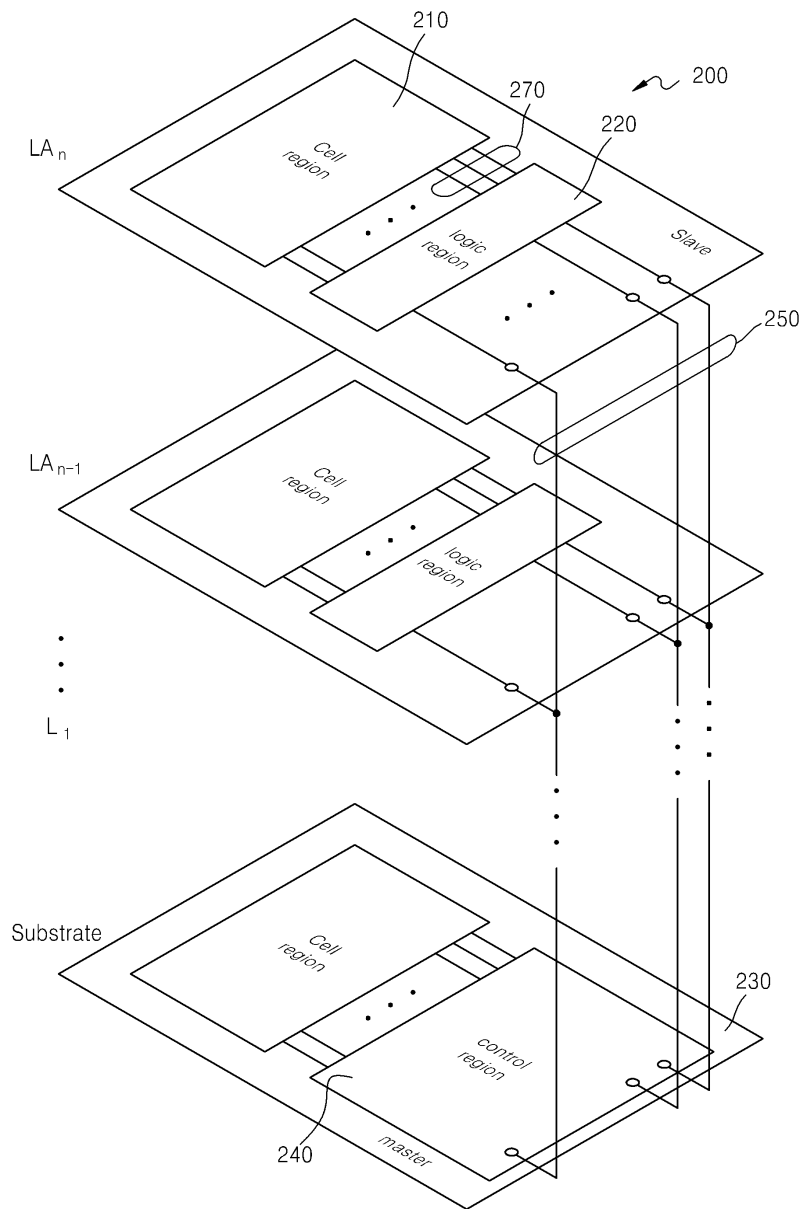
도면2c



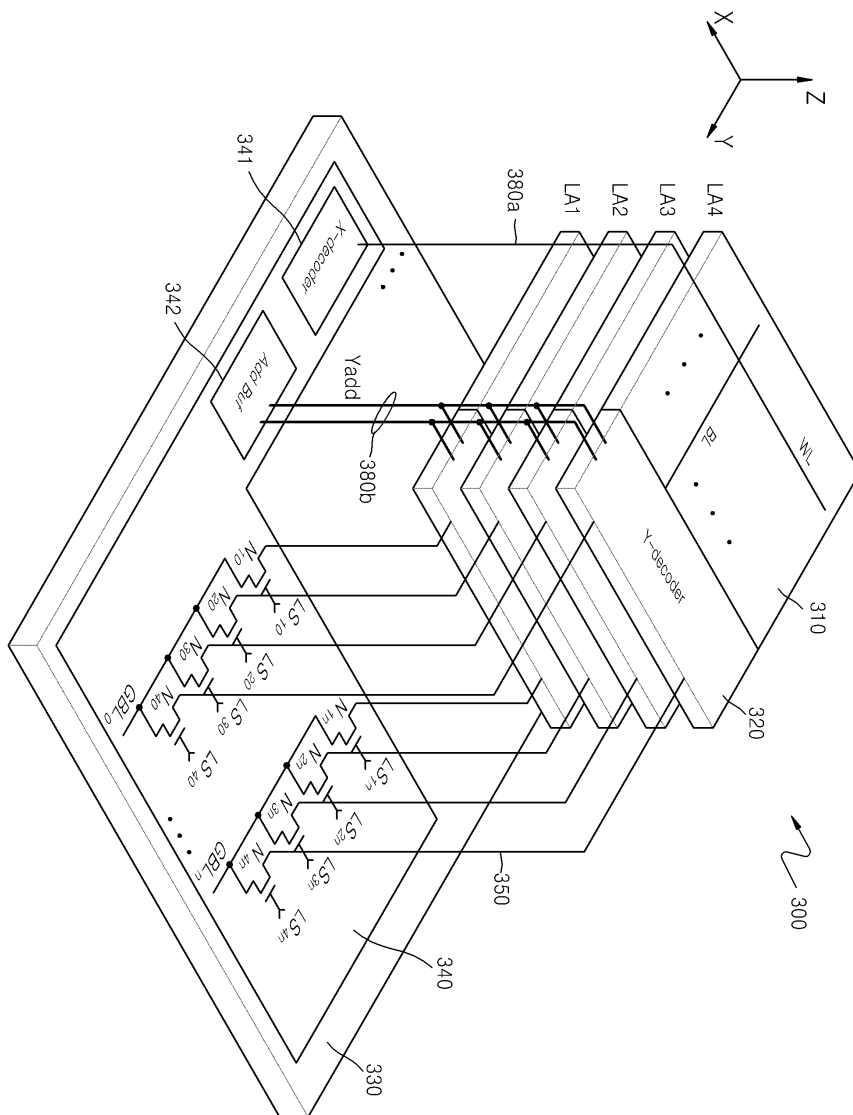
도면2d



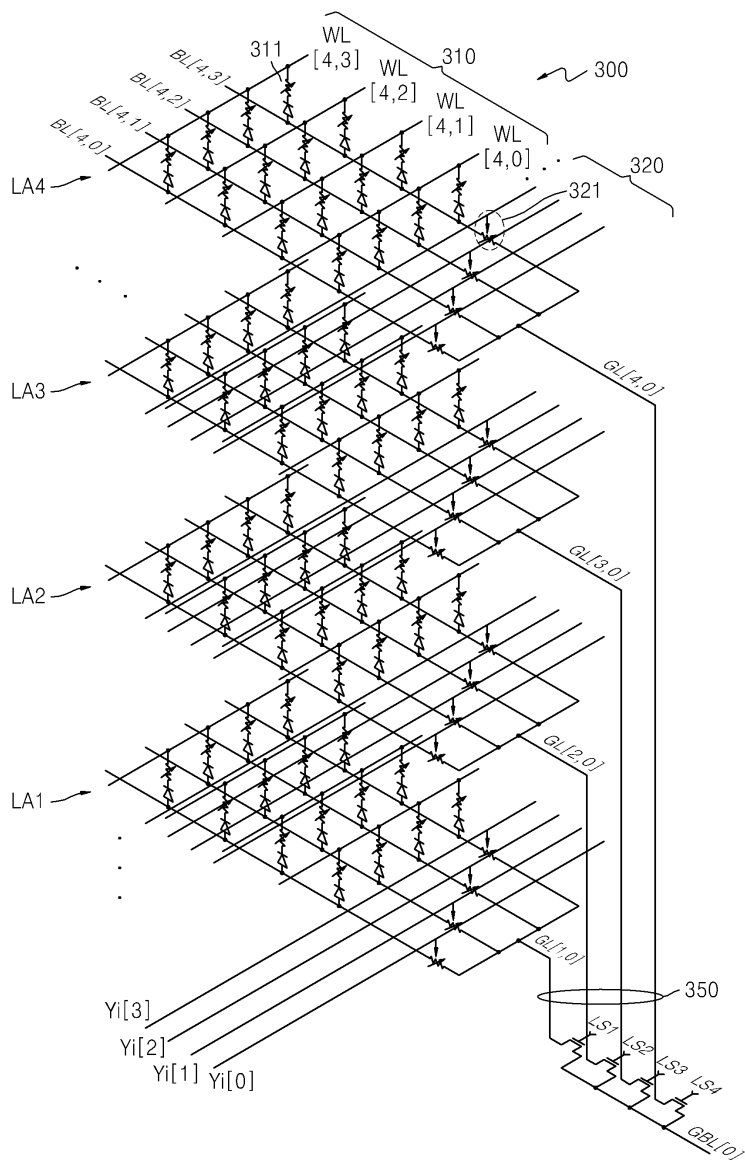
도면3



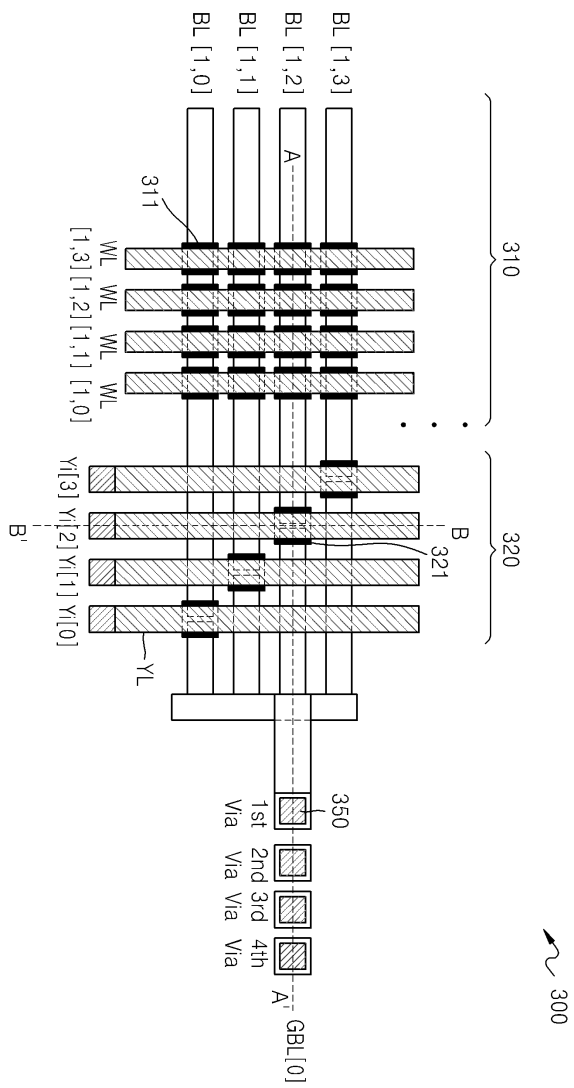
도면4



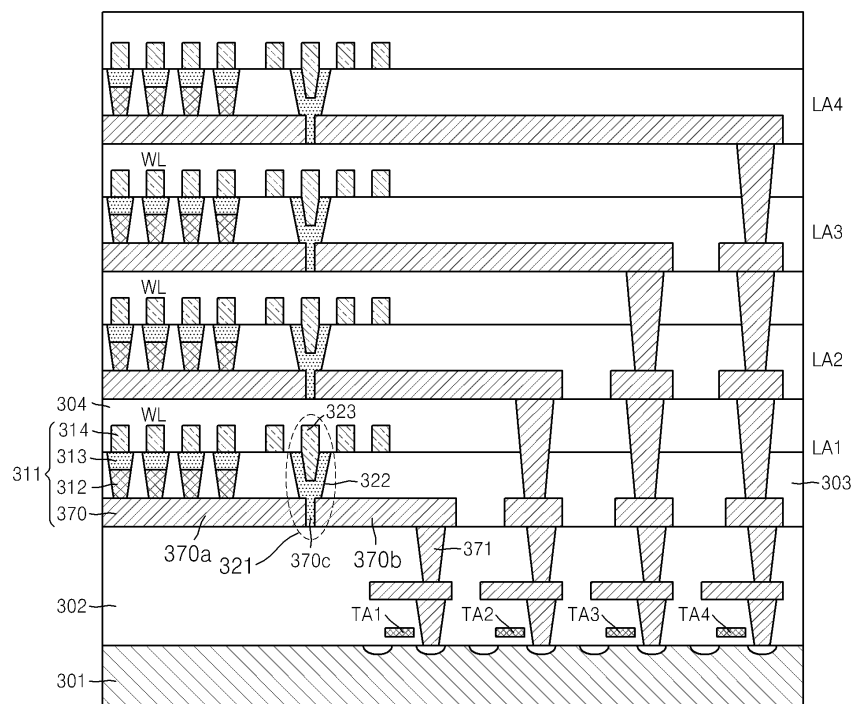
도면5



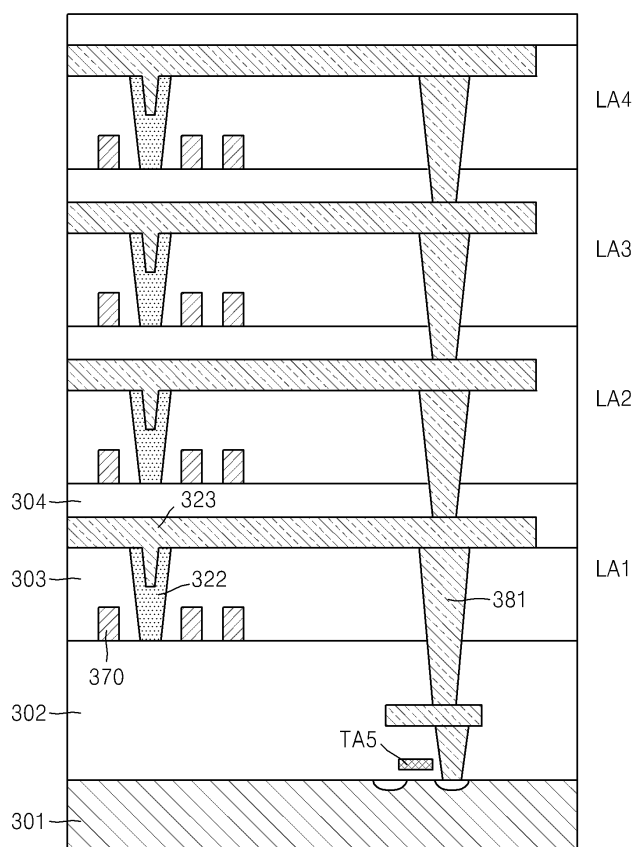
도면6



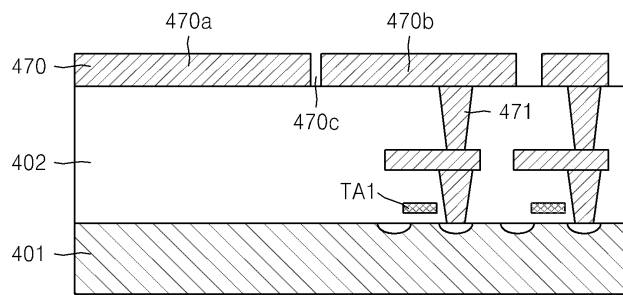
도면7



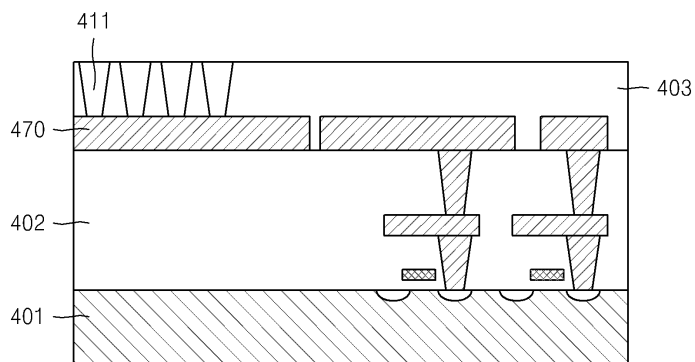
도면8



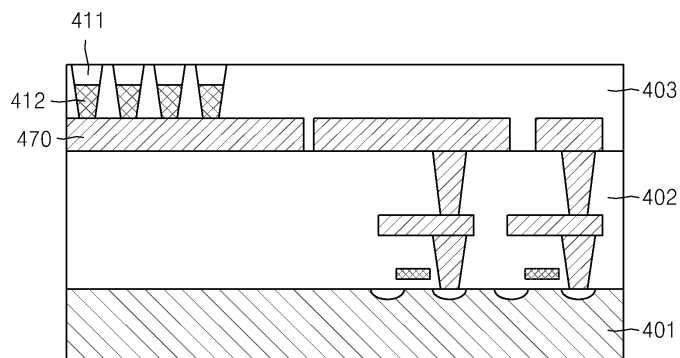
도면9a



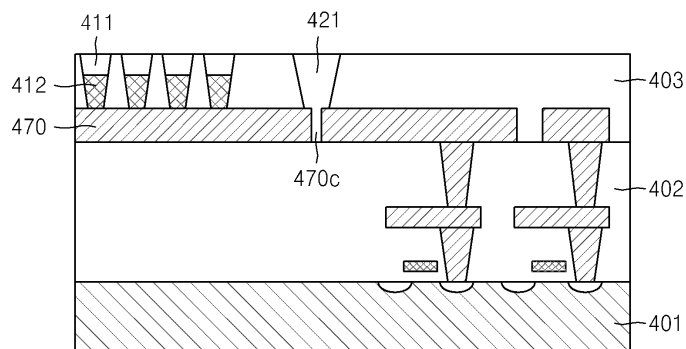
도면9b



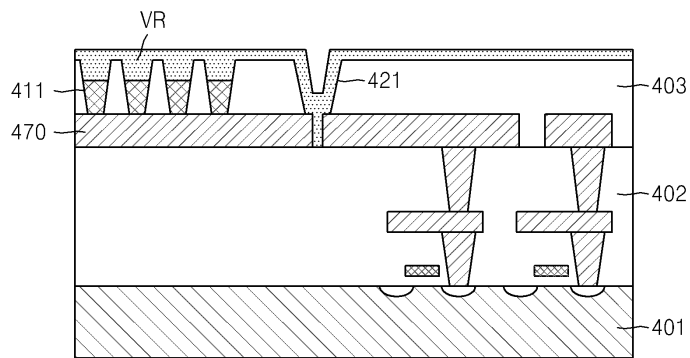
도면9c



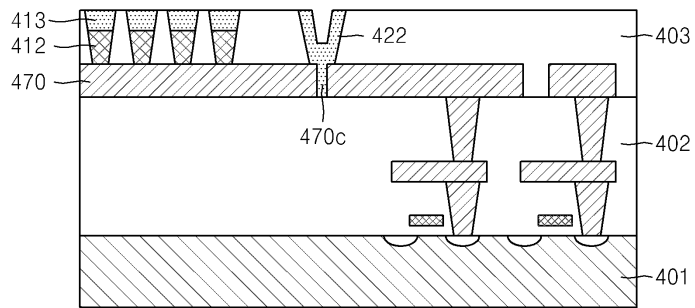
도면9d



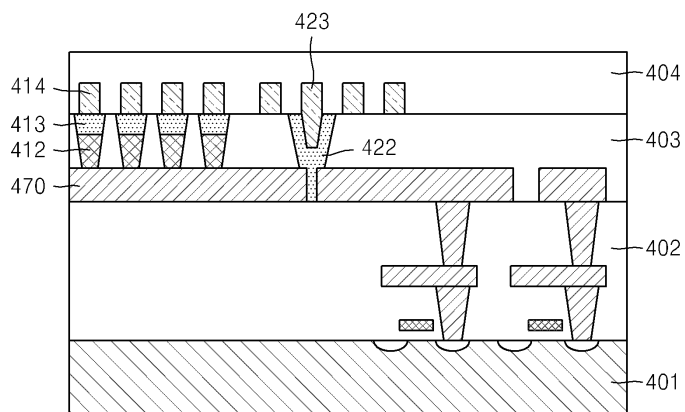
도면9e



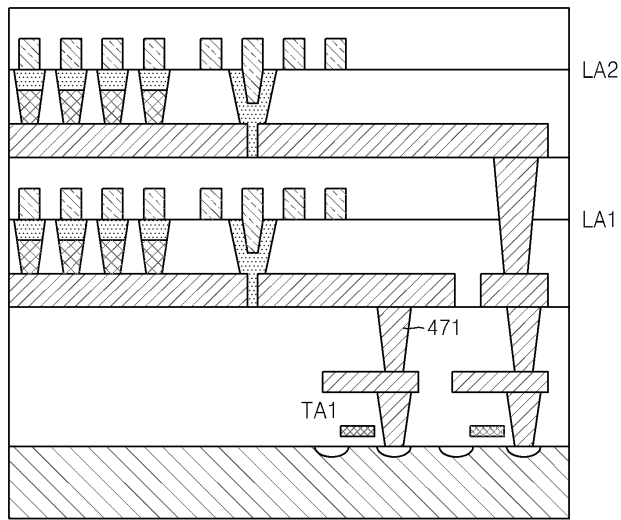
도면9f



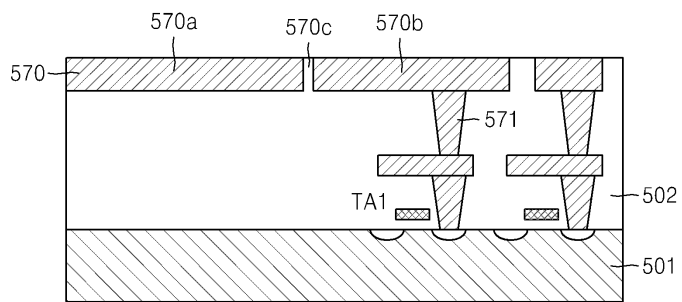
도면9g



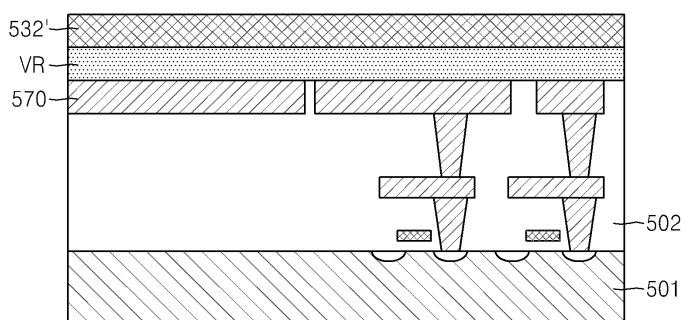
도면9h



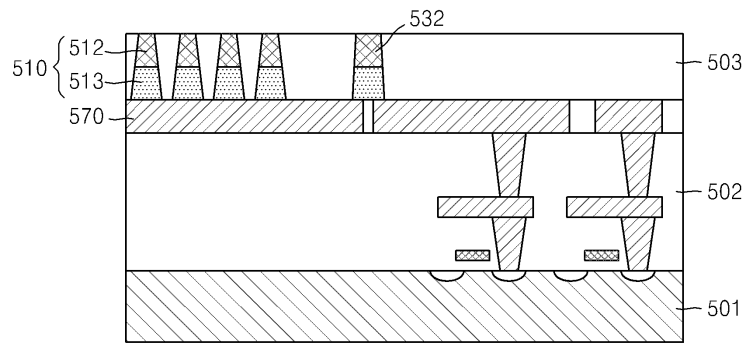
도면10a



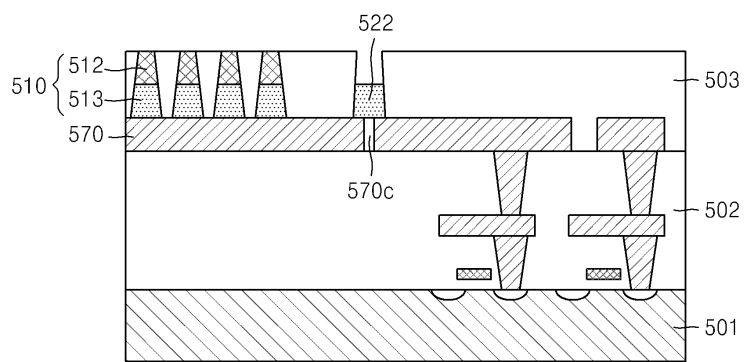
도면10b



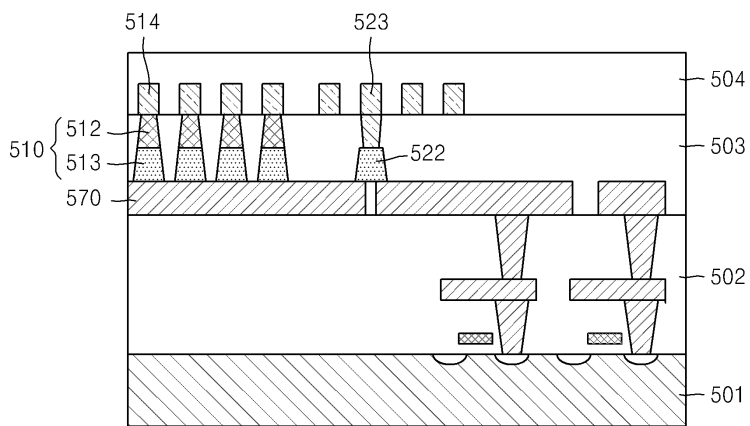
도면10c



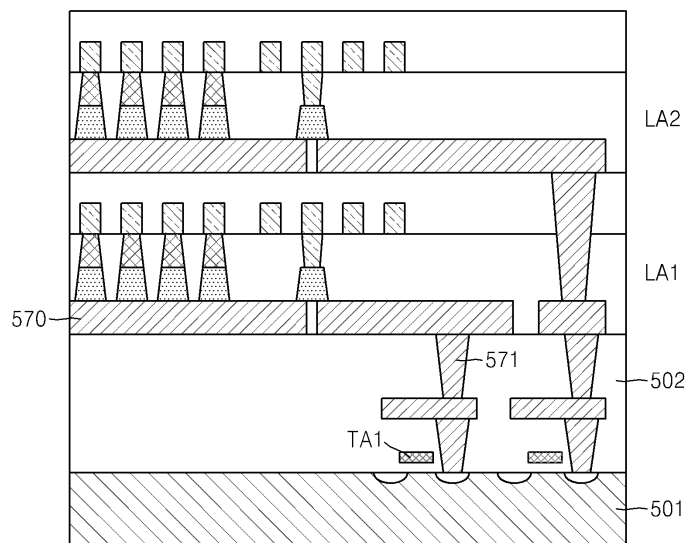
도면10d



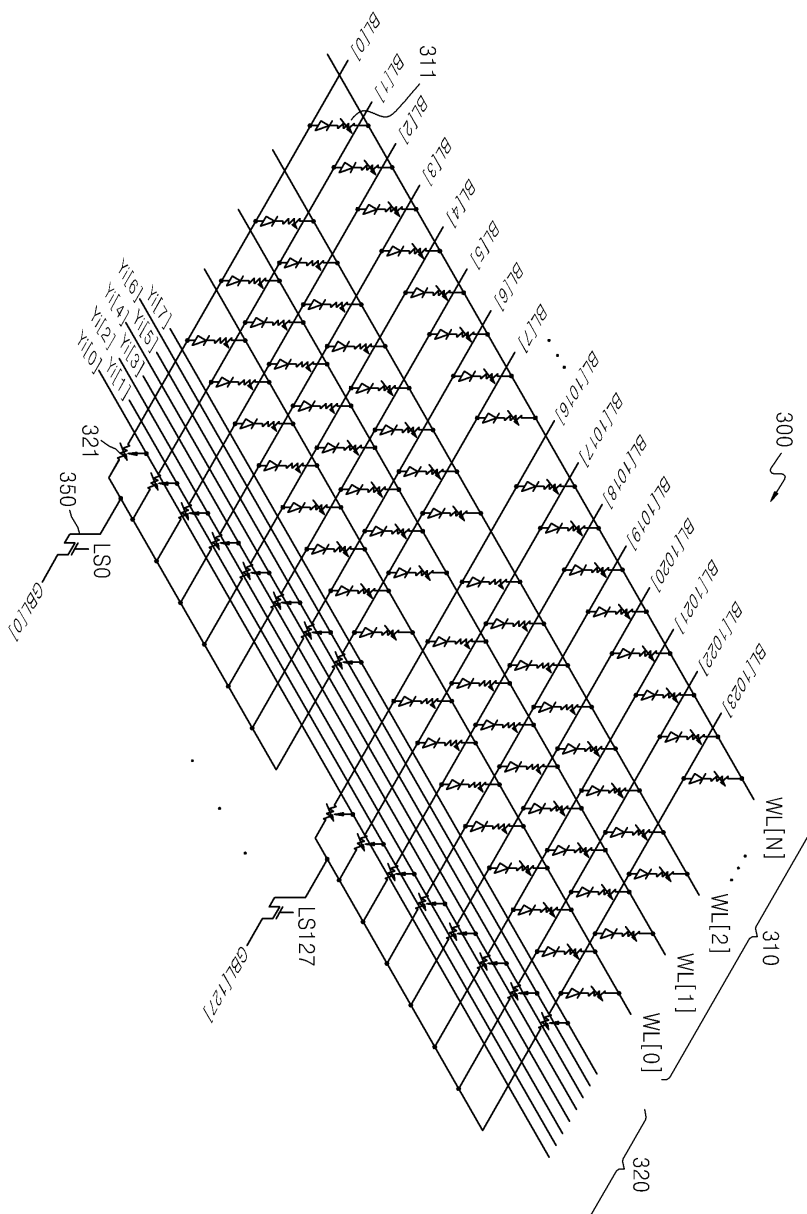
도면10e



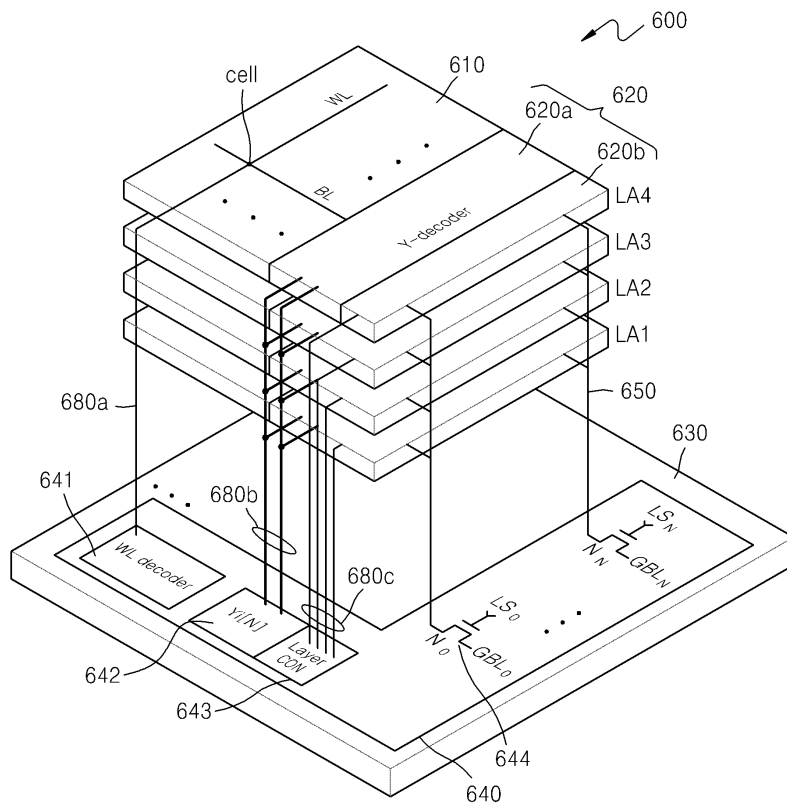
도면10f



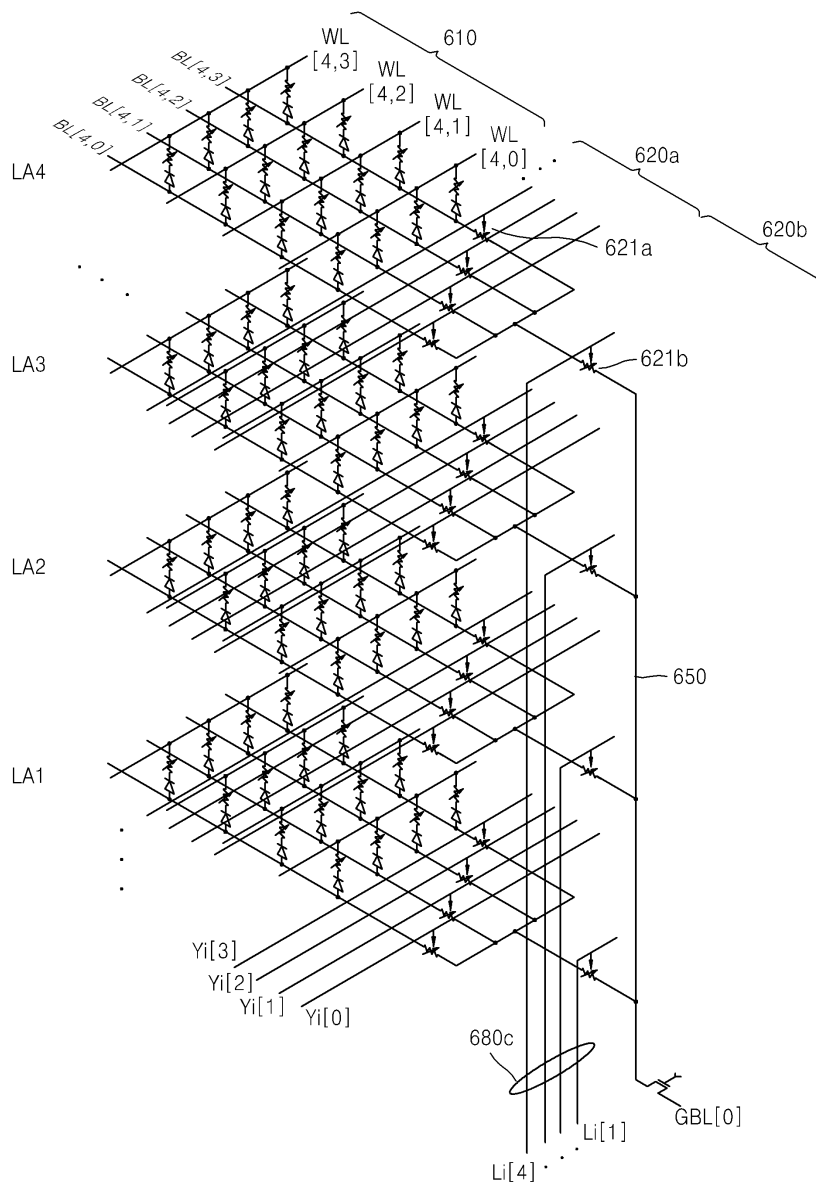
도면11



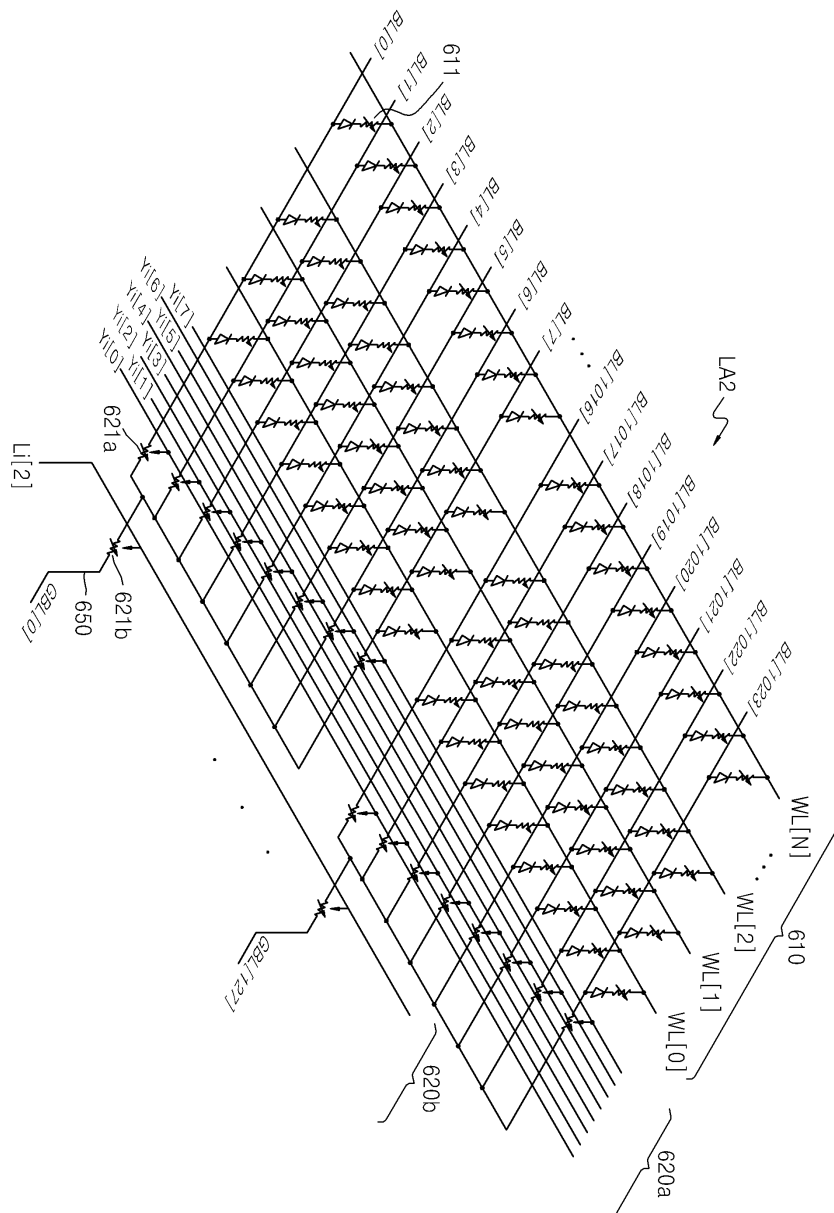
도면12



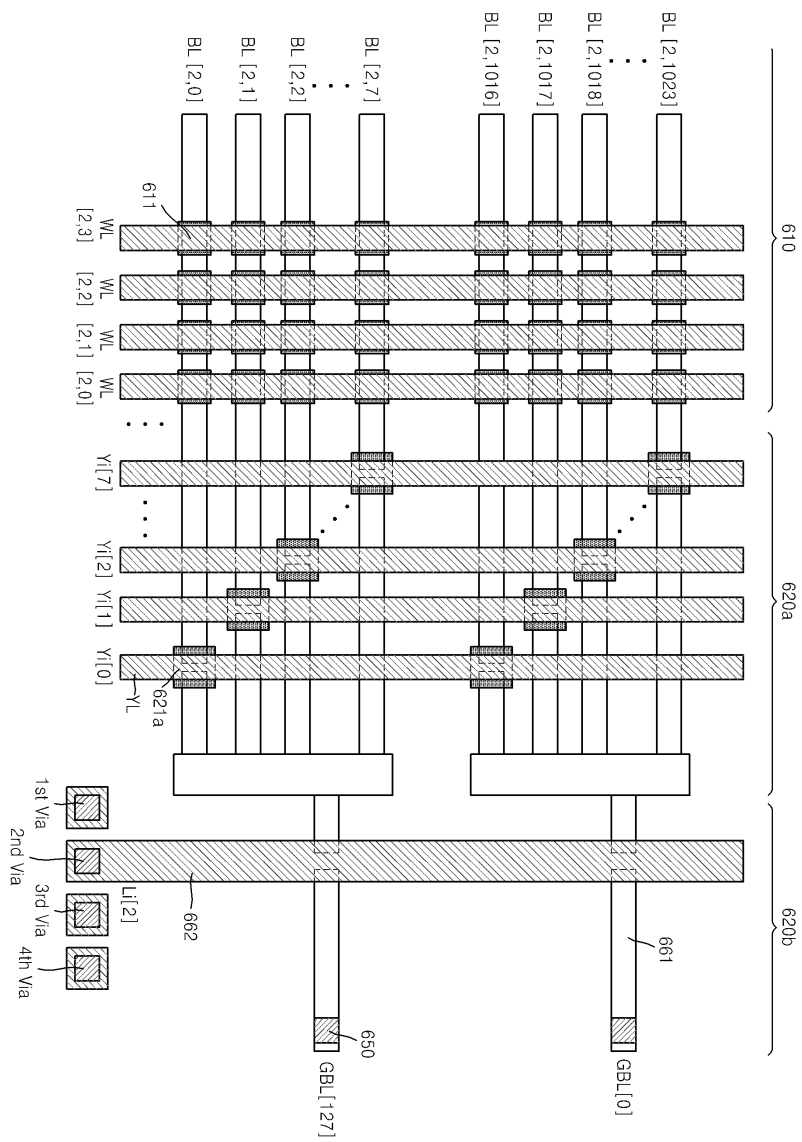
도면13



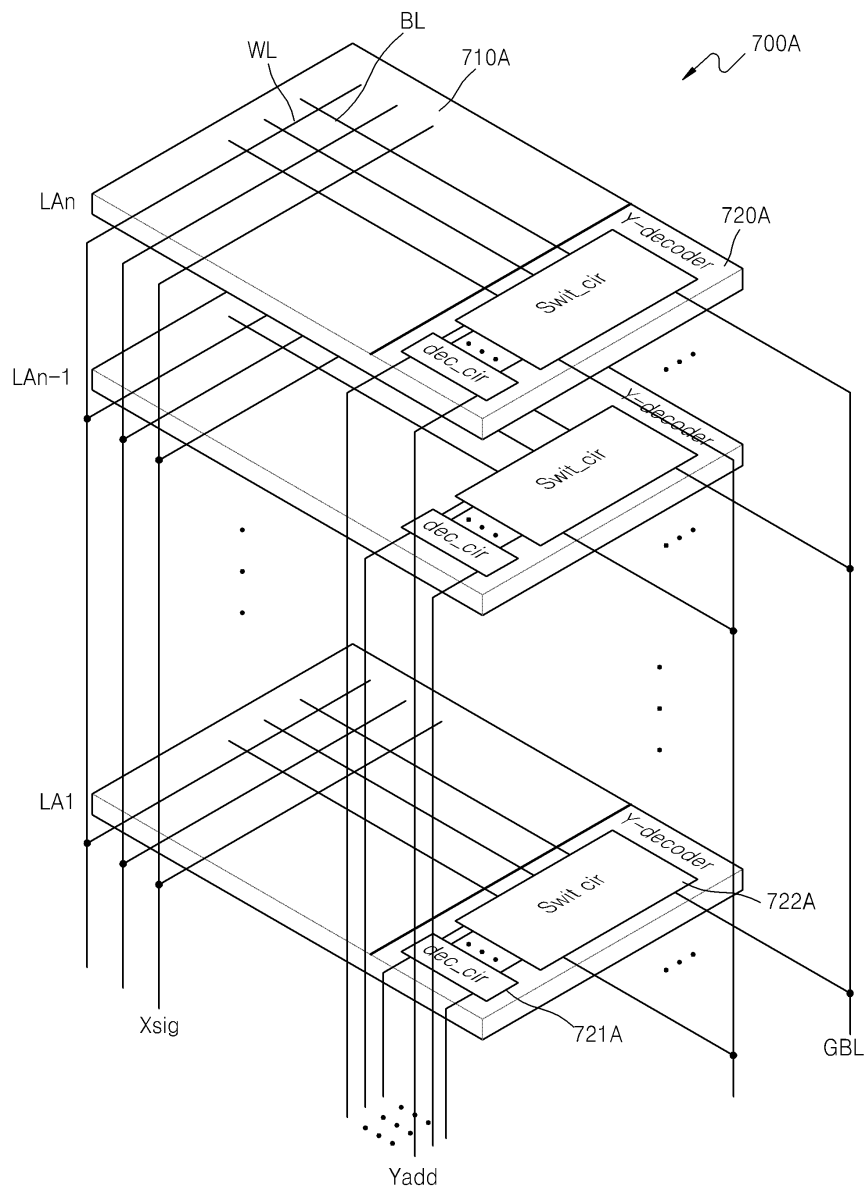
도면14



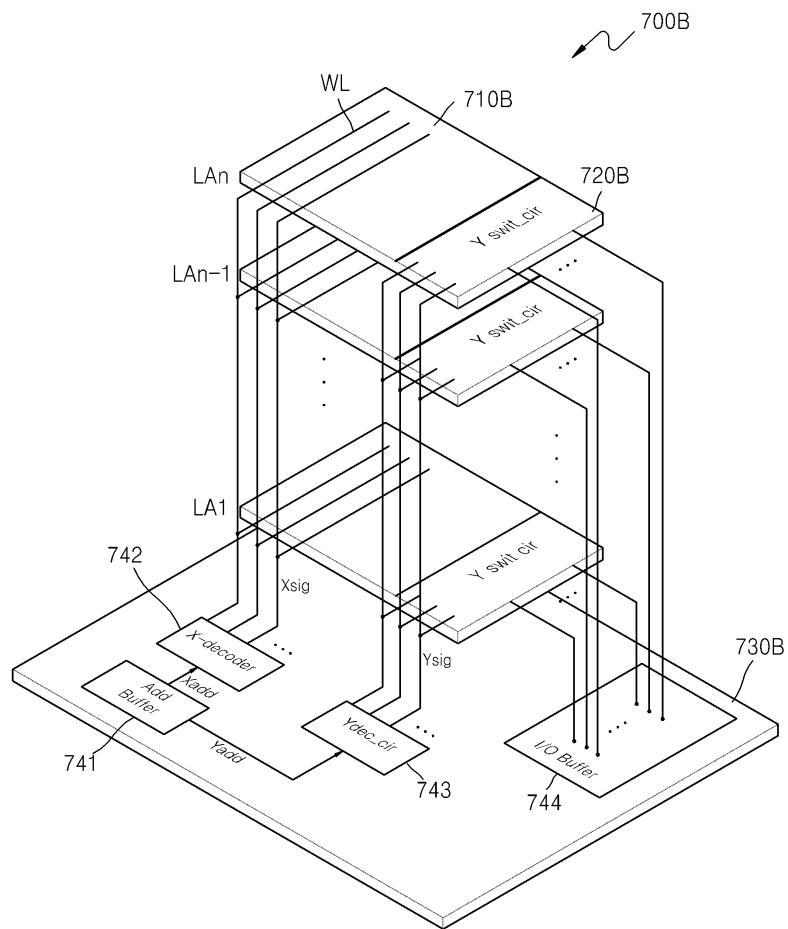
도면15



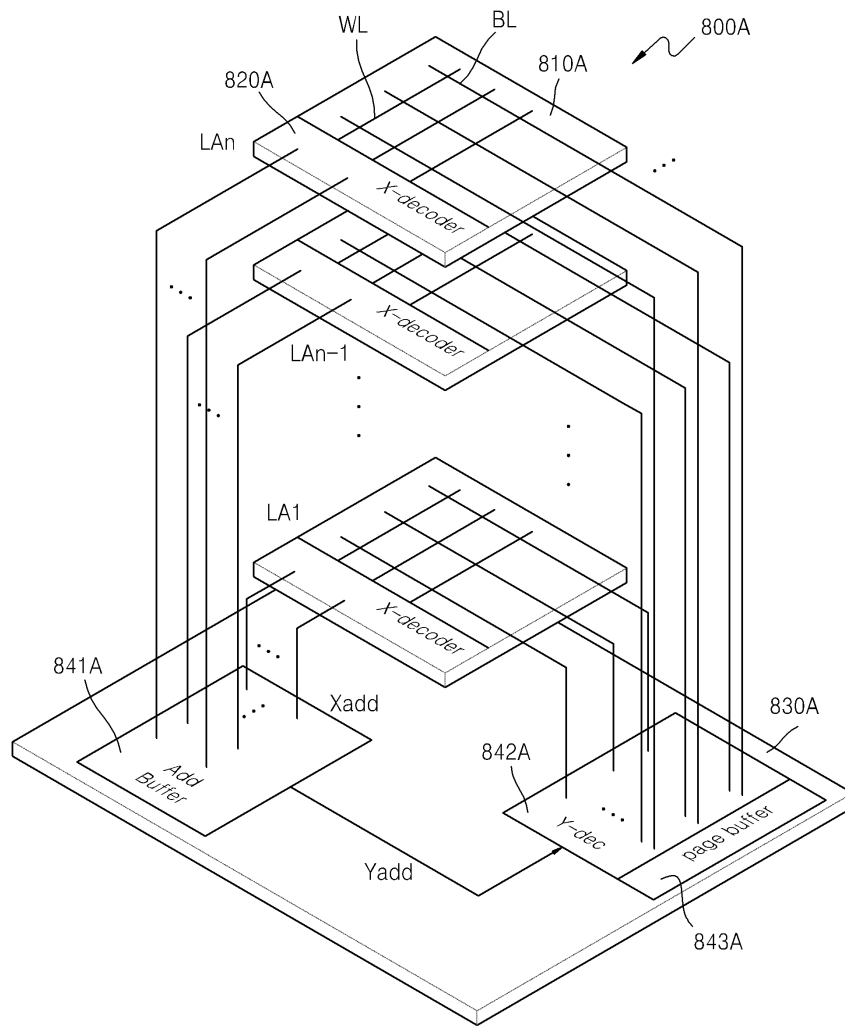
도면16a



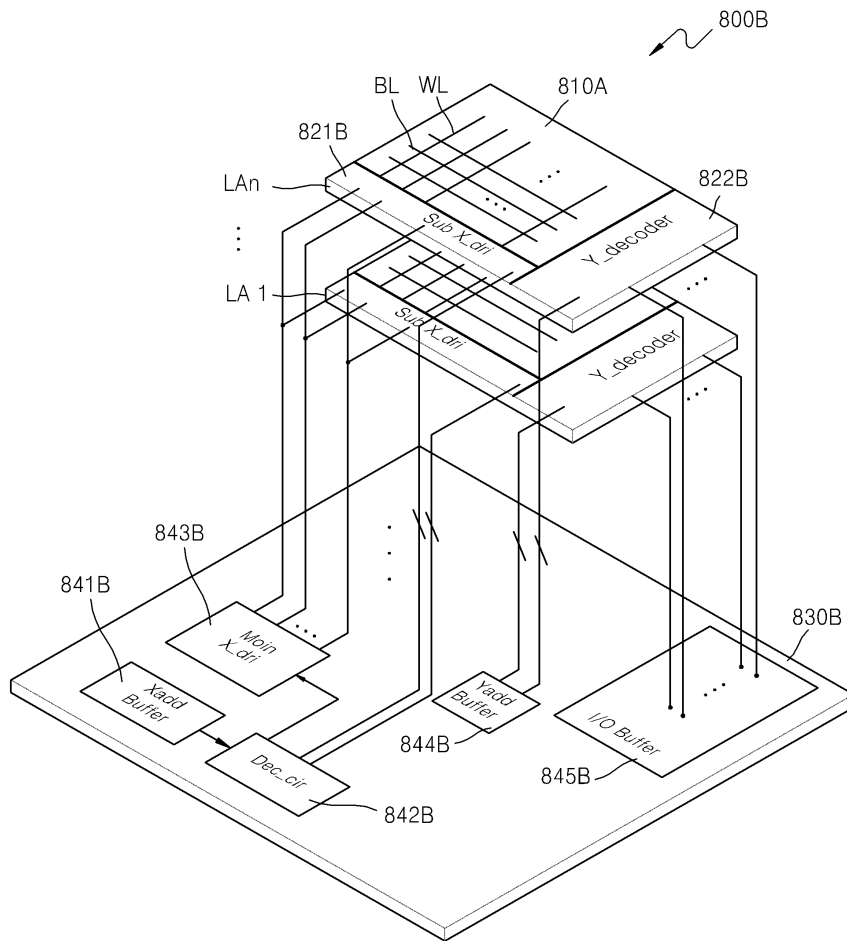
도면16b



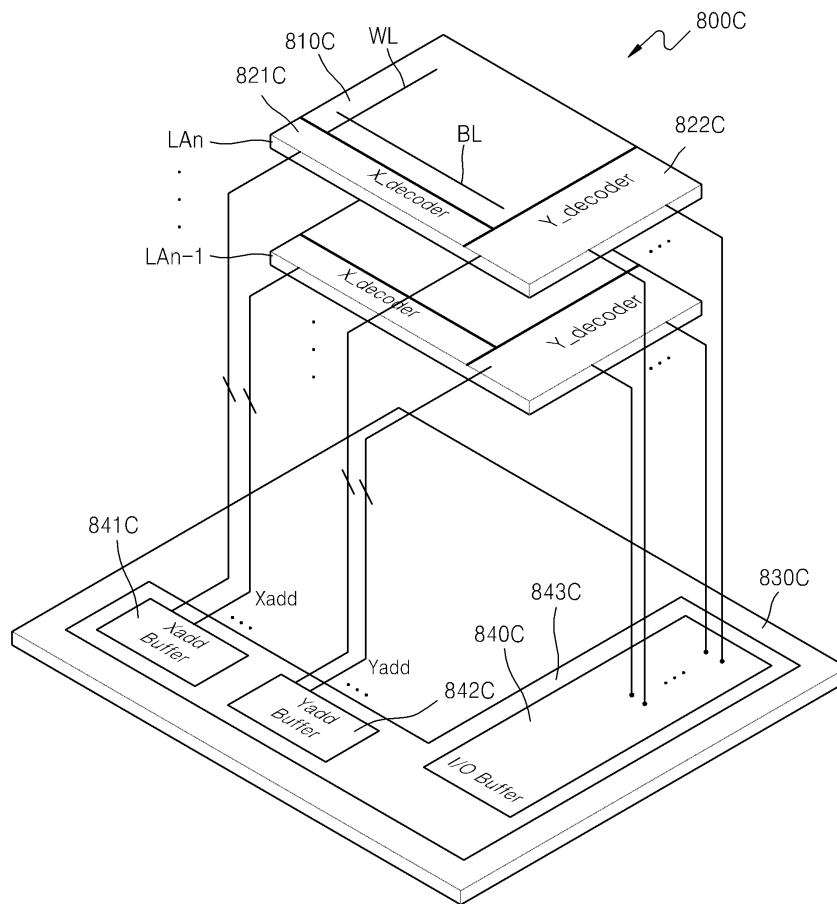
도면17a



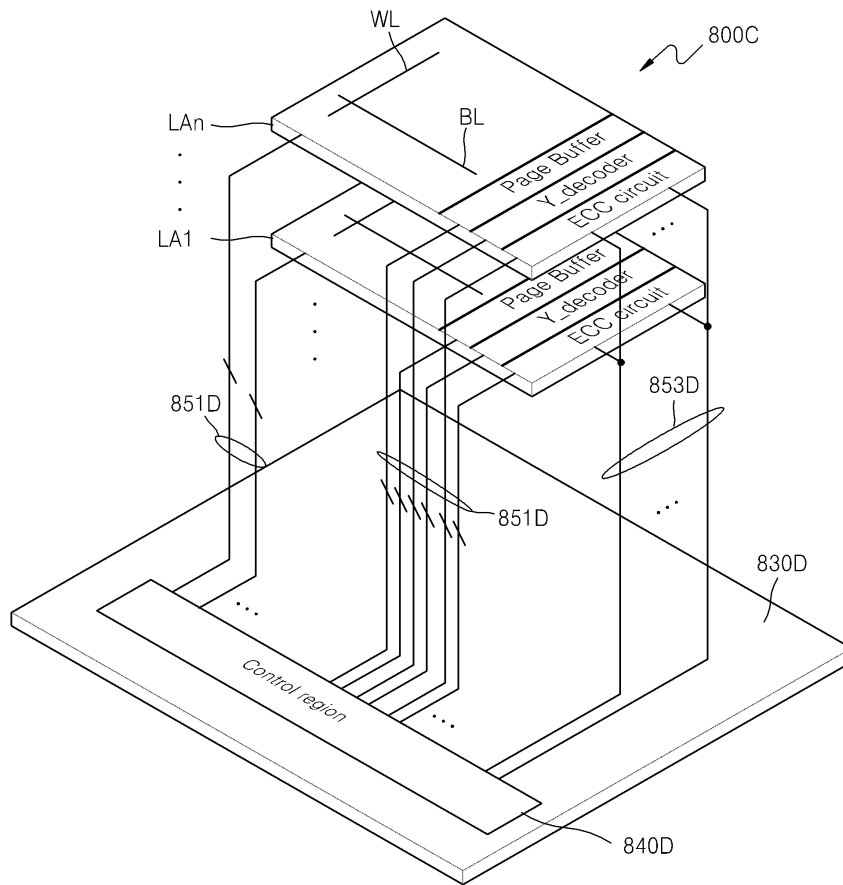
도면17b



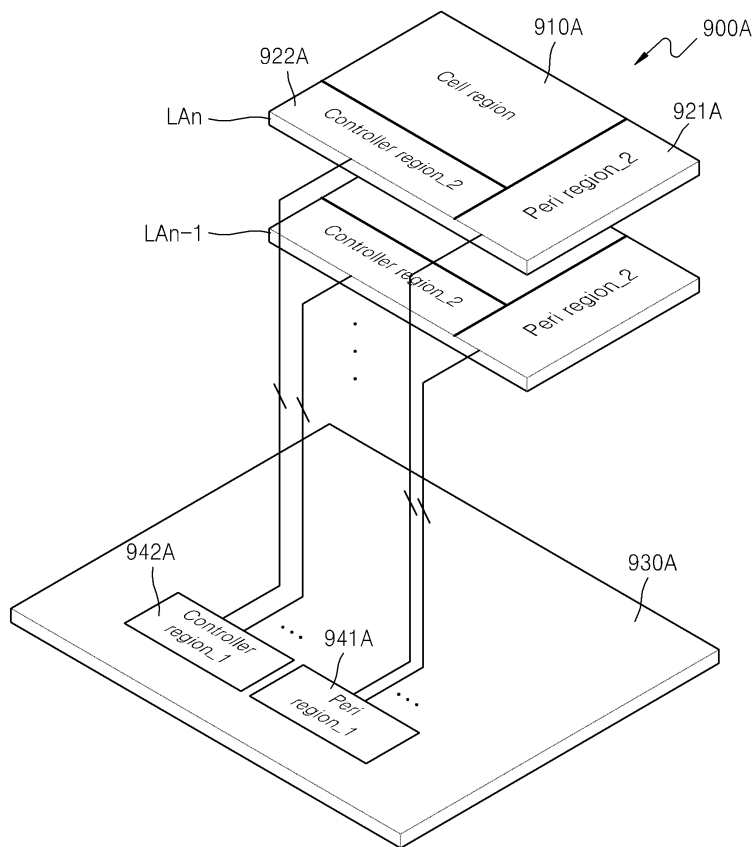
도면17c



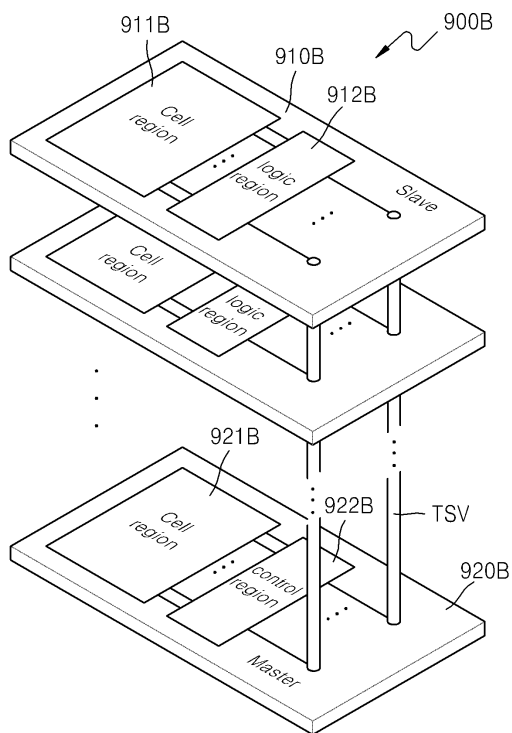
도면17d



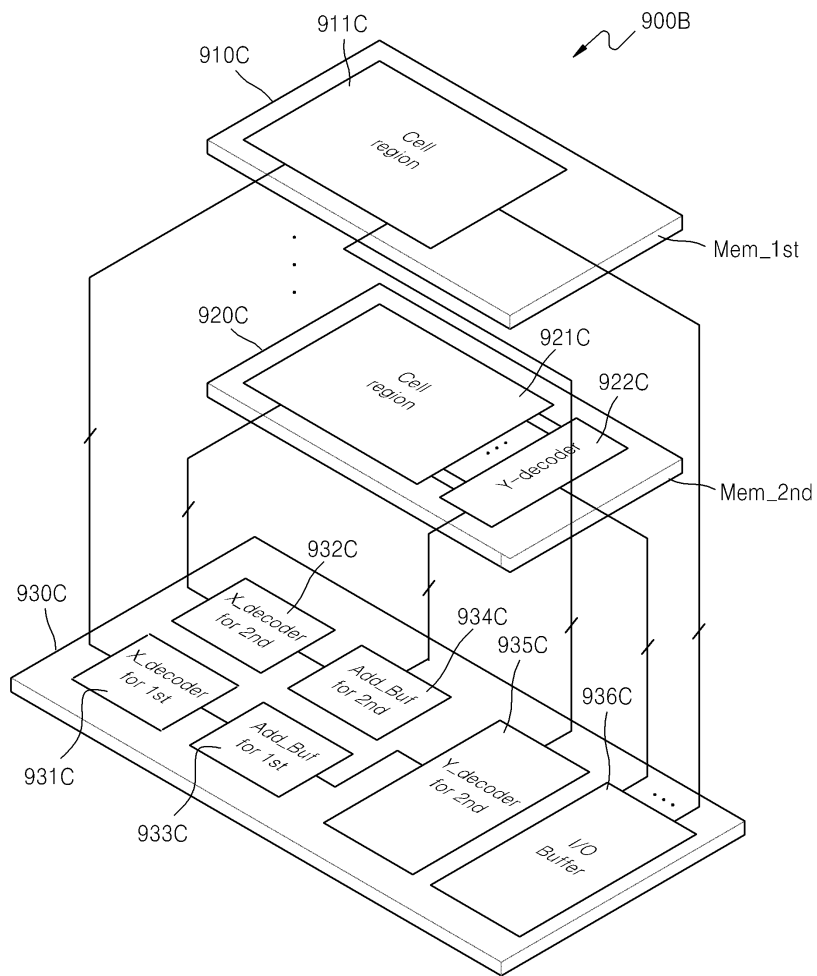
도면18a



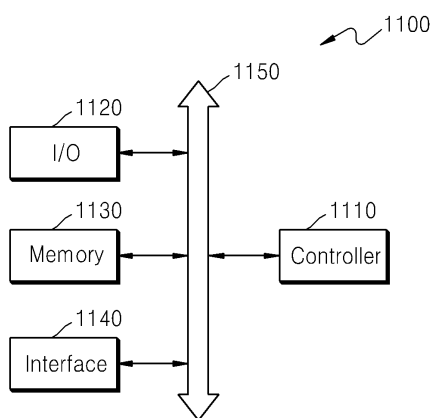
도면18b



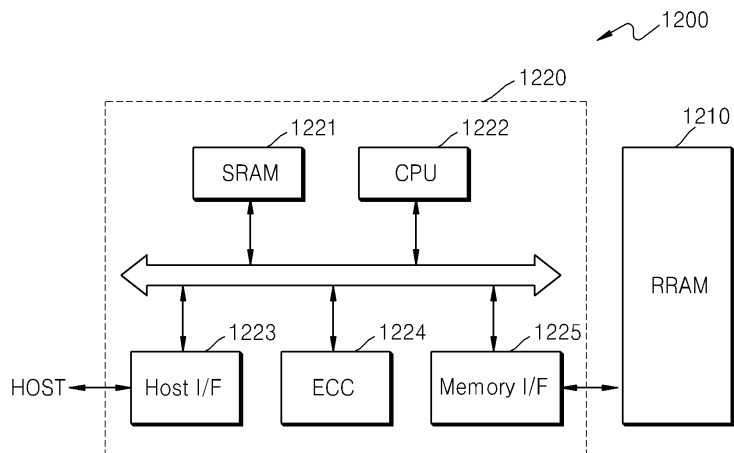
도면18c



도면19



도면20



도면21

