

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7342802号  
(P7342802)

(45)発行日 令和5年9月12日(2023.9.12)

(24)登録日 令和5年9月4日(2023.9.4)

(51)国際特許分類		F I			
H 0 1 C	7/10 (2006.01)	H 0 1 C	7/10		
H 0 1 C	7/18 (2006.01)	H 0 1 C	7/18		
H 0 1 C	1/01 (2006.01)	H 0 1 C	1/01	Z	

請求項の数 12 (全15頁)

(21)出願番号	特願2020-101854(P2020-101854)	(73)特許権者	000003067 T D K株式会社 東京都中央区日本橋二丁目5番1号
(22)出願日	令和2年6月11日(2020.6.11)	(74)代理人	100088155 弁理士 長谷川 芳樹
(65)公開番号	特開2021-197417(P2021-197417 A)	(74)代理人	100113435 弁理士 黒木 義樹
(43)公開日	令和3年12月27日(2021.12.27)	(74)代理人	100124062 弁理士 三上 敬史
審査請求日	令和4年7月4日(2022.7.4)	(72)発明者	内田 雅幸 東京都中央区日本橋二丁目5番1号 T D K株式会社内
		審査官	木下 直哉

最終頁に続く

(54)【発明の名称】 半導体セラミック電子部品の実装構造

(57)【特許請求の範囲】

【請求項1】

半導体セラミック電子部品が実装基板の実装面上に実装された半導体セラミック電子部品の実装構造であって、

前記実装基板が、前記実装面側に、前記実装面に対して平行な第一方向に沿って並ぶ第一電極部および第二電極部と、前記第一電極部と前記第二電極部との間に位置する第三電極部とを備え、

前記半導体セラミック電子部品が、

前記第一方向において互いに対向する第一面および第二面と前記実装面に対向する第三面とを有し、かつ、前記実装基板の実装面に対して平行でかつ前記第一方向と直交する第二方向において半導体セラミック層が複数積層された積層構造を有する素体と、

前記素体の所定の層内において前記第一面から前記第一方向に沿って延在する第一導体と、前記素体の前記第一導体とは異なる層内において前記第二面から前記第一方向に沿って延在し、前記第一導体と前記第二方向において重なる重畳部を形成する第二導体と、

前記素体の前記第一導体と前記第二導体との中間に位置する層内において、前記第三面から前記第一方向および前記第二方向と直交する第三方向に沿って延在し、前記重畳部と前記第一方向において重なる機能部を有し、前記機能部と前記第一導体との間に第一機能層を形成するとともに前記機能部と前記第二導体との間に第二機能層を形成する第三導体と、

前記素体の前記第一面側に設けられ、前記第一導体に接続されるとともに前記実装基板

の前記第一電極部に接続された第一電極と、

前記素体の前記第二面側に設けられ、前記第二導体に接続されるとともに前記実装基板の前記第二電極部に接続された第二電極と、

前記素体の前記第三面側に設けられ、前記第三導体に接続されるとともに前記実装基板の前記第三電極部に接続された第三電極と

を備え、

前記第一方向に直交する断面において前記第一導体と前記第三面との距離と前記第二導体と前記第三面との距離とが同じであり、

前記第二方向に直交する断面において、前記第三電極が前記第三導体よりも幅広であり、前記第一導体の先端位置が、前記第三導体よりも前記第二面側にあり、かつ、前記第三電極の前記第二面側の端部より前記第一面側にある、半導体セラミック電子部品の実装構造。

10

【請求項 2】

半導体セラミック電子部品が実装基板の実装面上に実装された半導体セラミック電子部品の実装構造であって、

前記実装基板が、前記実装面側に、前記実装面に対して平行な第一方向に沿って並ぶ第一電極部および第二電極部と、前記第一電極部と前記第二電極部との間に位置する第三電極部とを備え、

前記半導体セラミック電子部品が、

前記第一方向において互いに対向する第一面および第二面と前記実装面に対向する第三面とを有し、かつ、前記実装基板の実装面に対して平行でかつ前記第一方向と直交する第二方向において半導体セラミック層が複数積層された積層構造を有する素体と、

20

前記素体の所定の層内において前記第一面から前記第一方向に沿って延在する第一導体と、

前記素体の前記第一導体とは異なる層内において前記第二面から前記第一方向に沿って延在し、前記第一導体と前記第二方向において重なる重畳部を形成する第二導体と、

前記素体の前記第一導体と前記第二導体との中間に位置する層内において、前記第三面から前記第一方向および前記第二方向と直交する第三方向に沿って延在し、前記重畳部と前記第一方向において重なる機能部を有し、前記機能部と前記第一導体との間に第一機能層を形成するとともに前記機能部と前記第二導体との間に第二機能層を形成する第三導体と、

前記素体の前記第一面側に設けられ、前記第一導体に接続されるとともに前記実装基板の前記第一電極部に接続された第一電極と、

30

前記素体の前記第二面側に設けられ、前記第二導体に接続されるとともに前記実装基板の前記第二電極部に接続された第二電極と、

前記素体の前記第三面側に設けられ、前記第三導体に接続されるとともに前記実装基板の前記第三電極部に接続された第三電極と

を備え、

前記第一方向に直交する断面において前記第一導体と前記第三面との距離と前記第二導体と前記第三面との距離とが同じであり、

前記第二方向に直交する断面において、前記第三電極が前記第三導体よりも幅広であり、前記第二導体の先端位置が、前記第三導体よりも前記第一面側にあり、かつ、前記第三電極の前記第一面側の端部より前記第二面側にある、半導体セラミック電子部品の実装構造。

40

【請求項 3】

前記第二方向に直交する断面において、前記第三電極が前記第三導体よりも幅広であり、前記第一導体の先端位置が、前記第三導体よりも前記第二面側にあり、かつ、前記第三電極の前記第二面側の端部より前記第一面側にある、請求項 2 に記載の半導体セラミック電子部品の実装構造。

【請求項 4】

前記素体が、前記第一方向に直交する断面において矩形断面を有し、該矩形断面の前記第二方向に関する寸法が前記第三方向に関する寸法より長い、請求項 1 ~ 3 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

50

**【請求項 5】**

前記素体が前記第三方向において前記第三面と対向する第四面を有し、  
前記第三面から延びる前記第三導体が前記第四面まで達しており、  
前記半導体セラミック電子部品が、前記素体の前記第四面側に設けられ、前記第三導体に接続された第四電極をさらに備える、請求項 1 ~ 4 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

**【請求項 6】**

前記素体が前記第三方向において前記第三面と対向する第四面を有し、  
前記第三面から延びる前記第三導体が前記第四面まで達していない、請求項 1 ~ 4 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

10

**【請求項 7】**

前記第一方向に直交する断面において前記第一導体と前記実装面との距離と前記第二導体と前記実装面との距離とが同じである、請求項 1 ~ 6 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

**【請求項 8】**

アルカリ金属を含有させることにより電気抵抗が高められた前記素体の部分であって、前記素体の表面を構成するとともに、前記第一導体、前記第二導体および前記第三導体と前記素体との界面に沿って前記素体の表面から内部に延びるアルカリ金属含有部をさらに備える、請求項 1 ~ 7 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

**【請求項 9】**

前記第一導体と前記第三導体との距離は前記第一導体と前記第二方向に関する前記素体の端面との距離より短く、かつ、前記第二導体と前記第三導体との距離は前記第二導体と前記第二方向に関する前記素体の端面との距離より短い、請求項 1 ~ 8 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

20

**【請求項 10】**

前記第三電極部が前記第二方向に沿って延びる 1 つの電極パターンで構成されている、請求項 1 ~ 8 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

**【請求項 11】**

前記第三電極部が前記第二方向に沿って並ぶ複数の電極パターンで構成されており、  
前記実装基板の前記実装面とは反対面に設けられ、前記複数の電極パターン同士を接続する接続配線をさらに備える、請求項 1 ~ 8 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

30

**【請求項 12】**

前記第三電極部が前記第二方向に沿って並ぶ複数の電極パターンで構成されており、  
前記実装基板の内部に設けられ、前記複数の電極パターン同士を接続する接続配線をさらに備える、請求項 1 ~ 8 のいずれか一項に記載の半導体セラミック電子部品の実装構造。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体セラミック電子部品の実装構造に関する。

40

**【背景技術】****【0002】**

下記特許文献 1 には、三端子型のセラミックキャパシタが開示されており、下記特許文献 2 には、バリスタ機能とコンデンサ機能とを有する三端子型の複合機能素子が開示されている。

**【先行技術文献】****【特許文献】****【0003】**

【文献】特開 2017 - 45977 号公報  
特開平 1 - 107511 号公報

50

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

発明者らは、特に三端子型の半導体セラミック電子部品の実装構造について研究を重ね、その結果、容量バラツキを低減することができる技術を見出した。

**【0005】**

本発明は、容量バラツキの低減が図られた半導体セラミック電子部品の実装構造を提供することを目的とする。

**【課題を解決するための手段】****【0006】**

本発明の一形態に係る半導体セラミック電子部品の実装構造は、半導体セラミック電子部品が実装基板の実装面上に実装された半導体セラミック電子部品の実装構造であって、実装基板が、実装面側に、実装面に対して平行な第一方向に沿って並ぶ第一電極部および第二電極部と、第一電極部と第二電極部との間に位置する第三電極部とを備え、半導体セラミック電子部品が、第一方向において互いに対向する第一面および第二面と実装面に対向する第三面とを有し、かつ、実装基板の実装面に対して平行でかつ第一方向と直交する第二方向において半導体セラミック層が複数積層された積層構造を有する素体と、素体の所定の層内において第一面から第一方向に沿って延在する第一導体と、素体の第一導体とは異なる層内において第二面から第一方向に沿って延在し、第一導体と第二方向において重なる重畳部を形成する第二導体と、素体の第一導体と第二導体との間に位置する層内において、第三面から第一方向および第二方向と直交する第三方向に沿って延在し、重畳部と第一方向において重なる機能部を有し、機能部と第一導体との間に第一機能層を形成するとともに機能部と第二導体との間に第二機能層を形成する第三導体と、素体の第一面側に設けられ、第一導体に接続されるとともに実装基板の第一電極部に接続された第一電極と、素体の第二面側に設けられ、第二導体に接続されるとともに実装基板の第二電極部に接続された第二電極と、素体の第三面側に設けられ、第三導体に接続されるとともに実装基板の第三電極部に接続された第三電極とを備え、第一方向に直交する断面において第一導体と第三面との距離と第二導体と第三面との距離とが同じである。

**【0007】**

上記半導体セラミック電子部品の実装構造では、第一機能層を挟むように位置する第一導体と第三導体との間に容量が形成されており、第二機能層を挟むように位置する第二導体と第三導体との間にも容量が形成される。加えて、第一方向に直交する断面において第三方向に並ぶ、第一導体と第三電極との間および第二導体と第三電極との間にも、容量が形成される。上記半導体セラミック電子部品の実装構造では、第一導体と第三面との距離と第二導体と第三面との距離とを同じにして、第一導体と第三電極との間に形成される容量と、第二導体と第三電極との間に形成される容量とを実質的に一致させることで、実装構造によって容量がばらつく事態を抑制することができる。

**【0008】**

他の形態に係る半導体セラミック電子部品の実装構造は、素体が、第一方向に直交する断面において矩形断面を有し、該矩形断面の第二方向に関する寸法が第三方向に関する寸法より長い。

**【0009】**

他の形態に係る半導体セラミック電子部品の実装構造は、素体が第三方向において第三面と対向する第四面を有し、第三面から延びる第三導体が第四面まで達しており、半導体セラミック電子部品が、素体の第四面側に設けられ、第三導体に接続された第四電極をさらに備える。

**【0010】**

他の形態に係る半導体セラミック電子部品の実装構造は、素体が第三方向において第三面と対向する第四面を有し、第三面から延びる第三導体が第四面まで達していない。

**【0011】**

10

20

30

40

50

他の形態に係る半導体セラミック電子部品の実装構造は、第一方向に直交する断面において第一導体と実装面との距離と第二導体と実装面との距離とが同じである。

【0012】

他の形態に係る半導体セラミック電子部品の実装構造は、第二方向に直交する断面において、第三電極が第三導体よりも幅広であり、第一導体の先端位置が、第三導体よりも第二面側にあり、かつ、第三電極の第二面側の端部より第一面側にある。

【0013】

他の形態に係る半導体セラミック電子部品の実装構造は、第二方向に直交する断面において、第三電極が第三導体よりも幅広であり、第二導体の先端位置が、第三導体よりも第一面側にあり、かつ、第三電極の第一面側の端部より第二面側にある。

10

【0014】

他の形態に係る半導体セラミック電子部品の実装構造は、アルカリ金属を含有させることにより電気抵抗が高められた素体の部分であって、素体の表面を構成するとともに、第一導体、第二導体および第三導体と素体との界面に沿って素体の表面から内部に延びるアルカリ金属含有部をさらに備える。この場合、アルカリ金属含有部によって、素体の一部が高抵抗化されて、第一導体、第二導体、第三導体、第一電極、第二電極および第三電極のいずれか2つの間に生じる容量が抑制される。

【0015】

他の形態に係る半導体セラミック電子部品の実装構造は、第一導体と第三導体との距離は第一導体と第一方向に関する素体の端面との距離より短く、かつ、第二導体と第三導体との距離は第二導体と第一方向に関する素体の端面との距離より短い。

20

【0016】

他の形態に係る半導体セラミック電子部品の実装構造は、第三電極部が第二方向に沿って延びる1つの電極パターンで構成されている。

【0017】

他の形態に係る半導体セラミック電子部品の実装構造は、第三電極部が第二方向に沿って並ぶ複数の電極パターンで構成されており、実装基板の実装面とは反対面に設けられ、複数の電極パターン同士を接続する接続配線をさらに備える。

【0018】

他の形態に係る半導体セラミック電子部品の実装構造は、第三電極部が第二方向に沿って並ぶ複数の電極パターンで構成されており、実装基板の内部に設けられ、複数の電極パターン同士を接続する接続配線をさらに備える。

30

【発明の効果】

【0019】

本発明によれば、容量バラツキの低減が図られた半導体セラミック電子部品の実装構造を提供することができる。

【図面の簡単な説明】

【0020】

【図1】一実施形態に係るチップバリスタの実装構造を示す概略斜視図である。

【図2】図1の実装基板を示す概略斜視図である。

40

【図3】図1のIII-III線断面図である。

【図4】図1のIV-IV線断面図である。

【図5】図1のV-V線断面図である。

【図6】異なる形態の実装基板を示した概略斜視図である。

【図7】図6の実装基板のVII-VII線に関する3種の断面図(a)~(c)である。

【図8】異なる形態のチップバリスタを示した概略斜視図である。

【図9】図8のIX-IX線断面図である。

【発明を実施するための形態】

【0021】

以下、添付図面を参照して、本発明の実施形態について詳細に説明する。なお、説明に

50

において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0022】

本実施形態では、半導体セラミック電子部品的一种であるチップバリスタの実装構造について説明する。

【0023】

図1に示すように、チップバリスタの実装構造1は、実装基板10とチップバリスタ20とを備え、実装基板10の実装面10a上にチップバリスタ20が実装された構成を有する。

【0024】

図2に示すように、実装基板10は、略平板状の外形を有し、チップバリスタ20が搭載される実装面10aと、実装面10aの反対面である裏面10bとを有する。実装基板10は、実装面10a側に、実装面10aに対して平行な第一方向(図2の紙面左右方向)に沿って並ぶ第一電極部12Aおよび第二電極部12Bを備える。第一電極部12Aおよび第二電極部12Bはいずれも、同一寸法の長方形状を有し、実装面10aに対して平行でかつ第一方向と直交する第二方向に沿って延在している。また、実装基板10は、実装面10a側に、第一電極部12Aと第二電極部12Bとの中間に位置する第三電極部12Cを備える。第三電極部12Cは、第一電極部12Aおよび第二電極部12Bと同一寸法の長方形状を有し、第一電極部12Aおよび第二電極部12Bと同様に第二方向に沿って延在している。すなわち、第一電極部12A、第二電極部12Bおよび第三電極部12Cは、いずれも第二方向に沿って延在する一つの電極パターンで構成されており、互いに平行に配置されている。第一電極部12A、第二電極部12Bおよび第三電極部12Cは、図2に示すように実装面10aから突出する構成であってもよく、実装面10aと同一面となるようにまたは実装面10aから窪むように埋設された構成であってもよい。

【0025】

チップバリスタ20は、三端子型の積層チップバリスタであり、素体21と複数の端子電極22A~22Dとを備えて構成されている。チップバリスタ20は、略直方体形状の外形を有し、一例として、長手方向長さが1.6mm、短手方向長さが0.8mm、高さが0.8mmである。

【0026】

素体21は、図1および図3~5に示すように、略直方体形状の外形を有する積層構造体である。素体21は、長手方向において互いに対向する端面21a(第一面)および端面21b(第二面)と、端面21a、21bに直交する4つの側面21c(第三面)、側面21d(第四面)、側面21eおよび側面21fとを有する。4つの側面21c~21fは、端面21a、21b間を連結するように延びている。

【0027】

素体21は、バリスタ特性を発現する焼結体(半導体セラミック)からなる。素体21は、バリスタ特性を発現する焼結体からなる複数の半導体セラミック層Lを含む積層構造体である。実際の素体21では、構成する各層は、その間の境界が視認できない程度に一体化されている。素体21は、ZnO(酸化亜鉛)を主成分として含むと共に、副成分としてCo、希土類金属元素、IIIb族元素(B、Al、Ga、In)、Si、Cr、Mo、アルカリ金属元素(K、Rb、Cs)及びアルカリ土類金属元素(Mg、Ca、Sr、Ba)などの金属単体やこれらの酸化物を含む。本実施形態において、素体21は、副成分としてCo、Pr、Cr、Ca、K、及びAlを含んでいる。素体21におけるZnOの含有量は、特に限定されないが、素体21を構成する全体の材料を100質量%とした場合に、通常、99.8~69.0質量%である。希土類金属元素(たとえば、Pr)は、バリスタ特性を発現させる物質として作用する。素体21における希土類金属元素の含有量は、たとえば0.01~10原子%程度に設定される。

【0028】

チップバリスタ20は、第一導体24A、第二導体24Bおよび第三導体24Cを素体

10

20

30

40

50

21内に備える。第一導体24A、第二導体24Bおよび第三導体24Cは、導電材を含んでいる。各導体24A、24B、24Cに含まれる導電材としては、特に限定されないが、PdまたはAg-Pd合金からなることが好ましい。各導体24A、24B、24Cの厚み(積層方向長さ)は、たとえば0.1~10 $\mu$ m程度である。

【0029】

第一導体24Aは、均一幅を有する帯状の形状を有し、素体21を構成する層内において、端面21a、21bの対向方向に沿って延在している。第一導体24Aは、一方の端部24aが端面21aに露出するとともに他方の端部24bが素体21内に位置している。第一導体24Aの幅は、たとえば0.4mmである。

【0030】

第二導体24Bは、均一幅を有する帯状の形状を有し、第一導体24Aが形成された層とは異なる層内において、端面21a、21bの対向方向に沿って延在している。第二導体24Bは、一方の端部24aが端面21bに露出するとともに他方の端部24bが素体21内に位置している。第二導体24Bの幅は、第一導体24Aの幅と同じになるように設計されており、たとえば0.4mmである。

【0031】

図3に示すように、第一導体24Aと第二導体24Bとは素体21の積層方向(側面21eと側面21fとの対向方向)から見て互いに位置合わせされており、素体21内に位置する端部24b同士が積層方向において完全に重なっている。第一導体24Aの端部24bと第二導体24Bの端部24bとが重なって形成された重畳部25は、積層方向から見て、長辺方向が端面21a、21bの対向方向に平行な長形状を呈する。

【0032】

第三導体24Cは、均一幅を有する帯状の形状を有し、図5に示すように、第一導体24Aと第二導体24Bとの中間に位置する層内に延在している。そのため、素体21の積層方向に関し、第三導体24Cと第一導体24Aとの離間距離dと、第三導体24Cと第二導体24Bとの離間距離dとは実質的に同一である。本実施形態では、素体21の積層方向に関し、第一導体24Aと素体21の側面21f(すなち、積層方向に関する素体21の第一導体24A側の端面)との距離Dと、第二導体24Bと素体21の側面21e(すなち、積層方向に関する素体21の第二導体24B側の端面)との距離Dとは実質的に同一である。本実施形態では、第一導体24Aと第三導体24Cとの距離dは第一導体24Aと素体21の側面21fとの距離Dより短く、かつ、第二導体24Bと第三導体24Cとの距離dは第二導体24Bと素体21の側面21eとの距離Dより短い。

【0033】

また、第三導体24Cは、側面21e、21fの対向方向に沿って延在しており、図3に示すように、素体21の積層方向から見て、第一導体24Aおよび第二導体24Bと交差している(本実施形態においては直交している)。第三導体24Cの一方の端部24aは側面21cに露出しており、第三導体24Cの他方の端部24bは側面21dに露出している。第三導体24Cの幅は、重畳部25の長辺長さより狭く、たとえば0.12mmである。

【0034】

また、第三導体24Cは、素体の積層方向において重畳部25と重なる機能部24cを有する。第三導体24Cは、第一導体24Aとは重畳部25においてのみ重なり、第二導体24Bとも重畳部25においてのみ重なる。そのため、機能部24cの面積は、第三導体24Cと第一導体24Aとの重畳面積と一致し、かつ、第三導体24Cと第二導体24Bとの重畳面積とも一致する。

【0035】

機能部24cは、第一導体24Aの端部32bとの間に第一機能層26を形成する。第一機能層26は、機能部24Ccと第一導体24Aの端部32bとで挟まれた素体部分である。第一機能層26は、たとえば20~50pF程度の静電容量を有する。また、機能部24cは、第二導体24Bの端部24bとの間に第二機能層27を形成する。すなわち

10

20

30

40

50

、第二機能層 2 7 は、機能部 2 4 c と第二導体 2 4 B の端部 2 4 b とで挟まれた素体部分である。上述したとおり、第三導体 2 4 C は、第一導体 2 4 A および第二導体 2 4 B と実質的に同じ距離 d だけ離間しており、かつ、第一導体 2 4 A および第二導体 2 4 B と重畳面積が実質的に同じであるため、第二機能層 2 7 は、第一機能層 2 6 の静電容量と実質的に同じ静電容量を有する。

#### 【 0 0 3 6 】

複数の端子電極 2 2 のうちの第一電極 2 2 A は、素体 2 1 の端面 2 1 a 側に配置されている。第一電極 2 2 A は、端面 2 1 a と、4 つの側面 2 1 c ~ 2 1 f の端面 2 1 a 寄りの部分と、を覆うように形成されている。第一電極 2 2 A は、素体 2 1 の端面 2 1 a に露出した第一導体 2 4 A の一方の端部 2 4 a を覆うようにも形成されており、第一電極 2 2 A は、第一導体 2 4 A と直接接続されている。

10

#### 【 0 0 3 7 】

複数の端子電極 2 2 のうちの第二電極 2 2 B は、素体 2 1 の端面 2 1 b 側に配置されている。第二電極 2 2 B は、端面 2 1 b と、4 つの側面 2 1 c ~ 2 1 f の端面 2 1 b 寄りの部分と、を覆うように形成されている。第二電極 2 2 B は、素体 2 1 の端面 2 1 b に露出した第二導体 2 4 B の一方の端部 2 4 a を覆うようにも形成されており、第二電極 2 2 B は、第二導体 2 4 B と直接接続されている。

#### 【 0 0 3 8 】

複数の端子電極 2 2 のうちの第三電極 2 2 C と第四電極 2 2 D とは、対をなしており、素体 2 1 の側面 2 1 c 側および側面 2 1 d 側にそれぞれ配置されている。具体的には、第三電極 2 2 C は、長方形形状を有する側面 2 1 c の長辺の中間位置において積層方向に延びて側面 2 1 e と側面 2 1 f に回り込んでおり、第四電極 2 2 D は、長方形形状を有する側面 2 1 d の長辺の中間位置において積層方向に延びて、側面 2 1 e と側面 2 1 f に回り込んでいる。第三電極 2 2 C および第四電極 2 2 D は、素体 2 1 の側面 2 1 c、2 1 d に露出した第三導体 2 4 C の両端部 2 4 a、2 4 b をそれぞれ覆うようにも形成されており、第三電極 2 2 C および第四電極 2 2 D は第三導体 2 4 C と直接接続されている。

20

#### 【 0 0 3 9 】

第三電極 2 2 C および第四電極 2 2 D は、図 3 に示すように積層方向に直交する断面において、第三導体 2 4 C よりも幅広となるように設計されている。ここで、本実施形態においては、第一導体 2 4 A の端部 2 4 b の先端位置は、第三導体 2 4 C よりも端面 2 1 b 側にあり、かつ、第三電極 2 2 C の端面 2 1 b 側の端部の位置 P 1 より端面 2 1 a 側にある。また、本実施形態においては、第二導体 2 4 B の端部 2 4 b の先端位置は、第三導体 2 4 C よりも端面 2 1 a 側にあり、かつ、第三電極 2 2 C の端面 2 1 a 側の端部の位置 P 2 より端面 2 1 b 側にある。

30

#### 【 0 0 4 0 】

各電極 2 2 A ~ 2 2 D は、単層構造であっても複数層構造であってもよい。各電極 2 2 A ~ 2 2 D は、たとえば焼付電極であり、導電性ペーストを素体 2 1 の表面に付与して焼き付けることにより形成される。導電性ペーストには、金属（たとえば、Pd、Cu、Ag、又は Ag - Pd 合金など）からなる粉末に、ガラス成分、有機バインダ、及び有機溶剤を混合したものが用いられている。このような焼付電極上に、めっき層を形成することもできる。めっき層は、Niめっき層と、当該Niめっき層上に形成されたSnめっき層とを含んでいてもよい。

40

#### 【 0 0 4 1 】

素体 2 1 は、図 3 ~ 5 に示すように、アルカリ金属を含有させることにより電気抵抗が高められたアルカリ金属含有部 2 8 を有する。アルカリ金属含有部 2 8 は、外表面 2 1 a ~ 2 1 f 全体に沿って設けられており、素体 2 1 の外表面 2 1 a ~ 2 1 f を構成している。また、アルカリ金属含有部 2 8 は、素体 2 1 の外表面 2 1 a ~ 2 1 f から、第一導体 2 4 A、第二導体 2 4 B および第三導体 2 4 C と素体 2 1 との界面に沿って、内部にも延びている。ただし、アルカリ金属含有部 2 8 は、第一機能層 2 6 および第二機能層 2 7 に達しないように設計されている。

50

## 【 0 0 4 2 】

アルカリ金属含有部 2 8 にはアルカリ金属が存在しており、アルカリ金属は、ZnO の結晶粒内に固溶して存在している、または、ZnO の結晶粒界に存在している。アルカリ金属が ZnO の結晶粒内に固溶していると、n 型半導体としての性質を示す ZnO はアルカリ金属によりドナーが減ぜられて、電気伝導率が低くなり、バリスタ特性が発現し難くなる。アルカリ金属が ZnO の結晶粒界に存在することによっても、電気伝導率が低くなると考えられる。したがって、アルカリ金属含有部 2 8 は、素体 2 1 におけるアルカリ金属含有部 2 8 以外の部分に比して、電気伝導率が低く、静電容量も低い。

## 【 0 0 4 3 】

アルカリ金属含有部 2 8 は、次のようにして、形成することができる。高抵抗化されたアルカリ金属含有部 2 8 を形成する過程以外の、チップバリスタ 2 0 の製造方法については、積層チップバリスタの製造方法で用いられる既知の過程が利用できるため、ここでの詳細な説明は、省略する。

10

## 【 0 0 4 4 】

素体 2 1 を得た後、素体 2 1 の外表面（一对の端面 2 1 a , 2 1 b および 4 つの側面 2 1 c ~ 2 1 f ）からアルカリ金属（たとえば、Li、Na 等）を拡散させる。

## 【 0 0 4 5 】

まず、素体 2 1 の外表面にアルカリ金属化合物を付着させる。アルカリ金属化合物の付着には、密閉回転ポットを用いることができる。アルカリ金属化合物としては、特に限定されないが、熱処理することにより、アルカリ金属が素体 2 1 の表面から拡散できる化合物であり、アルカリ金属の酸化物、水酸化物、塩化物、硝酸塩、硼酸塩、炭酸塩及び碳酸塩等が用いられる。

20

## 【 0 0 4 6 】

そして、このアルカリ金属化合物が付着している素体 2 1 を電気炉で、所定の温度および時間で熱処理する。この結果、アルカリ金属化合物からアルカリ金属が素体 2 1 の外表面から内部に拡散する。好ましい熱処理温度は、700 ~ 1000 であり、熱処理雰囲気は大気である。熱処理時間（保持時間）は、好ましくは 10 分 ~ 4 時間である。

## 【 0 0 4 7 】

素体 2 1 におけるアルカリ金属元素が拡散した部分、すなわちアルカリ金属含有部 2 8 は、上述したように高抵抗化および低静電容量化が図られる。本実施形態では、アルカリ金属元素が端面 2 1 a , 2 1 b および側面 2 1 c , 2 1 d から拡散するものの、各導体 2 4 A、2 4 B、2 4 C が対応する端面 2 1 a , 2 1 b および側面 2 1 c , 2 1 d に露出していることから、各電極 2 2 A ~ 2 2 D と各導体 2 4 A、2 4 B、2 4 C との電氣的な接続に支障が生じることはない。

30

## 【 0 0 4 8 】

上述したチップバリスタの実装構造 1 においては、チップバリスタ 2 0 が実装基板 1 0 上に実装された際、素体 2 1 の側面 2 1 c が実装基板 1 0 の実装面 1 0 a と対面しており、かつ、素体 2 1 の端面 2 1 a , 2 1 b の対向方向と、第一電極部 1 2 A と第二電極部 1 2 B との並び方向（第一方向）とが一致している。そのため、チップバリスタ 2 0 の積層方向が、第一電極部 1 2 A、第二電極部 1 2 B および第三電極部 1 2 C の延在方向（第二方向）とも一致している。

40

## 【 0 0 4 9 】

また、チップバリスタの実装構造 1 においては、チップバリスタ 2 0 の第一電極 2 2 A、第二電極 2 2 B および第三電極 2 2 C が、実装基板 1 0 の第一電極部 1 2 A、第二電極部 1 2 B および第三電極部 1 2 C の直上に位置するように設計されており、第一電極 2 2 A、第二電極 2 2 B および第三電極 2 2 C と第一電極部 1 2 A、第二電極部 1 2 B および第三電極部 1 2 C とがそれぞれ接して電氣的に接続されている。

## 【 0 0 5 0 】

上述したチップバリスタ 2 0 の実装構造 1 においては、第一機能層 2 6 を挟むように位置する第一導体 2 4 A と第三導体 2 4 C との間に容量が形成されており、第二機能層 2 7

50

を挟むように位置する第二導体 24 B と第三導体 24 C との間にも容量が形成される。加えて、図 5 に示すように、素体 21 の端面 21 a, 21 b の対向方向（第一方向）に直交する断面において上下方向（第三方向）に並ぶ、第一導体 24 A と第三電極 22 C との間および第二導体 24 B と第三電極 22 C との間にも、容量 C が形成される。

#### 【0051】

チップバリスタ 20 の実装構造 1 では、第三電極部 12 C に接続される第三電極 22 C が、素体 21 の側面 21 c 側に設けられており、第一導体 24 A と第三電極 22 C との距離と第二導体 24 B と第三電極 22 C との距離は、大きくは異なっておらず、同じ距離である。なお、本明細書において、第一導体 24 A と第三電極 22 C との距離と第二導体 24 B と第三電極 22 C との距離とが同じとは、図 5 に示すように、実装面 10 a の高さ位置（ $h_0$ ）を基準とした第一導体 24 A および第二導体 24 B の下端位置（ $h_1$ ）が一致し、第一導体 24 A および第二導体 24 B と素体 21 の側面 21 c までの距離（すなわち、 $h_1 - h_3$  間の長さ）が同じになるように設計されていることを意味し、製造時に生じる寸法ズレや位置ズレ程度の誤差は許容される。本実施形態では、素体 21 の端面 21 a, 21 b の対向方向に直交する断面において、第三電極 22 C および第三電極部 12 C が均一厚さを有する（すなわち、第三方向に関する長さが第二方向に亘って均一である）ため、第一導体 24 A と第二導体 24 B とは、第三電極部 12 C までの距離（すなわち、 $h_1 - h_5$  間の長さ）が同じであり、実装面 10 a までの距離（すなわち、 $h_1 - h_0$  間の長さ）も同じである。

#### 【0052】

したがって、チップバリスタ 20 の実装構造 1 では、第一導体 24 A と側面 21 c との距離と第二導体 24 B と側面 21 c との距離とを同じ距離にして、第一導体 24 A と第三電極 22 C との間に形成される容量 C と、第二導体 24 B と第三電極 22 C との間に形成される容量 C とを実質的に一致させることで、実装構造によって容量がばらつく事態が抑制されている。

#### 【0053】

また、チップバリスタ 20 の実装構造 1 では、実装面 10 a の高さ位置（ $h_0$ ）を基準とした第一導体 24 A および第二導体 24 B の上端位置（ $h_2$ ）が一致しており、第一導体 24 A および第二導体 24 B と素体 21 の側面 21 d までの距離（すなわち、 $h_2 - h_4$  間の長さ）も同じになるように設計されている。そのため、第一導体 24 A と第四電極 22 D との間に形成される容量と、第二導体 24 B と第四電極 22 D との間に形成される容量とが実質的に一致し、実装構造によって容量がばらつく事態がさらに抑制されている。

#### 【0054】

チップバリスタ 20 の素体 21 は、図 5 に示すように、端面 21 a, 21 b の対向方向（第一方向）に直交する断面において矩形断面を有し、矩形断面の幅寸法（第二方向に関する寸法）が高さ寸法（第三方向に関する寸法）より長くてもよい。この場合、チップバリスタ 20 の低背化が図られるとともに、実装時におけるチップバリスタ 20 の姿勢が安定する。

#### 【0055】

実装基板 10 は、上述した形態に限られず、様々に変形することができる。たとえば、図 6 に示すように、異なる形態の電極パターンの第三電極部 12 C を採用することができる。図 6 に示した実装基板 10 は、上述した実装基板とは第三電極部 12 C の電極パターンのみ異なる。図 6 に示した実装基板 10 の第三電極部は一对の電極パターン 12 C'、12 C'' で構成されている。一对の電極パターン 12 C'、12 C'' は、第二方向に沿って並んでおり、いずれの電極パターン 12 C'、12 C'' もチップバリスタ 20 の第三電極 22 C と接する領域に設けられている。一对の電極パターン 12 C'、12 C'' は、図 7 (a) ~ (c) に示すように接続配線 12 C''' によって接続されている。図 7 (a) に示した構成では、実装基板 10 の内部に設けられた接続配線 12 C''' により、実装面 10 a 上に設けられた一对の電極パターン 12 C'、12 C'' 同士が接続されている。図 7 (a) に示した構成によれば、第一導体 24 A、および第二導体 24 B と接続配線 12 C''' との間に形

10

20

30

40

50

成される容量が低減される。図7(b)に示した構成では、実装基板10の裏面10bに設けられた接続配線12C'により、実装面10a上に設けられた一对の電極パターン12C'、12C'同士が接続されている。図7(b)に示した構成によれば、図7(a)に示した構成よりも、第一導体24A、および第二導体24Bと接続配線12C'との間に形成される容量がさらに低減される。図7(c)に示した構成では、実装基板10の内部に一对の電極パターン12C'、12C'と接続配線12C'とが連続的に設けられており、実装面10a側に設けられた一对の開口10cから一对の電極パターン12C'、12C'がそれぞれ露出されている。図7(c)に示した構成によれば、実装基板10を準備するコストを抑えることができる。なお、第三電極部は、第二方向に沿って並ぶ3つ以上の電極パターンで構成されてもよい。

10

【0056】

チップバリスタ20は、上述した形態に限られず、様々に変形することができる。たとえば、図8および図9に示すように、素体21の側面21dに設けられる第四電極22Dを省略することができる。この場合、第三導体24Cは、側面21cから延びて重畳部25の上側まで延びつつ、側面21dまで達しない構成とすることができる。

【0057】

以上、本発明の好適な実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【0058】

たとえば、半導体セラミック電子部品の外形寸法、素体の外形寸法等については適宜増減することができる。また、各導体および各端子電極の寸法についても、適宜増減することができる。さらに、素体、各導体および各端子電極を構成する材料は、半導体セラミック電子部品の種類に応じて、適宜変更することができる。

20

【符号の説明】

【0059】

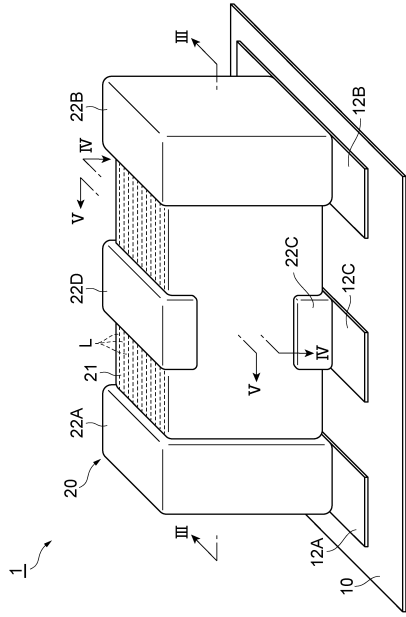
1...チップバリスタの実装構造、10...実装基板、10a...実装面、10b...裏面、12A...第一電極部、12B...第二電極部、12C...第三電極部、20...チップバリスタ、21...素体、22A...第一電極、22B...第二電極、22C...第三電極、22D...第四電極、24A...第一導体、24B...第二導体、24C...第三導体、25...重畳部、26...第一機能層、27...第二機能層、28...アルカリ金属含有部。

30

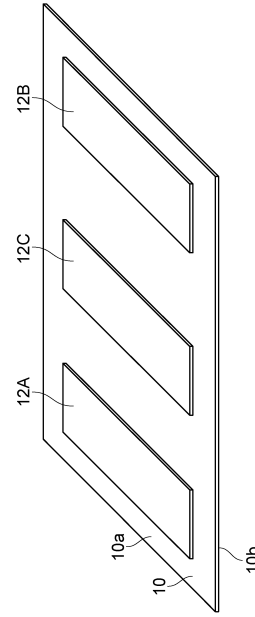
40

50

【図面】  
【図 1】



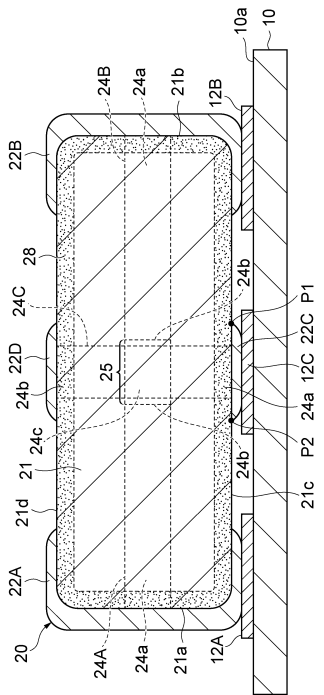
【図 2】



10

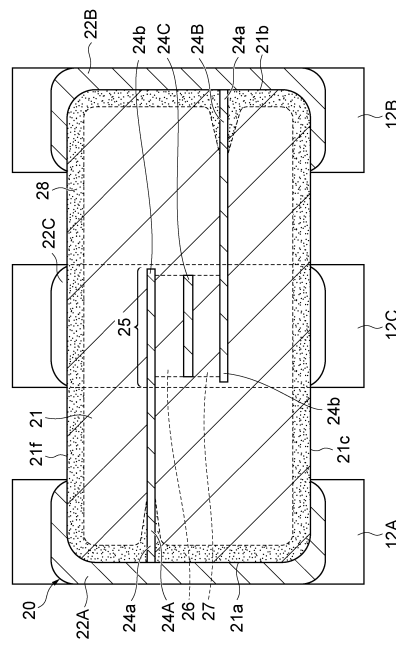
20

【図 3】



30

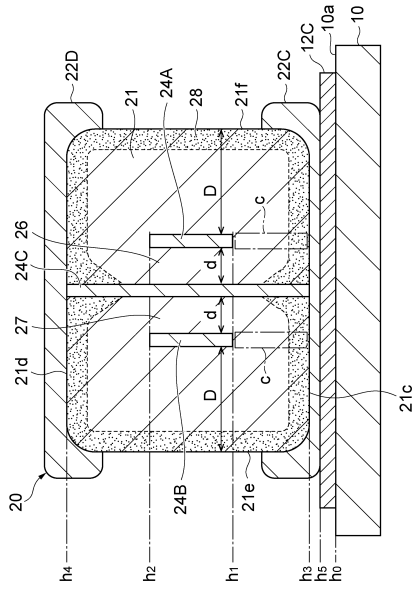
【図 4】



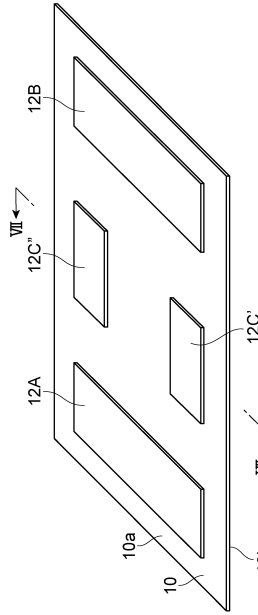
40

50

【 図 5 】



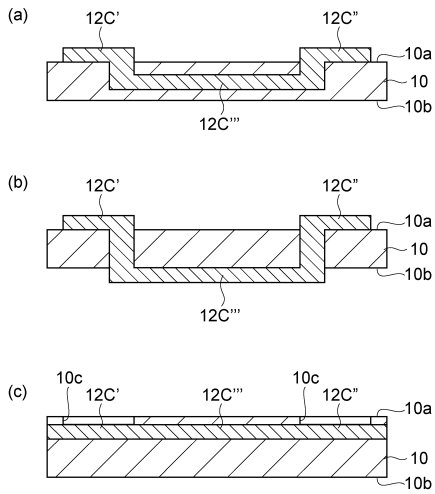
【 図 6 】



10

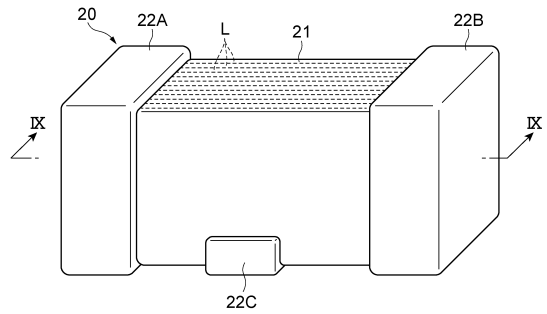
20

【 図 7 】



30

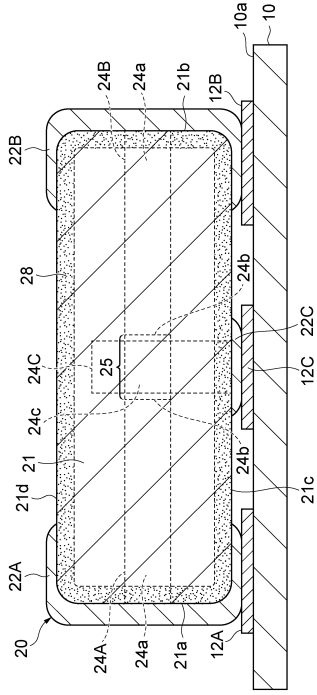
【 図 8 】



40

50

【 9 】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2008-193055(JP,A)  
特開2013-026447(JP,A)  
特開平10-340825(JP,A)  
特開2002-252136(JP,A)  
特開平06-176958(JP,A)  
特開2017-139403(JP,A)  
実開平05-008905(JP,U)  
特開2017-204547(JP,A)  
韓国登録特許第10-0522156(KR,B1)
- (58)調査した分野 (Int.Cl., DB名)
- |      |             |
|------|-------------|
| H01C | 7/10 - 7/12 |
| H01C | 7/18        |
| H01C | 1/01        |
| H01G | 4/30        |