

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5656029号  
(P5656029)

(45) 発行日 平成27年1月21日(2015.1.21)

(24) 登録日 平成26年12月5日(2014.12.5)

(51) Int.Cl. F I  
**H03M 1/10 (2006.01)** H03M 1/10 A

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2011-553794 (P2011-553794)	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(86) (22) 出願日	平成23年1月20日(2011.1.20)	(74) 代理人	100077838 弁理士 池田 憲保
(86) 国際出願番号	PCT/JP2011/051534	(74) 代理人	100082924 弁理士 福田 修一
(87) 国際公開番号	W02011/099367	(74) 代理人	100129023 弁理士 佐々木 敬
(87) 国際公開日	平成23年8月18日(2011.8.18)	(72) 発明者	山瀬 知行 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成25年12月6日(2013.12.6)	(72) 発明者	野口 栄実 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願2010-26068 (P2010-26068)		
(32) 優先日	平成22年2月9日(2010.2.9)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 A/D変換装置及びA/D変換補正方法

(57) 【特許請求の範囲】

【請求項1】

アナログ入力信号のアナログ値をサンプリングし、一定期間ホールドするサンプルホールド部と、該サンプルホールド部からのアナログ入力電圧をデジタル出力に変換するA/D変換部と、前記A/D変換部に第1の基準電圧、第2の基準電圧の一方を切替え付与する基準電圧生成部と、前記デジタル出力を読み込み、これを補正するための制御値を求めて前記A/D変換部に出力する機能を持つデジタル処理部を含み、

前記A/D変換部は前記アナログ値のホールド期間中に、2度アナログ値をデジタル値へ変換する動作を行い、第1回目の変換動作では、前記アナログ値を前記第1の基準電圧と比較して比較結果を第1の変換データとして出力し、第2回目の変換動作では、前記アナログ値を前記第2の基準電圧と比較して比較結果を第2の変換データとして出力し、

前記第2の基準電圧は前記第1の基準電圧に対して、最小分解能分の電圧を加算又は減算した電圧とされ、

前記デジタル処理部は、前記第1、第2の変換データの誤差をデジタル処理によって平均化処理することによりA/D変換誤差を検出し、その検出結果を前記制御値として前記A/D変換部へ帰還して電圧制御を行い、この動作を繰り返すことにより変換誤差を低減することを特徴とするA/D変換装置。

【請求項2】

請求項1に記載のA/D変換装置において、

前記A/D変換部は、複数のコンパレータと、これら複数のコンパレータのそれぞれの

前段に接続されて対応するコンパレータのオフセットをキャンセルする機能を持つ複数のプリアンプとを含み、前記制御値は前記複数のプリアンプに帰還されて電圧制御が行なわれることを特徴とするA/D変換装置。

【請求項3】

請求項2に記載のA/D変換装置において、

前記基準電圧生成部は前記第1の基準電圧を規定する正電位、負電位を持つ第1の基準電圧源と、前記第2の基準電圧を規定する正電位、負電位を持つ第2の基準電圧源と、複数の抵抗を直列接続してなり前記複数のプリアンプに接続された抵抗列と、前記抵抗列の両端に前記第1の基準電圧源、前記第2の基準電圧源の一方を接続する切替え部と、含むことを特徴とするA/D変換装置。

10

【請求項4】

請求項3に記載のA/D変換装置において、

前記第2の基準電圧源は、前記第2の基準電圧を規定する正電位、負電位として、前記第1の基準電圧源の正電位及び負電位の両電位に最小分解能分の電圧を加算又は減算した正電位及び負電位を有し、

前記切替え部は、前記抵抗列の両端に、前記第1の基準電圧源の正電位及び負電位を接続するか、又は前記抵抗列の両端に、前記第2の基準電圧源の正電位及び負電位を接続することを特徴とするA/D変換装置。

【請求項5】

請求項3に記載のA/D変換装置において、

前記第2の基準電圧源は、前記第2の基準電圧を規定する正電位、負電位として、前記第1の基準電圧源の正電位及び負電位と同じ正電位及び負電位を有し、

前記切替え部は、前記抵抗列の両端に、前記第1の基準電圧源の正電位及び負電位を接続すると共に前記抵抗列の負電位側端部にもう一つの抵抗を直列に接続するか、又は前記抵抗列の両端に、前記第2の基準電圧源の正電位及び負電位を接続すると共に該抵抗列の正電位側端部にもう一つの抵抗を直列に接続することを特徴とするA/D変換装置。

20

【請求項6】

アナログ入力信号のアナログ値をサンプリングし、一定期間ホールドするサンプルホールド部と、該サンプルホールド部からのアナログ入力電圧をデジタル出力に変換するA/D変換部と、前記デジタル出力を読み込み、これを補正するための制御値を求めて前記A/D変換部に出力する機能を持つデジタル処理部を含むA/D変換装置のA/D変換補正方法であって、

30

前記アナログ値のホールド期間中に、2度アナログ値をデジタル値へ変換する動作を行い、第1回目の変換動作では、前記アナログ値を第1の基準電圧と比較して比較結果を第1の変換データとして出力し、第2回目の変換動作では、前記アナログ値を第2の基準電圧と比較して比較結果を第2の変換データとして出力し、

前記第2の基準電圧は前記第1の基準電圧に対して、最小分解能分の電圧を加算又は減算した電圧とし、

前記第1、第2の変換データの誤差をデジタル処理によって平均化処理することにより、A/D変換誤差を検出して、その検出結果を前記制御値として前記A/D変換部へ帰還して電圧制御を行い、この動作を繰り返すことにより変換誤差を低減することを特徴とするA/D変換補正方法。

40

【請求項7】

請求項6に記載のA/D変換補正方法において、

前記A/D変換部を構成するために、複数のコンパレータと、これら複数のコンパレータのそれぞれの前段に接続されてそれぞれのオフセットをキャンセルする機能を持つ複数のプリアンプとを用意し、前記制御値を前記複数のプリアンプに帰還して電圧制御を行うことを特徴とするA/D変換補正方法。

【請求項8】

請求項7に記載のA/D変換補正方法において、

50

前記第1の基準電圧を規定する正電位、負電位を持つ第1の基準電圧源と、前記第2の基準電圧を規定する正電位、負電位を持つ第2の基準電圧源と、前記複数のプリアンプに接続される複数の抵抗を直列接続してなる抵抗列とを用意し、前記抵抗列の両端に前記第1の基準電圧源、前記第2の基準電圧源の一方を切替え接続することを特徴とするA/D変換補正方法。

【請求項9】

請求項8に記載のA/D変換補正方法において、

前記第2の基準電圧源は、前記第2の基準電圧を規定する正電位、負電位として、前記第1の基準電圧源の正電位及び負電位の両電位に最小分解能分の電圧を加算又は減算した正電位及び負電位を有し、

10

前記抵抗列の両端に、前記第1の基準電圧源の正電位及び負電位を接続するか、又は前記抵抗列の両端に、前記第2の基準電圧源の正電位及び負電位を切替え接続することを特徴とするA/D変換補正方法。

【請求項10】

請求項8に記載のA/D変換補正方法において、

前記第2の基準電圧源は、前記第2の基準電圧を規定する正電位、負電位として、前記第1の基準電圧源の正電位及び負電位と同じ正電位及び負電位を有し、

前記抵抗列の両端に、前記第1の基準電圧源の正電位及び負電位を接続すると共に前記抵抗列の負電位側端部にもう一つの抵抗を直列に接続するか、又は前記抵抗列の両端に、前記第2の基準電圧源の正電位及び負電位を接続すると共に該抵抗列の正電位側端部にもう一つの抵抗を直列に切替え接続することを特徴とするA/D変換補正方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A/D変換装置及びそのA/D変換補正方法に関する。

【背景技術】

【0002】

近年、デジタル技術の発達は目覚しく、それに伴いアナログ信号からデジタル信号へ変換するA(Analog)/D(Digital)変換装置の高精度化への要求がますます高まってきている。

30

連続してA/D変換を行なっているときに、同時にA/D変換回路の校正を行う例を示す文献として、特許文献1と非特許文献1が挙げられる。

特許文献1に記載されたA/D変換装置は、図1に示すように、2つ以上のA/D変換回路ADC1、ADC2を備え、基準電圧発生部10で生成した基準電圧信号を用いて校正を行う。制御部1の制御下で動作する切替え回路11により、例えば一方のA/D変換回路ADC1をアナログ入力信号AISに接続したとき、他方のA/D変換回路ADC2は基準電圧発生部10に接続する。このような切替えを所定の時間間隔で行なうことにより、2つのA/D変換回路ADC1、ADC2は交互にアナログ入力信号AIS、基準電圧発生部10からの基準電圧信号の変換を行う。制御部1は、双方のA/D変換回路によって変換されたデジタル値(基準電圧信号に対する変換デジタル値)に基づく変換特性情報の平均値を記憶部12に記憶させる。デジタル処理回路13では、上記のようにして得た変換デジタル値の平均値を用いて変換値に対する補正を行うことによりA/D変換回路ADC1、ADC2に対する補正の精度を向上させる。デジタル処理回路13は、補正されたデジタル出力信号DOSを出力する。

40

次に、図2、図3A~図3Cを参照して、非特許文献1に記載されているA/D変換装置の全体構成、校正方法について説明する。

非特許文献1に記載されているA/D変換装置は、2つのA/D変換回路20A、20Bと、これらのそれぞれに組み合わされた基準電圧生成回路を備える。一方のA/D変換回路、ここではA/D変換回路20Aは、複数のプリアンプからなるプリアンプ部21Aと、複数のプリアンプに対応する複数のコンパレータから成るコンパレータ部25Aを含

50

む。A/D変換回路20Aには、直列接続された複数の抵抗R、R0、R1、R2、・・・、R8から成る抵抗列22Aが接続されている。抵抗列22Aの一端側には基準電圧源の負電位-Vrefが、他端側には基準電圧源の正電位+Vrefがそれぞれ接続されている。これにより、抵抗R0とR1の接続点(ノード)、抵抗R1とR2の接続点、・・・、抵抗R7(図示せず)とR8の接続点からそれぞれ分圧による電圧(異なる値)が各プレアンプの一方の入力端子に入力される。つまり、抵抗列22Aと、負電位-Vref及び正電位+Vrefを基準電圧として付与する基準電圧源は基準電圧生成部として作用する。各プレアンプの他方の入力にはアナログ入力信号AISが入力される。

他方のA/D変換回路、ここではA/D変換回路20BもA/D変換回路20Aと同様の構成(プレアンプ部21B、コンパレータ部25B)を含む。しかし、A/D変換回路20B側の基準電圧生成回路は、基準電圧源の負電位-Vref、正電位+Vrefに対して1LSB(Least Significant Bit)分だけ電圧をずらして付与する機能を有する。このために、直列接続された複数の抵抗R0、R1、R2、・・・、R8から成る抵抗列22Bの一端側、他端側にそれぞれ、端子A、Bの切替えを行なうスイッチ24-1、24-2が接続されている。しかも、スイッチ24-1、24-2が端子A側にある時には抵抗列22Bの両端に基準電圧源の正電位+Vref、負電位-Vrefが接続されると共に抵抗列22Bの負電位側端部に抵抗Rが直列に接続される一方、スイッチ24-1、24-2が端子B側にある時には抵抗列22Bの両端に別の基準電圧源の正電位+Vref+1LSB、負電位-Vref+1LSBが接続されると共に抵抗列22Bの正電位側端部に抵抗Rが直列に接続されるように構成されている。

なお、各コンパレータの入力側に接続されたプレアンプはそれぞれ出力オフセットを調整可能である。

デジタル処理部26は、複数のコンパレータの出力をデジタル処理してデジタル値をデジタル出力信号DOSとして出力する。

校正方法は、同じアナログ入力信号AISを同時に2つのA/D変換回路20A、20Bによって変換することによって双方の出力データの無相関関係に基づいて校正を行う。例えば、A/D変換回路20A、20Bの双方の出力信号は、回路間ばらつき等によって異なる変換データが出力されるとする(図3A)。その場合、A/D変換回路20A、20Bのうち一方のプレアンプの出力オフセットを調整してやることにより、等価的にコンパレータの閾値を調整する。これらの調整によりA/D変換回路20A、20Bの双方から出力される変換データを一致させるようにする。ただし、これだけでは、A/D変換の線形性の補正ができないため、アナログ入力電圧に対して変換されるデジタル出力コードとの関係のステップは等間隔でなく非線形な特性を有しており、校正できたことにならない(図3B)。

そこで、他方のA/D変換回路20Bに付与する基準電圧を1LSB分だけ変化させるようにスイッチ24-1、24-2により切り替え、1LSB(1ステップ)分ずらした基準電圧を基にデータ変換(A/D変換)を行なう。この基準電圧をずらさない場合と、基準電圧をずらした場合の2つの条件下のデータ変換を繰り返す。この時、2つの基準電圧と比較した2つの出力データの関係は無相関関係にあり、デジタル処理部26は、この2つの変換データをもとに平均化処理を実施し、線形性精度の補償を順次行ってゆく。この時、補償を行ってゆく上で、前述したコンパレータのプレアンプの出力オフセット調整を使用する。そして、データ変換を行ってゆくうちに、2つの変換誤差は平均化処理によって低減されていく(図3C)。

【特許文献1】特開2008-131298号公報

【非特許文献1】Yuji Nakajima, Akemi Sakaguchi, Toshio Ohkido, Tetsuya Matsumoto, and Michio Yotsuyanagi, 「A Self-Background Calibrated 6b 2.7GS/s ADC with Cascade-Calibrated Folding-Interpolating Architecture」IEEE 2009 Symposium on VLSI Circuits, pp266-

10

20

30

40

50

267(2009)

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献1あるいは非特許文献1に記載されているA/D変換装置は、連続してA/D変換を行なっているとき、同時にA/D変換回路の校正が可能であるが、複数のA/D変換回路が必要となり、A/D変換装置全体の消費電力や回路面積の増加に繋がる。

本発明はこうした状況に鑑みてなされたものであり、複数のA/D変換回路を備えずして、連続してA/D変換を行っているときに、同時にA/D変換回路の校正を行うことのできるA/D変換装置を提供しようとするものである。

10

【課題を解決するための手段】

【0004】

本発明の第1の態様によれば、アナログ入力信号のアナログ値をサンプリングし、一定期間ホールドするサンプルホールド部と、該サンプルホールド部からのアナログ入力電圧をデジタル出力に変換するA/D変換部と、前記A/D変換部に第1の基準電圧、第2の基準電圧の一方を付与する基準電圧生成部と、前記デジタル出力を読み込み、これを補正するための制御値を求めて前記A/D変換部に出力する機能を持つデジタル処理部を含むA/D変換装置が提供される。本A/D変換装置においては、前記A/D変換部は前記アナログ値のホールド期間中に、2度アナログ値をデジタル値へ変換する動作を行う。前記A/D変換部は、第1回目の変換動作では、前記アナログ値を前記第1の基準電圧と比較して比較結果を第1の変換データとして出力し、第2回目の変換動作では、前記アナログ値を前記第2の基準電圧と比較して比較結果を第2の変換データとして出力する。前記第2の基準電圧は前記第1の基準電圧に対して、最小分解能分の電圧を加算又は減算した電圧とされる。前記デジタル処理部は、前記第1、第2の変換データの誤差をデジタル処理によって平均化処理することによりA/D変換誤差を検出し、その検出結果を前記制御値として前記A/D変換部へ帰還して電圧制御を行い、この動作を繰り返す。これにより変換誤差が低減される。

20

本発明の第2の態様によれば、アナログ入力信号のアナログ値をサンプリングし、一定期間ホールドするサンプルホールド部と、該サンプルホールド部からのアナログ入力電圧をデジタル出力に変換するA/D変換部と、前記デジタル出力を読み込み、これを補正するための制御値を求めて前記A/D変換部に出力する機能を持つデジタル処理部を含むA/D変換装置のA/D変換補正方法が提供される。本A/D変換補正方法においては、前記アナログ値のホールド期間中に、2度アナログ値をデジタル値へ変換する動作が行われる。第1回目の変換動作では、前記アナログ値と第1の基準電圧との比較が行なわれ、その比較結果が第1の変換データとして出力される。第2回目の変換動作では、前記アナログ値と第2の基準電圧との比較が行なわれ、その比較結果が第2の変換データとして出力される。前記第2の基準電圧は前記第1の基準電圧に対して、最小分解能分の電圧を加算又は減算した電圧とされる。前記第1、第2の変換データの誤差がデジタル処理によって平均化処理されることにより、A/D変換誤差が検出される。その検出結果を前記制御値として前記A/D変換部へ帰還して電圧制御が行われ、この動作が繰り返される。これにより変換誤差が低減される。

30

40

【発明の効果】

【0005】

本発明によれば、A/D変換を行ないつつ、同時に校正することを1つのA/D変換部で達成でき、回路面積、処理作業および消費電力の削減を実現することができる。

【図面の簡単な説明】

【0006】

図1は、A/D変換装置の一例を説明するための図である。

図2は、A/D変換装置の別の例を説明するための図である。

図3A～図3Cは、図2に示されたA/D変換装置の動作を説明するための特性図であ

50

る、

図4は、本発明の第1の実施例によるA/D変換装置の構成を示した図である。

図5は、図4に示されたA/D変換装置の動作原理を説明するための図である。

図6は、図4に示されたA/D変換装置の動作原理を説明するための図である。

図7は、図4に示されたA/D変換装置の動作を説明するための図である。

図8は、本発明の第2の実施例によるA/D変換装置の構成を示した図である。

図9は、本発明の第3の実施例によるA/D変換装置の構成を示した図である。

【発明を実施するための形態】

【0007】

はじめに、図4を参照して、本発明の原理を説明する。

図4に示すA/D変換装置は、複数のコンパレータとそれらのオフセット誤差をキャンセルできる機能を備える複数のプレアンプを含むA/D変換部(A/D変換回路)と基準電圧生成部を備える。基準電圧生成部は第1の基準電圧をA/D変換部に付与するか、又は第1の基準電圧に対して1LSB分の電圧を加算又は減算した電圧を第2の基準電圧としてA/D変換部に付与する機能を有する。第1、第2の基準電圧生成のために、例えば、複数の抵抗を直列接続してなる抵抗列(抵抗ラダー)が用いられる。この場合、抵抗列における隣り合う抵抗の接続点(ノード)から取り出される複数の分電圧がA/D変換部における複数のプレアンプに入力される。以下では、A/D変換部に付与される複数の分電圧をまとめて第1の基準電圧、又は第2の基準電圧と呼ぶ。もし、抵抗列の各抵抗に製造ばらつき等によって抵抗値にばらつきがある場合、或いは、アナログ入力電圧と第1、第2の基準電圧とを比較して"1"/"0"判定を行う各コンパレータのしきい値にばらつきが存在する場合は、第1の基準電圧を用いた場合と第2の基準電圧を用いた場合の2つのA/D変換データは1コードずれた変換結果ではなく、同じコードが変換されることがある。つまり変換誤差を生じた結果が得られることがある。これら変換誤差の結果をもとに補正値が求められる。

図4は本発明の実施例によるA/D変換装置の原理を説明するための図である。詳しくは後述するが、ここでは入力されるアナログ入力信号AISをサンプルホールド部41によってサンプリングし、その値を一定期間(ホールド期間)保持する。このホールド期間内に、A/D変換部42は、保持されたアナログ電圧を基に、基準電圧との比較によって2回、アナログ値からデジタルデータへの変換作業を行う。A/D変換部42は、第1回目の変換作業では第1の基準電圧との比較によってA/D変換を行い、第2回目の変換作業では第1の基準電圧に1LSB分を加算(または減算)した電圧、つまり第2の基準電圧との比較でA/D変換を行う。

図5は、入力されるアナログ値に対して2つの基準電圧を用いて変換を行った時のアナログ入力値とデジタル出力コードとの関係を示す。もし、基準電圧を生成する抵抗列の抵抗同士にばらつきが存在しなければ、2つの線形な変換特性が得られる。しかし、基準電圧を生成する抵抗列を構成している複数の各抵抗には、通常、ばらつきが存在し、図5に示すような2つの非線形な変換特性が得られる。

図5において、2つの非線形な変換特性の一方は、黒丸で示すように、ある基準電圧(第1の基準電圧)による第1回目の変換特性であり、他方は、黒三角で示すように、ある基準電圧に1LSB分の電圧を加算した電圧(第2の基準電圧)との比較による第2回目の変換特性である。2つの変換特性は1LSB分特性がずれたものであるが、同等の非線形特性を有する。こうして、2つの基準電圧と比較して得られた2つの変換データは、もし、A/D変換において変換誤差が存在しなければ、第2回目の変換結果は第1回目の変換結果に対して1LSB分隣接するコードへ変化するはずである。しかし、変換誤差が存在すれば、2つの変換データは所望の1コードずれた無相関の関係になる(1LSB分ずれた変換データ)。これら2つの出力データは無相関であるがゆえに、平均化処理を実施し、変換を繰り返して2つの補償を行うことにより、図6に示すように、A/D変換部の変換誤差を低減することができる。

図7は2つの出力データの積分非直線性を示す。図7からわかるように、同じデジタル

10

20

30

40

50

出力コード上に存在する2つの出力データは無相関の関係にあることがわかる。これは、同じデジタル出力コードにおける2つの変換データ誤差の関係は無相関であるため、平均化処理により誤差が低減されることを意味する。この手法を用いることにより、従来例では成しえなかった、連続してA/D変換を行なっている変換部を同時に校正することを1つのA/D変換部で達成できる。これにより、従来例と比較し、回路面積はもとより、処理作業および消費電力も緩和される。

以下、本発明を具体的な実施例に基づいて説明する。以降で参照される図4、図8、図9において同一のものには同一の符号を付し、詳しい説明は省略する。ただし、本発明は、以下に示す個々の実施例に限定されるものではない。

【実施例1】

【0008】

図4は本発明の第1の実施例によるA/D変換装置を示すブロック図である。

第1の実施例によるA/D変換装置は、アナログ入力信号AISのアナログ値をサンプリングして一定期間ホールドするサンプルホールド部41と、ホールドされたアナログ入力電圧をデジタル出力に変換するA/D変換部(A/D変換回路)42を含む。A/D変換装置は更に、抵抗列42-2と2つの基準電圧源43A、43Bとを含む基準電圧生成部40と、A/D変換部42のデジタル出力を読み込み、補正するための制御値を求めて制御信号CSとしてプレアンプ部42-1の各プレアンプに出力するデジタル処理部45を含む。

A/D変換部42は、2つの入力的一方にサンプルホールド部41からのアナログ電圧を入力し、2つの入力の他方には抵抗列からの分電圧を入力する(N-1)個(Nは2以上の整数)のプレアンプからなるプレアンプ部42-1と、(N-1)個のプレアンプに対応した(N-1)個のコンパレータからなるコンパレータ部44を含む。コンパレータの前段に接続されたプレアンプは、前述したように、その出力オフセットを調整することによりコンパレータ部44の各コンパレータのオフセット誤差をキャンセルするためのものである。基準電圧生成部40は、(N-1)個のコンパレータに対応した分電圧を基準電圧として生成する、N個の抵抗R1~RNの直列回路による抵抗列42-2を含む。抵抗R1~RNの抵抗値はばらつきを無視すれば等しいと仮定して良い。

抵抗列42-2には、その両端にそれぞれ、設定A、Bの切替えを行なうスイッチ46-1、46-2が接続されている。スイッチ46-1、46-2が接点A側にあるときには抵抗列42-2の両端に基準電圧源(第1の基準電圧源43A)の正電位(高電位)+Vref、負電位(低電位)-Vrefが接続される一方、スイッチ46-1、46-2が端子B側にある時には抵抗列42-2の両端に別の基準電圧源(第2の基準電圧源43B)の正電位+Vref+1LSB、負電位-Vref+1LSBが接続されるように構成されている。

抵抗列42-2には、スイッチ46-1、46-2によりその両端側に第1の基準電圧源43Aからの正電位+Vref、負電位-Vrefが印加されることで第1の基準電圧(複数の分電圧)を生成してプレアンプ部42-1の各プレアンプに供給する。前述したように、第1の基準電圧は、厳密に言えば、正電位+Vref~負電位-VrefをN個の抵抗R1~RNで分圧することによって決まる(N-1)種類の分電圧値を持つ。一方、抵抗列42-2の両端側に、スイッチ46-1、46-2により第2の基準電圧源43Bからの正電位(+Vref+1LSB)、負電位(-Vref+1LSB)が印加されることで第2の基準電圧(複数の分電圧)を生成してプレアンプ部42-1の各コンパレータに供給する。第2の基準電圧は、正電位(+Vref+1LSB)~負電位(-Vref+1LSB)を抵抗R1~RNで分圧することによって決まる(N-1)種類の分電圧値を持つ。言い換えれば、第1の実施例における第2の基準電圧は、第1の基準電圧に対し、最小分解能(1LSB)の電位を加算した電位である。

サンプルホールド部41では入力されるアナログ電圧をサンプリングして一定期間ホールドする。A/D変換部42は前記アナログ値ホールド期間中に、2度、アナログ値からデジタル値への変換を行なう。第1回目の変換動作では、スイッチ46-1、46-2を

10

20

30

40

50

端子A側へ切り替えることにより、コンパレータ部44においてアナログ電圧と第1の基準電圧との比較を行い、アナログ値からデジタル値へ変換する。第2回目の変換動作では、スイッチ46-1、46-2を端子B側へ切り替えることにより、コンパレータ部44は、アナログ電圧と第2の基準電圧、すなわち第1の基準電圧に対し最小分解能(1LSB)の電位を加算した電位との比較によってアナログ値からデジタル値への変換を行う。

このとき、2つの変換データの関係は、誤差が生じたとしても、無関係な関係にあるがゆえに、これら2つの変換データの誤差をデジタル処理部45におけるデジタル処理によって平均化処理を行なう。このことにより、デジタル処理部45はA/D変換誤差を検出し、その検出結果を制御信号CSとしてプレアンプ部42-1に戻し、各コンパレータのオフセットがキャンセルされるようにアナログ電圧制御を行なう。デジタル処理部45はこの動作を繰り返すことによりA/D変換誤差を低減する。

10

なお、スイッチ46-1、46-2の切替えは、サンプルホールド部41におけるサンプリングクロックを利用してサンプルホールド部41のホールド期間中に行なわれる。例えば、サンプリングとホールド期間すべてで100%とすると、サンプリング期間50%、第1のホールド期間25%、第2のホールド期間25%とし、第1のホールド期間から第2のホールド期間への切替え時にスイッチ46-1、46-2の切替えが行なわれる。このような切替え制御は、少なくともサンプリングクロックCLKが入力される、制御部50により行なわれる。

なお、デジタル処理部45によるプレアンプ部42-1のアナログ電圧制御、制御部50によるスイッチ46-1、46-2の切替え制御は、後述される第2、第3の実施例でも同様である。

20

【実施例2】

【0009】

図8は本発明の第2の実施例によるA/D変換装置を示すブロック図である。

第2の実施例が第1の実施例と異なる点は、基準電圧生成部40の第2の基準電圧源43B'が第2の基準電圧として正電位(+Vref-1LSB)、負電位(-Vref-1LSB)をA/D変換部42に付与する点にある。これにより、第2の実施例の第2の基準電圧は、正電位(+Vref-1LSB)~負電位(-Vref-1LSB)を抵抗R1~RNで分圧することによって決まる(N-1)種類の分電圧値を持つ。つまり、第2の実施例の第2の基準電圧は、第1の基準電圧に対し、最小分解能(1LSB)の電位を減算した電位である。

30

第2の実施例によるA/D変換装置は、アナログ値をサンプリングして一定期間ホールドするサンプルホールド部41と、基準電圧生成部40と、アナログ入力電圧をデジタル出力に変換するA/D変換部42と、A/D変換部42からのデジタル出力を読み込み、補正するための制御値を求めて制御信号CSとしてプレアンプ部42-1に出力するデジタル処理部45からなる。

サンプルホールド部41は入力されるアナログ電圧をサンプリングして一定期間ホールドし、A/D変換部42は前記アナログ値ホールド期間中に、2度、アナログ値からデジタル値への変換動作を行なう。第1回目の変換動作では、スイッチ46-1、46-2が端子A側へ切り替えられることにより、A/D変換部42の各コンパレータが対応する第1の基準電圧(分電圧)とアナログ電圧との比較を行い、デジタル処理部45がそれらの比較結果をデジタル処理することによりアナログ値からデジタル値への変換が行なわれる。

40

次に、第2回目の変換動作では、スイッチ46-1、46-2が端子B側へ切り替えられることにより、A/D変換部42のコンパレータ部44がアナログ電圧と第2の基準電圧、すなわち第1の基準電圧に対して最小分解能(1LSB)の電位を減算した電位との比較を行うことにより、アナログ値からデジタル値への変換が行なわれる。このとき、2つの変換データの関係は誤差が生じたとしても、無関係な関係にある。それゆえ、デジタル処理部45は、これら2つの変換データの誤差をデジタル処理によって平均化処理を行なって前記A/D変換誤差を検出し、その検出結果をA/D変換部42(プレアンプ部4

50

2 - 1) へ制御信号CSとして戻して、前述したアナログ電圧制御を行う。デジタル処理部45は、この動作を繰り返すことにより変換誤差が低減される。

【実施例3】

【0010】

図9は本発明の第3の実施例によるA/D変換装置を示すブロック図である。

第3の実施例が第1の実施例と異なる点は、基準電圧源43A、43A'が共に正電位+Vref、負電位-Vrefを持つことにある。換言すれば、基準電圧源は1つでも良い。また、正電位+Vrefが印加されるスイッチ46-1側においては端子B側(抵抗列42-2の正あるいは高電位側端部)に抵抗Rが追加接続される一方、負電位-Vrefが印加されるスイッチ46-2側においては端子A側(抵抗列42-2の負あるいは低電位側端部)に抵抗Rが追加接続されるように構成されている。すなわち、スイッチ46-1、46-2が端子A側に切替えられると抵抗列42-2の負電位側に更に抵抗Rが直列接続され、スイッチ46-1、46-2が端子B側に切替えられると抵抗列42-2の正電位側に更に抵抗Rが直列接続される。抵抗R1~RN、Rは、ばらつきを無視すればその抵抗値は等しいと仮定して良い。

サンプルホールド部41は、入力されるアナログ電圧をサンプリングして一定期間ホールドし、A/D変換部42は前記アナログ値ホールド期間中に、2度、アナログ値からデジタル値への変換を行なう。第1回目の変換動作では、スイッチ46-1、46-2を端子A側へ切り替えてコンパレータ部44によりアナログ電圧と第1の基準電圧との比較を行い、アナログ値からデジタル値へ変換する。次に、第2回目の変換動作では、スイッチ46-1、46-2を端子B側へ切り替えることにより各抵抗間のノードには第1の基準電圧から最小分解能分だけ電位下降した第2の基準電圧による分電圧が印加され、コンパレータ部44はアナログ電圧と第1の基準電圧に対して最小分解能(1LSB分)の電位を減算した電圧との比較を行なうことによってA/D変換が行われる。

例えば、図9において、一番上に存在するプレアンプへ入力される電圧を用いて説明すると、スイッチ46-1、46-2が端子A側にある場合、上記のプレアンプには $\{(1/9) \times [(+Vref) - (-Vref)]\}$ で規定される分電圧(第1の基準電圧)が印加される。一方、スイッチ46-1、46-2が端子B側へ入っている場合には、上記のプレアンプには $\{(2/9) \times [(+Vref) - (-Vref)]\}$ で規定される分電圧(第2の基準電圧)が印加される。その結果、スイッチ46-1、46-2が端子A側にある場合と、スイッチ46-1、46-2が端子B側へ入っている場合とでは $[(+Vref) - (-Vref)]$ の1/9だけ電圧がずれた値(最小分解能又は1LSB分)でA/D変換が行なわれる。

このとき、2つの変換データの関係は誤差が生じたとしても、無相関な関係にある。それゆえ、これら2つの変換データの誤差をデジタル処理部45によるデジタル処理によって平均化処理する。デジタル処理部45は、前記A/D変換誤差を検出し、その検出結果を制御信号CSとしてA/D変換部42(プレアンプ部42-1)へ制御信号線を介して戻してアナログ電圧制御を行う。デジタル処理部45は、この動作を繰り返すことにより変換誤差が低減される。

[実施例の効果]

以上説明した通り、上記の実施例によれば、2つの基準電圧と比較した2つのA/D変換データは、もし、A/D変換に変換誤差が存在しなければ、もう1つの変換結果は1LSB分だけ隣接するコードへ変化されるはずである。しかし、変換誤差が存在すれば、2つの変換データは所望の1コードずれた無相関の関係になる(1LSB分ずれた変換データ)。これら2つの出力データは無相関であるがゆえに、平均化処理を実施し、変換を繰り返すことにより2つの変換データの補償を行い、A/D変換部の変換誤差を低減することができる(図6参照)。

図7には2つの出力データの積分非直線性を示す。この図からわかるように、同じデジタル出力コード上に存在する2つの変換データは無相関の関係にあることがわかる。この手法を用いることにより、従来例では成しえなかった、連続してA/D変換を行ないつつ

10

20

30

40

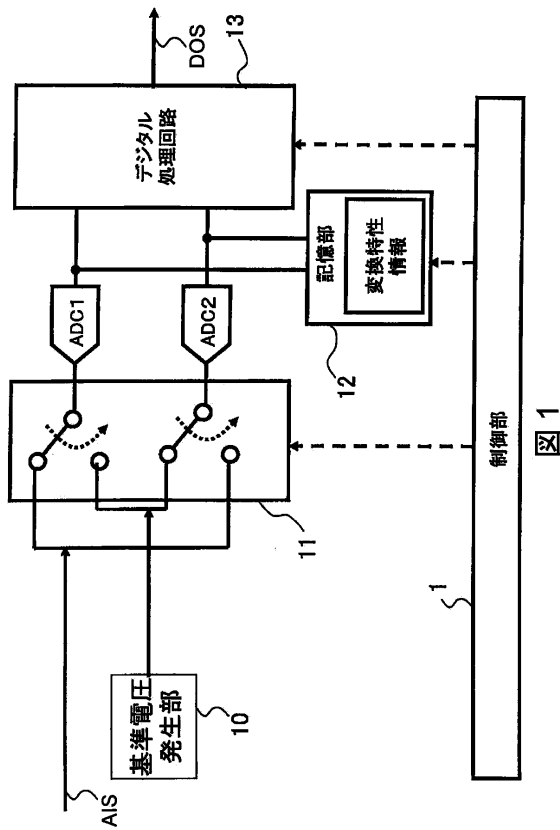
50

、同時に校正することを1つのA/D変換部で達成できる。これにより、従来例と比較し、回路面積はもとより、処理作業および消費電力も緩和される。

以上、本発明を、複数の実施例を参照して説明したが、本発明は上記実施例に限定されるものではない。本発明の構成や詳細には、請求項に記載された本発明の精神や範囲内で当業者が理解し得る様々な変更をすることができる。

この出願は、2010年2月9日に出願された日本出願特願第2010-026068号を基礎とする優先権を主張し、その開示のすべてをここに取り込む。

【図1】



【図2】

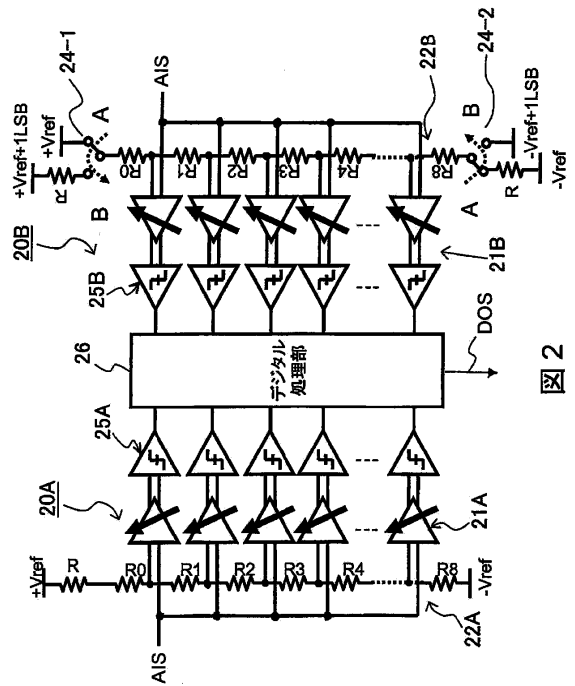


図2

【 図 3 A 】

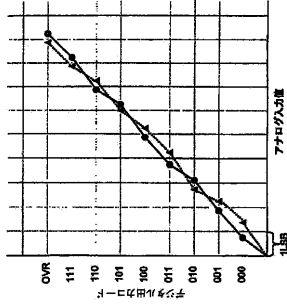


図 3A

【 図 3 C 】

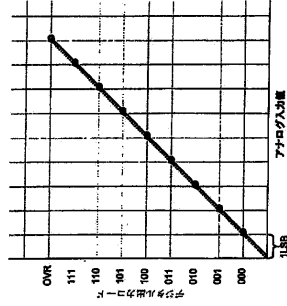


図 3C

【 図 3 B 】

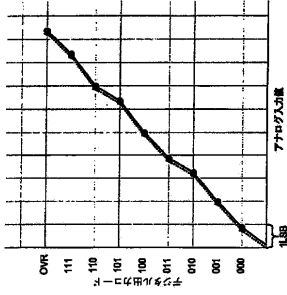


図 3B

【 図 4 】

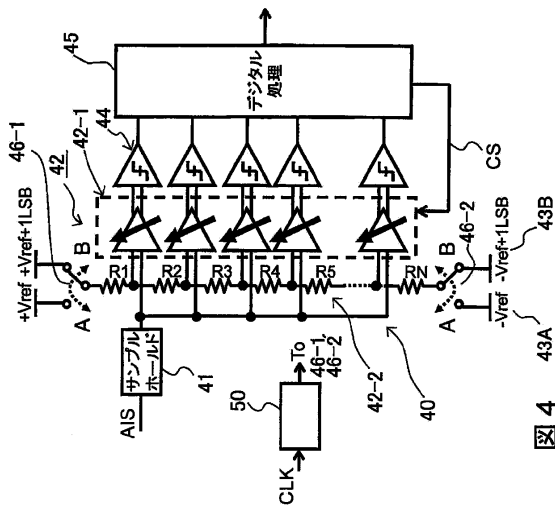


図 4

【 図 5 】

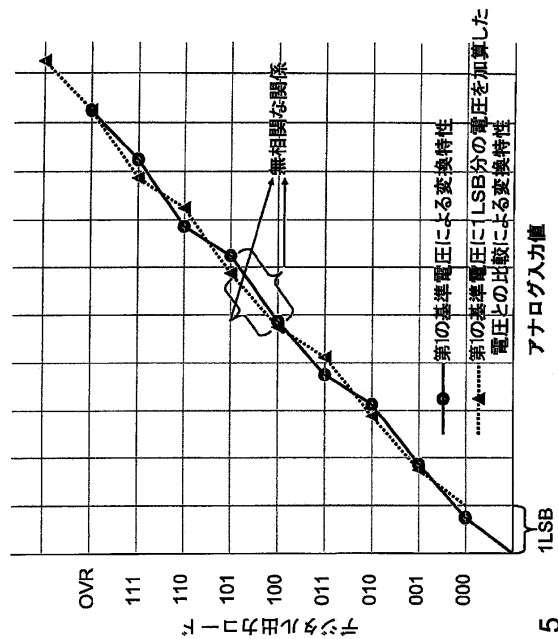


図 5

【 図 6 】

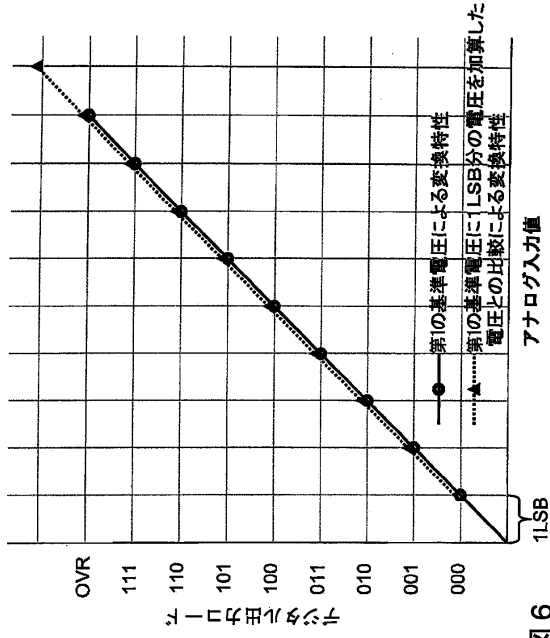


図 6

【 図 7 】

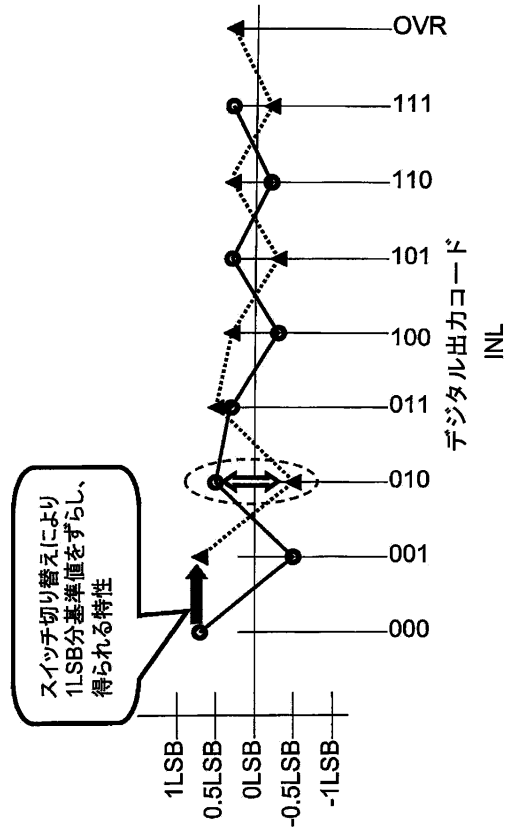


図 7

【 図 8 】

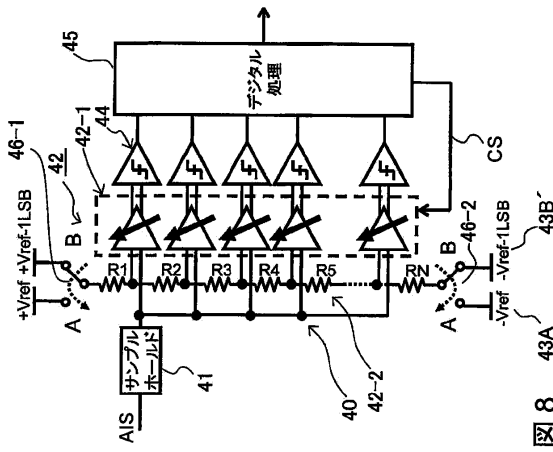


図 8

【 図 9 】

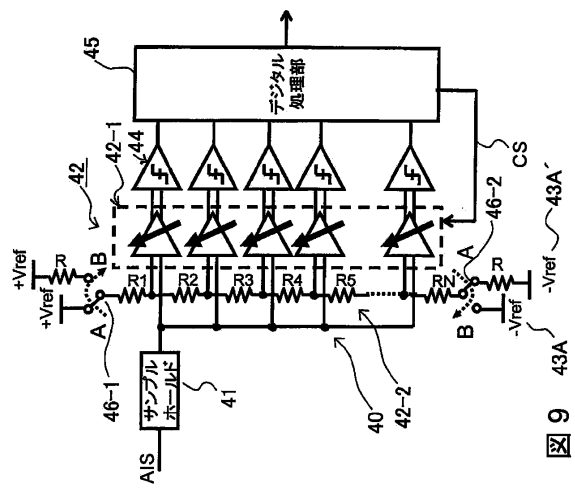


図 9

---

フロントページの続き

審査官 柳下 勝幸

(56)参考文献 Nakajima, Yotsuyanagi, et al. , " A Background Self-Calibrated 6b 2.7 GS/s ADC With Cascade-Calibrated Folding-Interpolating Archite , IEEE JOURNAL OF SOLID-STATE CIRCUITS , 米国 , 2 0 1 0 年 4 月 , VOL.45, NO.4 , Pages 707-718

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 M 1 / 0 0 - 1 / 8 8