



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월21일
(11) 등록번호 10-0937911
(24) 등록일자 2010년01월13일

(51) Int. Cl.

H01L 21/302 (2006.01)

(21) 출원번호 10-2007-0050357
(22) 출원일자 2007년05월23일
심사청구일자 2007년05월23일
(65) 공개번호 10-2008-0027714
(43) 공개일자 2008년03월28일

(30) 우선권주장

JP-P-2006-00258536 2006년09월25일 일본(JP)
JP-P-2007-00070033 2007년03월19일 일본(JP)

(56) 선행기술조사문헌

KR1020040074681 A*

KR1020050069612 A

KR1020050099666 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시끼가이샤 도시바

일본국 도쿄도 미나토구 시바우라 1조메 1방 1고

(72) 발명자

가츠마타 히로시

일본 도쿄도 미나토구 시바우라 1-1-1 가부시끼가
이샤 도시바지테키자이산부 나이

아오키 가츠아키

일본 도쿄도 미나토구 시바우라 1-1-1 가부시끼가
이샤 도시바지테키자이산부 나이

(74) 대리인

김태홍, 송승필

전체 청구항 수 : 총 19 항

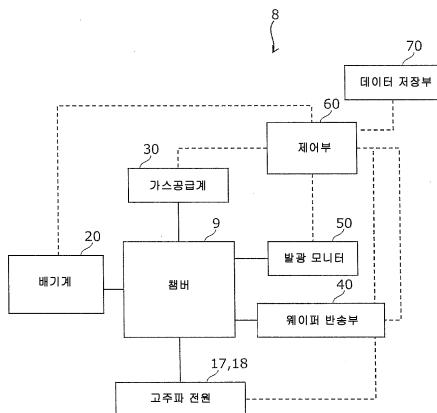
심사관 : 이창용

(54) 반도체 장치의 제조 방법, 반도체 제조 장치 및 반도체장치

(57) 요 약

챔버 내에서 웨이퍼 상에 형성된 막을 순차적으로 드라이 에칭하는 반도체 장치의 제조 방법으로서, 상기 웨이퍼 상에 형성된 제1 막을 에칭하고, 상기 에칭에 의해 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물 중 적어도 일부를 제거함으로써, 그 퇴적 분포를 균일한 상태에 가깝게 한 후에, 상기 제2 막을 에칭하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

대 표 도 - 도30



특허청구의 범위

청구항 1

챔버 내에서 웨이퍼 상에 형성된 제1 막을 에칭하고,

상기 에칭에 의해 상기 웨이퍼에 대향하는 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거함으로써, 그 퇴적 분포를 균일한 상태로 한 후에,

상기 제1 막 아래에 형성된 제2 막을 상기 챔버 내에서 에칭하며,

상기 반응 생성물의 제거에는 CH_4 가스를 함유하는 가스를 이용하고, 상기 가스에서의 CH_4 가스의 첨가량을 1 중량% 이상 8.3 중량% 미만으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

삭제

청구항 3

챔버 내에서 웨이퍼 상에 형성된 제1 막을 에칭하는 공정과,

상기 에칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과,

상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 상기 챔버 내에서 에칭하는 공정을 포함하고,

상기 제1 막을 에칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 에칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하고, 그 다음의 웨이퍼에 대하여, 상기 제1 막을 에칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 에칭하는 공정 중 적어도 어느 하나에 피드백하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서, 상기 웨이퍼의 상기 제2 막 아래에 형성된 제3 막을 에칭하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제3항에 있어서, 상기 제1 막은 산화실리콘으로 이루어지고,

상기 제2 막은 레지스트로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제3항에 있어서, 상기 반응 생성물의 양에 관한 정보를 플라즈마 발광의 측정에 의해 취득하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제3항에 있어서, 상기 반응 생성물의 제거에는 CH_4 가스를 함유하는 가스를 이용하고, 상기 가스에서의 CH_4 가스의 첨가량을 1 중량% 이상 8.3 중량% 미만으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

챔버 내에서 웨이퍼 상에 형성된 제1 막을 에칭하는 공정과,

상기 에칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과,

상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 상기 챔버 내에서 에칭하는 공정과,

상기 웨이퍼의 상기 제2 막 아래에 형성된 제3 막을 상기 챔버 내에서 에칭하는 공정을

포함하고,

상기 제1 막을 에칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 에칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하여, 상기 제3 막을 에칭하는 공정에 퍼드 포워드하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서, 상기 제3 막은 산화실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제8항에 있어서, 상기 제1 막은 산화실리콘으로 이루어지며,

상기 제2 막은 레지스트로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제8항에 있어서, 상기 반응 생성물의 양에 관한 정보를 플라즈마 발광의 측정에 의해 취득하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제8항에 있어서, 상기 반응 생성물의 제거에는 CH_4 가스를 함유하는 가스를 이용하고, 상기 가스에서의 CH_4 가스의 첨가량을 1 중량% 이상 8.3 중량% 미만으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

챔버 내에서 웨이퍼 상에 형성된 제1 막을 에칭하여 패턴을 형성하고,

상기 패턴 상에 잔류하는 마스크를 제거할 때에, 상기 에칭에 의해 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물로부터 생기는 라디칼을 이용하여 상기 패턴의 사이즈를 조정하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 조정에는 상기 웨이퍼에 RF 바이어스를 인가하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

제13항에 있어서, 상기 제1 막은 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

챔버 내에서 웨이퍼 상에 형성된 막을 에칭하고,

상기 웨이퍼를 상기 챔버로부터 반출한 후에, 상기 챔버 내에 적재되어 있던 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물 중 적어도 일부를 제거함으로써 그 퇴적 분포를 균일한 상태로 하며,

상기 반응 생성물의 제거에는 CH_4 가스를 함유하는 가스를 이용하고, 상기 가스에서의 CH_4 가스의 첨가량을 1 중량% 이상 8.3 중량% 미만으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

웨이퍼를 수용할 수 있는 챔버와,

상기 챔버를 배기하는 배기계와,

상기 챔버에 가스를 공급하는 가스 공급계와,

상기 챔버에 공급된 가스의 플라즈마를 생성하는 고주파 전원과,

상기 챔버에 웨이퍼를 반송하는 웨이퍼 반송부와,

상기 챔버 내에 퇴적한 생성물에 관한 정보를 취득할 수 있는 측정부와,

상기 배기계, 가스 공급계, 고주파 전원, 웨이퍼 반송부를 제어하는 제어부를 포함하고,

상기 제어부는

상기 웨이퍼 반송부에 의해 웨이퍼를 상기 챔버 내에 반송시키고,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 챔버 내에 마련된 상기 웨이퍼 상에 형성된 제1 막을 예칭하며,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하고,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하며,

상기 제1 막의 예칭과, 상기 반응 생성물의 제거와, 상기 제2 막의 예칭 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 상기 측정부에 의해 취득하고, 그 다음의 웨이퍼에 대하여, 상기 제1 막의 예칭과, 상기 반응 생성물의 제거와, 상기 제2 막의 예칭 중 적어도 어느 하나에 피드백하는 것을 특징으로 하는 반도체 제조 장치.

청구항 18

제17항에 있어서, 상기 측정부는 상기 챔버 내에 생성되는 플라즈마의 발광을 검출하는 발광 모니터인 것을 특징으로 하는 반도체 제조 장치.

청구항 19

웨이퍼를 수용할 수 있는 챔버와,

상기 챔버를 배기하는 배기계와,

상기 챔버에 가스를 공급하는 가스 공급계와,

상기 챔버에 공급된 가스의 플라즈마를 생성하는 고주파 전원과,

상기 챔버에 웨이퍼를 반송하는 웨이퍼 반송부와,

상기 챔버 내에 퇴적한 생성물에 관한 정보를 취득할 수 있는 측정부와,

상기 배기계, 가스 공급계, 고주파 전원, 웨이퍼 반송부를 제어하는 제어부를

포함하고,

상기 제어부는,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 챔버 내에 마련된 웨이퍼 상에 형성된 제1 막을 예칭하고,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하며,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하고,

상기 배기계, 상기 가스 공급계 및 상기 고주파 전원을 제어하여 상기 웨이퍼의 상기 제2 막 아래에 형성된 제3 막을 예칭하며,

상기 제1 막의 예칭과, 상기 반응 생성물의 제거와, 상기 제2 막의 예칭 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 상기 측정부에 의해 취득하고, 상기 제3 막 예칭에 피드 포워드하는 것을 특징으로 하는 반도체 제조 장치.

청구항 20

제19항에 있어서, 상기 측정부는 상기 챔버 내에 생성되는 플라즈마의 발광을 검출하는 발광 모니터인 것을 특징으로 하는 반도체 제조 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<33> 본 발명은 반도체 장치의 제조 방법, 반도체 제조 장치 및 반도체 장치에 관한 것으로, 특히, 미세한 패턴을 고정밀도로 형성시키는데 적합한 반도체 장치의 제조 방법, 반도체 제조 장치 및 반도체 장치에 관한 것이다.

<34> 반도체 장치의 미세한 패턴을 드라이 에칭 가공으로 형성하는 경우에, 주로 치수 제어성이 우수한 반응성 이온 에칭(RIE)법이 이용된다. 반응성 이온 에칭(RIE)법에서는 플라즈마에 의해 에칭 가스를 분해, 활성화시켜 이온이나 중성 활성종을 생성하고, 이들의 작용에 의해 반도체 웨이퍼(이하, 「웨이퍼」라고 함) 표면 상에 미세한 패턴을 형성한다. 그리고, 패턴 형성 시에 발생한 휘발성의 반응 생성물은 배기 수단을 이용하여 챔버 외부로 배출시킨다.

<35> 그러나, 이 반응 생성물의 일부가 배출되지 않고 챔버 내의 내벽, 전극, 유전체창 등에 퇴적되는 경우가 있다. 그리고, 이 퇴적한 반응 생성물이 에칭을 등의 에칭 특성에 큰 영향을 미치며, 패턴의 라인 폭 치수의 정밀도나 웨이퍼 면내에 있어서의 균일성을 저하시키는 원인이 된다. 또한, 이러한 것은 제품으로서의 반도체 장치의 신뢰성을 저하시키는 것으로도 이어진다.

<36> 그로 인해, 퇴적한 반응 생성물을 제거하는 클리닝 기술(예컨대, 일본 특허 공개 평성 제5-129246호 공보)이나, 퇴적한 반응 생성물을 강고한 막으로 바꾸어 그 영향을 저감시키는 기술(예컨대, 일본 특허 제3712898호 공보) 등이 제안되어 있다.

<37> 그러나, 퇴적한 반응 생성물을 제거하는 클리닝 기술에서는 클리닝 직전과 직후에서의 에칭을 등의 재현성이나, 클리닝 시간을 필요로 하는 것에 따른 생산성의 저하에 큰 문제가 있다. 또한, 퇴적한 반응 생성물을 강고한 막으로 바꾸는 기술에서는 퇴적한 반응 생성물을 이용한 라인 폭 치수나 웨이퍼 면내 균일성 등의 조정을 할 수 없다.

발명이 이루고자 하는 기술적 과제

<38> 본 발명은 반응 생성물의 퇴적 상태를 조정함으로써, 라인 폭의 치수나 웨이퍼 면내 균일성 등을 조정할 수 있는 반도체 장치의 제조 방법을 제공한다. 또한, 본 발명은 신뢰성이 높은 반도체 장치를 제공한다.

<39> 본 발명의 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 막을 순차적으로 드라이 에칭하는 반도체 장치의 제조 방법으로서, 상기 웨이퍼 상에 형성된 제1 막을 에칭하고, 상기 에칭에 의해 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물 중 적어도 일부를 제거함으로써 그 퇴적 분포를 균일한 상태에 가깝게 한

후에, 상기 제2 막을 예칭하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

<40> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 복수의 막을 순차적으로 드라이 예칭하는 반도체 장치의 제조 방법으로서, 챔버 내에 형성된 웨이퍼 상에 형성된 제1 막을 예칭하는 공정과, 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과, 상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하는 공정을 포함하고, 상기 제1 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하고, 그 다음의 웨이퍼에 대하여, 상기 제1 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 피드백하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

<41> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 복수의 막을 순차적으로 드라이 예칭하는 반도체 장치의 제조 방법으로서, 챔버 내에 마련된 웨이퍼 상에 형성된 제1 막을 예칭하는 공정과, 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과, 상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하는 공정과, 상기 웨이퍼의 상기 제2 막 아래에 형성된 제3 막을 예칭하는 공정을 포함하고, 상기 제1 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하고, 상기 제3 막을 예칭하는 공정에 피드 포워드하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

<42> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 막을 순차적으로 드라이 예칭하는 반도체 장치의 제조 방법으로서, 상기 웨이퍼 상에 형성된 제1 막을 예칭하여 패턴을 형성하고, 상기 패턴 상에 잔류한 마스크를 제거할 때에, 상기 예칭에 의해 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물로부터 생기는 라디칼을 이용하여 상기 패턴의 사이즈를 조정하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

<43> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 막을 순차적으로 드라이 예칭하는 반도체 장치의 제조 방법으로서, 챔버 내에서 상기 웨이퍼 상에 형성된 제1 막을 예칭하고, 상기 웨이퍼를 상기 챔버로부터 반출한 후에, 상기 챔버 내에 적재되어 있었던 상기 웨이퍼에 대향하는 상기 챔버 내의 부재에 퇴적한 반응 생성물 중 적어도 일부를 제거함으로써 그 퇴적 분포를 균일한 상태에 가깝게 하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

<44> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 복수의 막을 순차적으로 드라이 예칭 가능하게 한 예칭 장치로서, 챔버 내에 마련된 제1 웨이퍼 상에 형성된 제1 막을 예칭하는 공정과, 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과, 상기 제1 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하는 공정을 실시 가능하게 하여, 상기 제1의 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하고, 그 다음의 웨이퍼에 대하여, 상기 제1 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 피드백하는 것을 특징으로 하는 예칭 장치가 제공된다.

<45> 또한, 본 발명의 다른 일 형태에 의하면, 챔버 내에서 웨이퍼 상에 형성된 복수의 막을 순차적으로 드라이 예칭 가능하게 한 예칭 장치로서, 챔버 내에 마련된 웨이퍼 상에 형성된 제1 막을 예칭하는 공정과, 상기 예칭에 의해 상기 챔버 내에 퇴적한 반응 생성물 중 적어도 일부를 제거하는 공정과, 상기 웨이퍼의 상기 제1 막 아래에 형성된 제2 막을 예칭하는 공정과, 상기 웨이퍼의 상기 제2 막 아래에 형성된 제3 막을 예칭하는 공정을 실시 가능하게 하여, 상기 제1 막을 예칭하는 공정과, 상기 반응 생성물을 제거하는 공정과, 상기 제2 막을 예칭하는 공정 중 적어도 어느 하나에 있어서, 상기 챔버 내에 퇴적한 상기 반응 생성물의 양에 관한 정보를 취득하고, 상기 제3 막을 예칭하는 공정에 피드 포워드하는 것을 특징으로 하는 예칭 장치가 제공된다.

발명의 구성 및 작용

<46> 이하, 도면을 참조하면서, 본 발명의 실시형태에 대해서 설명한다.

<47> 도 1a 내지 도 1g는 본 발명의 실시형태에 따른 반도체 장치의 제조 방법을 설명하기 위한 모식 공정 단면도이다.

<48> 여기에서는 일례로서, 적층 마스크(1)를 갖는 웨이퍼(W)를 반응성 이온 예칭(RIE) 장치(8)에서 드라이 예칭 가

공하는 경우를 설명한다. 적층 마스크(1)를 이용한 드라이 에칭 가공은 동일 챔버 내에서 연속적으로 행해진다. 도 1a 내지 도 1g의 각 도면에 있어서의 좌측 도면은 적층 마스크(1)를 갖는 웨이퍼(W)의 모식 공정 단면도이며, 우측 도면은 각 공정에서의 챔버(9) 내의 모습을 설명하기 위한 모식 단면도이다.

<49> 도 1a의 좌측 도면에 도시하는 바와 같이, 적층 마스크(1)는 상층 레지스트(2), 산화막(3), 하층 레지스트(4)를 포함하고 있다. 상층 레지스트(2)와 하층 레지스트(4)는 유기계 재료로 이루어지며, 산화막(3)은 무기계 재료, 예컨대 SOG(스핀 온 글라스) 등의 산화실리콘(SiO_x)계 재료로 이루어진다. 적층 마스크(1)의 하층에는 SiO₂ 등으로 이루어지는 산화막(5)이 형성되어 있다. 이 산화막(5)이 드라이 에칭되어 패턴 라인이 된다. 산화막(5)의 하층에는 SiN 등으로 이루어지는 질화막(6), 폴리실리콘막(7)이 각각 형성되어 있다.

<50> 도 1a의 우측 도면에 도시하는 바와 같이, 반응성 이온 에칭(RIE) 장치(8)는 챔버(9)를 구비하고 있으며, 챔버(9) 내의 천장 부분에는 상부 전극(10)이 형성되어 있다. 챔버(9) 내의 하부에는 반도체 웨이퍼(이하, 「웨이퍼」라고 함)를 적재, 유지하기 위한 적재대(11)가 형성되어 있다. 적재대(11)에는 도시하지 않은 정전척이 마련되어 있다. 또한, 적재대(11)는 상이한 주파수[HF(High Frequency); 소스 파워 제어용, LF(Low Frequency); 바이어스 파워 제어용]를 갖는 고주파 전원(17, 18)과 접속되어 있다. 또한, 도 1a 내지 도 1g에 예시한 반응성 이온 에칭(RIE) 장치(8)로서는 공지된 평행 평판형 RIE(Reactive Ion Etching) 장치 등을 이용할 수 있기 때문에, 그 상세한 내용은 생략한다.

<51> 우선, 도 1b의 좌측 도면에 도시하는 바와 같이, 플라즈마(P)에 CF계 가스를 함유하는 가스를 도입하고, 이를 분해, 활성화시켜 산화막(3)을 드라이 에칭 가공한다. 이 때, 상층 레지스트(2)가 마스크가 된다.

<52> 산화막(3)이 드라이 에칭 가공될 때, 도 1b의 우측 도면에 도시하는 바와 같이, 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 CF계 가스의 성분을 함유하는 반응 생성물(12)이 산형으로 퇴적한다.

<53> 다음으로, 도 1c의 좌측 도면에 도시하는 바와 같이, 하층 레지스트(4)의 드라이 에칭 가공 전에 하층 레지스트(4)가 에칭되는 것을 억제하면서, 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 조정한다.

<54> 반응 생성물(12)의 퇴적 상태의 조정은 산소 이온이나 산소 라디칼, 또는 수소 이온이나 수소 라디칼을 이용하여 반응 생성물(12)의 일부를 제거하고, 퇴적량이나 분포 상태를 조정함으로써 행한다. 이 조정의 종료는 벌광 모니터나 시간 관리에 의해 알 수 있다. 퇴적 상태의 조정에 대한 상세한 내용은 후술한다.

<55> 도 1c의 우측 도면에 도시하는 바와 같이, 퇴적량이나 분포 상태를 조정한 후의 반응 생성물(13)은 대략 평평하고 균등하게 분포되어 있다. 또한, 반응 생성물(12)을 전부 제거할 수도 있지만, 전부 제거할 정도의 플라즈마 처리를 행한 경우에는 하층 레지스트(4)의 패턴 소실이 일어날 수 있기 때문에 바람직하지 못하다.

<56> 다음으로, 도 1d의 좌측 도면에 도시하는 바와 같이, 플라즈마(P)에 O₂(산소가스), N₂(질소 가스), CO(일산화탄소 가스), NH₃(암모니아 가스), H₂(수소 가스) 중 어느 하나를 함유하는 가스를 도입하고, 이를 분해, 활성화시켜 하층 레지스트(4)를 드라이 에칭 가공한다. 이 때, 도 1b에서 가공한 산화막(3)이 마스크(산화물 마스크)가 된다.

<57> 여기서, 이 드라이 에칭 가공 전에, 상부 전극에 퇴적한 반응 생성물(13)의 퇴적 상태가 조정되어 있기 때문에, 치수 정밀도나 면내 균일성이 우수한 가공을 할 수 있다. 또한, 두께가 얇은 상층 레지스트(2)는 완전히 제거된다. 치수 정밀도나 면내 균일성이 우수한 가공을 할 수 있는 것에 대한 상세한 내용은 후술한다.

<58> 또한, 도 1d의 우측 도면에 도시하는 바와 같이, 이 드라이 에칭 가공에 의해 반응 생성물(13)도 거의 완전히 제거된다.

<59> 다음으로, 도 1e의 좌측 도면에 도시하는 바와 같이, 플라즈마(P)에 CF계 가스를 함유하는 가스를 도입하고, 이를 분해, 활성화시켜 산화막(5)을 드라이 에칭 가공한다. 이 때, 하층 레지스트(4)가 마스크가 된다. 전술한 바와 같이, 하층 레지스트(4)가 치수 정밀도가 양호하도록 드라이 에칭 가공되어 있기 때문에, 이를 마스크로 하는 산화막(5)도 치수 정밀도가 양호하도록 가공할 수 있다.

<60> 이 때, 도 1e의 우측 도면에 도시하는 바와 같이, 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 CF계 가스의 성분을 함유하는 반응 생성물(14)이 산형으로 퇴적한다.

<61> 다음으로, 도 1f의 좌측 도면에 도시하는 바와 같이, 플라즈마(P)에 O₂를 함유하는 가스를 도입하고, 이를 분해, 활성화시켜 마스크인 하층 레지스트(4)를 제거(애싱)한다.

- <62> 이 때, 도 1f의 우측 도면에 도시하는 바와 같이, 상부 전극(10)에 퇴적되어 있는 반응 생성물(14)도 제거하면서, 이 반응 생성물(14)의 제거에 따라 발생하는 F 라디칼(불소 라디칼)을 이용하여 산화막(5)의 라인 폭 치수나 면내 균일성을 조정한다. 발생하는 F 라디칼(불소 라디칼)을 이용하여 산화막(5)의 라인 폭 치수나 면내 균일성을 조정하는 것에 대한 설명은 후술한다.
- <63> 마지막으로, 도 1g에 도시하는 바와 같이, 웨이퍼(W)를 챔버(9) 외부로 반출한 후, 플라즈마(P)에 O₂를 함유하는 가스를 도입하고, 이를 분해, 활성화시켜 상부 전극(10)에 잔류(퇴적)한 반응 생성물(15)의 퇴적 상태를 조정한다.
- <64> 반응 생성물(15)의 퇴적 상태를 조정하면, 다음에 가공하는 웨이퍼(W)의 산화막(5)의 라인 폭 치수 정밀도나 면내 균일성을 향상시킬 수 있다.
- <65> 여기서, 우선, 상부 전극(10)에 퇴적한 반응 생성물(12)의 영향에 대해서 설명한다.
- <66> 도 2는 상부 전극(10)에 반응 생성물(12)이 산형으로 퇴적한 경우의 영향을 설명하기 위한 그래프이다. 가로축은 웨이퍼 면내 위치, 세로축은 산화막(5)의 라인 폭 치수를 나타내고 있다.
- <67> 또한, 도 3은 산화막(5)을 마스크로 하여 질화막(6)을 드라이 에칭 가공한 경우의 질화막(6)의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프이다. 또한, 도 2의 산화막(5)의 드라이 에칭 가공은 도 1c에서 설명한 반응 생성물(12)의 퇴적 상태를 조정하지 않고 그대로 산화막(5)까지의 가공을 행한 경우이다. 또한, 도 3의 질화막(6)의 드라이 에칭 가공은 도 2의 산화막(5)을 그대로 마스크로서 이용하여 드라이 에칭 가공한 경우이다.
- <68> 도 2 및 도 3으로부터 알 수 있는 바와 같이, 웨이퍼의 중심부와 옆지부에서는 라인 폭의 치수차가 도 2의 경우에 16.9 nm, 도 3의 경우에 19.9 nm로 되어 있다. 최근 고집적화가 진행되는 반도체 장치에 있어서는, 이러한 큰 치수차가 허용되지 않으므로 큰 문제가 된다.
- <69> 본 발명자는 검토 결과, 이러한 큰 치수차를 일으키는 원인에 대한 지견을 얻었다.
- <70> 우선, 제1 원인에는 도 1b에서 설명한 산화막(3)의 드라이 에칭 가공에 의해 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 퇴적한 반응 생성물(12)의 영향이 있다. 이 상부 전극(10)에 퇴적한 반응 생성물(12)이 하층 레지스트(4)의 드라이 에칭 가공 중에 분해, 해리됨으로써 F 라디칼(불소 라디칼)이나 이온이 발생하고, 이 발생한 F 라디칼(불소 라디칼)이 마스크인 산화막(3)을 사이드 에칭하는 것으로 판명되었다. 그 결과, 하층 레지스트(4)의 치수도 좁아졌다. 그리고, 이 반응 생성물은 챔버(9)의 내벽에도 퇴적하지만, 웨이퍼(W) 바로 위에 위치하는 상부 전극(10)에 퇴적한 반응 생성물(12)의 영향이 가장 크다는 것도 판명되었다.
- <71> 도 4a 및 도 4b는 도 1b에서 설명한 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 퇴적한 반응 생성물(12)의 영향을 설명하기 위한 모식 단면도이다. 또한, 도 4a 및 도 4b 이후의 각 도면에 대해서는, 기출한 도면에 관해서 설명한 것과 유사한 요소, 단계에는 동일한 부호를 붙여 상세한 설명은 적절하게 생략한다.
- <72> 도 4a는 산화막(3)의 드라이 에칭 가공 후의 챔버(9) 내를 나타낸 모식 단면도이다.
- <73> 전술한 바와 같이, CF계 가스를 함유하는 가스를 이용하여 산화막(3)을 드라이 에칭 가공하면, 상부 전극(10)에는 그 성분인 F(불소 원자)를 함유하는 반응 생성물(12)이 퇴적한다. 이 때, 퇴적량은 웨이퍼(W) 중심의 바로 위가 가장 많고, 도면에 도시한 바와 같이 산형으로 퇴적한다. 이는, 반응 생성물(12)은 CF계 가스가 해리되어 상부 전극에 부착한 것이며, 이 CF계 가스에 의한 플라즈마 밀도가 웨이퍼(W) 중심의 바로 위에서 가장 높아지기 때문이라고 생각할 수 있다.
- <74> 도 4b는 하층 레지스트(4)의 드라이 에칭 가공 중에 마스크인 산화막(3)이 사이드 에칭되는 것을 설명하기 위한 모식도이다. 전술한 바와 같이, 하층 레지스트(4)의 드라이 에칭 가공으로는 O₂(산소 가스), N₂(질소 가스), CO(일산화탄소 가스), NH₃(암모니아 가스), H₂(수소 가스) 중 어느 하나를 함유하는 가스를 이용한다.
- <75> 원래 이들 가스로는 유기 재료로 이루어지는 하층 레지스트(4)의 드라이 에칭 가공은 가능하여도, 산화물로 이루어지는 산화막(3)이 사이드 에칭되는 일은 없다. 그러나, 상부 전극(10)에 퇴적한 F(불소 원자)를 함유하는 반응 생성물(12)이 하층 레지스트(4)의 드라이 에칭 가공 중에 분해·해리됨으로써 F 라디칼(불소 라디칼)이나 이온이 발생하고, 이 발생한 F 라디칼(불소 라디칼)이 산화막(3)을 사이드 에칭하여, 산화막(3)의 폭 치수를 감소시킨다. 그리고, 이 마스크인 산화막(3)의 폭 치수 감소에 의해, 드라이 에칭 가공 중인 하층 레지스트(4)의 폭 치수가 감소하게 되는 것이다.

<76> 그리고, 이 하층 레지스트(4)의 폭 치수의 감소가, 다음에 드라이 에칭 가공되는 산화막(5)의 가공 치수 정밀도나 면내 균일성에 큰 영향을 미치게 된다.

<77> 표 1은 상부 전극(10)에 퇴적한 반응 생성물(12)의 성분 측정값이다. 측정은 상부 전극(10)의 중심부와 옆지부(엣지로부터 10 mm 정도의 위치)에 Si(실리콘) 칩을 접착하고, 산화막(3)의 드라이 에칭 가공 종료까지 그 Si(실리콘) 칩에 부착된 반응 생성물(12)의 조성을 XPS(X선 광 전자 분광법)로 분석함으로써 행하였다.

표 1

	중심	엣지		중심	엣지
F	50.2	45.7	F/Si	50.2	45.7
C	47.3	50.0	C/Si	47.3	50.0
O	2.6	4.3	O/Si	2.6	4.3
Si	0.0	0.0			
F/C	1.06	0.91	F/C	1.06	0.91

<78>

표 1에 나타내는 바와 같이, 상부 전극(10)에 퇴적한 반응 생성물(12)은 C(탄소 원자), F(불소 원자), O(산소 원자)만으로 이루어지는 것을 알 수 있으며, 전술한 사이드 에칭의 주원인이 되는 F(불소 원자)가 함유되어 있는 것도 알 수 있다. 또한, F(불소 원자)/C(탄소 원자) 비는 옆지부보다도 중심부에서 높다는 것도 알 수 있다. 여기서, F(불소 원자)는 사이드 에칭의 촉진 효과, C(탄소 원자)는 사이드 에칭의 억제 효과가 있기 때문에, F(불소 원자)/C(탄소 원자) 비가 높을수록 사이드 에칭의 촉진 효과가 높아진다.

<80>

또한, CF계 반응 생성물의 두께를 측정한 바, 중심부에서 66 nm, 옆지부에서 62 nm가 되며, 전술한 바와 같이 산형으로 퇴적되어 있는 것이 측정값으로부터도 명백해졌다. 이는, 상부 전극(10)의 중심부에서는 사이드 에칭의 주원인이 되는 F(불소 원자)의 총량이 많고, 그로 인해 그 바로 아래에 있는 웨이퍼(W)의 중심부에서도 옆지부보다 사이드 에칭량이 커지는 것을 의미하고 있다.

<81>

도 2 및 도 3에 있어서 웨이퍼(W) 중심부의 라인 폭이 옆지부의 라인 폭보다도 좁아지는 것은 이것이 원인이다.

<82>

제2 원인으로서는 도 1e에서 설명한 산화막(5)의 드라이 에칭 가공 후에 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 퇴적한 반응 생성물(14)의 영향이 있다.

<83>

도 5a 및 도 5b는 반응성 이온 에칭(RIE) 장치(8)의 상부 전극(10)에 퇴적한 반응 생성물(14)의 영향을 설명하기 위한 모식도이다.

<84>

도 5a에 도시하는 바와 같이, 산화막(5)의 드라이 에칭 가공 후에도 상부 전극(10)에 F(불소 원자)를 함유하는 반응 생성물(14)이 퇴적한다. 이 경우에도 상부 전극(10)의 중심부에 옆지부보다도 F(불소 원자)가 많이 존재하는 반응 생성물(14)의 퇴적이 발생한다.

<85>

그로 인해, RF(Radio Frequency) 바이어스를 사용하지 않는 통상의 방법에 의한 하층 레지스트(4)의 제거(애싱)를 행하면, 도 5b에 도시하는 바와 같이, 반응 생성물(14)이 분해, 해리되어 발생한 F 라디칼(불소 라디칼)에 의해 산화막(5)이 사이드 에칭되고, 라인 폭 치수에 오류가 생긴다. 또한, 이 사이드 에칭의 양은 제어할 수도 없다. 또한, 이 경우에도 중심부 쪽이 F 라디칼(불소 라디칼)의 발생량이 많기 때문에, 웨이퍼(W)의 옆지부보다도 중심부 쪽이 사이드 에칭의 양이 많아진다.

<86>

또한, 도 1f에서 설명한 바와 같이, 하층 레지스트(4)의 제거(애싱) 시에는 챔버(9) 내에 퇴적되어 있는 반응 생성물의 제거, 배출도 행한다. 이 때, 상부 전극(10) 옆지부의 반응 생성물(14)은 중심부의 반응 생성물에 비해서 제거되기 쉽기 때문에, 옆지부에서의 반응 생성물(14)이 중심부의 반응 생성물보다도 먼저 감소하고, 웨이퍼 옆지부에서 발생하는 F 라디칼(불소 라디칼)의 양이 점점 더 적어진다. 그 결과, 웨이퍼의 중심부와 옆지에 있어서의 산화막(5)의 사이드 에칭량의 차가 점점 더 커지게 된다.

<87>

다음으로, 상부 전극(10) 옆지부의 반응 생성물(14)이 중심부의 반응 생성물에 비해서 제거되기 쉬운 것에 대해서 설명을 한다.

<88>

도 6은 하층 레지스트(4) 제거(애싱)의 조건 하에서의 레지스트막의 에칭율을 설명하기 위한 그래프이다.

<89>

또한, 도 7은 하층 레지스트(4) 제거(애싱)의 조건 하에서의 SiO₂막의 에칭율을 설명하기 위한 그래프이다.

<90> 도 6 및 도 7에 있어서의 하층 레지스트(4) 제거(애싱)의 조건은, 처리 압력을 8 Pa 정도, 소스 파워를 2400 W(100 MHz), RF 바이어스 파워를 0 W(RF 바이어스의 인가 없음), 산소 가스를 1140 sccm, CH₄를 60 sccm으로 하였다. 레지스트 막은 웨이퍼(W)의 표면 전체를 덮도록 형성되고(소위, 레지스트 베타막), SiO₂ 막도 웨이퍼(W)의 표면 전체를 덮도록 형성되어 있다(소위, SiO₂ 베타막). 또한, 상부 전극(10)에는 반응 생성물(12)이 퇴적되어 있다.

<91> 도 6에 도시하는 바와 같이, 웨이퍼(W)의 옛지부에서의 레지스트 막의 에칭율은 중심부의 것보다도 높고, 그만큼 제거되기 쉬운 것을 알 수 있다. 여기서, 상부 전극(10)에 퇴적되어 있는 반응 생성물(14)도 레지스트 막과 동일한 유기 성분으로 구성되어 있기 때문에, 상부 전극(10)의 옛지부에서의 반응 생성물(14)도 중심부의 것에 비해서 제거되기 쉽다고 할 수 있다.

<92> 도 7은 도 6의 레지스트 막 대신에 SiO₂ 막을 드라이 에칭 가공한 경우를 나타낸다. 도 7에 도시하는 바와 같이, 웨이퍼(W)의 옛지부에서의 SiO₂ 막의 에칭율은 중심부의 것보다도 낮고, 그만큼 드라이 에칭 가공이 되기 어려운 것을 알 수 있다. 이는 전술한 바와 같이 상부 전극(10)의 옛지부 측에 퇴적되어 있는 반응 생성물(14)이 제거되기 쉽고 양적으로 적으므로, 발생하는 F 라디칼(불소 라디칼)의 양도 적어지기 때문에이라고 생각할 수 있다.

<93> 도 8은 하층 레지스트(4)의 제거(애싱) 작업의 전후에서의 라인 폭의 치수차를 설명하기 위한 그래프이다. 여기서, 가로축의 수치는 샘플 번호를 나타내고 있다. 예컨대, 중심부의 「1」과 옛지부의 「1」은 동일한 샘플을 말하는 것이 된다. 전술한 바와 같이, 하층 레지스트(4)의 제거 중에 반응 생성물(14)로부터 발생하는 F 라디칼(불소 라디칼) 양에는 분포가 생긴다. 그로 인해, 옛지부의 쪽이 사이드 에칭되기 어렵고, 도 8에 도시하는 바와 같이 중심부에 비해서 옛지부의 쪽이 라인 폭이 약 3 nm 두껍게 되어 있다.

<94> 제3 원인으로서는, 도 1f에서 설명한 하층 레지스트(4)의 제거 후에 잔류(퇴적)하는 반응 생성물의 영향이 있다.

<95> 도 9a 내지 도 9c는 하층 레지스트(4)의 제거 후에 잔류(퇴적)되는 반응 생성물(15)의 영향을 설명하기 위한 모식도이다.

<96> 도 9a에 도시하는 바와 같이, 산화막(5)의 드라이 에칭 가공 후에, 동일 챔버 내에서 처리 압력 40 Pa, RF 바이어스 인가가 포함된 조건으로 하층 레지스트(4)를 애싱하고, 동시에 챔버 내에 퇴적한 반응 생성물(14)을 제거하려고 해도 일부의 반응 생성물(15)이 잔류(퇴적)한다.

<97> 표 2는 상부 전극(10)에 잔류(퇴적)한 반응 생성물(15)의 성분 측정값이다. 측정은 상부 전극(10)의 중심부와 옛지부(옛지로부터 10 mm 정도의 위치)에 Si(실리콘) 칩을 접착하고, 하층 레지스트(4)의 제거 종료 후에 그 Si(실리콘) 칩에 부착되어 있는 반응 생성물(15)의 조성을 XPS(X선 광전자 분광 장치)로 분석함으로써 행하였다.

표 2

	중심	옛지		중심	옛지
F	12.7	6.9	F/Si	19.6	11.5
C	10.6	6.7	C/Si	16.4	11.1
O	41.4	46.3	O/Si	64.0	77.4
Si	35.4	40.1			
F/C	1.19	1.03	F/C	1.19	1.03

<98>

<99> 표 2에 나타내는 바와 같이, 상부 전극(10)의 중심부에 의해 많은 CF계 반응 생성물(15)이 잔류(퇴적)되어 있다는 것을 알 수 있다. 그로 인해, 도 9b에 도시하는 바와 같이, 다음에 드라이 에칭 가공하는 웨이퍼 산화막(3)의 드라이 에칭 가공 후에, 한층 더 상부 전극(10)에 반응 생성물(16)이 측적되게 된다.

<100> 그리고, 도 9c에 도시하는 바와 같이, 하층 레지스트(4)의 드라이 에칭 가공 중에 발생하는 F 라디칼(불소 라디칼)의 양도 많아지며, 산화막(3)의 사이드 에칭량도 커진다.

<101> 그 결과, 이전 번의 드라이 에칭 가공한 웨이퍼(W)보다도 큰 라인 폭의 치수차나 웨이퍼 면내 분포가 생기게 된다.

- <102> 도 10은 잔류(퇴적)하는 반응 생성물(15)이 있는 경우에, 다음 번의 드라이 에칭 가공하는 웨이퍼에서의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프이다. 도 10에 도시하는 바와 같이, 도 2의 경우보다도 좁은 라인 폭 치수를 가공한 경우라도, F 라디칼(불소 라디칼)의 발생량이 많은 웨이퍼(W) 중심부의 라인 폭 치수가 옛지부에 비해서 3 nm 이상 좁아지는 것을 알 수 있다.
- <103> 이상 설명한 바와 같이, 라인 폭의 치수 정밀도나 웨이퍼 면내 균일성은 상부 전극(10)에 퇴적한 반응 생성물의 퇴적량이나 분포 등의 퇴적 상태의 영향을 강하게 받는다. 특히, 적층 마스크(1)를 갖는 웨이퍼를 동일 챔버에서 연속하여 드라이 에칭 가공하는 경우에는 공정이 복잡해지기 때문에 반응 생성물이 퇴적하는 기회도 많으며, 상부 전극(10)에 퇴적하는 반응 생성물의 퇴적 상태가 매우 중요해진다.
- <104> 또한, 도 1a 내지 도 1g에 예시한 프로세스에서는 산화막(3)의 드라이 에칭에 CF계 가스를 함유하는 가스를 이용하고 있기 때문에, F(불소 원자)가 들어간 반응 생성물이 퇴적한다. 그로 인해, 반응 생성물의 분해, 해리에 의해 F 라디칼(불소 라디칼)이 발생하여 산화막(3)을 사이드 에칭하였지만, 프로세스에 따라서는 가스의 성분이 다르며, 보다 많은 탄소가 들어간 반응 생성물이 퇴적하는 경우도 있다. 그 경우는 반응 생성물의 분해, 해리에 의해 산화막의 제거가 억제되게 된다. 즉, 반응 생성물의 성분에 따라서 사이드 에칭이 억제되는 것을 고려하여, 라인 폭의 치수 정밀도나 웨이퍼 면내 균일성을 향상시킬 필요가 있다.
- <105> 여기서, 상부 전극(10)에 퇴적한 반응 생성물의 영향을 완전히 배제하기 위해, 각 드라이 에칭 가공 후에 챔버(9) 내를 클리닝하는 것도 생각할 수 있다. 그러나, 일반적으로 챔버(9) 내의 클리닝은 웨이퍼(W)가 없는 상태에서만 행할 수 있어 별도의 크리닝 공정이 필요해지기 때문에, 생산 효율이 현저하게 저하하게 된다. 또한, 생산 효율의 저하를 억제하기 위해 클리닝의 횟수를 제한하면, 클리닝 직전과 직후에는 상부 전극(10)에 퇴적되어 있는 반응 생성물의 양이 다르기 때문에, 생산 로트 내에서 품질이 변동된다는 문제가 생기게 된다.
- <106> 우선, 제1 원인으로서 설명한, 산화막(3)의 드라이 에칭 가공 후에 상부 전극(10)에 퇴적하는 반응 생성물(12)의 영향의 제거에 대해서 설명을 한다.
- <107> 본 발명자는 검토 결과, 상부 전극(10)에 퇴적한 반응 생성물의 퇴적량이나 분포 등의 퇴적 상태를 조정하면, 라인 폭의 치수 정밀도나 웨이퍼 면내 균일성을 향상시킬 수 있으며, 또한 드라이 에칭 가공을 연속적으로 동일 챔버에서 행할 수 있다는 지견을 얻었다.
- <108> 도 11a 내지 도 11c는 산화막(3)의 드라이 에칭 가공 후에 상부 전극(10)에 퇴적하는 반응 생성물(12)의 영향을 제거하는 것을 설명하기 위한 모식 단면도이다.
- <109> 도 11a에 도시하는 바와 같이, 산화막(3)의 드라이 에칭 가공 후에 상부 전극(10)에 CF계 가스의 성분을 함유하는 반응 생성물(12)이 산형으로 퇴적한다. 개요로서 전술한 도 1b에서 설명한 것이다.
- <110> 다음으로, 도 11b에 도시하는 바와 같이, 하층 레지스트(4)의 드라이 에칭 가공 전에, 하층 레지스트(4)가 에칭되는 것을 억제하면서 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 조정한다. 개요로서 전술한 도 1c에서 설명한 것이다. 퇴적량이나 분포 상태를 조정한 후의 반응 생성물(13)은 대략 평평하게 균등한 분포로 되어 있다.
- <111> 표 3은 하층 레지스트(4)의 드라이 에칭 가공 전에, 하층 레지스트(4)가 에칭되는 것을 억제하면서 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 조정한 후의 반응 생성물(12)의 성분 측정값이다. 이 때의 처리 시간은 15초이다. 측정은 상부 전극(10)의 중심부와 옛지부(옛지로부터 10 mm 정도의 위치)에 Si(실리콘) 칩을 접착하고, 산화막(3)의 드라이 에칭 가공 후에 하층 레지스트(4)가 에칭되는 것을 억제하면서 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 15초간 조정한 후에, 그 Si(실리콘) 칩에 잔류한 반응 생성물(12)의 조성을 XPS(X선 광전자 분광법)으로 분석함으로써 행하였다.

표 3

	중심	옛지		중심	옛지
F	4.1	5.5	F/Si	6.6	8.3
C	15.8	21.0	C/Si	25.5	31.6
O	41.9	40.0	O/Si	67.9	60.1
Si	38.3	33.5			
F/C	0.26	0.26	F/C	0.26	0.26

<112>

- <113> 표 3에 나타내는 바와 같이, 상부 전극(10)에 잔류한 반응 생성물(12)은 C(탄소 원자), F(불소 원자), O(산소 원자)만으로 이루어지는 것을 알 수 있고, 전술한 사이드 에칭의 주원인이 되는 F(불소 원자)를 C(탄소 원자)로 나눈 F/C 비는 산화막(3)의 가공 직후의 값인 표 1의 값에 비해서, 70 내지 80% 감소하고 있는 것을 알 수 있다. 또한, 표 3에 있어서, 옛지부와 중심부의 차가 없어지고 있는 것도 알 수 있다.
- <114> 퇴적 상태의 조정에 대한 구체적인 예를 예시하면, 첫번째로는 CF계의 반응 생성물(12)과, 산소 이온·라디칼 또는 수소 이온·라디칼을 반응시켜 플루오르카본 성분을 제거하는 처리를 행함으로써, 하층 레지스트(4)의 에칭을 억제하면서 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 조정할 수 있다.
- <115> 또한, 두번째로는 산소 가스를 도입하여 산소와 반응 생성물(12) 중의 카본 혹은 산소와 반응 생성물(12) 중의 카본, F(불소 원자)를 반응시켜, CO 혹은 COF로서 플루오르카본 성분을 제거하는 처리를 행함으로써, 하층 레지스트(4)의 에칭을 억제하면서 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적 상태를 조정할 수 있다. 산소단 가스의 경우, 플라즈마가 불안정해지며 하층 레지스트(4)의 면내 분포가 악화되는 경우도 있지만, 플라즈마가 안정되는 조건(예컨대, 저압화, 고 소스 파워화 등)을 선택하면 산소단 가스의 경우에도 처리 시간을 단시간으로 하는 것 등에 의해 처리할 수 있다.
- <116> 또한, 세번째로는 전술한 산소 가스에 CH계 가스 혹은 CO계 가스를 첨가함으로써, 하층 레지스트(4)의 에칭을 보다 억제하는 것이 더 바람직하다.
- <117> 또한, 네번째로는 플라즈마 소스 파워를 500 W 이하로 낮게 함으로써 전자 밀도(Ne)를 낮추거나, 혹은 압력을 13 Pa 이상으로 함으로써 셀프 바이어스 전압(Vdc)을 높임으로써, 플라즈마 시스 두께를 두껍게 하고, 하층 레지스트(4)의 에칭을 보다 억제하는 것이 더 바람직하다.
- <118> 또한, 구체적인 조건을 예시하면, 전술한 세번째 경우에 있어서, 소스 파워 400 W 내지 1000 W, 압력 66 내지 107 Pa, 처리 시간 10초 내지 20초 정도, 산소 가스(1650 sccm 내지 1780 sccm)에 1 내지 8.5 중량% 정도의 CH₄ 가스(20 sccm 내지 150 sccm)를 첨가할 수 있다.
- <119> 도 11b에서 설명한 반응 생성물(12)의 퇴적 상태의 조정 후, 하층 레지스트(4)의 드라이 에칭 가공을 행한다.
- <120> 도 11c는 하층 레지스트(4)의 드라이 에칭 가공 중에, 마스크인 산화막(3)이 사이드 에칭되지 않는 것을 설명하기 위한 모식도이다.
- <121> 전술한 바와 같이, 하층 레지스트(4)의 드라이 에칭 가공에서는 O₂(산소 가스), N₂(질소 가스), CO(일산화탄소 가스), NH₃(암모니아 가스), H₂(수소 가스) 중 어느 하나를 함유하는 가스를 이용한다. 그로 인해, 이들 가스에서는 유기 재료로 이루어지는 하층 레지스트(4)의 드라이 에칭 가공은 할 수 있어도 산화물로 이루어지는 산화막(3)이 사이드 에칭되는 경우는 없다. 또한, 상부 전극(10)에 퇴적한 F(불소 원자)를 함유하는 반응 생성물(12)도 퇴적 상태가 조정되고 있기 때문에, F 라디칼(불소 라디칼)이나 이온의 발생이 매우 적다. 그로 인해, 산화막(3)은 F 라디칼(불소 라디칼)에 의해 사이드 에칭되지 않고, 하층 레지스트(4)의 드라이 에칭 가공을 정밀도가 양호하게 행할 수 있다. 그 결과, 다음에 드라이 에칭 가공되는 산화막(5)의 가공 치수의 정밀도도 향상시킬 수 있게 된다.
- <122> 다음으로, 반응 생성물(12)의 퇴적 상태를 조정하는 효과에 대해서 설명한다.
- <123> 도 12는 반응 생성물(12)의 퇴적 상태를 조정하는 효과에 대해서 설명하기 위한 그래프이다. 가로축은 웨이퍼 면내 위치, 세로축은 산화막(5)의 라인 폭 치수를 나타내고 있다.
- <124> 또한, 도 13은 산화막(5)을 마스크로 하여 질화막(6)을 드라이 에칭 가공한 경우의 질화막(6)의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프이다. 또한, 도 12의 산화막(5)의 드라이 에칭 가공은 전술한 하층 레지스트(4)의 드라이 에칭 가공에 이어서 산화막(5)을 드라이 에칭 가공한 것이다. 또한, 도 13의 질화막(6)의 드라이 에칭 가공은 도 12의 산화막(5)을 그대로 마스크로서 이용하여 드라이 에칭 가공한 경우이다.
- <125> 도 12로부터 알 수 있는 바와 같이, 웨이퍼(W)의 중심부와 옛지부에서의 라인 폭의 치수차는 12.6 nm이다. 또한, 도 13으로부터 알 수 있는 바와 같이, 웨이퍼(W)의 중심부와 옛지부에서의 라인 폭의 치수차는 6.7 nm이다.
- <126> 이들의 값을 반응 생성물(12)의 퇴적 상태를 조정하지 않은 도 2의 경우(16.9 nm → 12.6 nm), 도 3의 경우(19.9 nm → 6.7 nm)에 비교하면 면내 프로파일이 오목형→볼록형이 되며, 센터가 좁아지는 경향이 현저히 개선

되는 것을 알 수 있다.

<127> 도 14는 퇴적 상태를 조정함으로써, F 라디칼(불소 라디칼)의 발생이 억제되는 효과를 설명하기 위한 그래프이다. 가로축은 하층 레지스트(4)의 드라이 에칭 가공 시간, 세로축은 CF 발광 피크(파장: 262 nm)의 강도를 나타내고 있다.

<128> 도 14로부터 알 수 있는 바와 같이, 퇴적 상태의 조정을 하지 않는 경우에 비교하여, 퇴적 상태를 조정한 경우 쪽이 CF 발광 피크(파장: 262 nm)의 강도가 낮다. 이는, F 라디칼(불소 라디칼)의 발생이 억제되는 것을 의미하고 있다. 또한, 전술한 퇴적 상태의 조정 시에 산소 가스에 첨가하는 CH₄ 가스의 양이 적을수록, CF 발광 피크(파장: 262 nm)의 강도를 보다 저감할 수 있다[F 라디칼(불소 라디칼)의 발생이 보다 억제됨]는 것도 알 수 있다.

<129> 도 15는 퇴적 상태를 조정함으로써 산화막(3)의 사이드 에칭이 방지되는 효과를 설명하기 위한 그래프이다. 가로축은 웨이퍼 면내 위치, 세로축은 산화막(3)의 에칭율을 나타내고 있다. 여기서, 드라이 에칭 가공의 조건은 하층 레지스트(4)를 드라이 에칭하는 경우와 동일하게 하고, 그 때의 마스크로서의 산화막(3)의 에칭율의 웨이퍼 면내 분포를 평가하였다.

<130> 도 15로부터 알 수 있는 바와 같이, 퇴적 상태를 조정하지 않는 경우에 비교하여, 퇴적 상태를 조정한 경우 쪽이 에칭율은 반정도까지 저감될 수 있다. 또한, 전술한 퇴적 상태의 조정 시에 산소 가스에 첨가하는 CH₄ 가스의 양이 적을수록 산화막(3)의 에칭율을 저감할 수 있다는 것을 알 수 있다. 이는, 퇴적 상태를 조정한 경우 쪽이 산화막(3)의 사이드 에칭이 되기 어려운 것을 의미하고 있다.

<131> 도 16은 퇴적 상태를 조정한 경우에 있어서의 하층 레지스트(4)의 가공 특성을 설명하기 위한 그래프이다. 가로축은 웨이퍼 면내 위치, 세로축은 하층 레지스트(4)의 에칭율을 나타내고 있다.

<132> 도 16으로부터 알 수 있는 바와 같이, 퇴적 상태를 조정하는 경우에 있어서 CH₄ 가스를 첨가하지 않는 것(산소 가스만)은 웨이퍼 옛지 부분에서 하층 레지스트(4)의 에칭율이 급증하고, 또한 면내 분포도 좌우 비대칭이 되어버린다. 그로 인해, 라인 폭 치수의 면내 균일성을 악화시킬 우려가 있기 때문에, 산소 가스만으로 퇴적 상태를 조정하는 것은 부적당하다.

<133> 본 발명자는 검토 결과, CH₄ 가스의 첨가량을 1 중량% 이상 8.3 중량% 미만으로 하는 것이 바람직하다는 지견을 얻었다. CH₄ 가스의 첨가량이 1 중량% 미만이 되면 전술한 하층 레지스트(4)의 에칭 특성에 문제가 생기고, 8.3 중량% 이상으로 하면 반응 생성물(12)의 퇴적 상태의 조정에 시간이 걸려 생산 효율이 떨어지기 때문이다.

<134> 다음으로, 제2 원인으로서 설명한, 산화막(5)의 드라이 에칭 가공 후에 상부 전극(10)에 퇴적하는 반응 생성물(14)을 반대로 이용하는 것에 대해서 설명한다.

<135> 본 발명자는 검토 결과, 상부 전극(10)에 퇴적되어 있는 반응 생성물(14)을 제거하면서, 반응 생성물(14)의 제거에 따라 발생하는 F 라디칼(불소 라디칼)을 이용하면, 산화막(5)의 치수 정밀도나 면내 균일성을 조정할 수 있다는 지견을 얻었다.

<136> 전술한 퇴적량의 조정을 행하여도 라인 폭 치수의 면내 균일성에 약간의 변동이 보이는 경우가 있다. 예컨대, 도 12로부터 알 수 있는 바와 같이, 웨이퍼(W)의 중심부와 옛지부에서의 라인 폭의 치수차는 12.6 nm 정도이다. 이 정도의 치수차는 허용할 수 있다고도 할 수 있지만, 최근의 고집적화가 진행되는 반도체 장치에 있어서는 한층 높은 개선이 요구되는 경우가 있다.

<137> 이 경우, 면내 균일성을 개선시키기 위한 사이드 에칭 공정을 별도로 형성하는 것도 생각할 수 있지만, 그러면 공정수가 증가하여 생산 효율이나 비용면에서 새로운 문제가 생긴다. 그로 인해, 에칭 가공의 최종 단계인 애싱을 할 때에, 예컨대, 도 12의 경우에 있어서, 마스크의 제거와 함께 웨이퍼(W) 중심부의 라인 폭을 사이드 에칭하여 약간 좁게 하여 면내 균일성을 개선할 수 있으면 편리하다.

<138> 그러나, 통상의 바이어스를 인가하지 않는 조건으로 애싱을 행하면, 반응 생성물(14)을 분해함으로써 발생하는 F 라디칼(불소 라디칼)이 애싱 초기 단계에서 제거됨으로써, 산화막(5)의 사이드 에칭이 진행되지 않고 면내 균일성을 개선할 수 없다.

<139> 본 발명자는 검토 결과, 드라이 에칭 가공의 최종 단계인 애싱을 할 때에, 마스크의 제거와 함께 라인 폭 치수나 그 면내 균일성을 개선할 수 있는 방법에 관한 지견을 얻었다.

- <140> 우선, 사용하는 가스는 산소 가스가 바람직하다. 산소 가스를 이용하면, 마스크인 하층 레지스트(4)를 제거(애싱)할 수 있고, 또한 반응 생성물(14)의 성분인 플루오르카본을 CO 혹은 COF로서 제거, 배출할 수 있기 때문이다. 그리고, 이 때 발생하는 F 라디칼(불소 라디칼)을 이용하여 산화막(5)의 사이드 에칭을 행할 수 있게 되기 때문이다.
- <141> 또한, 산소 가스에는 CH계의 가스를 첨가하는 것이 보다 바람직하다. 반응 생성물(14)의 성분인 플루오르카본을 $H + F \rightarrow HF$ 의 형태로 효율적으로 제거할 수 있기 때문이다.
- <142> 다음에, RF 바이어스를 인가하고 그 인가량을 제어함으로써, 산화막(5)의 사이드 에칭량을 제어하도록 하는 것이 보다 바람직하다.
- <143> 통상의 애싱에 있어서는 RF 바이어스를 인가하는 것은 아니지만, 산화막(5)의 사이드 에칭량을 제어하기 위해서는 유용하다.
- <144> 다음으로, RF 바이어스 인가의 효과에 대해서 설명한다.
- <145> 도 17은 하층 레지스트(4)의 애싱 조건 하에서의 레지스트막의 에칭율을 설명하기 위한 그래프이다.
- <146> 또한, 도 18은 하층 레지스트(4)의 애싱 조건 하에서의 SiO_2 막의 에칭율을 설명하기 위한 그래프이다.
- <147> 도 17 및 도 18에 있어서의 애싱 조건은 처리 압력을 40 Pa 정도, 소스 파워를 500 W(100 MHz), RF 바이어스 파워를 300 W(3.2 MHz), 산소 가스를 400 sccm 정도로 하였다. 레지스트막은 웨이퍼(W)의 표면 전체를 덮도록 형성되고(소위 레지스트베타막), SiO_2 막도 웨이퍼(W)의 표면 전체를 덮도록 형성되어 있다(소위 SiO_2 베타막). 또한, 상부 전극(10)에는 반응 생성물(14)이 퇴적되어 있다.
- <148> 도 17에 도시하는 바와 같이, RF 바이어스를 인가한 경우는 웨이퍼 면내에서 대략 균일하게 레지스트막의 애싱이 행해지는 것을 알 수 있다. 한편, 도 18에 도시하는 바와 같이, RF 바이어스를 인가한 경우는 웨이퍼의 옛지부에서 SiO_2 막의 에칭율이 극단적으로 높아지고 있는 것을 알 수 있다.
- <149> 이에 비교하여, 가스의 조건 등이 다르지만, 도 7에 도시하는 바와 같이 RF 바이어스를 인가하지 않는 경우에 있어서는 웨이퍼의 옛지부에서 SiO_2 막의 에칭율이 반대로 내려가도록 되어 있다. 또한, 도 6에 도시하는 바와 같이 RF 바이어스를 인가하지 않는 경우에 있어서는 웨이퍼의 옛지부에서 레지스트막의 에칭율이 올라가고 있다.
- <150> 이는, RF 바이어스를 인가한 애싱을 행하면 웨이퍼 면내에서 대략 균일한 레지스트막의 제거와 웨이퍼 옛지부에서의 선택적인 사이드 에칭이 행해지며, 또한 RF 바이어스의 인가량을 조정하면 웨이퍼 옛지부에서의 사이드 에칭량을 조정할 수 있다는 것을 의미하고 있다.
- <151> 도 19는 하층 레지스트(4)의 제거(애싱) 작업의 전후에서의 라인 폭의 치수차를 설명하기 위한 그래프이다. 여기서, 가로축의 수치는 샘플 번호를 나타내고 있다. 예컨대, 중심부의 「1」과 옛지부의 「1」은 동일한 샘플을 말하는 것이 된다.
- <152> 도 19에 도시하는 바와 같이, RF 바이어스를 인가하면, RF 바이어스를 인가하지 않은 도 8의 경우에 비교하여, 웨이퍼 중심부와 옛지부의 라인 폭의 치수차가 대폭 개선(약 3 nm → 약 1 nm)될 수 있다는 것을 알 수 있다.
- <153> 또한, 설명의 편의상, 발생하는 라디칼이 F 라디칼(불소 라디칼)인 경우를 설명하였지만, 본 실시형태는 이에 한정되는 것은 아니다. 전술한 바와 같이 퇴적하는 반응 생성물의 성분에 따라 발생하는 라디칼의 종류나 비율은 변한다. 예컨대, 보다 많은 카본이 들어간 반응 생성물이 퇴적한 경우는, 반응 생성물의 분해, 해리에 의해 산화막의 제거를 억제하게 된다. 본 발명은 이러한 경우에 있어서도, RF 바이어스의 인가량을 조정함으로써 사이드 에칭량의 조정을 할 수 있다.
- <154> 다음으로, 제3 원인으로서 설명한 하층 레지스트(4)의 제거(애싱) 작업 후에 잔류(퇴적)하는 반응 생성물(15)의 영향의 제거에 대해서 설명한다.
- <155> 본 발명자는 검토 결과, 웨이퍼(W)를 챔버(9) 외부로 반출한 후, 상부 전극(10)에 잔류(퇴적)한 반응 생성물(15)의 퇴적량이나 분포 등의 퇴적 상태를 조정하면, 다음에 가공하는 웨이퍼(W)의 라인 폭의 치수 정밀도나 웨이퍼 면내 균일성을 향상시킬 수 있다는 지견을 얻었다.
- <156> 여기서, 사용하는 가스는 산소 가스, CH계 가스, CO계 가스 등을 이용하는 것이 바람직하다. 이들 가스를 이용

하면, 잔류(퇴적)한 반응 생성물(15)의 성분인 플루오르카본을 CO 혹은 COF로서 제거, 배출할 수 있기 때문이다.

<157> 도 20은 퇴적 상태의 조정 시간과 반응 생성물(15)의 잔류(퇴적)량과의 관계를 설명하기 위한 그래프이다. 가로축은 퇴적 상태의 조정 시간, 세로축은 잔류(퇴적)하는 반응 생성물(15)의 조성을 나타내고 있다.

<158> 측정은 상부 전극(10)의 중심부와 엣지부(엣지로부터 10 mm 정도의 위치)에 Si(실리콘) 칩을 접착하고, 퇴적 상태의 조정 종료 후까지 그 Si(실리콘) 칩에 부착되어 있던 잔류(퇴적)하는 반응 생성물(15)의 조성을 XPS(X선 광전자 분광 장치)로 분석함으로써 행하였다. 표 4에 조정 시간 30초 후의 반응 생성물(15)의 조성을 나타낸다.

표 4

	중심	엣지		중심	엣지
F	10.6	7.9	F/Si	16.0	12.6
C	8.5	7.7	C/Si	12.9	12.3
O	47.3	46.9	O/Si	71.2	75.1
Si	33.6	37.6			
F/C	1.24	1.03	F/C	1.24	1.03

<159> <160> 도 20에 도시하는 바와 같이, 조정 시간이 길어질수록 상부 전극(10)의 중심부와 엣지부에 잔류(퇴적)하는 F(불소 원자)의 양이 근접해지고 있는 것을 알 수 있다. 이는, 상부 전극(10)에 잔류(퇴적)하는 반응 생성물의 분포가 균일화되는 것을 의미한다.

<161> 여기서의 구체적인 처리 조건을 예시하면, 산소 가스 유량=1800 sccm, HF/LF=2000 W/0W, 처리 압력=166 Pa(800 mTorr), 처리 시간=10초 내지 30초이다.

<162> <163> 도 21은 퇴적 상태의 조정이 라인 폭 치수의 면내 균일성에 미치는 영향을 설명하기 위한 그래프이다. 가로축은 웨이퍼 면내 위치, 세로축은 산화막(5)의 라인 폭을 나타내고 있다. 그래프면 중 「퇴적 상태 조정하지 않음」으로 한 것은 전술한 조정을 행하지 않고 다음의 웨이퍼를 드라이 에칭 가공한 경우이며, 「퇴적 상태 조정」으로 한 것은 전술한 조정을 행한 후 다음의 웨이퍼를 드라이 에칭 가공한 경우이다. 또한, 조정 시간은 30초로 하고 있다.

도 21로부터 알 수 있는 바와 같이, 「퇴적 상태 조정하지 않음」의 경우는 웨이퍼 중심부와 엣지부에서 라인 폭의 치수차가 3.4 nm이지만, 「퇴적 상태 조정」의 경우는 라인 폭의 치수차를 0.7 nm까지 저감할 수 있다. 이는, 라인 폭 치수의 치수 정밀도와 함께 웨이퍼 면내 균일성도 향상시킬 수 있다는 것을 의미한다.

<164> <165> 도 22는 퇴적 상태의 조정이 웨이퍼 간에 있어서의 라인 폭 치수의 변동에 미치는 영향을 설명하기 위한 그래프이다. 가로축은 퇴적 상태의 조정 시간, 세로축은 웨이퍼 3장에 있어서의 평균 라인 폭 치수의 변동을 나타내고 있다.

도 22에 도시하는 바와 같이, 퇴적 상태의 조정 시간이 길어질수록 변동이 적어지며, 웨이퍼 간에 있어서의 산화막(5)의 라인 폭이 균일화되는 것을 알 수 있다. 이는, 생산 로트 간에 있어서의 품질을 향상시킬 수 있다는 것을 의미한다.

<166> <167> 이상 설명한 바와 같이, 본 실시형태에 의하면, 산화막 마스크 가공 중에 상부 전극(10)에 퇴적한 반응 생성물(12)의 퇴적량이나 분포 등의 퇴적 상태를 조정함으로써, 산화막의 라인 폭의 치수 정밀도나 면내 균일성을 향상시킬 수 있다.

또한, 산화막 가공 중에 상부 전극(10)에 퇴적한 반응 생성물(14)을 이용함으로써, 애칭 중에 산화막 라인 폭의 치수 조정을 할 수 있게 되며, 치수 정밀도나 면내 균일성을 향상시킬 수 있다.

<168> <169> 또한, 웨이퍼 반출 후에 상부 전극(10)에 잔류(퇴적)한 반응 생성물(15)의 퇴적량이나 분포 등의 퇴적 상태를 조정함으로써, 다음에 드라이 에칭 가공하는 웨이퍼 산화막의 라인 폭의 치수 정밀도나 면내 균일성을 향상시킬 수 있다.

또한, 본 실시형태에 의하면, 종래의 리소그래피 공정을 변경하지 않고 이를 부가할 수 있다. 그로 인해, 종래의 리소그래피 공정에 의한 라인 폭 치수의 제어에 더하여, 새로운 라인 폭 치수의 제어 수단을 부가할 수 있기 때문에, 라인 폭 치수의 정밀도나 면내 균일성의 현저한 향상을 도모할 수 있다.

- <170> 또한, 본 실시형태는 산화막과 유기 재료(레지스트)를 포함하는 복수의 적층막을 일괄하여 동일한 챔버 내에서 연속 가공하는 경우에 특히 효과적이고, 라인 폭 치수의 정밀도나 면내 균일성의 현저한 향상을 도모할 수 있다.
- <171> 또한, 설명의 편의상 제1 원인에 따른 산화막 마스크 가공 후에 행하는 퇴적 상태의 조정, 제2 원인에 따른 산화막 가공에 의해 퇴적한 반응 생성물을 이용한 애싱, 제3 원인에 따른 웨이퍼 반출 후에 행하는 퇴적 상태의 조정을 전부 행하는 경우를 예시하였지만, 이에 한정되는 것은 아니며, 이들을 단독으로, 또는 조합하여 퇴적 상태를 조정할 수도 있다. 그리고, 그 경우에도 각각의 퇴적 상태의 조정이 갖는 효과를 누릴 수 있다. 다만, 조합수가 많을수록 그 효과도 커지게 된다.
- <172> 또한, 본 실시형태에서는 이상과 같이 라인 폭 치수나 웨이퍼 면내에서의 균일성 등을 조정함으로써, 신뢰성이 높은 반도체 장치를 제공하는 것도 가능해진다.
- <173> 다음으로, 본 발명의 또 하나의 실시형태로서, 챔버 내에 퇴적한 반응 생성물에 의한 영향을, 적층막 중 어느 하나를 예칭할 때에 모니터하고, 그 결과에 기초하여 피드백 또는 피드 포워드 제어를 하는 실시형태에 대해서 설명한다.
- <174> 도 1a 내지 도 22에 관해서 전술한 바와 같이, 예칭에 의해 웨이퍼 상에 형성하는 패턴의 치수나 형상에 미치는 영향의 큰 요인의 하나로서, 예칭을 행하는 챔버 내벽의 퇴적물(예칭에 따른 반응 생성물)의 양을 들 수 있다. 이러한 퇴적물로서는, 예컨대 상부 전극(10)(도 1a 내지 도 1g 참조)나 웨이퍼 표면 등에 부착하는 반응 생성물이 있으며, 이는 상부 전극(10)이나 웨이퍼의 표면 상태(표면 온도, 표면 거칠기, 조성 등) 등에 크게 의존한다. 종래와 같이, 적층막을 구성하는 각 막의 경계를 검출하기 위해 피가공막 혹은 그 하지막의 구성 원소의 일부를 포함하는 플라즈마 발광선의 강도를 관측하는 것만으로는 챔버 내의 퇴적물의 정보가 많이 포함되지 않기 때문에, 치수나 형상에 관한 가공 장치의 차이나 로트 내 변동, 경시 변화 등이 생겨 버린다.
- <175> 일례로서, 도 1a 내지 도 1g에 나타낸 바와 같은 상층 레지스트(2), 산화막(3), 하층 레지스트(4)로 이루어지는 적층 마스크 구조로써 산화막(3)의 가공 후에 하층 레지스트(4)를 가공하는 경우에 대해서 설명한다. 이 경우, 전술한 바와 같이, 산화막(3) 가공 후에는 챔버 내에 CFx계의 퇴적물이 잔류한다. 퇴적한 CFx는 하층 레지스트(4)의 가공 시에 해리되고, F(불소) 라디칼이 산화막(3)을 사이드 예칭하여 치수가 좁아지게 된다. 이 잔류 F 라디칼량은 상부 전극(10) 등의 챔버 내벽의 상태에 따라 변화하고, 치수의 좁은 정도도 이에 따라 변화한다. 이 잔류 불소량은 챔버 내의 경시 변화나 장치 차이에 영향을 미치기 때문에, 종래와 같이, 각 막이나 챔버 클리닝의 종점 검출을 행하는 것만으로는 디바이스 특성에 미치는 치수 변화의 영향을 제어하기 어려워지고 있다.
- <176> 이에 대하여, 본 실시형태에 있어서는 적층막을 구성하는 어느 하나의 막의 예칭시 혹은 챔버 내의 퇴적물의 클리닝 시에 챔버 내 퇴적물을 구성하는 원소의 잔류량에 관한 정보(플라즈마의 발광 강도 등)를 취득한다. 그리고, 그 결과에 기초하여 다른 단계의 예칭이나 클리닝을 피드백/피드 포워드 제어한다. 그 결과로서, 치수나 형상에 관한 웨이퍼 간의 차이나 장치 차이, 또는 누적 방전 시간 의존성이나 제품간 차이(피복률 차이) 등을 저감할 수 있다.
- <177> 도 23은 도 1a 내지 도 1g에 예시한 적층 마스크(1)를 갖는 웨이퍼(W)를 드라이 예칭에 의해 가공하는 프로세스의 흐름을 예시하는 모식도이다.
- <178> 우선, 상층 레지스트(2)를 마스크로 하여 산화막(3)을 RIE에 의해 예칭한다(단계 S110). 다음으로, 도 1c에 관해서 전술한 바와 같이, 챔버 내에 퇴적한 반응 생성물의 퇴적 상태를 조정하기 위한 클리닝(이하, 단순히 「클리닝」이라고 부름)을 실시한다(단계 S112). 클리닝은 전술한 바와 같이, 산소 이온, 산소 라디칼, 수소 이온, 수소 라디칼, 산소 가스 등의 적어도 어느 하나를 이용하여 실시할 수 있다. 또한, 이들에 전술한 바와 같이 CH 계 가스나 CO계 가스 등을 첨가하여도 좋다. 이렇게 함으로써, 산화막(3)의 가공 후에 챔버 내에 퇴적한 CFx계 등의 퇴적물의 양을 조정할 수 있다.
- <179> 그 후, 하층 레지스트(4)를 RIE 예칭한다(단계 S114). 이와 같이 하여 형성된 적층 마스크를 이용하여 산화막(5)을 예칭하고, 소정의 패턴을 형성한다(단계 S116). 그런 후에, 애싱에 의해 하층 레지스트(4)를 제거한다(단계 S118).
- <180> 이러한 프로세스 시에, 본 실시형태에 있어서는, 피드백 또는 피드 포워드 제어를 실행한다.
- <181> 도 24는 피드백 제어를 실행하는 경우의 프로세스의 흐름을 예시하는 모식도이다.
- <182> 우선, N번째의 슬롯에 대해서, 산화막(3)의 예칭(단계 S110), 클리닝(단계 S112), 하층 레지스트(4)의 예칭(단

계 S114), 산화막(5)의 예칭(단계 S116), 애칭(단계 S118)을 실행한다. 이 때에, 전술한 바와 같이, 하층 레지스트(4)의 예칭 단계(단계 S114)에 있어서, 챔버 내에 잔류하고 있는 CF계 퇴적물의 양은 완성 치수에 큰 영향을 미친다. 여기서, 하층 레지스트(4)의 예칭 중에 통상은 관측하지 않는 CFx의 발광 강도를 관측한다. 이 CF 발광 강도와 완성 치수와의 상관 관계를 알고 있으면, 이 CF 강도가 일정해지도록 다음 (N+1)번째의 슬롯의 클리닝(단계 S112)의 조건에 피드백된다. 구체적으로는, 예컨대 클리닝의 시간을 피드백 제어한다. 이렇게 함으로써, 치수나 형상에 관한 웨이퍼간 차이나 장치 차이, 또한 누적 방전 시간 의존성이나 제품간 차이(회복률 차이) 등을 저감할 수 있다.

<183> 여기서, 단순히 클리닝(단계 S112) 시에 CFx 발광의 종점 검출을 행함으로써, 그 다음의 하층 레지스트(4)의 예칭(단계 S114)에서의 CFx 잔류 물량을 소정 범위 내로 제어하는 것도 가능하다. 그러나, 클리닝(단계 S112) 시에는 고압, 저파워 등 웨이퍼에 손상을 끼치지 않는 조건이 필요하거나 처리 시간을 짧게 해야 한다. 그 결과로서, 종점 검출을 행하기 위해 충분한 플라즈마 발광 강도나 시간을 얻을 수 없는 경우가 있다.

<184> 이에 대하여, 본 실시형태에 의하면, 하층 레지스트(4)의 예칭(단계 S114)에서의 CFx의 발광에 기초하여 챔버 내에 퇴적한 반응 생성물의 영향을 조사할 수 있고, 그 결과에 의해 다음 번 이후의 클리닝(단계 S112)의 조건을 피드백 제어한다. 예컨대, 하층 레지스트(4)의 예칭(단계 S114) 시에 CFx의 발광이 큰 경우에는 다음 번 이후의 클리닝(단계 S112)의 시간을 길게 한다. 한편, 하층 레지스트(4)의 예칭(단계 S114) 시에 CFx의 발광이 작은 경우에는 다음 번 이후의 클리닝(단계 S112)의 시간을 짧게 한다. 이렇게 함으로써, 하층 레지스트(4)의 예칭에 있어서, 챔버 내의 퇴적물에 의한 영향을 항상 소정 범위 내에 유지할 수 있어, 웨이퍼 간의 치수나 형상의 변동을 억제할 수 있다.

<185> 한편, 본 실시형태에 있어서는 피드 포워드 제어도 가능하다.

<186> 도 25는 피드 포워드 제어를 실행하는 경우의 프로세스의 흐름을 예시하는 모식도이다.

<187> 즉, 하층 레지스트(4)의 예칭(단계 S114)에 있어서, 챔버 내에 퇴적한 반응 생성물의 잔류량에 관한 정보를 취득한다. 그리고, 그 결과에 기초하여, 그 다음에 실행하는 산화막(5)의 예칭(단계 S116)의 조건을 피드 포워드 제어한다.

<188> 예컨대, 하층 레지스트(4)의 예칭(단계 S114) 시에 관찰되는 CFx의 발광 강도와, 산화막(5)의 예칭 후의 완성 치수와의 상관 관계를 알고 있으면, 산화막(5)의 예칭(단계 S116) 시에 예칭 시간을 조정함으로써, 완성 치수를 보정하는 것이 가능하다. 또한, 산화막(5)의 예칭 시간을 조정하는 대신에, 예칭 가스의 유량이나 조성을 조정하여도 좋다.

<189> 이하, 본 실시형태에 있어서의 피드백 제어 및 피드 포워드 제어에 대해서, 구체적인 예를 참조하면서 더욱 상세히 설명한다.

<190> 여기서는, 도 1a 내지 도 1g에 나타낸 적층막을 갖는 웨이퍼를 도 23에 나타낸 프로세스에 의해 패터닝하는 경우에 대해서 설명한다. 이 경우, 산화막(3, 5)의 예칭(단계 S110, S116)은 CFx를 함유하는 가스계를 이용하고, 클리닝(단계 S112)은 O₂, CO, N₂ 등을 적절하게 함유하는 가스계에 의해 실시하며, 하층 레지스트(4)의 가공(단계 S114)은 O₂, N₂, CO 등을 함유하는 가스계에 의해 실시할 수 있다.

<191> 도 26은 하층 레지스트(4) 가공 시의 CFx에 관한 플라즈마 발광 강도의 시간 의존성을 나타내는 그래프이다. 여기서, 가로축은 하층 레지스트(4)의 가공(단계 S114)을 시작한 시점으로부터의 경과 시간을 나타낸다. 또한, CFx의 플라즈마 발광으로서는 파장 262 nm 부근의 발광을 측정하였다.

<192> 또한, 도 26에는 하층 레지스트(4)의 가공(단계 S114) 전에 실행한 클리닝(단계 S112)의 시간이 다른 4개의 경우를 나타내었다. 즉, 클리닝의 시간이 제로(클리닝 없음), 5초, 10초, 15초의 경우를 각각 나타내었다. 클리닝의 시간이 길어질수록 하층 레지스트(4)의 가공(단계 S114) 시의 CF 플라즈마 발광의 피크 강도가 작아지는 것을 알 수 있다. 즉, 클리닝의 시간이 길어질수록 챔버 내(웨이퍼의 표면도 포함)에 잔류하고 있는 CFx계의 퇴적물이 제거되고 있는 것을 알 수 있다.

<193> 도 27은 도 26에 나타낸 CF의 플라즈마 발광의 최대/최소 피크 강도비와, 가공 후의 패턴 치수의 클리닝 시간 의존성을 나타내는 그래프이다.

<194> CF의 플라즈마 발광의 최대 피크 강도는 도 26으로부터 알 수 있는 바와 같이, 하층 레지스트(4)의 예칭 개시 후의 1 내지 2초에 있어서 나타나고 있다. 한편, 최소 피크 강도는 도 26에 나타낸 각각의 곡선에 있어서, 하층

레지스트(4)의 예칭 종료 시의 피크 강도로 정의하였다. 또한, 가공 후의 패턴 치수는 산화막(5)의 패턴 치수를 측정함으로써 얻어졌다.

<195> 도 27로부터 알 수 있는 바와 같이, 클리닝 시간이 5초 이하인 경우에는 CF 발광의 최대/최소 피크 강도비는 크고, 완성된 패턴 치수는 작다. 한편, 클리닝 시간을 5초보다도 크게 하면, CF 발광의 최대/최소 피크 강도비는 저하하고, 패턴 치수는 증가하여 안정화되는 경향이 있다. 클리닝 시간이 짧으면 CFx계의 잔류물을 충분히 제거할 수 없고, 한편, 클리닝 시간이 지나치게 길면 클리닝 중에 하층 레지스트(4)가 사이드 에칭되어, 치수 좁아짐이나 패턴의 분단 등이 생길 우려가 있다.

<196> 이 구체적인 예의 경우, 예컨대 프로세스 마진을 널리 확보할 수 있으며, 또한 패턴 치수가 최대가 되는 조건으로서, 클리닝 시간이 15초인 경우를 센터 조건으로 할 수 있다. 이 경우, 클리닝 시간이 15초일 때의 최대/최소 피크 강도비인 1.85를 피크 강도비의 센터값으로 한다.

<197> 도 27로부터 얻어지는 클리닝 시간과 하층 레지스트 RIE시의 CF 발광 피크의 최대/최소 강도비와의 상관 관계를 이용하여, 치수 보정을 행할 수 있다.

<198> 도 28은 도 27로부터 관독한 최대/최소 피크 강도의 센터값(최적값=1.850)으로부터의 편차를 보정하기 위해 필요한 클리닝 시간의 보정량을 나타내는 그래프이다.

<199> 클리닝 시간 15초로 프로세스를 운용한 경우에, 예컨대 하층 레지스트(4)의 가공 중의 CFx 플라즈마 발광의 최대/최소 피크 강도비가 1.85이면, 그 다음에 실행하는 클리닝 시간은 보정하지 않고, 그대로의 설정 시간으로 클리닝을 실행한다.

<200> 한편, 예컨대 하층 레지스트(4) 가공 중인 CF 플라즈마 발광의 최대/최소 피크 강도비가 1.95로 늘어난 것으로 한다. 즉, 센터값인 1.85로부터 플러스 0.1만큼 벗어난 것으로 한다. 이 경우는, 플러스 0.1의 편차를 보정하기 위해 클리닝 시간을 플러스 3초 만큼 증가시킨다. 즉, 그 다음에 실행하는 클리닝(단계 S112)에 있어서, 클리닝 시간을 18초로 한다. 이는, 하층 레지스트(4)의 가공 중에 관찰되는 CFx 플라즈마 발광 강도가 증가하였기 때문에, 클리닝 시간을 증가하여 잔류 CFx를 저감하는 것을 의미한다.

<201> 이와 같이, 하층 레지스트(4)의 가공 중에 관찰되는 CFx 플라즈마 발광 강도의 정보에 기초하여, 챔버 내에 잔류하는 CFx의 양을 추정하고, 다음 번의 클리닝에 피드백한다. 그 결과로서, 챔버 내에 잔류하는 CFx의 양을 항상 소정 범위 내에 제어할 수 있고, 패턴의 완성 치수도 항상 소정 범위 내에 유지할 수 있다.

<202> 도 29는 본 실시형태에 기초하여 피드백 제어한 결과를 예시하는 그래프이다. 즉, 도 29의 가로축은 처리 슬롯의 번호를 나타내고, 세로축은 각각의 웨이퍼에 있어서의 산화막(5)의 완성 패턴 치수를 나타낸다.

<203> 피드백 제어를 실시하지 않은 비교예의 경우, 처리 슬롯이 진행함에 따라 패턴 치수가 증가하는 경향이 보여진다. 이는, 처리 슬롯이 진행함에 따라 클리닝이 과도하게 걸리며, 챔버 내벽 및 웨이퍼 상에 잔류하는 CFx의 양이 감소하였기 때문이라고 생각할 수 있다. 이에 대하여, 본 실시형태에 기초하여 피드백 제어를 실시한 실시형태의 경우, 처리 슬롯이 진행되어도 완성된 패턴 치수는 일정 하며, 안정적이다. 즉, 잔류 CFx 등에 의한 영향이 보정되고, 치수가 제어되어 있는 것을 알 수 있다.

<204> 도 30은 본 실시형태에 따른 예칭 장치의 블록도이다.

<205> 이 예칭 장치는 피가공체로서의 웨이퍼를 내부에 적재할 수 있는 챔버(9)를 포함한다. 챔버(9)의 내부 공간은 배기계(20)에 의해 감압 분위기가 유지 가능하게 되어 있다. 그리고, 가스 공급계(30)로부터 소정의 가스를 도입하고, 소정의 압력으로써 소정의 가스 분위기가 형성 가능하게 되어 있다. 고주파 전원(17, 18)으로부터 고주파를 도입함으로써, 챔버(9) 내부에 있어서 플라즈마가 형성 가능하게 되어 있다. 또한, 웨이퍼 반송부(40)에 의해 챔버(9) 중에 웨이퍼를 반입하여, 취출할 수 있다. 그리고, 챔버(9)에는 발광 모니터(50)가 부설되어, 플라즈마의 발광이 측정 가능하게 되어 있다.

<206> 제어부(60)는 각 요소의 동작을 제어하는 동시에, 발광 모니터(50)에 의해 관찰된 결과에 기초하여 프로세스를 제어한다. 또한, 데이터 저장부(70)에는 피드백 제어 또는 피드 포워드 제어를 위한 데이터 베이스가 저장되어 있다. 데이터 저장부(70)에 저장되어 있는 데이터 베이스로서는, 예컨대 도 28에 예시한 발광 피크강도비의 편차와 클리닝 보정 시간과의 상관 관계의 데이터를 들 수 있다. 제어부(60)는 데이터 저장부(70)에 저장된 데이터 베이스에 기초하여 피드백 제어 또는 피드 포워드 제어를 적절하게 실행한다.

<207> 또한, 데이터 저장부(70)는 반드시 예칭 장치(8)와 일체적으로 마련되어 있을 필요는 없다. 예컨대, 반도체 제

조 공장의 라인을 관리하는 상위 컴퓨터가 있으며, 이 컴퓨터에 의해 관리되는 데이터 베이스의 일부로서 데이터 저장부(70)가 마련되어 있어도 좋다. 이 경우에는 데이터 저장부(70)는 에칭 장치(8)로부터 이격된 장소에 형성되고, 유선, 무선 혹은 기록 매체를 통해 제어부(60)에 소정의 데이터를 공급할 수 있다.

<208> 도 31은 본 실시형태의 에칭 장치에 있어서 실행되는 피드백 제어를 예시하는 흐름도이다.

<209> 웨이퍼 반송부(40)에 의해 챔버(9) 중에 웨이퍼가 반송되면, 배기계(20)에 의해 챔버(9)가 배기되고, 가스 공급 계(30)로부터 소정의 가스가 도입되어 고주파 전원(17, 18)으로부터 고주파를 인가함으로써, 소정의 플라즈마가 생성된다.

<210> 그리고 우선, 상층 레지스트(2)(도 1a 내지 도 1g 참조)를 마스크로 하여 산화막(3)을 에칭한다(단계 S110). 다음으로, 가스 공급계(30)에 의해 챔버(9)에 도입하는 가스를 전환하여, 챔버 내에 퇴적한 반응 생성물의 퇴적 상태를 조정하기 위한 클리닝을 실시한다(단계 S112). 그 후, 가스 공급계(30)에 의해 챔버(9)에 도입하는 가스를 재차 전환하여, 하층 레지스트(4)를 에칭한다(단계 S114).

<211> 이 단계에 있어서, 도 26에 관해서 전술한 바와 같이, 발광 모니터(50)에 의해 CFx 플라즈마의 발광 강도를 측정한다. 그리고, 최대/최소 강도 피크비가 센터값으로부터 상승한 경우(단계 S202:yes)에는 도 26 내지 도 29에 관해서 전술한 바와 같이 다음 클리닝의 시간을 증가한다(단계 S212). 이 때에, 제어부(60)는 데이터 저장부(70)에 저장된 데이터를 적절하게 참조한다. 한편, 최대/최소 강도 피크비가 센터값으로부터 저하된 경우(단계 S204:yes)에는 도 26 내지 도 29에 관해서 전술한 바와 같이 다음 클리닝의 시간을 감소시킨다(단계 S214). 이 때에도 제어부(60)는 데이터 저장부(70)에 저장된 데이터를 적절하게 참조한다.

<212> 그 후, 산화막(5)을 가공하여, 소정의 패턴을 형성한다(단계 S116). 그러한 후에, 애성에 의해 하층 레지스트(4)를 제거하고(단계 S118), 웨이퍼 반송부(40)에 의해 가공을 끝낸 웨이퍼를 챔버(9)로부터 취출하며, 다음 슬롯의 웨이퍼를 챔버(9) 내에 도입한다(단계 S120).

<213> 그리고, 이 새로운 웨이퍼에 대해서, 산화막(3)의 에칭(단계 S110) 후에 클리닝(단계 S112)을 실시한다. 이 때에, 전의 슬롯에서 클리닝 시간을 증가(단계 S212) 또는 감소(단계 S214)시킨 경우에는, 제어부(60)는 그 보정을 반영시켜 클리닝을 실행한다. 이와 같이 하면, 챔버(9) 내에 잔류하는 CFx의 양에 따라 클리닝 시간을 피드백 제어할 수 있고, 산화막(5)의 완성 치수를 항상 일정한 범위 내로 할 수 있다.

<214> 도 32는 본 실시형태의 에칭 장치에 있어서 실행되는 피드 포워드 제어를 예시하는 흐름도이다.

<215> 본 구체적인 예에 있어서는 하층 레지스트(4)의 에칭(단계 S114) 시에, CFx 플라즈마 발광의 최대/최소 강도 피크비가 센터값으로부터 상승한 경우(단계 S202:yes)에는, 제어부(60)는 그 다음에 실행하는 산화막(5)의 에칭 시간을 감소시킨다(단계 S222). 한편, 하층 레지스트(4)의 에칭(단계 S114) 시에 CFx 플라즈마 발광의 최대/최소 강도 피크비가 센터값으로부터 저하한 경우(단계 S204:yes)에는, 제어부(60)는 그 다음에 실행하는 산화막(5)의 에칭 시간을 증가시킨다(단계 S224).

<216> 이 경우, 예컨대 하층 레지스트(4)의 에칭(단계 S114) 시의 CFx 플라즈마 발광의 최대/최소 강도 피크비와, 산화막(5)의 완성 치수가 목표값이 되기 위한 최적에칭 시간과의 상관 관계의 데이터 베이스가 데이터 저장부(70)에 저장되어 있다. 이러한 데이터 베이스는 도 28에 관해서 전술한 바와 마찬가지로, 미리 실험이나 시작 등을 행하고, 그 결과에 기초하여 작성할 수 있다. 또는, 웨이퍼의 처리를 실행할 때마다 이 데이터 베이스를 갱신하도록 하여도 좋다.

<217> 이와 같이 하면, 챔버(9)(웨이퍼의 표면도 포함)에 잔류하는 CFx의 양에 따라 산화막(5)의 에칭 시간을 피드 포워드 제어할 수 있고, 그 결과로서, 완성 치수를 소정의 범위 내에 유지할 수 있다.

<218> 이상, 구체적인 예를 참조하면서 본 발명의 실시형태에 대해서 설명하였다. 그러나, 본 발명은 이들 구체적인 예에 한정되는 것은 아니다.

<219> 전술한 구체적인 예에 관해서, 당업자가 적절하게 설계 변경을 추가한 것도 본 발명의 특징을 포함하고 있는 한, 본 발명의 범위에 포함된다.

<220> 예컨대, 반응성 이온 에칭(RIE) 장치(8)로서, 평행 평판형 RIE 장치를 예시하고 있지만, 이에 한정되는 것은 아니다. 예컨대, 마그네트론형 RIE 장치, 트라이오드형 RIE 장치, 표면파 플라즈마 에칭 장치, 헬리온파 플라즈마 에칭 장치, 유전 결합 플라즈마 에칭 장치 등이어도 좋다. 이 경우, 상부 전극(10)에 해당하는 것으로서, 웨이퍼에 대향하도록 하여 마련된 유전체창 등의 부재를 예시할 수 있다. 또한, 플라즈마의 발생으로서는 고주파 전

력 외에 마이크로파를 이용한 것이라도 좋다.

<221> 또한, 반응성 이온 에칭(RIE) 장치(8)로서 예시한 챔버(9), 상부 전극(10), 고주파 전원(17), 적재대(11), 고주파 전원(18) 등의 형상, 배치, 사이즈, 재질 등을 도시한 것에 한정되는 것은 아니며 적절하게 변경이 가능하다.

<222> 또한, 적층 마스크(1)로서 3층을 예시하였지만, 층수는 이에 한정되는 것은 아니며, 적절하게 변경할 수 있다.

<223> 또한, 산화막으로서 SiO_2 막을 예시하였지만, 이에 한정되는 것은 아니며, 적절하게, TEOS(Tetraethylorthosilicate)막, BSG(Boron-Silicate Glass)막, BPSG(Boro-Phospho-Silicate Glass)막이나 도포형 산화막 등도 선택할 수 있다.

발명의 효과

<224> 본 발명은 반응 생성물의 퇴적 상태를 조정함으로써 라인 폭의 치수나 웨이퍼 면내 균일성 등을 조정할 수 있는 반도체 장치의 제조 방법을 제공할 수 있다. 또한, 본 발명은 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1g는 본 발명의 실시형태에 따른 반도체 장치의 제조 방법을 설명하기 위한 모식 공정 단면도.

<2> 도 2는 상부 전극에 반응 생성물이 산형으로 퇴적한 경우의 영향을 설명하기 위한 그래프.

<3> 도 3은 산화막을 마스크로 하여 질화막을 드라이 에칭 가공한 경우의 질화막의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프.

<4> 도 4a 및 도 4b는 반응성 이온 에칭(RIE) 장치의 상부 전극에 퇴적한 반응 생성물의 영향을 설명하기 위한 모식 단면도.

<5> 도 5a 및 도 5b는 반응성 이온 에칭(RIE) 장치의 상부 전극에 퇴적한 반응 생성물의 영향을 설명하기 위한 모식 도.

<6> 도 6은 하층 레지스트 제거(애싱) 조건 하에서의 레지스트막의 에칭율을 설명하기 위한 그래프.

<7> 도 7은 하층 레지스트 제거(애싱) 조건 하에서의 SiO_2 막의 에칭율을 설명하기 위한 그래프.

<8> 도 8은 하층 레지스트의 제거(애싱) 작업의 전후에서의 라인 폭의 치수차를 설명하기 위한 그래프.

<9> 도 9a 내지 도 9c는 하층 레지스트의 제거 후에 잔류(퇴적)하는 반응 생성물의 영향을 설명하기 위한 모식도.

<10> 도 10은 잔류(퇴적)한 반응 생성물이 있는 경우에, 다음 번 드라이 에칭 가공하는 웨이퍼에서의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프.

<11> 도 11a 내지 도 11c는 산화막의 드라이 에칭 가공 후에 상부 전극에 퇴적하는 반응 생성물의 영향을 제거하는 것을 설명하기 위한 모식 단면도.

<12> 도 12는 반응 생성물의 퇴적 상태를 조정하는 효과에 대해서 설명하기 위한 그래프.

<13> 도 13은 산화막을 마스크로 하여 질화막을 드라이 에칭 가공한 경우의 질화막의 라인 폭 치수의 웨이퍼 면내 분포를 나타낸 그래프.

<14> 도 14는 퇴적 상태를 조정함으로써 F 라디칼(불소 라디칼)의 발생이 억제되는 효과를 설명하기 위한 그래프.

<15> 도 15는 퇴적 상태를 조정함으로써 산화막의 사이드 에칭이 방지되는 효과를 설명하기 위한 그래프.

<16> 도 16은 퇴적 상태를 조정한 경우에 있어서의 하층 레지스트의 가공 특성을 설명하기 위한 그래프.

<17> 도 17은 하층 레지스트의 애싱 조건 하에서의 레지스트막의 에칭율을 설명하기 위한 그래프.

<18> 도 18은 하층 레지스트의 애싱 조건 하에서의 SiO_2 막의 에칭율을 설명하기 위한 그래프.

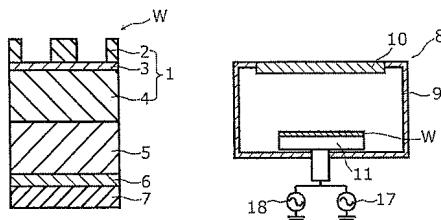
<19> 도 19는 하층 레지스트의 제거(애싱) 작업의 전후에서의 라인 폭의 치수차를 설명하기 위한 그래프.

<20> 도 20은 퇴적 상태의 조정 시간과 반응 생성물의 잔류(퇴적)량과의 관계를 설명하기 위한 그래프.

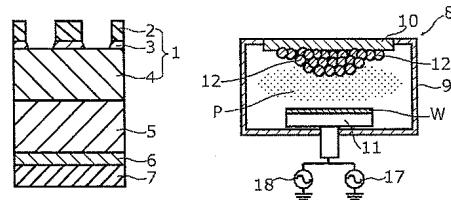
- <21> 도 21은 퇴적 상태의 조정이 라인 폭 치수의 면내 균일성에 미치는 영향을 설명하기 위한 그래프.
- <22> 도 22는 퇴적 상태의 조정이 웨이퍼 간에 있어서의 라인 폭 치수의 변동에 미치는 영향을 설명하기 위한 그래프.
- <23> 도 23은 도 1에 예시한 적층 마스크(1)를 갖는 웨이퍼(W)를 드라이 에칭에 의해 가공하는 프로세스의 흐름을 예시하는 모식도.
- <24> 도 24는 피드백 제어를 실행하는 경우의 프로세스의 흐름을 예시하는 모식도.
- <25> 도 25는 피드 포워드 제어를 실행하는 경우의 프로세스의 흐름을 예시하는 모식도.
- <26> 도 26은 하층 레지스트(4) 가공 시의 CFX에 관한 플라즈마 발광 강도의 시간의존성을 나타내는 그래프.
- <27> 도 27은 도 26에 나타낸 CF의 플라즈마 발광의 최대/최소 피크 강도비와, 가공 후의 패턴 치수의 클리닝 시간의존성을 나타내는 그래프.
- <28> 도 28은 도 27로부터 관독한 최대/최소 피크 강도의 센터값(최적값=1.850)으로부터의 편차를 보정하기 위해 필요한 클리닝 시간의 보정량을 나타내는 그래프.
- <29> 도 29는 본 실시형태에 기초하여 피드백 제어한 결과를 예시하는 그래프.
- <30> 도 30은 본 실시형태에 따른 에칭 장치의 블록도.
- <31> 도 31은 본 실시형태의 에칭 장치에 있어서 실행되는 피드백 제어를 예시하는 흐름도.
- <32> 도 32는 본 실시형태의 에칭 장치에 있어서 실행되는 피드 포워드 제어를 예시하는 흐름도.

도면

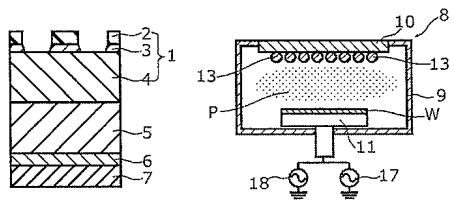
도면1a



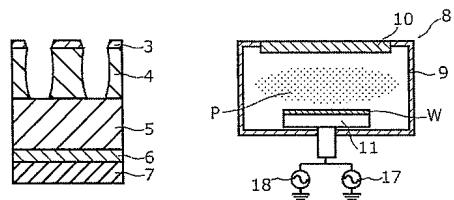
도면1b



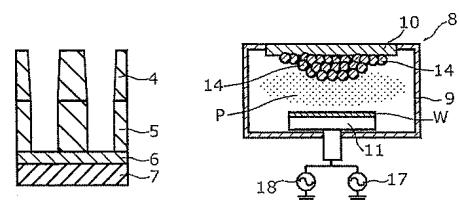
도면1c



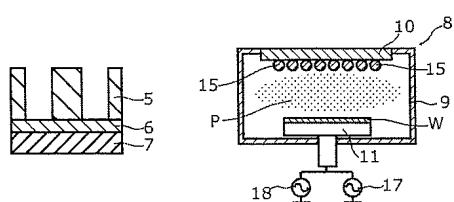
도면1d



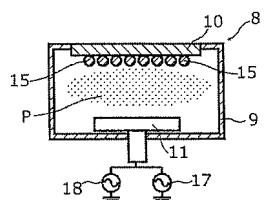
도면1e



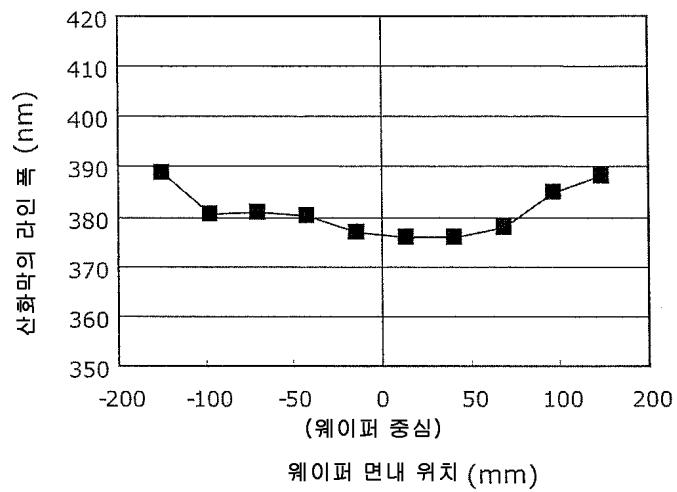
도면1f



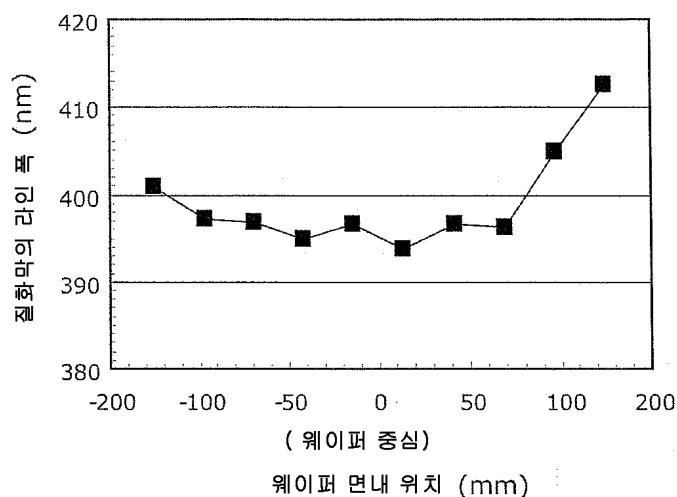
도면1g



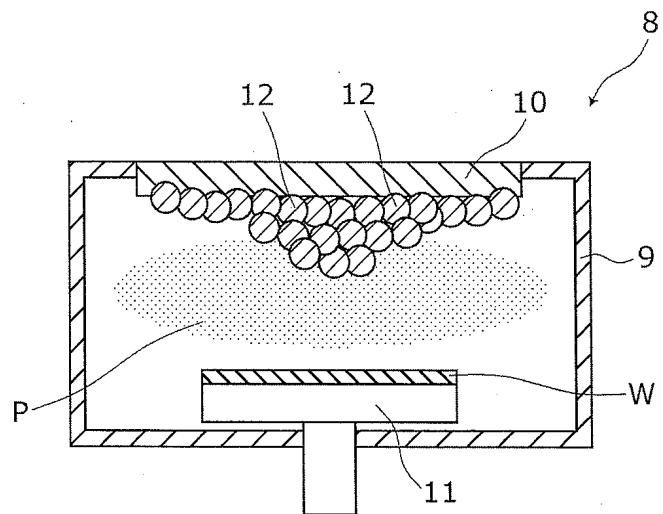
도면2



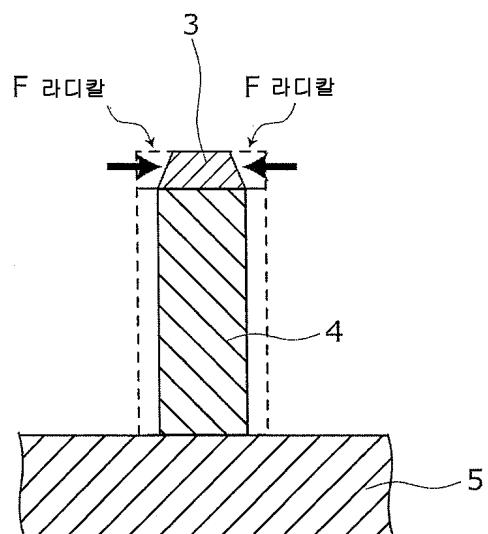
도면3



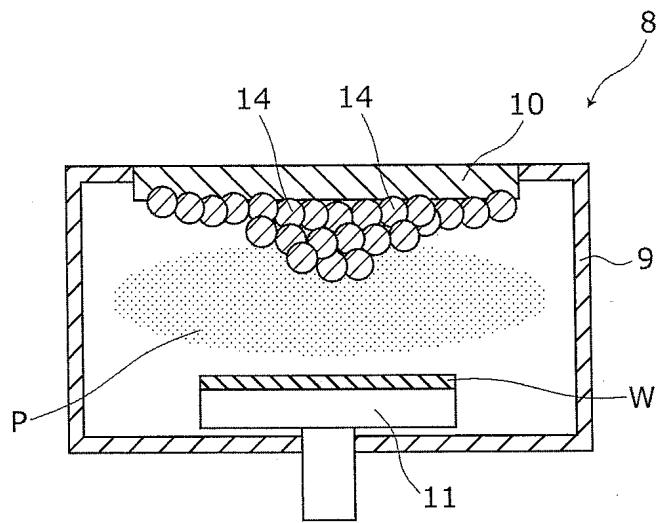
도면4a



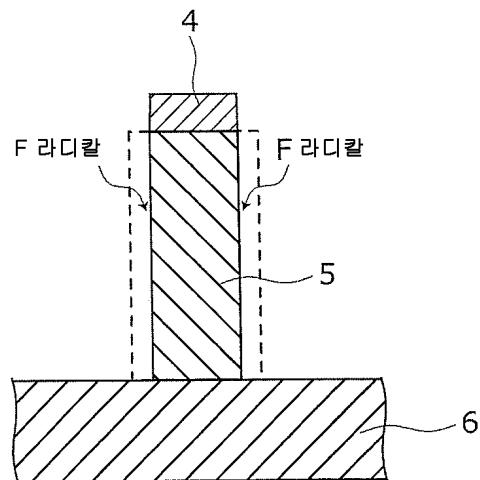
도면4b



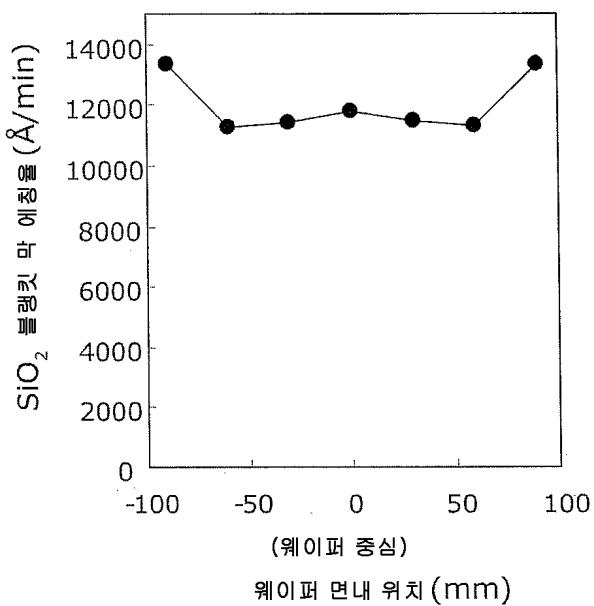
도면5a



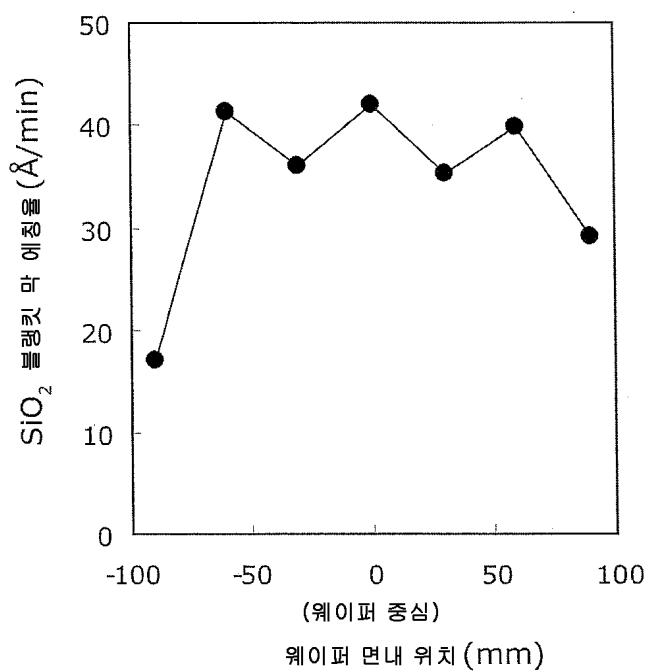
도면5b



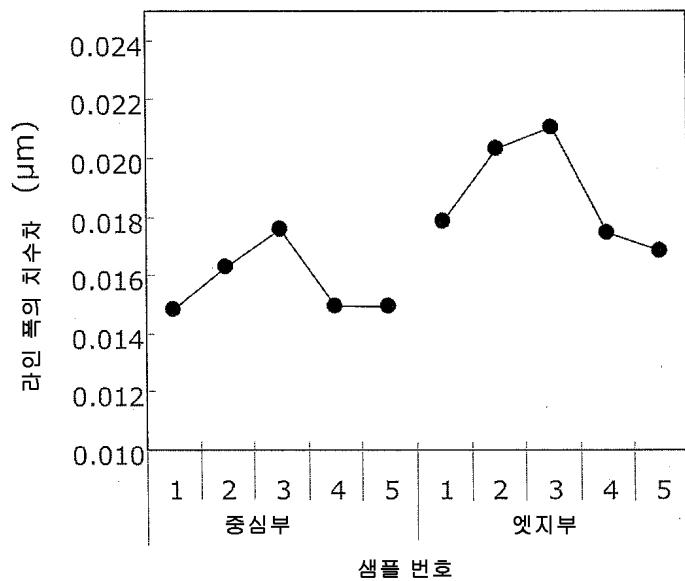
도면6



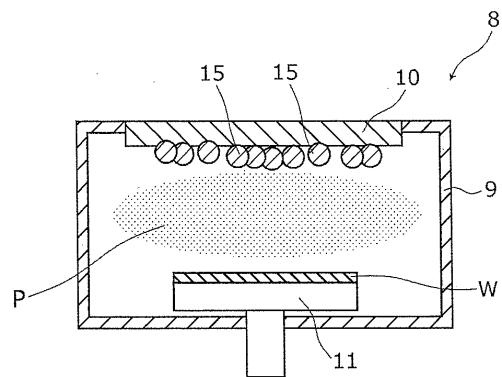
도면7



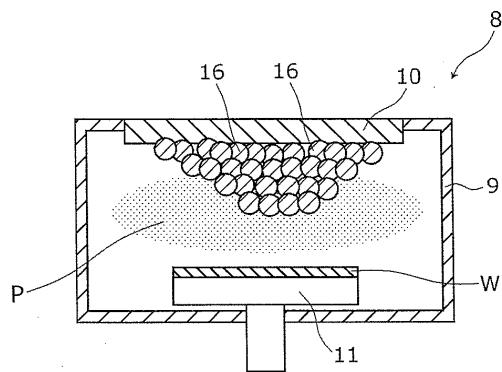
도면8



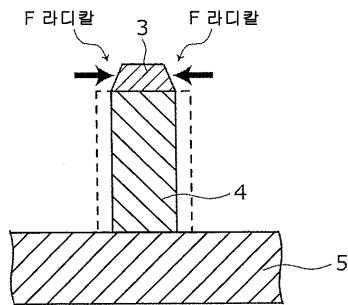
도면9a



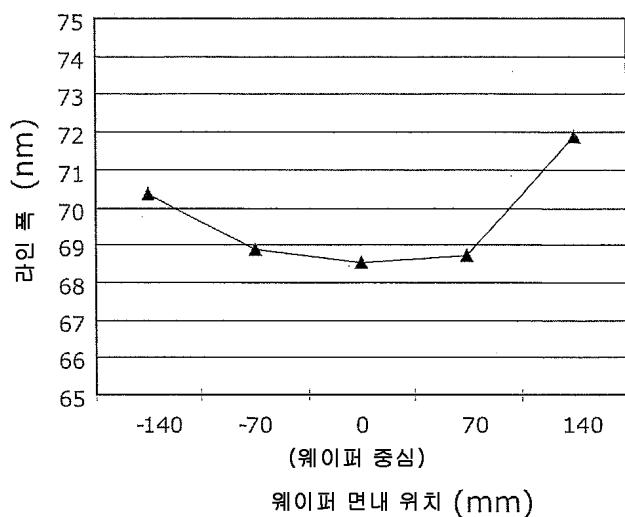
도면9b



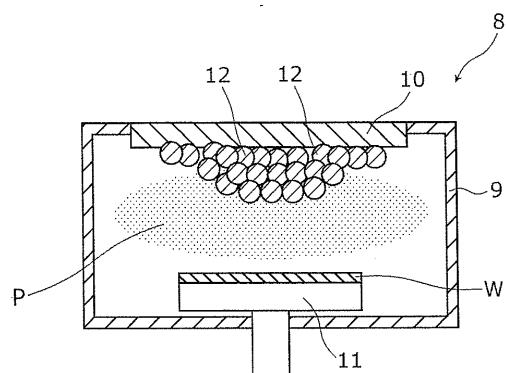
도면9c



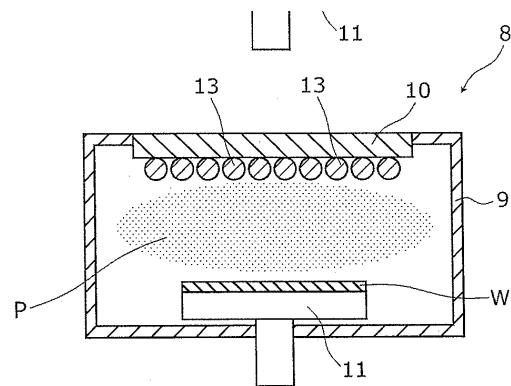
도면10



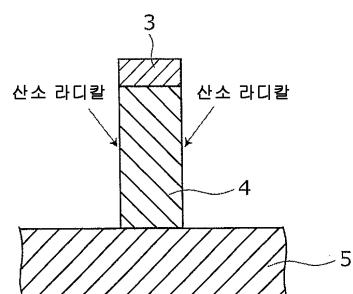
도면11a



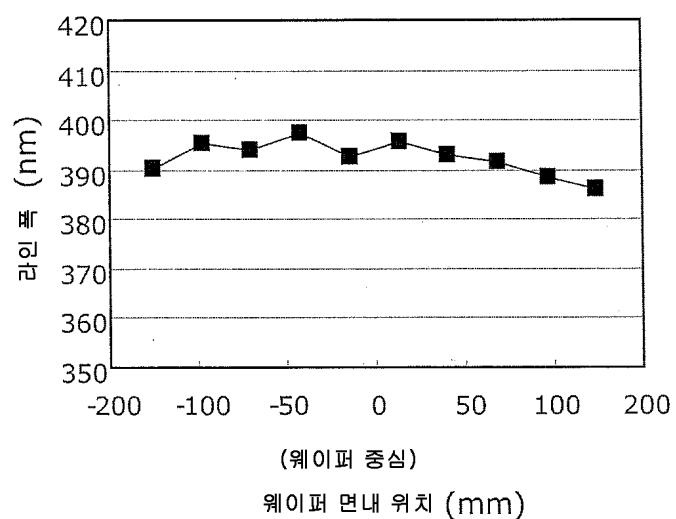
도면11b



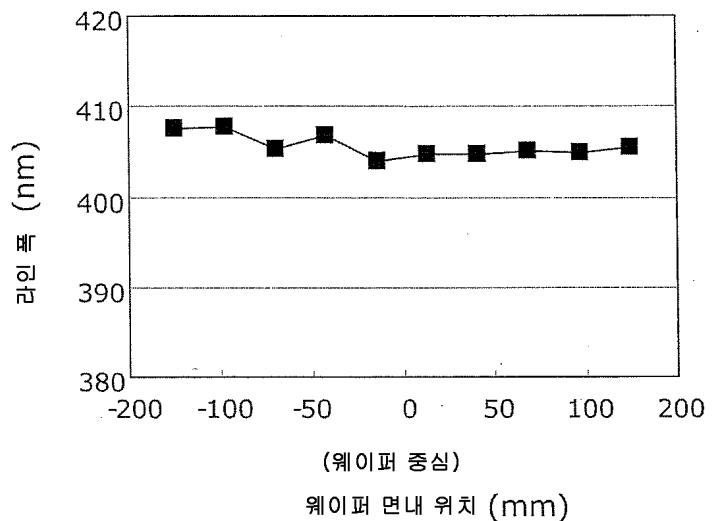
도면11c



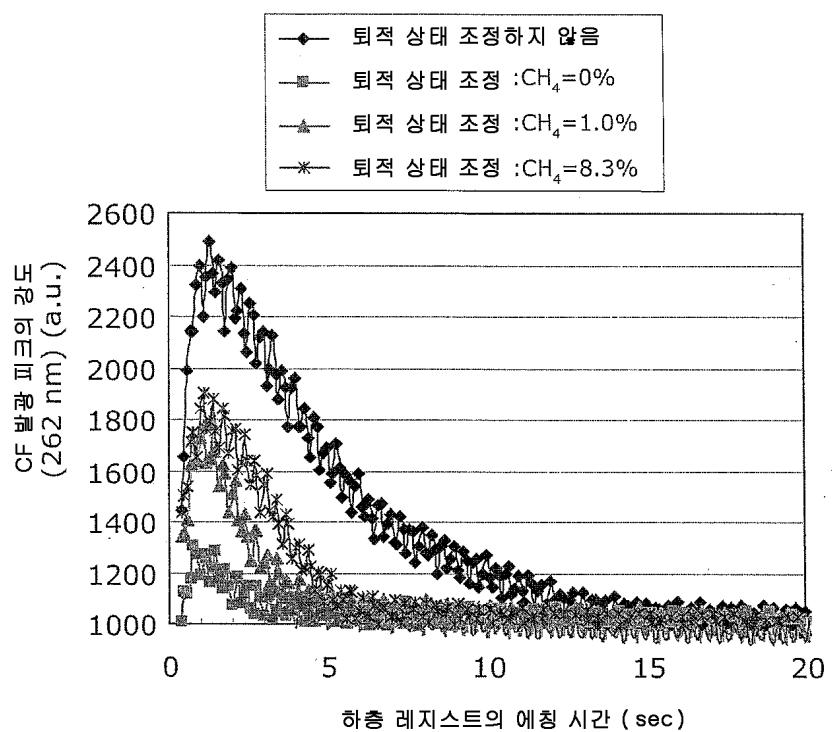
도면12



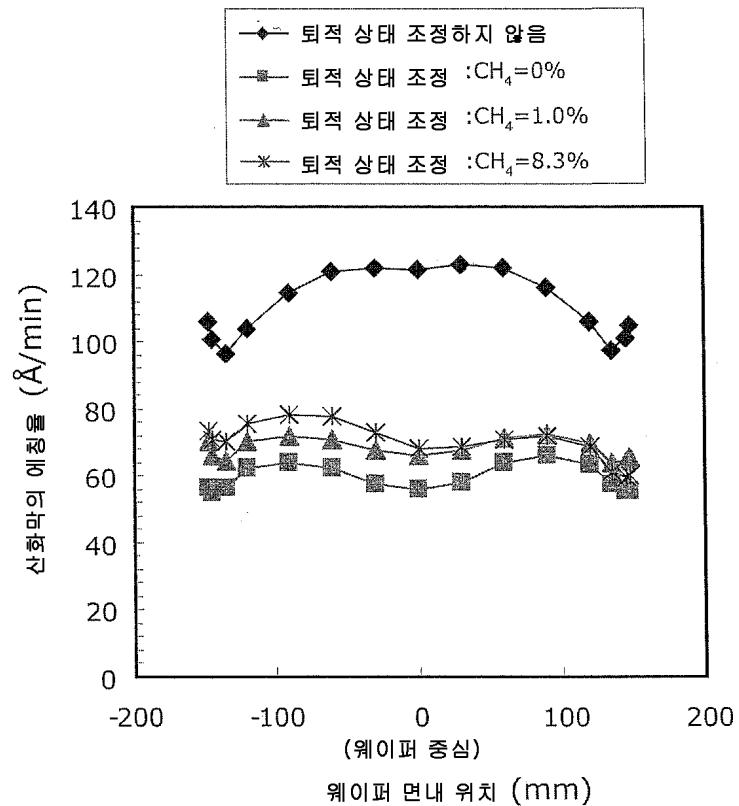
도면13



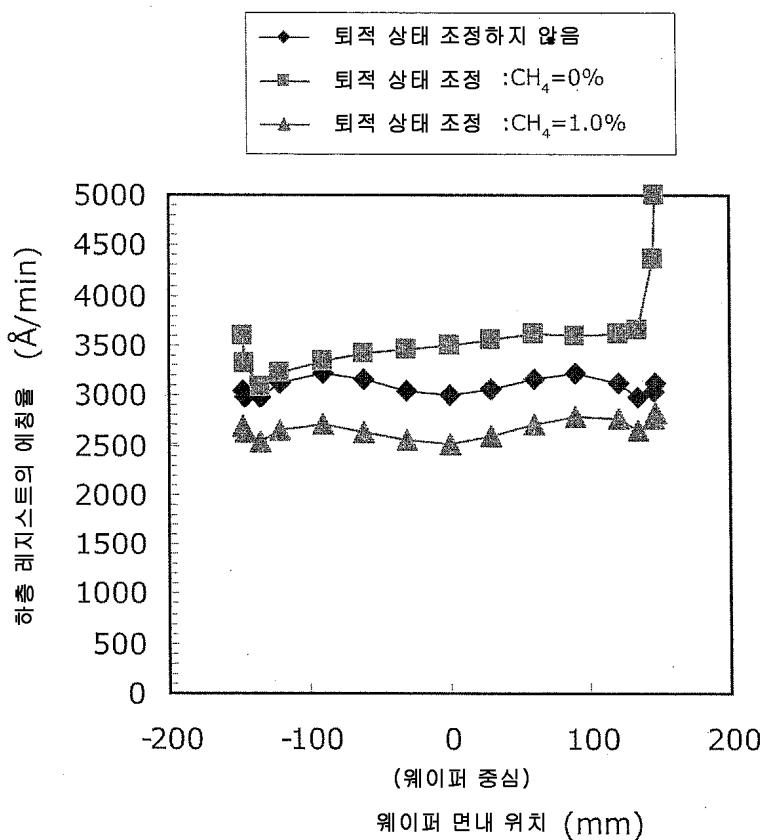
도면14



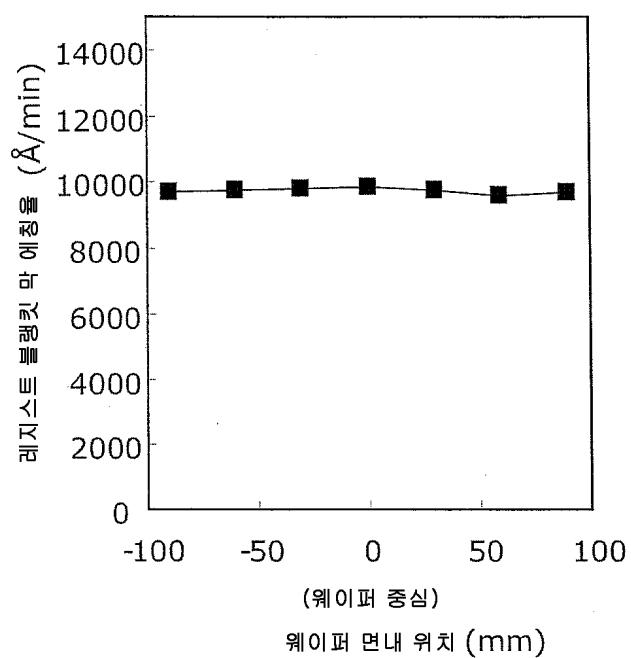
도면15



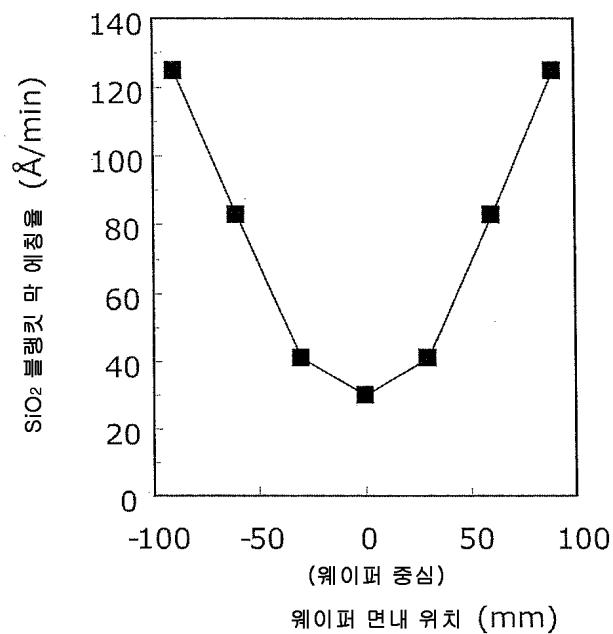
도면16



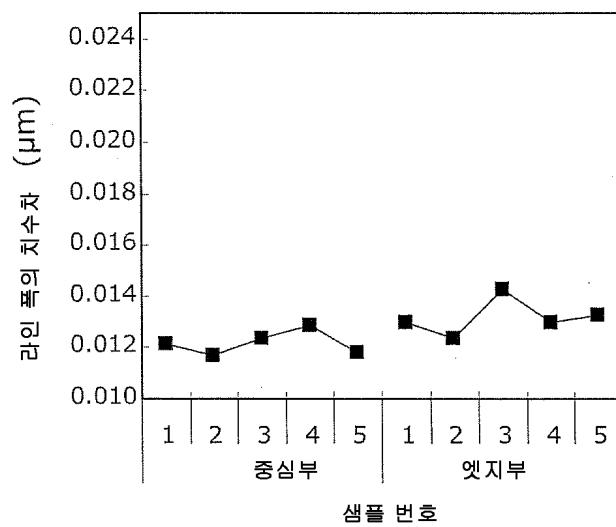
도면17



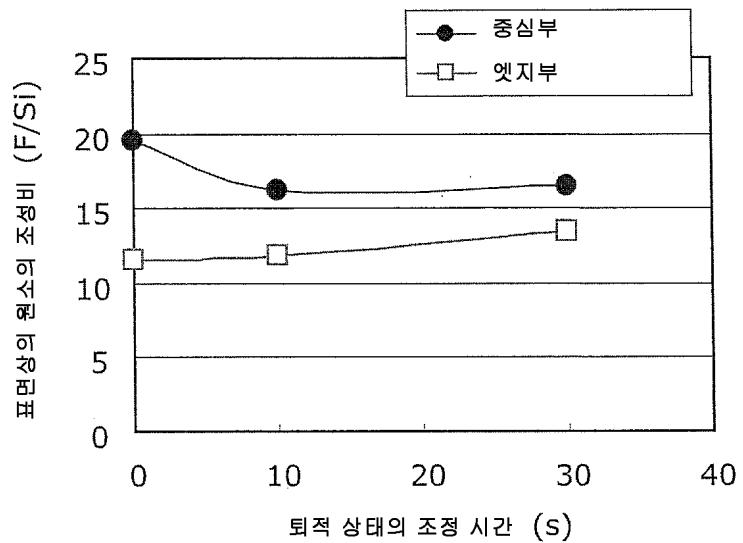
도면18



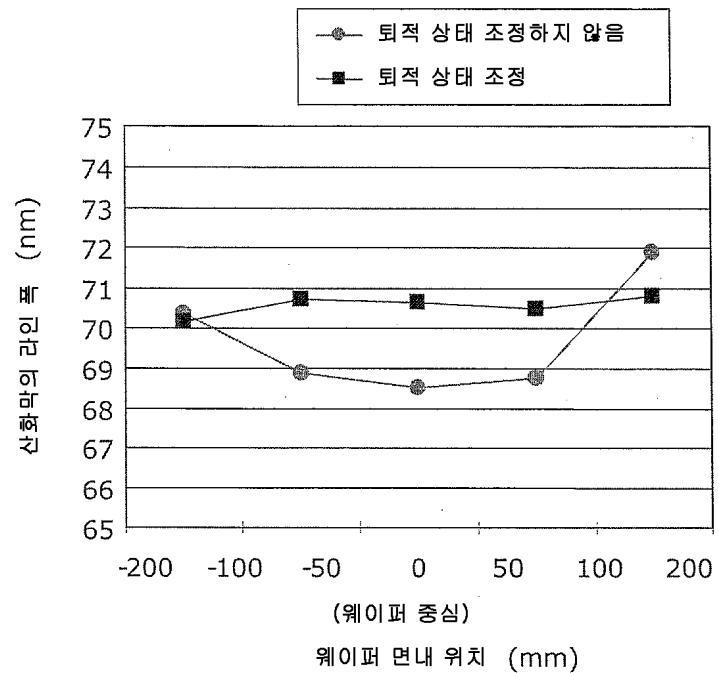
도면19



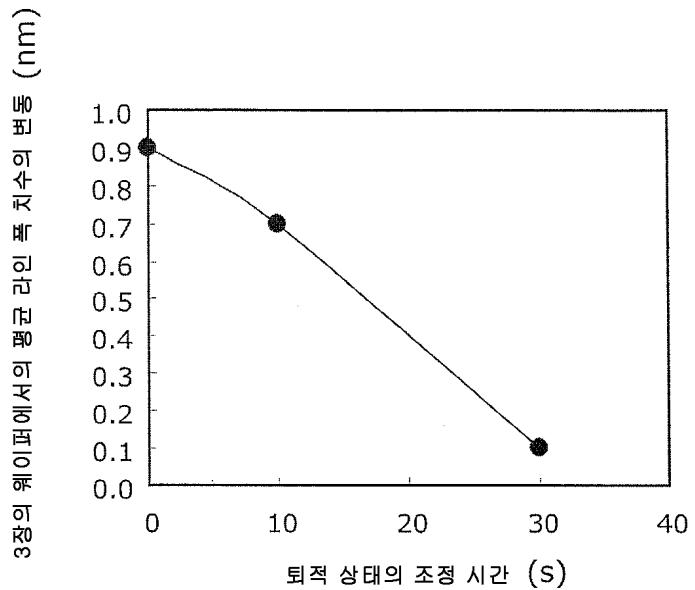
도면20



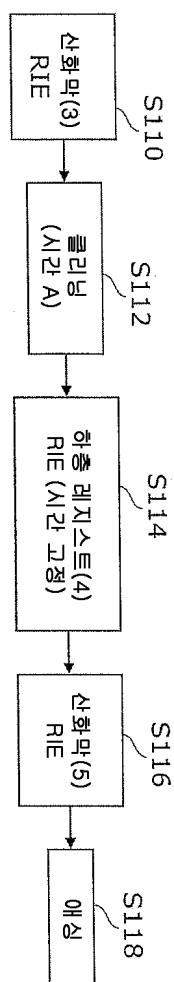
도면21



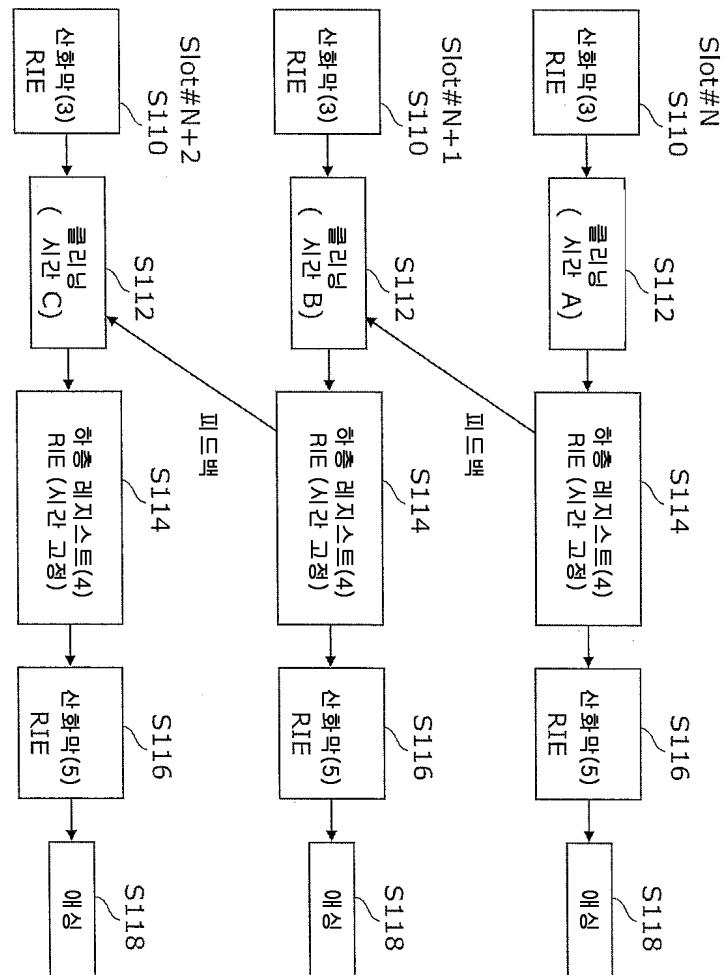
도면22



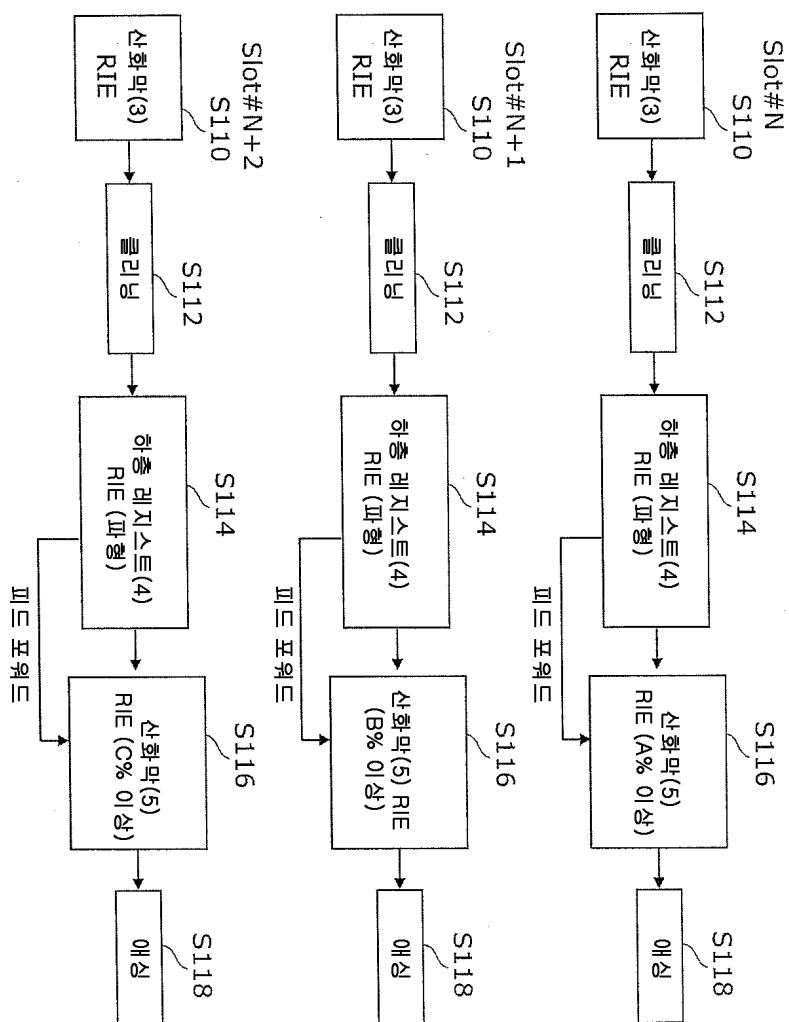
도면23



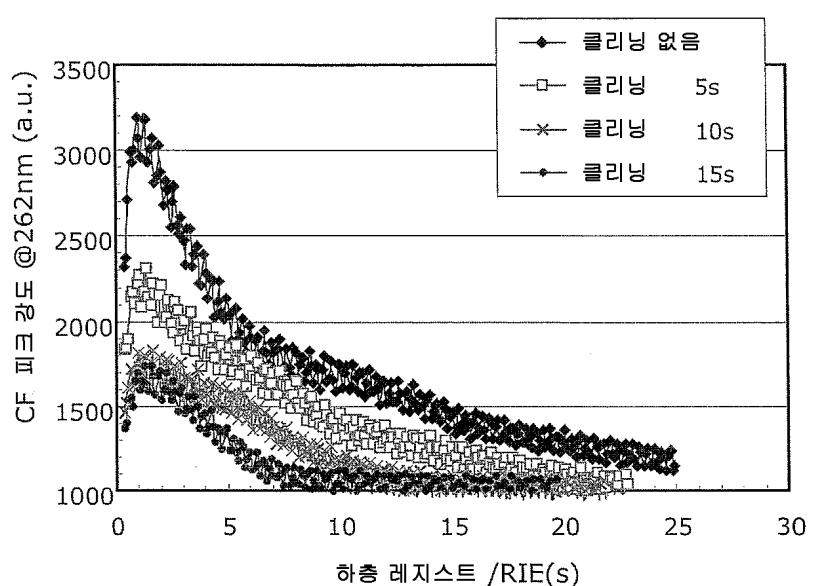
도면24



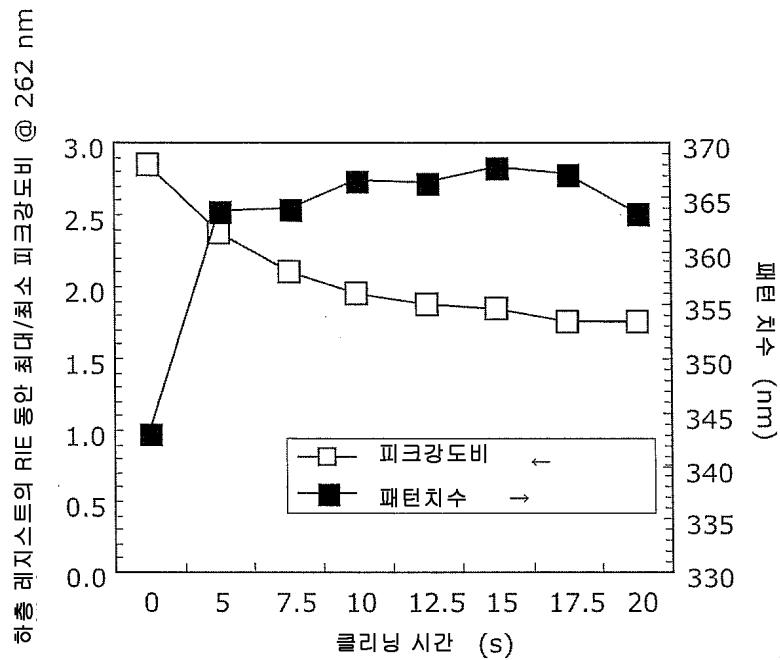
도면25



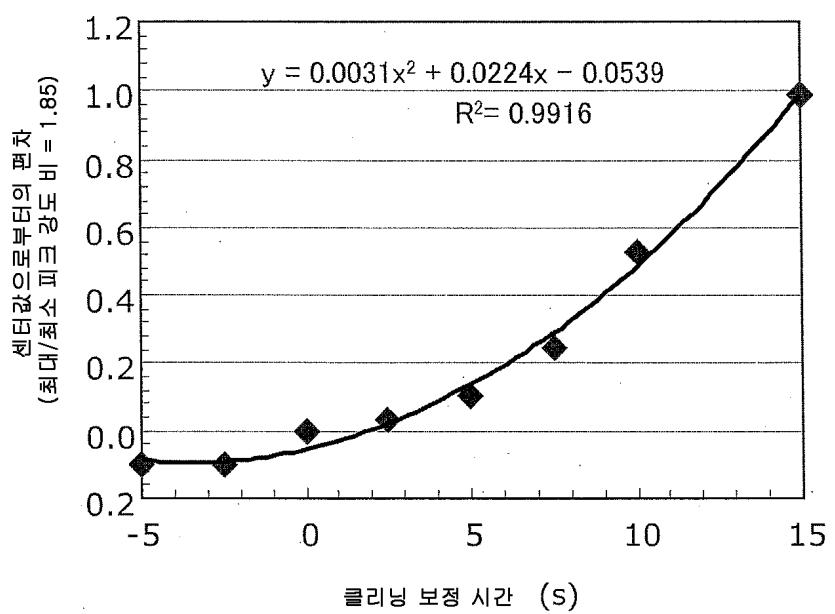
도면26



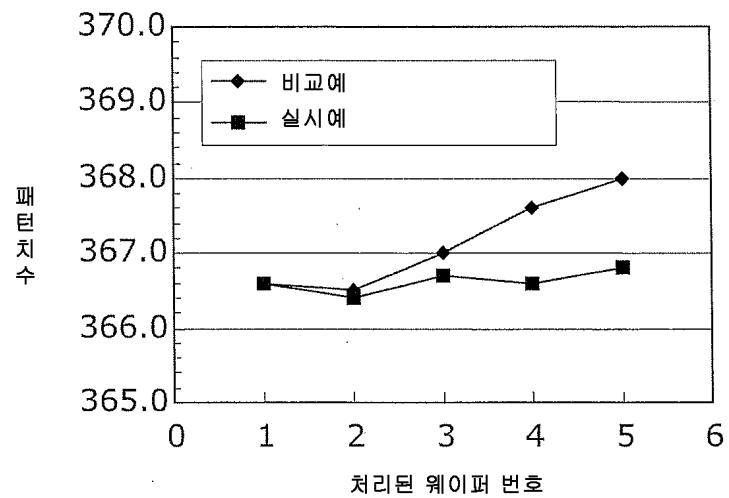
도면27



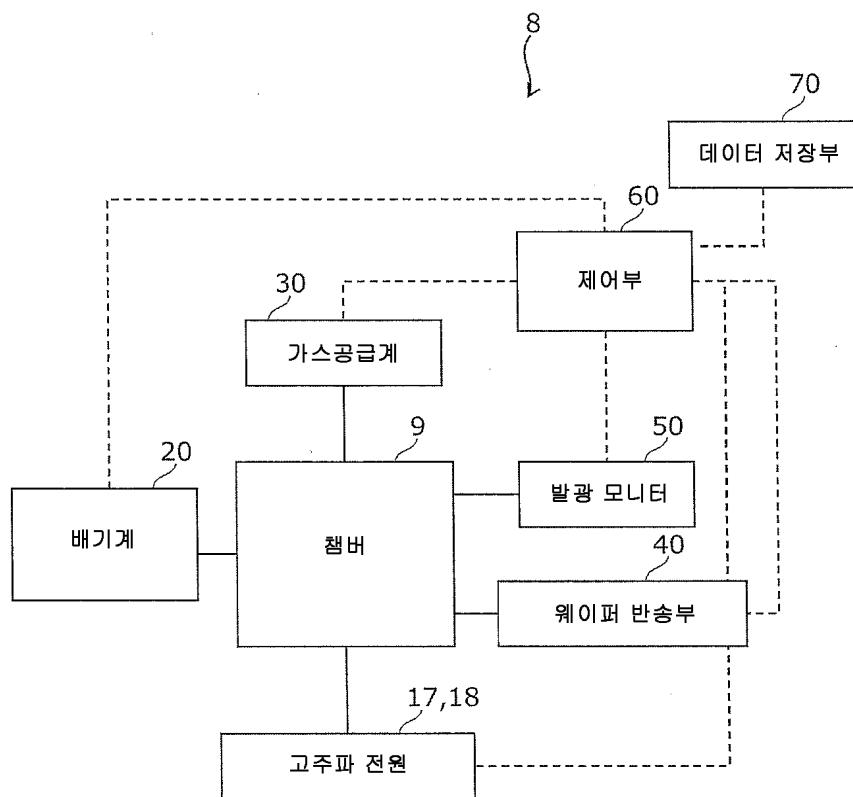
도면28



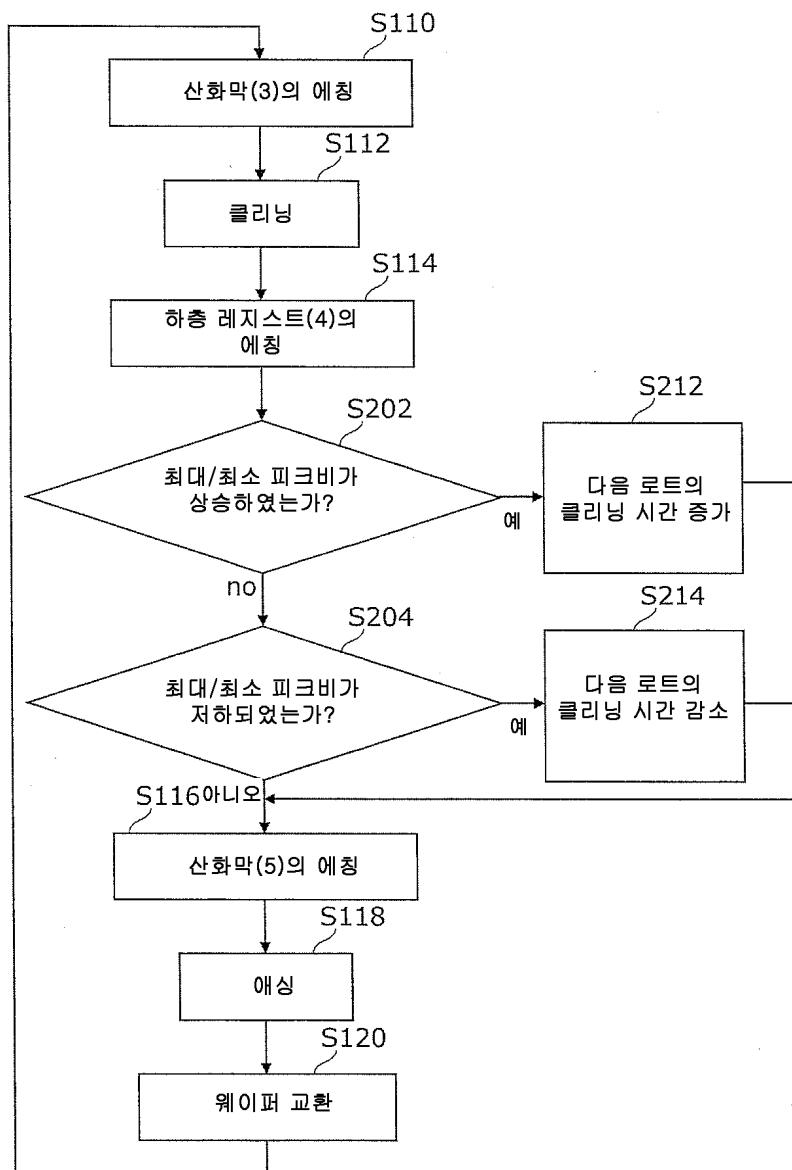
도면29



도면30



도면31



도면32

