



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I583139 B

(45)公告日：中華民國 106 (2017) 年 05 月 11 日

(21)申請案號：104112057

(22)申請日：中華民國 104 (2015) 年 04 月 15 日

(51)Int. Cl. : **H03M1/38 (2006.01)**

(30)優先權：2015/03/31 中國大陸 201510149665.3

(71)申請人：智原微電子(蘇州)有限公司(中國大陸) FARADAY TECHNOLOGY CORPORATION (CN)

中國大陸

智原科技股份有限公司(中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市科學園區力行三路5號

(72)發明人：丁行波 DING, XING-BO (CN)；徐峰 XU, FENG (CN)；吳明遠 WU, MIN YUAN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

US 6891487B2

US 2011/0128172A1

US 2011/0148523A1

US 2011/0304493A1

US 2012/0274489A1

US 2012/0280841A1

J. Craninckx and G. van der Plas, "A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," 2007 IEEE International Solid-State Circuits Conference.

Digest of Technical Papers, San Francisco, CA, 2007, pp. 246-600.

審查人員：陳明德

申請專利範圍項數：7 項 圖式數：4 共 23 頁

(54)名稱

類比數位轉換裝置及其初始化方法

ANALOG TO DIGITAL CONVERTING APPARATUS AND INITIAL METHOD THEREOF

(57)摘要

類比數位轉換裝置及其初始化方法。類比轉換裝置包括第一切換電容單元、第二切換電容單元、電路單元、第一及第二初始化開關、第三及第四電容以及邏輯緩衝器。第一及第二切換電容單元依據第一控制信號分別使各第一及第二電容耦接至第一邏輯電壓、第二邏輯電壓或第一或第二輸入電壓，並分別產生第一及第二電壓。電路單元比較第一電壓及第二電壓來產生第一控制信號。第一及第二初始化開關分別串接在第一及第二電壓與共模端點間。第三及第四電容分別接收第一及第二電壓並共同耦接共模端點。邏輯緩衝器輸出第一或第二邏輯電壓至共模端點。

An analog to digital converting apparatus and an initial method thereof are provided. The analog to digital converting apparatus includes a first and a second switching capacitor units, a circuit unit, a first and a second initialization switches, a third and a fourth capacitors and a logic buffer. The first and the second switching capacitor units respectively couple first capacitors and second capacitors to a first logic voltage, a second logic voltage or a first or a second input voltage according to a first control signal, and respectively generate a first and a second voltage. The circuit unit compares the first voltage and the second voltage to

generate the first control signal. The first and the second initialization switches are respectively connected in series between the first and the second voltage and a common-mode endpoint. The logic buffer outputs the first or the second logic voltage to the common-mode endpoint.

指定代表圖：

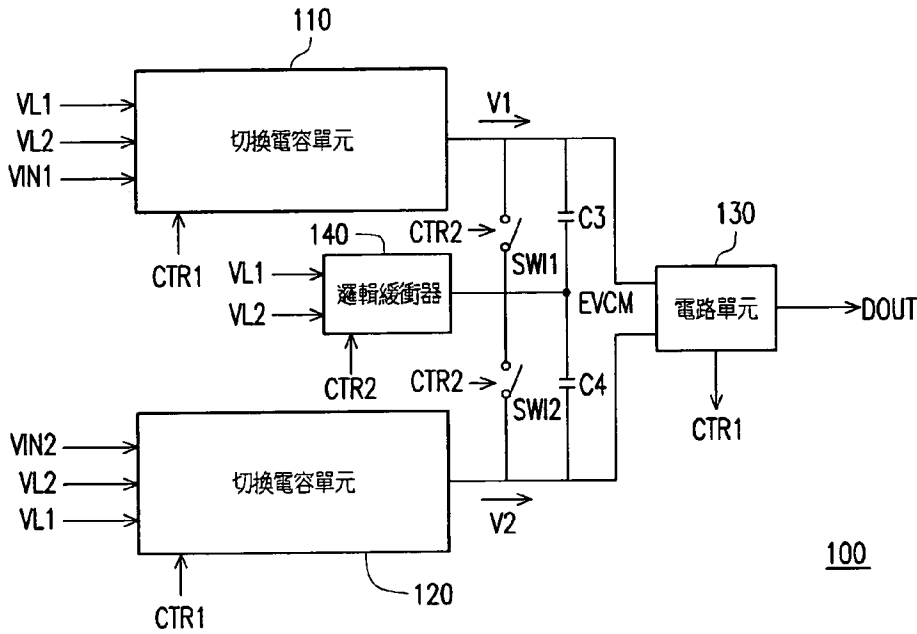


圖 1

符號簡單說明：

100 . . . 類比數位轉換裝置

110、120 . . . 切換電容單元

130 . . . 電路單元

140 . . . 邏輯緩衝器

C3、C4 . . . 電容

CTR1、CTR2 . . . 控制信號

DOUT . . . 數位輸出信號

EVCM . . . 共模端點

SWI1、SWI2 . . . 初始化開關

V1、V2 . . . 電壓

VIN1、VIN2 . . . 輸入電壓

VL1、VL2 . . . 邏輯電壓

100

發明摘要

※ 申請案號：104112057

※ 申請日：104. 4. 15

※ IPC 分類：H03M 1/38 (2006.01)

【發明名稱】

類比數位轉換裝置及其初始化方法

ANALOG TO DIGITAL CONVERTING APPARATUS AND INITIAL
METHOD THEREOF

【中文】

類比數位轉換裝置及其初始化方法。類比轉換裝置包括第一切換電容單元、第二切換電容單元、電路單元、第一及第二初始化開關、第三及第四電容以及邏輯緩衝器。第一及第二切換電容單元依據第一控制信號分別使各第一及第二電容耦接至第一邏輯電壓、第二邏輯電壓或第一或第二輸入電壓，並分別產生第一及第二電壓。電路單元比較第一電壓及第二電壓來產生第一控制信號。第一及第二初始化開關分別串接在第一及第二電壓與共模端點間。第三及第四電容分別接收第一及第二電壓並共同耦接共模端點。邏輯緩衝器輸出第一或第二邏輯電壓至共模端點。

【英文】

An analog to digital converting apparatus and an initial method thereof are provided. The analog to digital converting apparatus includes a first and a second switching capacitor units, a circuit unit,

a first and a second initialization switches, a third and a fourth capacitors and a logic buffer. The first and the second switching capacitor units respectively couple first capacitors and second capacitors to a first logic voltage, a second logic voltage or a first or a second input voltage according to a first control signal, and respectively generate a first and a second voltage. The circuit unit compares the first voltage and the second voltage to generate the first control signal. The first and the second initialization switches are respectively connected in series between the first and the second voltage and a common-mode endpoint. The logic buffer outputs the first or the second logic voltage to the common-mode endpoint.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

100：類比數位轉換裝置

110、120：切換電容單元

130：電路單元

140：邏輯緩衝器

C3、C4：電容

CTR1、CTR2：控制信號

DOUT：數位輸出信號

EVCM：共模端點

SWI1、SWI2：初始化開關

V1、V2：電壓

VIN1、VIN2：輸入電壓

VL1、VL2：邏輯電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

類比數位轉換裝置及其初始化方法

ANALOG TO DIGITAL CONVERTING APPARATUS AND INITIAL
METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種類比數位轉換裝置，且特別是有關於一種連續漸進式的類比數位轉換裝置。

【先前技術】

【0002】 近年來在積體電路設計上的趨勢，對於更低功耗、更高表現、以及更少的成本有愈來愈嚴苛的要求，而在類比前端電路的設計當中，一個有效率的類比數位轉換器（Analog to Digital Converter，簡稱 ADC）能使系統整體表現大大地提升。

【0003】 現有的 ADC 的架構種類繁多，如快閃式 ADC（Flash ADC）、管線式 ADC（Pipeline ADC）、連續漸進式 ADC（Successive Approximation Register ADC，簡稱 SAR-ADC）與雙階式 ADC（Two-Step ADC）。這些 ADC 架構具備各自適合的應用範圍。其中，在同樣的規格需求下，SAR-ADC 相較於管線式 ADC 可具有較低功耗以及較小晶片面積的優勢，也因此，對於 SAR-ADC 架構的技術開發，也逐漸為業界所重視。

【0004】 在現有的 SAR-ADC 的架構下，其一般會包含有用以產生共模電壓的類比式緩衝器 (Analog Buffer)。然而，當 SAR-ADC 的轉換精度和頻率較高時，類比緩衝器的功率會大幅增加，導致電路設計的難度隨之增加。

【發明內容】

【0005】 本發明提供一種類比數位轉換裝置及其初始化方法，可利用數位式緩衝器 (Digital Buffer) 代替傳統設計中的類比式緩衝器來輸出共模電壓。藉此，降低連續漸進式類比數位轉換裝置的整體功率，並降低電路設計的難度。

【0006】 本發明的類比數位轉換裝置包括第一切換電容單元、第二切換電容單元、電路單元、第一及第二初始化開關以及第三及第四電容。第一切換電容單元具有多數個第一電容以及對應各第一電容的多數個第一開關。第一切換電容單元依據第一控制信號以透過對應的第一開關的其中之一使各第一電容耦接至第一邏輯電壓、第二邏輯電壓或第一輸入電壓，並產生第一電壓。第二切換電容單元具有多數個第二電容以及對應各第二電容的多數個第二開關。第二切換電容單元依據第一控制信號以透過對應的第二開關的其中之一使各第二電容耦接至第一邏輯電壓、第二邏輯電壓或第二輸入電壓，並產生第二電壓。電路單元依據比較第一電壓以及第二電壓來產生第一控制信號。第一及第二初始化開關分別串接在第一電壓與共模端點間以及共模端點與第二電壓間，並

依據第二控制信號以導通或斷開。第三及第四電容，分別接收第一及第二電壓，並共同耦接共模端點。邏輯緩衝器依據第二控制信號選擇輸出第一邏輯電壓或第二邏輯電壓至共模端點。其中第二控制信號用以指示類比數位轉換裝置是否處於取樣時間週期。

【0007】 本發明的類比數位轉換裝置的初始化方法，適用於上述的類比數位轉換裝置。方法包括：在取樣時間週期，使各第一電容耦接至第一輸入電壓，使各第二電容耦接至第二輸入電壓；控制第一、第二初始化開關導通，並控制邏輯緩衝器輸出第一邏輯電壓至共模端點；在轉換時間週期，控制第一、第二初始化開關斷開，並控制邏輯緩衝器輸出第二邏輯電壓至共模端點；以及，依據對第一電壓與第二電壓進行比較的結果以連續漸進方式調整第一控制信號，據以使各第一、第二電容耦接至第一邏輯電壓或第二邏輯電壓，藉此產生關聯於第一、第二輸入電壓的數位輸出信號。

【0008】 基於上述，本發明的類比數位轉換裝置，在取樣時間週期內，可藉由數位式的邏輯緩衝器提供第一邏輯準位的邏輯電壓至共模端點，以對第一與第二輸入電壓進行取樣。並且，在轉換時間週期內，轉變成將第二邏輯準位的邏輯電壓提供至共模端點並可進行連續漸進式轉換來產生關聯於第一、第二輸入電壓的數位輸出信號。藉此，可順利取代傳統設計中的類比式緩衝器來進行類比數位轉換，以降低電路的整體功率以及設計難度。

【0009】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉

實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0010】

圖 1 繪示本發明一實施例的類比數位轉換裝置的示意圖。

圖 2 繪示本發明一實施例的類比數位轉換裝置的信號波形圖。

圖 3 繪示本發明一實施例的類比數位轉換裝置的示意圖。

圖 4 繪示本發明一實施例的類比數位轉換裝置的初始化方法的流程圖。

【實施方式】

【0011】 首先請參照圖 1，圖 1 繪示本發明一實施例的類比數位轉換裝置的示意圖。在本實施例中，類比數位轉換裝置 100 包括切換電容單元 110、切換電容單元 120、電路單元 130、初始化開關 SWI1、SWI2、電容 C3、C4 以及邏輯緩衝器 140。切換電容單元 110 接收邏輯電壓 VL1、邏輯電壓 VL2 以及輸入電壓 VIN1，並且具有多數個電容以及對應各電容的多數個開關。此等開關可受控於控制信號 CTR1 以讓對應的各個電容耦接至邏輯電壓 VL1、邏輯電壓 VL2 或輸入電壓 VIN1 的其中之一，以使切換電容單元 110 產生電壓 V1。在本實施例中，邏輯電壓 VL1 為低邏輯準位，邏輯電壓 VL2 為高邏輯準位。

【0012】 同樣地，切換電容單元 120 接收邏輯電壓 VL1、邏輯電壓 VL2 以及輸入電壓 VIN2，並具有多數個電容以及對應各電容的多數個開關。此等開關可受控於控制信號 CTR1 以讓對應的各個電容耦接至邏輯電壓 VL1、邏輯電壓 VL2 或輸入電壓 VIN2 的其中之一，以使切換電容單元 120 產生電壓 V2。

【0013】 在圖 1 中，電路單元 130 可將電壓 V1 以及電壓 V2 進行比較並依據比較結果來產生控制信號 CTR1。並且，在類比數位轉換裝置 100 進行類比數位轉換時，電路單元 130 可基於電壓 V1 以及電壓 V2 的比較結果，以連續漸進（successive approximation，SAR）方式產生關聯於輸入電壓 VIN1 及 VIN2 的數位輸出信號 DOUT。另外，初始化開關 SWI1、SWI2 則分別串接在電壓 V1 與共模端點 EVCM 間以及共模端點 EVCM 與電壓 V2 間，並依據控制信號 CTR2 以導通或斷開。電容 C3 及電容 C4 則分別接收電壓 V1 及電壓 V2，並且共同耦接共模端點 EVCM。如圖 1 所示，電容 C3 及電容 C4 分別並聯於初始化開關 SWI1、SWI2。

【0014】 邏輯緩衝器 140 例如為數位式緩衝器。在圖 1 中，邏輯緩衝器 140 接收邏輯電壓 VL1 及邏輯電壓 VL2，並可依據控制信號 CTR2 選擇輸出邏輯電壓 VL1 或邏輯電壓 VL2 至共模端點 EVCM。其中，控制信號 CTR2 可用以指示類比數位轉換裝置 100 是否處於取樣時間週期。

【0015】 詳細而言，本發明實施例的類比數位轉換裝置 100 在操作上可分為取樣時間週期以及轉換時間週期兩個期間/階段。具體

來說，圖 2 繪示本發明一實施例的類比數位轉換裝置的信號波形圖。請參照圖 2，在圖 2 中舉例繪示了控制信號 CTR2、電壓 V1（實線）以及電壓 V2（虛線）在取樣時間週期 T_s 以及轉換時間週期 T_c 內的波形。由控制信號 CTR2 的波形來看，當控制信號 CTR2 為高邏輯準位 HL（邏輯 1）時，可指示類比數位轉換裝置 100 處於用以初始化的取樣時間週期 T_s 。當控制信號 CTR2 為低邏輯準位 LL（邏輯 0）時，可指示類比數位轉換裝置 100 已進入轉換時間週期 T_c 。需說明的是，在其他實施例中，控制信號 CTR2 亦可依據與前述相反方式的邏輯準位指示類比數位轉換裝置 100 的狀態，本發明實施例並不依此為限。

【0016】請同時參照圖 1 及圖 2，在電路的操作上，在取樣時間週期 T_s 時，電路單元 130 會透過控制信號 CTR1 使切換電容單元 110 中的各電容耦接至輸入電壓 V_{IN1} ，且使切換電容單元 120 中的各電容耦接至輸入電壓 V_{IN2} 。並且，初始化開關 SWI1 及 SWI2 會受控於例如高邏輯準位 HL 的控制信號 CTR2 而導通，以將共模端點 EVCM 與電壓 V1 及 V2 的連接路徑短路。接著，邏輯緩衝器 140 可依據控制信號 CTR2 而輸出邏輯電壓 VL1 至共模端點 EVCM。據此，邏輯緩衝器 140 可經由共模端點 EVCM 直接與切換電容單元 110 及切換電容單元 120 相連接，並且將邏輯電壓 VL1 以共模的方式提供至電路單元 130 的兩個輸入端，以利用切換電容單元 110 與切換電容單元 120 進行輸入電壓 V_{IN1} 與輸入電壓 V_{IN2} 的取樣。如圖 2 所示，在取樣時間週期 T_s 內，電路單元 130

的兩個輸入端的電壓 $V1$ 及 $V2$ 皆等於邏輯電壓 $VL1$ 。

【0017】 承上述，在取樣時間週期 T_s 之後，類比數位轉換裝置 100 便可進入轉換時間週期 T_c 。在轉換時間週期 T_c 中，類比數位轉換裝置 100 可依據數位輸出信號 $DOUT$ 的位元數而包括數個轉換階段。並且，在每一個轉換階段中，類比數位轉換裝置 100 可以連續漸進方式分別決定數位輸出信號 $DOUT$ 中對應位元的位元值（即 1 或 0），並在決定所有數位輸出信號 $DOUT$ 的位元值後，完成類比數位轉換。

【0018】 在轉換時間週期 T_c 的操作上，初始化開關 $SWI1$ 及 $SWI2$ 會先受控於例如低邏輯準位 LL 的控制信號 $CTR2$ 而斷開，並且，邏輯緩衝器 140 可依據轉態為低邏輯準位 LL 的控制信號 $CTR2$ 而輸出邏輯電壓 $VL2$ 至共模端點 $EVCm$ 。在此條件下，電路單元 130 與電容 $C3$ 以及切換電容單元 110 耦接的端點上的電壓 $V1$ 的電壓值將會產生偏移，其中，偏移值 $Vofs1$ 可如下式(2)來表示：

$$Vofs1 = \frac{C3}{(C3+CA1)} \times (VL2-VL1) \quad (1)$$

【0019】 其中，在式(1)中， $CA1$ 表示切換電容單元 110 所提供的等效電容值。

【0020】 另外，電路單元 130 與電容 $C4$ 以及切換電容單元 120 耦接的端點上的電壓 $V2$ 的電壓值也同樣會產生偏移，其中，偏移值 $Vofs2$ 可如下式(2)來表示：

$$Vofs2 = \frac{C4}{(C4+CA2)} \times (VL2-VL1) \quad (2)$$

【0021】 其中，在式(2)中，CA2 表示切換電容單元 120 所提供的等效電容值。

【0022】 如圖 2 所示，當由取樣時間週期 T_s 進入轉換時間週期 T_c 時，電路單元 130 的兩個輸入端的電壓 V_1 及 V_2 會因為與共模端點 EVCN 的連接路徑斷路而恢復為差動的形式，並由電路單元 130 比較電壓 V_1 及 V_2 。經過比較後，電路單元 130 可依據電壓 V_1 與電壓 V_2 的比較結果決定數位輸出信號 DOUT 的最高位元 (most significant bit, MSB) 的位元值。

【0023】 接下來，在獲得數位輸出信號 DOUT 的最高位元後，則可以連續漸進的方式調整控制信號 CTR1。透過逐次變化的控制信號 CTR1，切換電容單元 110 以及 120 中的各電容可以變更所接收的電壓值，進而改變電壓 V_1 與電壓 V_2 的電壓值。如圖 2 所示，在時間點 T_1 改變電壓 V_1 及 V_2 ，電路單元 130 便可繼續比較改變後的電壓 V_1 及 V_2 以決定數位輸出信號 DOUT 的下一位元的位元值。接著重覆上述步驟，直到電路單元 130 以連續漸進方式決定數位輸出信號 DOUT 的所有位元的位元值為止，即可完成輸入電壓 V_{IN1} 及 V_{IN2} 的類比數位轉換。

【0024】 在本實施例中，類比數位轉換裝置 100 中可以數位式的邏輯緩衝器 140 取代類比式緩衝器來進行類比數位轉換，以降低在轉換頻率較高時電路的整體功率以及設計難度，並提高類比數位轉換的速度。附帶一提的，邏輯緩衝器 140 可以用數位電路設計中常用的反向器來完成。

【0025】請參考圖 3，圖 3 繪示本發明圖 1 實施例的類比數位轉換裝置的一實施方式的示意圖。類比數位轉換裝置 100 包括切換電容單元 110、切換電容單元 120、電路單元 130、初始化開關 SWI1、SWI2、電容 C3、C4 以及邏輯緩衝器 140。切換電容單元 110 具有多數個電容 C11~C1N。切換電容單元 110 亦具有對應各電容 C11~C1N 的多組開關。切換電容單元 110 可依據控制信號 CTR1 來控制對應各電容 C11~C1N 的開關的其中之一導通，使切換電容單元 110 所具備的各電容 C11~C1N 耦接至邏輯電壓 VL1、邏輯電壓 VL2 或輸入電壓 VIN1 的其中之一，並產生電壓 V1。

【0026】以電容 C11 為範例，對應電容 C11 的開關 SW1_1、SW1_2 以及 SW1_3 受控於控制信號 CTR1。並且，當開關 SW1_1 被導通時（開關 SW1_2 以及 SW1_3 被斷開），電容 C11 接收邏輯電壓 VL1；當開關 SW1_2 被導通時（開關 SW1_1 以及 SW1_3 被斷開），電容 C11 接收邏輯電壓 VL2；而當開關 SW1_3 被導通時（開關 SW1_1 以及 SW1_2 被斷開），電容 C11 則接收輸入電壓 VIN1。

【0027】需說明的是，上述的開關 SW1_1、SW1_2 及 SW1_3 在轉換時間週期以及取樣時間週期中只有一個開關會被導通。也就是說，開關 SW1_1~SW1_3 的共同耦接的端點上並不會發生同時傳送兩個以上的不同的電壓的現象。

【0028】在圖 3 中，切換電容單元 120 具有多數個電容 C21~C2N。切換電容單元 120 亦具有對應各電容 C21~C2N 的多組開關。切換電容單元 120 可依據控制信號 CTR1 來控制對應各電容 C21~C2N

的開關的其中之一導通，使切換電容單元 120 所具備的各電容 C21~C2N 耦接至邏輯電壓 VL1、邏輯電壓 VL2 或輸入電壓 VIN2 的其中之一，並產生電壓 V2。

【0029】 以電容 C21 為範例，對應電容 C21 的開關 SW2_1、SW2_2 以及 SW2_3 受控於控制信號 CTR1。並且，當開關 SW2_1 被導通時（開關 SW2_2 以及 SW2_3 被斷開），電容 C21 接收邏輯電壓 VL1；當開關 SW2_2 被導通時（開關 SW2_1 以及 SW2_3 被斷開），電容 C21 接收邏輯電壓 VL2；而當開關 SW2_3 被導通時（開關 SW2_1 以及 SW2_2 被斷開），電容 C21 則接收輸入電壓 VIN2。同樣地，受控於控制信號 CTR1 的開關 SW2_1~SW2_3 的共同耦接的端點上亦不會發生同時傳送兩個以上的不同的電壓的現象。

【0030】 此外，在切換電容單元 110 中，電容 C11~C1N 的電容值間可具有一定的比例關係。例如，電容 C11~C1N 的電容值可以依據 2 的冪次方來進行排列，也就是說，電容 C12 的電容值可以是電容 C11 的電容值的兩倍大，而電容 C1N 的電容值則可以是電容 C11 的電容值的 $2^{(N-1)}$ 。

【0031】 與切換電容單元 110 相類似的，切換電容單元 120 中的電容 C21~C2N 的電容值間也可具有一定的比例關係。例如，電容 C21~C2N 的電容值可以依據 2 的冪次方來進行排列，也就是說，電容 C22 的電容值可以是電容 C21 的電容值的兩倍大，而電容 C2N 的電容值則可以是電容 C21 的電容值的 $2^{(N-1)}$ 。

【0032】 電路單元 130 包括比較器 131 以及邏輯控制器 132。比較

器 131 具有輸入端 IN1、輸入端 IN2 以及輸出端 OUT。比較器 131 的輸入端 IN1 接收電壓 V1，比較器 131 的輸入端 IN2 接收電壓 V2，邏輯控制器 132 則耦接比較器 131 的輸出端 OUT。在本實施例中，邏輯控制器 132 用以提供控制信號 CTR1 及 CTR2，並且可依據比較器 131 的輸出端 OUT 所產生的比較信號 SCMP 以連續漸進方式調整控制信號 CTR1。據此，在經過連續漸進方式的類比數位轉換後，邏輯控制器 132 可輸出經轉換的數位輸出信號 DOUT。需說明的是，在其他實施例中，控制信號 CTR2 亦可由其他信號產生單元提供，本發明實施例並不依此為限。

【0033】 在本實施例中，比較器 131 可以是本領域具通常知識者所熟知的任意型態的比較器，或也可以是遲滯型比較器。另外，邏輯控制器 132 則可以是連續漸進（*successive approximation*，SAR）邏輯控制器。

【0034】 圖 4 繪示本發明一實施例的類比數位轉換裝置的初始化方法的流程圖。本發明實施例的初始化方法適用於圖 1 的類比數位轉換裝置 100。請參照圖 1 及圖 4，在步驟 S410 中，在取樣時間週期，使切換電容單元 110 的各電容耦接至輸入電壓 VIN1，使切換電容單元 120 的各電容耦接至輸入電壓 VIN2。並且，在步驟 S420 中，控制初始化開關 SWI1 及 SWI2 導通，並控制邏輯緩衝器 140 輸出邏輯電壓 VL1 至共模端點 EVCM。接著，在步驟 S430 中，在轉換時間週期，控制初始化開關 SWI1 及 SWI2 斷開，並控制邏輯緩衝器 140 輸出邏輯電壓 VL2 至共模端點 EVCM。並且，

在步驟 S440 中，依據對電壓 V1 與電壓 V2 進行比較的結果以連續漸進方式調整控制信號 CTR1，據以使各電容 C11~C1N 以及各電容 C21~C2N 耦接至邏輯電壓 VL1 或邏輯電壓 VL2，藉此產生關聯於輸入電壓 VIN1 及 VIN2 的數位輸出信號 DOUT。

【0035】此外，關於上述圖 4 中，類比數位轉換裝置的初始化方法的執行步驟的實施細節，在前述的多個實施例及多個實施方式中都有詳細的說明，以下恕不多贅述。

● 【0036】綜上所述，本發明可藉由數位式的邏輯緩衝器實現連續漸進式的類比數位轉換。藉此，可順利取代傳統設計中的類比式緩衝器來進行類比數位轉換，降低電路的整體功率以及設計難度，以提高類比數位元的整體性能。

【符號說明】

【0037】

● 100：類比數位轉換裝置

110、120：切換電容單元

130：電路單元

131：比較器

132：邏輯控制器

140：邏輯緩衝器

C11~C1N、C21~C2N、C3、C4：電容

CTR1、CTR2：控制信號

DOUT：數位輸出信號

EVCM：共模端點

HL：高邏輯準位

IN1、IN2：輸入端

LL：低邏輯準位

OUT：輸出端

SW1_1、SW1_2、SW1_3、SW2_1、SW2_2、SW2_3：開關

SWI1、SWI2：初始化開關

SCMP：比較信號

T1：時間點

Tc：轉換時間週期

Ts：取樣時間週期

V1、V2：電壓

VIN1、VIN2：輸入電壓

VL1、VL2：邏輯電壓

S410~S440：類比數位轉換裝置的初始化方法的步驟

105年11月23日修正本

105年11月23日修正替換頁
104112057(無劃線)

申請專利範圍

1. 一種類比數位轉換裝置，包括：

一第一切換電容單元，具有多數個第一電容以及對應各該第一電容的多數個第一開關，依據一第一控制信號以透過對應的該些第一開關的其中之一使各該第一電容耦接至一第一邏輯電壓、一第二邏輯電壓或一第一輸入電壓，並產生一第一電壓；

一第二切換電容單元，具有多數個第二電容以及對應各該第二電容的多數個第二開關，依據該第一控制信號以透過對應的該些第二開關的其中之一使各該第二電容耦接至該第一邏輯電壓、該第二邏輯電壓或一第二輸入電壓，並產生一第二電壓；

一電路單元，依據比較該第一電壓以及該第二電壓來產生該第一控制信號；

一第一及一第二初始化開關，分別串接在該第一電壓與一共模端點間以及該共模端點與該第二電壓間，並依據一第二控制信號以導通或斷開；

一第三及一第四電容，分別接收該第一及該第二電壓，並共同耦接該共模端點；以及

一邏輯緩衝器，依據該第二控制信號選擇輸出該第一邏輯電壓或該第二邏輯電壓至該共模端點，

其中，該第二控制信號用以指示該類比數位轉換裝置是否處於一取樣時間週期。

2. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該

電路單元包括：

一比較器，具有第一輸入端、第二輸入端以及輸出端，該比較器的第一輸入端耦接該第一電壓，該比較器的第二輸入端耦接該第二電壓；以及

一邏輯控制器，耦接該比較器的輸出端，用以提供該第一及該第二控制信號，在該取樣時間週期，該邏輯控制器透過該第一控制信號使各該些第一電容耦接至該第一輸入電壓以及使各該些第二電容耦接至該第二輸入電壓。

3. 如申請專利範圍第 2 項所述之類比數位轉換裝置，其中在該取樣時間週期，該邏輯控制器透過該第二控制信號使該第一、該第二初始化開關導通，並使該邏輯緩衝器輸出該第一邏輯電壓至該共模端點。

4. 如申請專利範圍第 2 項所述之類比數位轉換裝置，其中在一轉換時間週期，該邏輯控制器依據該比較器的輸出端所產生的一比較信號以一連續漸進 (successive approximation, SAR) 方式調整該第一控制信號，據以使各該些第一、該些第二電容耦接至該第一邏輯電壓或該第二邏輯電壓，藉此產生關聯於該第一、該第二輸入電壓的一數位輸出信號，其中該轉換時間週期在該取樣時間週期之後。

5. 如申請專利範圍第 4 項所述之類比數位轉換裝置，其中在該轉換時間週期，該邏輯控制器透過該第二控制信號使該第一、

該第二初始化開關斷開，並使該邏輯緩衝器輸出該第二邏輯電壓至該共模端點，並使該比較器的各第一、第二輸入端分別產生一第一、第二偏移電壓。

6. 如申請專利範圍第 5 項所述之類比數位轉換裝置，其中各該第一、第二偏移電壓等於：

$$\frac{CB}{(CB+CA)} \times (VL2 - VL1);$$

其中，CB 為該第三或第四電容的電容值，VL1、VL2 為該第一、該第二邏輯電壓的電壓值，CA 則是該第一切換電容單元或該第二切換電容單元所提供的等效電容值。

7. 一種類比數位轉換裝置的初始化方法，適用於如請求項 1 所述之類比數位轉換裝置，包括：

在一取樣時間週期，使各該些第一電容耦接至該第一輸入電壓，使各該些第二電容耦接至該第二輸入電壓；

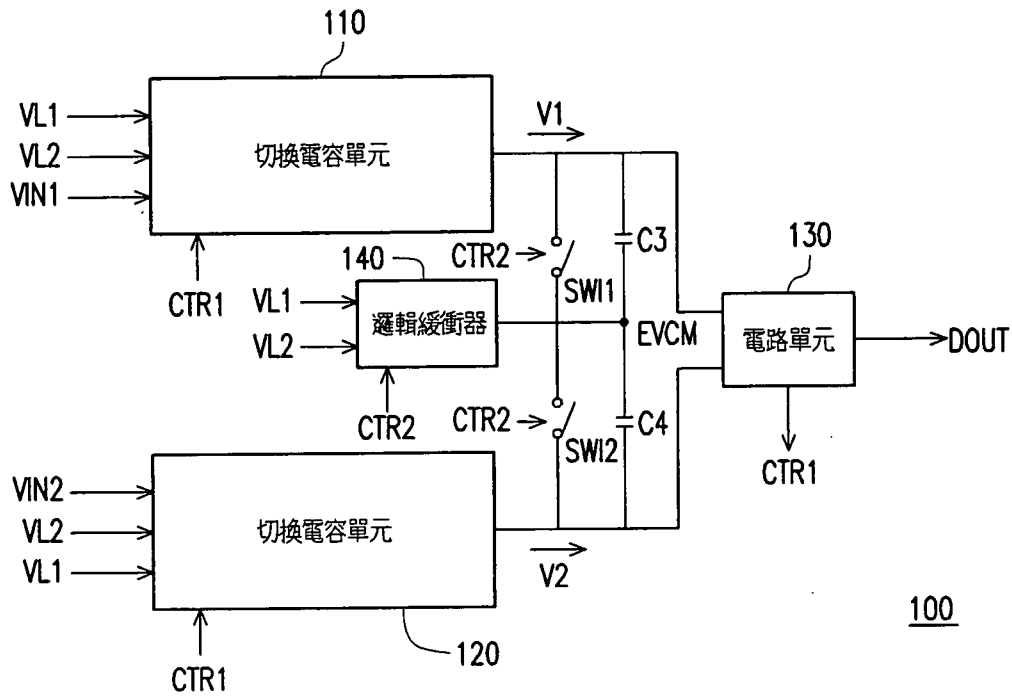
控制該第一、該第二初始化開關導通，並控制該邏輯緩衝器輸出該第一邏輯電壓至該共模端點；

在一轉換時間週期，控制該第一、該第二初始化開關斷開，並控制該邏輯緩衝器輸出該第二邏輯電壓至該共模端點；以及

依據對該第一電壓與該第二電壓進行比較的結果以一連續漸進方式調整該第一控制信號，據以使各該些第一、該些第二電容耦接至該第一邏輯電壓或該第二邏輯電壓，藉此產生關聯於該第一、該第二輸入電壓的一數位輸出信號。

105年11月23日修正替換頁

圖式



100

圖 1

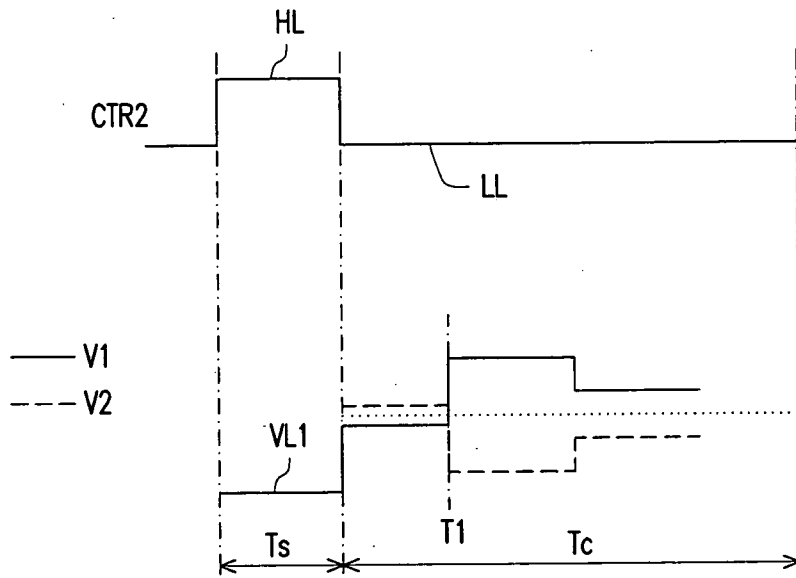
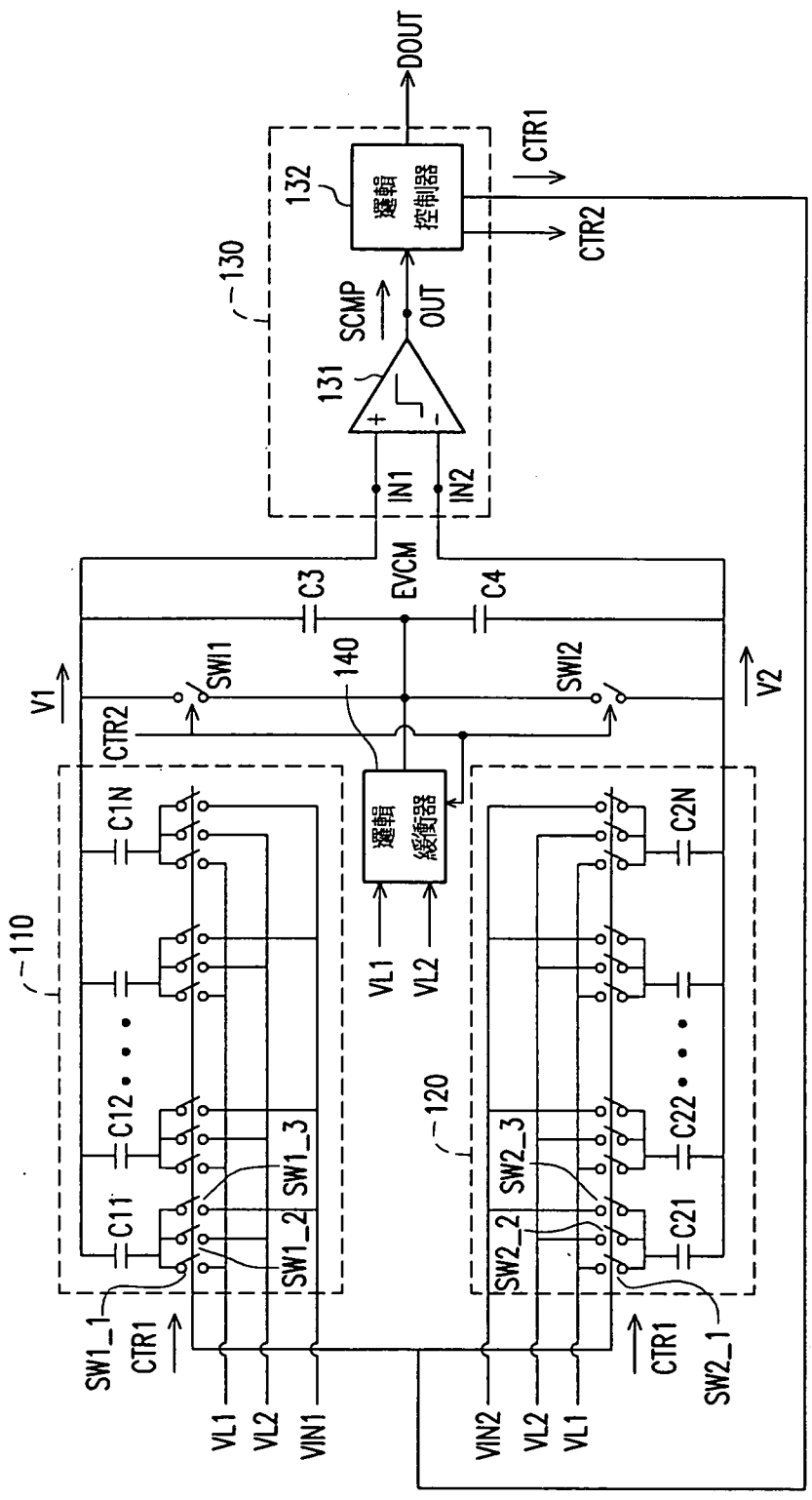


圖 2



100

圖 3

105年11月23日修正替換頁

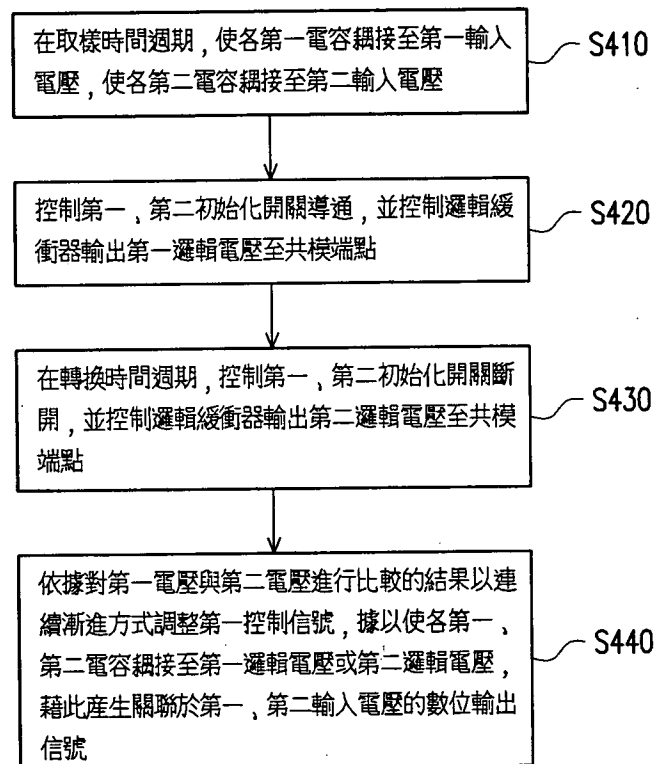


圖 4