

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-76890

(P2009-76890A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>HO1L 21/02 (2006.01)</b>	HO1L 27/12	B 2H092
<b>HO1L 27/12 (2006.01)</b>	HO1L 29/78	613A 3K107
<b>HO1L 29/786 (2006.01)</b>	HO1L 29/78	620 5B035
<b>HO1L 21/336 (2006.01)</b>	HO1L 29/78	627D 5F032
<b>HO1L 21/762 (2006.01)</b>	HO1L 21/76	D 5F048

審査請求 未請求 請求項の数 28 O.L. (全 43 頁) 最終頁に続く

(21) 出願番号	特願2008-214783 (P2008-214783)	(71) 出願人	000153878
(22) 出願日	平成20年8月25日 (2008.8.25)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2007-227042 (P2007-227042)		神奈川県厚木市長谷398番地
(32) 優先日	平成19年8月31日 (2007.8.31)	(72) 発明者	大沼 英人
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		F ターム (参考)	2H092 GA48 GA50 GA55 GA59 JA23 JA25 JA29 JA31 JA32 JA46 JB44 JB56 KA03 KA10 KB14 KB15 KB24 MA08 MA27 MA31 NA13 NA18 NA29 PA01 PA06

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法、半導体装置、及び電子機器

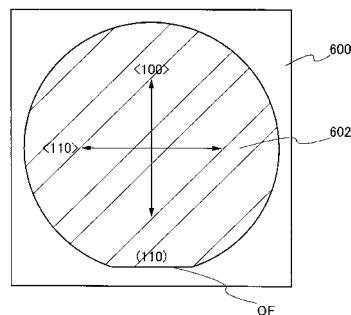
## (57) 【要約】

【課題】 単結晶半導体層の剥離の発生率を抑えた半導体装置を作製することを課題とする。また、トランジスタの不良発生率を低減した半導体装置を提供することを課題とする。また、回路配置を最適化した小型の半導体装置を提供することを課題とする。

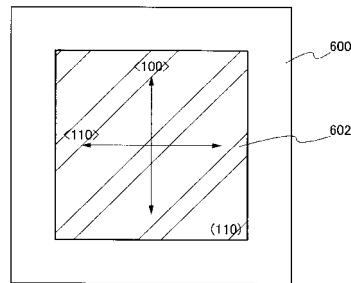
【解決手段】 (110)面を主表面に有する単結晶半導体基板において、主表面にイオンを照射して単結晶半導体基板中に脆化層を形成し、単結晶半導体基板の主表面上に絶縁層を形成し、絶縁層と、絶縁表面を有する基板とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成する。

【選択図】図6

(A)



(B)



## 【特許請求の範囲】

## 【請求項 1】

(110)面を主表面に有する単結晶半導体基板において、前記主表面にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

前記単結晶半導体基板の主表面に絶縁層を形成し、

前記絶縁層と、絶縁表面を有する基板とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。 10

## 【請求項 2】

(110)面を主表面に有する単結晶半導体基板において、前記主表面にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

絶縁表面を有する基板上に絶縁層を形成し、

前記絶縁層と、前記単結晶半導体基板とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。 20

## 【請求項 3】

請求項1又は2において、

前記絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置の作製方法。

## 【請求項 4】

(110)面を主表面に有する単結晶半導体基板において、前記主表面にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

絶縁表面を有する基板上に第1の絶縁層を形成し、

前記単結晶半導体基板の主表面に第2の絶縁層を形成し、 30

前記第1の絶縁層と、前記第2の絶縁層とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。

## 【請求項 5】

請求項4において、

前記第1の絶縁層又は前記第2の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置の作製方法。 40

## 【請求項 6】

請求項4又は5において、

前記第1の絶縁層は、酸化シリコン膜を有し、前記第2の絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、又は窒化酸化シリコン膜のいずれかを有することを特徴とする半導体装置の作製方法。

## 【請求項 7】

請求項4又は5において、

前記第1の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、前記第2の絶縁層は、酸化シリコン膜を有することを特徴とする半導体装置の作製方法。

## 【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記単結晶半導体基板の主表面にプラズマ処理を施すことを特徴とする半導体装置の作製方法。

【請求項 9】

(110)面を主表面に有する単結晶半導体基板において、前記主表面に第1の絶縁層を形成し、

前記第1の絶縁層にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

前記第1の絶縁層の表面に第2の絶縁層を形成し、

前記第2の絶縁層と、絶縁表面を有する基板とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 10】

(110)面を主表面に有する単結晶半導体基板において、前記主表面に第1の絶縁層を形成し、

前記第1の絶縁層にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

絶縁表面を有する基板上に第2の絶縁層を形成し、

前記第2の絶縁層と、前記第1の絶縁層とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項9又は10において、

前記第2の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置の作製方法。

【請求項 12】

(110)面を主表面に有する単結晶半導体基板において、前記主表面に第1の絶縁層を形成し、

前記第1の絶縁層にイオンを照射して前記単結晶半導体基板中に脆化層を形成し、

絶縁表面を有する基板上に第2の絶縁層を形成し、

前記第1の絶縁層の表面に第3の絶縁層を形成し、

前記第2の絶縁層と、前記第3の絶縁層とを接合させ、

前記単結晶半導体基板を、前記脆化層において分離させることにより、前記絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、

前記単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 13】

請求項12において、

前記第2の絶縁層又は前記第3の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置の作製方法。

【請求項 14】

請求項12又は13において、

前記第2の絶縁層は、酸化シリコン膜を有し、前記第3の絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、又は窒化酸化シリコン膜のいずれかを有することを特徴とする半導体装置の作製方法。

10

20

30

40

50

## 【請求項 1 5】

請求項 1 2 又は 1 3 において、

前記第 2 の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、前記第 3 の絶縁層は、酸化シリコン膜を有することを特徴とする半導体装置の作製方法。

## 【請求項 1 6】

請求項 9 乃至 1 5 のいずれか一において、

前記第 1 の絶縁層は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜のいずれかを有することを特徴とする半導体装置の作製方法。

## 【請求項 1 7】

請求項 9 乃至 1 6 のいずれか一において、

前記第 1 の絶縁層は、HCl を含む雰囲気で形成された熱酸化膜を含むことを特徴とする半導体装置の作製方法。

## 【請求項 1 8】

請求項 1 乃至 1 7 のいずれか一において、

前記イオンは、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup> のいずれかを含むことを特徴とする半導体装置の作製方法。

## 【請求項 1 9】

請求項 1 乃至 1 8 のいずれか一において、

前記 n チャネル型トランジスタのチャネル長 L<sub>n</sub>、前記 n チャネル型トランジスタのチャネル幅 W<sub>n</sub>、前記 p チャネル型トランジスタのチャネル長 L<sub>p</sub>、前記 p チャネル型トランジスタのチャネル幅 W<sub>p</sub> について、

W<sub>n</sub> / L<sub>n</sub> : W<sub>p</sub> / L<sub>p</sub> = 1 : x (0.8 × 2) の関係を満たすように前記 n チャネル型トランジスタ、及び前記 p チャネル型トランジスタを形成することを特徴とする半導体装置の作製方法。

## 【請求項 2 0】

n チャネル型のトランジスタと、p チャネル型のトランジスタを有する半導体装置であつて、

前記半導体装置は、

絶縁表面を有する基板上の絶縁層と、

前記絶縁層上の (110) 面を主表面とする単結晶半導体層と、を有し、

前記 n チャネル型のトランジスタ及び前記 p チャネル型のトランジスタのチャネル長方向は、いずれも <110> 軸方向であることを特徴とする半導体装置。

20

## 【請求項 2 1】

請求項 2 0 において、

前記絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置。

## 【請求項 2 2】

n チャネル型のトランジスタと、p チャネル型のトランジスタを有する半導体装置であつて、

前記半導体装置は、

絶縁表面を有する基板上の第 1 の絶縁層と、

前記第 1 の絶縁層上の第 2 の絶縁層と、

前記第 2 の絶縁層上の (110) 面を主表面とする単結晶半導体層と、を有し、

前記 n チャネル型のトランジスタ及び前記 p チャネル型のトランジスタのチャネル長方向は、いずれも <110> 軸方向であることを特徴とする半導体装置。

30

## 【請求項 2 3】

請求項 2 2 において、

前記第 1 の絶縁層又は前記第 2 の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することを特徴とする半導体装置。

## 【請求項 2 4】

40

50

請求項 22 又は 23 において、

前記第1の絶縁層は、酸化シリコン膜を有し、前記第2の絶縁層は、酸化シリコン膜と窒化シリコン膜と酸化シリコン膜の積層構造を有することを特徴とする半導体装置。

【請求項 25】

請求項 22 又は 23 において、

前記第1の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、前記第2の絶縁層は、酸化シリコン膜を有することを特徴とする半導体装置。

【請求項 26】

請求項 22 乃至 25 のいずれか一において、

前記第2の絶縁層は、HCl を含む雰囲気で形成された熱酸化膜を含むことを特徴とする半導体装置。 10

【請求項 27】

請求項 20 乃至 26 のいずれか一において、

前記 n チャネル型トランジスタのチャネル長 L<sub>n</sub> 、前記 n チャネル型トランジスタのチャネル幅 W<sub>n</sub> 、前記 p チャネル型トランジスタのチャネル長 L<sub>p</sub> 、前記 p チャネル型トランジスタのチャネル幅 W<sub>p</sub> について、

W<sub>n</sub> / L<sub>n</sub> : W<sub>p</sub> / L<sub>p</sub> = 1 : x ( 0.8 x 2 ) を満たすことを特徴とする半導体装置。

【請求項 28】

請求項 20 乃至 27 のいずれか一に記載の半導体装置を用いた電子機器。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の作製方法、半導体装置、及び電子機器に関する。

【背景技術】

【0002】

近年、単結晶シリコンのインゴットを薄くスライスして作製されるシリコンウェハーに代わって、SOI（シリコン・オン・インシュレーター）基板を用いた集積回路の開発が進められている。SOI基板は、絶縁表面に薄い単結晶シリコン層を設けた構造を有しており、これを用いることにより、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させることができる。 30

【0003】

SOI基板の製造方法は様々であるが、形成される単結晶半導体層の品質と生産性（スループット）を両立させるものとして、スマートカット（登録商標）法と呼ばれる方式が知られている。スマートカット法では、単結晶シリコン基板（ボンドウェハー）に水素イオンを注入した後、別の基板（ベースウェハー）と室温にて貼り合わせる。貼り合わせは、ファンデルワールス力を利用した強固な接合を形成することにより行われる。その後、500 度の温度で熱処理されることで、水素イオンが注入された領域において単結晶シリコン基板が剥離し、別の基板（ベースウェハー）上には単結晶シリコン層が残存する。

【0004】

このようなスマートカット法を用いて単結晶シリコン薄膜をガラス基板上に形成する技術の一例として、本出願人によるものが知られている（例えば、特許文献1参照）。

【0005】

特許文献1では、ガラス基板に絶縁性の被膜を形成することで、単結晶シリコン層の汚染を防ぎ、高性能な半導体装置を提供することに成功している。

【特許文献1】特開平11-163363号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

20

30

40

50

前述のようなSOI基板を作製する際には、(100)面を主たる表面（以下、主表面という）として有する単結晶シリコン基板が用いられることが多い。これは、その他の結晶面と比較して(100)面の界面準位密度が小さく、電界効果型トランジスタ（以下、FETともいう）の作製に適しているためである。特に、nチャネル型のトランジスタを作製する場合には、移動度の面においても大変有利である。

【0007】

しかしながら、SOI基板、特にスマートカット法を用いたSOI基板では、単結晶シリコン基板（ボンドウエハー）と別の基板（ベースウエハー）との接合を、室温程度の温度条件で行うため、単結晶シリコン基板（ボンドウエハー）と別の基板（ベースウエハー）との密着性のさらなる向上が求められていた。ベースウエハーから単結晶シリコン層が剥離してしまう場合には、作製されたトランジスタが動作不良に陥るためである。

10

【0008】

また、(100)面を主表面とするSOI基板を用いたトランジスタでは、nチャネル型トランジスタのキャリア（電子）の移動度と比較して、pチャネル型トランジスタのキャリア（正孔）のキャリアの移動度が小さいため、nチャネル型トランジスタのサイズと比較して、pチャネル型トランジスタのサイズが大きくなってしまっていた。これにより、一方の極性のトランジスタのみで回路を構成した場合と比較して、nチャネル型とpチャネル型を共に用いる場合では、回路配置に無駄が存在していた。

20

【0009】

上記の問題点に鑑み、本発明は、単結晶半導体層の剥離の発生率を抑えた半導体装置を作製することを課題とする。また、トランジスタの不良発生率を低減した半導体装置を提供することを課題とする。また、回路配置を最適化した小型の半導体装置を提供することを課題とする。また、該半導体装置を用いた、信頼性が高く高性能な電子機器を提供することを課題とする。

20

【課題を解決するための手段】

【0010】

本発明では、(110)面を主表面として有する単結晶半導体基板を用いて、SOI基板を作製する。また、(110)面において、<110>軸方向がチャネル長方向となるようにnチャネル型のトランジスタとpチャネル型のトランジスタを形成する。ここで、チャネル長方向とは、トランジスタにおいてキャリアが流れる方向いうものとする。

30

【0011】

本発明の半導体装置の作製方法の一は、(110)面を主表面に有する単結晶半導体基板において、主表面にイオンを照射して単結晶半導体基板中に脆化層を形成し、単結晶半導体基板の主表面に絶縁層を形成し、絶縁層と、絶縁表面を有する基板とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

【0012】

本発明の半導体装置の作製方法の他の一は、(110)面を主表面に有する単結晶半導体基板において、主表面にイオンを照射して単結晶半導体基板中に脆化層を形成し、絶縁表面を有する基板上に絶縁層を形成し、絶縁層と、単結晶半導体基板とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

40

【0013】

上記において、絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。

【0014】

50

本発明の半導体装置の作製方法の他の一は、(110)面を主表面に有する単結晶半導体基板において、主表面にイオンを照射して単結晶半導体基板中に脆化層を形成し、絶縁表面を有する基板上に第1の絶縁層を形成し、単結晶半導体基板の主表面に第2の絶縁層を形成し、第1の絶縁層と、第2の絶縁層とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

## 【0015】

上記において、第1の絶縁層又は第2の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。また、第1の絶縁層は、酸化シリコン膜を有し、第2の絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、又は窒化酸化シリコン膜のいずれかを有していても良い。また、第1の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、第2の絶縁層は、酸化シリコン膜を有していても良い。

10

## 【0016】

また、上記において、単結晶半導体基板の主表面にプラズマ処理を施しても良い。

## 【0017】

本発明の半導体装置の作製方法の他の一は、(110)面を主表面に有する単結晶半導体基板において、主表面に第1の絶縁層を形成し、第1の絶縁層にイオンを照射して単結晶半導体基板中に脆化層を形成し、第1の絶縁層の表面に第2の絶縁層を形成し、第2の絶縁層と、絶縁表面を有する基板とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

20

## 【0018】

本発明の半導体装置の作製方法の他の一は、(110)面を主表面に有する単結晶半導体基板において、主表面に第1の絶縁層を形成し、第1の絶縁層にイオンを照射して単結晶半導体基板中に脆化層を形成し、絶縁表面を有する基板上に第2の絶縁層を形成し、第2の絶縁層と、第1の絶縁層とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

30

## 【0019】

上記において、第2の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。

## 【0020】

本発明の半導体装置の作製方法の他の一は、(110)面を主表面に有する単結晶半導体基板において、主表面に第1の絶縁層を形成し、第1の絶縁層にイオンを照射して単結晶半導体基板中に脆化層を形成し、絶縁表面を有する基板上に第2の絶縁層を形成し、第1の絶縁層の表面に第3の絶縁層を形成し、第2の絶縁層と、第3の絶縁層とを接合させ、単結晶半導体基板を、脆化層において分離させることにより、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成し、単結晶半導体層の<110>軸方向がチャネル長方向となるように、nチャネル型のトランジスタとpチャネル型のトランジスタを形成することを特徴としている。

40

## 【0021】

上記において、第2の絶縁層又は第3の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。また、第2の絶縁層は、酸化シリコン膜を有し、第3の絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、又は窒

50

化酸化シリコン膜のいずれかを有していても良い。また、第2の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、第3の絶縁層は、酸化シリコン膜を有していても良い。

【0022】

また、上記において、第1の絶縁層は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜のいずれかを有することが好ましい。例えば、単結晶半導体基板側から、酸化窒化シリコンと窒化酸化シリコンを順に積層した構造とすることができる。また、上記において、第1の絶縁層は、HClを含む雰囲気で形成された熱酸化膜を含んでいると良い。また、イオンは、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup>のいずれかを含むことが好ましい。

10

【0023】

なお、nチャネル型トランジスタのチャネル長L<sub>n</sub>、nチャネル型トランジスタのチャネル幅W<sub>n</sub>、pチャネル型トランジスタのチャネル長L<sub>p</sub>、pチャネル型トランジスタのチャネル幅W<sub>p</sub>について、W<sub>n</sub>/L<sub>n</sub> : W<sub>p</sub>/L<sub>p</sub> = 1 : x (0.8 x 2)の関係を満たすようにnチャネル型トランジスタ、及びpチャネル型トランジスタを形成することが好ましい。なお、チャネル長とは、キャリアが流れる方向に対して平行な方向についてのチャネル形成領域の長さ(幅)をいうものとする。また、チャネル幅とはキャリアが流れる方向に対して垂直な方向についてのチャネル形成領域の長さ(幅)をいうものとする。

20

【0024】

本発明の半導体装置の一は、nチャネル型のトランジスタと、pチャネル型のトランジスタを有する半導体装置であって、半導体装置は、絶縁表面を有する基板上の絶縁層と、絶縁層上の(110)面を主表面とする単結晶半導体層と、を有し、nチャネル型のトランジスタ及びpチャネル型のトランジスタのチャネル長方向は、いずれも<110>軸方向であることを特徴としている。

【0025】

上記において、絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。

【0026】

本発明の半導体装置の他の一は、nチャネル型のトランジスタと、pチャネル型のトランジスタを有する半導体装置であって、半導体装置は、絶縁表面を有する基板上の第1の絶縁層と、第1の絶縁層上の第2の絶縁層と、第2の絶縁層上の(110)面を主表面とする単結晶半導体層と、を有し、nチャネル型のトランジスタ及びpチャネル型のトランジスタのチャネル長方向は、いずれも<110>軸方向であることを特徴としている。

30

【0027】

上記において、第1の絶縁層又は第2の絶縁層は、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を有することが好ましい。また、第1の絶縁層は、酸化シリコン膜を有し、第2の絶縁層は、酸化シリコン膜と窒化シリコン膜と酸化シリコン膜の積層構造を有していても良い。また、第1の絶縁層は、窒化シリコン膜と酸化シリコン膜の積層構造を有し、第2の絶縁層は、酸化シリコン膜を有していても良い。また、第2の絶縁層は、HClを含む雰囲気で形成された熱酸化膜を含んでいると良い。

40

【0028】

なお、nチャネル型トランジスタのチャネル長L<sub>n</sub>、nチャネル型トランジスタのチャネル幅W<sub>n</sub>、pチャネル型トランジスタのチャネル長L<sub>p</sub>、pチャネル型トランジスタのチャネル幅W<sub>p</sub>について、W<sub>n</sub>/L<sub>n</sub> : W<sub>p</sub>/L<sub>p</sub> = 1 : x (0.8 x 2)を満たすことが好ましい。

【0029】

上記の半導体装置を用いて、電子機器を作製することができる。

【0030】

なお、本発明において、半導体装置とは、液晶表示装置やエレクトロルミネッセンス表

50

示装置をはじめとする表示装置、RFID (Radio Frequency Identification) タグ、RFタグ、RFチップ、無線プロセッサ、無線メモリ、IC (Integrated Circuit) タグ、ICラベル、電子タグ、電子チップ等と呼ばれる無線タグ、中央処理装置 (Central Processing Unit (CPU)) をはじめとするマイクロプロセッサ、集積回路、その他単結晶半導体基板から分離して形成された単結晶半導体層を用いる半導体装置全般を言うものとする。

【発明の効果】

【0031】

本発明により、単結晶半導体層の剥離の発生率を抑えた半導体装置を作製することができる。また、トランジスタの不良発生率を低減した半導体装置を提供することができる。また、回路設計を効率化して回路面積を小さくし、小型の半導体装置を提供することができる。また、該半導体装置を用いて、信頼性が高く高性能な電子機器を提供することができる。

10

【発明を実施するための最良の形態】

【0032】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

20

【0033】

(実施の形態1)

本実施の形態では、本発明の半導体装置に用いられる半導体基板の製造方法の一例について、図1乃至3を参照して説明する。

【0034】

はじめに、単結晶半導体の結晶面について簡単に説明する。図1は、単結晶シリコンの単位格子、シリコン元素、及び、結晶面の関係を示すものである。ここで、図1(A)は(110)面の様子を、図1(B)は(100)面の様子を示しているが、簡単のため、それぞれの結晶面に関与しないシリコン原子については、その一部を省略している。なお、図1においてはシリコンを例に挙げて説明しているが、本発明はこれに限定して解釈されるものではない。

30

【0035】

図1(A)及び図1(B)より、単結晶シリコンの単位格子において、(110)面のシリコン原子の面密度は、(100)面のシリコン原子の面密度より大きいことが分かる。このため、(110)面を主表面として有する単結晶シリコン基板を用いてSOI基板を作製した場合には、絶縁層を構成する元素とシリコン元素との結合が密に形成されることになり、絶縁層と単結晶シリコン層との密着性が向上する。すなわち、単結晶シリコン層の剥離を抑制することができるようになる。

【0036】

また、(110)面では上記のように原子が密に配列しているため、その他の面を用いる場合と比較して、作製したSOI基板における単結晶シリコン層の平坦性が向上する。すなわち、該単結晶シリコン層を用いて作製したトランジスタは優れた特性を有することになる。なお、(110)面は(100)面と比較してヤング率が大きく、分離しやすいというメリットも有している。

40

【0037】

次に、半導体基板の製造方法について、図2及び3を用いて説明する。なお、ここでは、図2を用いて単結晶半導体基板側に接合層として機能する絶縁層を設ける場合について説明し、図3を用いて絶縁表面を有する基板側に接合層として機能する絶縁層を設ける場合について説明する。

【0038】

50

はじめに、(110)面を主表面として有する単結晶半導体基板200を用意する。そして、単結晶半導体基板200にイオンを照射して、その主表面から所定の深さにイオンを導入し、脆化層202及び単結晶半導体層204を形成する(図2(A)参照)。脆化層202の形成方法としては、半導体層への不純物元素の添加に用いられる方法(以下、イオンドーピング法という)や、イオン化したガスを質量分離して選択的に半導体層に注入する方法(以下、イオン注入法という)等が挙げられる。イオンの照射は、形成される単結晶半導体層204の厚さを考慮して行えば良い。該単結晶半導体層204の厚さは5nm乃至500nm程度とすればよく、10nm乃至200nmの厚さとするとより好ましい。イオンを照射する際の加速電圧は上記の厚さを考慮して決定することができる。

## 【0039】

10

単結晶半導体基板200は、(110)面を主表面に有する単結晶半導体基板であれば特に限られない。なお、絶縁層と単結晶半導体層との密着性や、単結晶半導体層の平坦性の効果に主眼をおく場合には、結晶面を形成する原子数が多い面を主表面として有する単結晶半導体基板を用いればよい。この意味において、本明細書中の「(110)面」との記載を、例えば、「他の結晶面(例えば(100)面)と比較して原子数の多い結晶面」と読み替えるても良い。

## 【0040】

20

照射するイオンとしては、フッ素に代表されるハロゲンや、水素、ヘリウム等のイオンが挙げられる。ハロゲンのイオンとしてフッ素イオンを照射する場合には、原料ガスとしてBF<sub>3</sub>を用いれば良い。たとえば、単結晶半導体基板200として単結晶シリコン基板を用いて、該単結晶シリコン基板にフッ素イオンのようなハロゲンイオンを導入した場合には、脆化層202には微小な空洞が形成される。これは、導入されたハロゲンイオンがシリコン結晶格子内のシリコン原子を追い出すためと考えられている。このようにして形成された微小な空洞の体積を変化させることにより、単結晶シリコン基板を分離(劈開)させることができる。具体的には、低温の熱処理によって微小な空洞の体積変化を誘起する。なお、フッ素イオンを照射した後に、水素イオンを照射して空洞内に水素を含ませるようにも良い。

## 【0041】

30

また、同一の原子から成り、質量数の異なる複数のイオンを照射してもよい。例えば、水素イオンを照射する場合には、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup>イオンを含ませると共に、H<sub>3</sub><sup>+</sup>イオンの割合を高めておくと良い。H<sub>3</sub><sup>+</sup>イオンの割合を高めることで照射効率を高めることができるために、照射時間を短縮することができる。なお、単結晶半導体基板200の(110)面を用いる場合には、他の結晶面と比較して原子数が多いので平坦な分離面を得ることができる。

## 【0042】

40

例えば、原料として水素ガスを用いたイオンドーピング法において、加速電圧が40kVの条件により、2.2×10<sup>16</sup>ions/cm<sup>2</sup>程度のイオンを照射することができる。加速電圧は30kV乃至80kV程度とするとが好ましく、この場合には、1.8×10<sup>16</sup>ions/cm<sup>2</sup>乃至4.0×10<sup>16</sup>ions/cm<sup>2</sup>程度のイオンを照射することができる。

## 【0043】

なお、(110)面に対して脆化層を形成する場合には、イオンのチャネリングにより濃度分布が広がりやすいため、単結晶半導体基板を水平方向から7°±5°程度傾けてイオンを照射することが好適である。水平方向に対して角度を持たせた単結晶半導体基板に対してイオン照射を行うことにより、濃度分布の分散を小さくすることができるためである。

## 【0044】

50

なお、単結晶半導体層204と、後に形成する絶縁層との界面における欠陥(すなわち界面準位)を低減する必要がある場合には、例えば、界面となる単結晶半導体層204の表面にプラズマ処理を行えばよい。具体的には、水素雰囲気下、酸素雰囲気下、又は酸素

と水素の混合雰囲気下にてプラズマ処理を行う。水素雰囲気下にてプラズマ処理を行うことにより、表面をエッティングし、汚染物を除去することができる。また、単結晶半導体層204の表面の一部を除去し、内部の密な領域を表出させることができる。また、水素により単結晶半導体層中のダングリングボンドを終端することができる。また、酸素雰囲気下においてプラズマ処理を行うことにより、表面に密な酸化膜を形成することができる。すなわち、これらの雰囲気下においてプラズマ処理を行うことにより、単結晶半導体層204と後に形成される絶縁層との界面を清浄に保ち、欠陥を低減することができる。なお、上記の雰囲気に希ガス元素を加えても、同様の効果を得ることができる。

#### 【0045】

なお、界面の欠陥を低減する方法としては、熱酸化法による酸化膜の形成という方法も考えられる。しかしながら、熱酸化に必要な高温条件はスマートカット法には適していない。スマートカット法は、加熱処理により単結晶半導体層の分離を行うものであるが、該加熱の温度条件は400以上600以下程度と比較的低温である。一方、熱酸化に必要な温度条件は800以上であり、スマートカット法においてこのような高温プロセスを採用した場合には、単結晶半導体層204の分離が進行してしまうのである。以上のような理由から、スマートカット法における界面の欠陥低減にはプラズマ処理が好適であることが分かる。

#### 【0046】

なお、上記のプラズマ処理としては、高周波（マイクロ波等）を用いて高密度（好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下）且つ低電子温度（0.2 eV以上2.0 eV以下（より好ましくは0.5 eV以上1.5 eV以下））の条件下で行うプラズマ処理（以下「高密度プラズマ処理」という）が好ましい。低電子温度が特徴である高密度プラズマ処理は、活性種の運動エネルギーが低いため、通常のプラズマ処理に比べてプラズマによるダメージが少ない。このため、通常のプラズマ処理に比べて、一層良質な界面を形成することができる。なお、高密度プラズマ処理においては、水素と希ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン等）の混合雰囲気、又は酸素と水素と希ガスの混合雰囲気とすることが好ましい。

#### 【0047】

なお、本実施の形態においては、プラズマ処理として、水素又は酸素を少なくとも有する雰囲気において行うものを挙げたが、本発明はこれに限定して解釈されない。例えば、酸化窒素、アンモニア、窒素等を含む雰囲気下、又はこれらと水素、酸素、希ガス等の混合雰囲気下において行っても良い。

#### 【0048】

次に、単結晶半導体層204上に、接合層として機能する絶縁層206を形成する（図2（B）参照）。絶縁層206としては、酸化シリコン膜を、有機シランガスを用いて化学気相成長法（CVD法）により形成すると良い。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法を用いる場合には、脆化層202から脱ガスが起こらない温度条件で成膜する必要がある。なお、単結晶半導体基板200から単結晶半導体層204を分離させるための熱処理には、成膜温度よりも高い温度が適用される。

#### 【0049】

なお、有機シランガスとしては、珪酸エチル（TEOS）、トリメチルシラン、テトラメチルシラン、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン、トリスジメチルアミノシラン等を用いることができる。

#### 【0050】

また、絶縁層206としては、モノシランと二酸化窒素を原料ガスとして用いて、LPCVD法により酸化窒化シリコン膜を形成してもよい。これにより、300以上400以下の低温条件においても、良質な絶縁層206を形成することができる。例えば、モノシランの流量が400 sccm、二酸化窒素の流量が400 sccm、圧力が266.6

10

20

30

40

50

Pa、温度が350 の条件において良好な絶縁層を形成することが可能である。

【0051】

上記絶縁層206は、5 nm乃至500 nm程度の厚さで設けられる。前述の厚さとすることにより、被形成表面を平滑化すると共に、絶縁層206の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。なお、後の絶縁表面を有する基板にも同様の絶縁層を設けておくことができる。このように、接合を形成する面の一方又は双方を、有機シランを原材料として成膜した酸化シリコン膜とすることで、接合を非常に強固なものとすることができます。

【0052】

なお、単結晶半導体層204と絶縁層206の間に窒素含有絶縁層を設ける構成としてもよい。窒素含有絶縁層は窒化シリコン、窒化酸化シリコン又は酸化窒化シリコン等を用いて形成することができる。なお、窒素含有絶縁層は単層構造でも良いし積層構造でも良い。例えば、単結晶半導体層204側から酸化窒化シリコン膜と窒化酸化シリコン膜を積層して窒素含有絶縁層とすることができます。窒素含有絶縁層は、アルカリ金属、アルカリ土類金属のような可動イオンや水分等の不純物が単結晶半導体層204に侵入することを防ぐために設けられる。なお、不純物の侵入を防ぐことができるのであれば、窒素含有絶縁層以外の絶縁層を設けても良い。また、窒素含有絶縁層を設ける場合には、絶縁層206と窒素含有絶縁層を合わせて絶縁層と呼ぶこともできる。

【0053】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、珪素が25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものという。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、珪素が25原子%以上35原子%以下、水素が10原子%以上30原子%以下の範囲で含まれるものという。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100原子%を超えない値をとる。

【0054】

次に、絶縁表面を有する基板210と、絶縁層206とを密接させる(図2(C)参照)。絶縁表面を有する基板210と絶縁層206とを密接させて圧力をかけることで、強固な接合を形成することが可能である。なお、絶縁層206を介して絶縁表面を有する基板210と単結晶半導体基板200を貼り合わせた後には、加熱処理を行うことが好ましい。加熱処理を行うことで接合強度をさらに向上させることができる。

【0055】

良好な接合を形成するために、接合が形成される表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム又はイオンビームを照射する。原子ビーム又はイオンビームを利用する場合には、アルゴン等の不活性ガス原子ビーム又は不活性ガスイオンビームを用いることができる。その他に、プラズマ処理やラジカル処理を行っても良い。このような表面処理により、200乃至400程度の低温で異種材料間の接合を形成することができる。

【0056】

なお、絶縁表面を有する基板210としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイヤ基板等を用いることができる。中でもガラス基板を用いるのが好ましく、例えば第6世代(1500 mm × 1850 mm)、第7世代(1870 mm × 2200 mm)、第8世代(2200 mm × 2400 mm)といわれる大面積のマザーガラス基板を用いることもできる。大面積のマザーガラス基板を、絶縁表

10

20

30

40

50

面を有する基板 210 として用いることで、半導体基板の大面積化が実現できる。なお、絶縁表面を有する基板 210 は上記の基板に限定されるものではない。例えば、耐熱温度が許せば樹脂材料からなる基板を用いることも可能である。本実施の形態の作製方法においては、高温プロセスが不要であるため、耐熱温度が低い基板を用いることが可能となっている。

【0057】

また、絶縁表面を有する基板 210 上にバリア層として機能する絶縁層を設ける構成としても良い。該絶縁層を設けることにより、単結晶半導体層 204 へのアルカリ金属やアルカリ土類金属のような不純物の侵入を防ぐことができる。もちろん、絶縁表面を有する基板 210 から単結晶半導体層 204 への不純物の侵入が問題とならない場合には、バリア層として機能する絶縁層を設ける必要はない。

10

【0058】

上記の絶縁層は、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン等から選択された一又は複数の材料を用いて形成することができる。絶縁層は単層構造でも良いし積層構造でも良い。一例としては、絶縁表面を有する基板 210 側から、窒化シリコンと酸化シリコンとを順に積層した構成の絶縁層を用いることができる。なお、不純物の侵入を防ぐことができるのであれば、上記材料を用いて形成することに限られない。

【0059】

次に、加熱処理を行い、脆化層 202 を分離面として単結晶半導体層 204 を単結晶半導体基板 200 から分離する（図 2（D）参照）。例えば、400 乃至 600 の熱処理を行うことにより、脆化層 202 に形成された微小な空洞内の圧力が上昇し、体積膨張を誘起して分離させることができる。絶縁層 206 は絶縁表面を有する基板 210 と接合しているので、絶縁表面を有する基板 210 上には単結晶半導体基板 200 と同様の結晶性の単結晶半導体層 204 が残存することとなる。

20

【0060】

なお、上記の加熱処理前に、150 以上 350 以下程度の温度範囲にて加熱処理を施すことにより、接合界面を強化することができる。これにより、異なる熱膨張係数を有する材料を接合させた場合であっても、接合界面からの剥離を抑制することができる。例えば、200、2 時間の加熱処理を適用すればよい。

30

【0061】

絶縁表面を有する基板 210 としてガラス基板を用いる場合には、ガラス基板の歪み点近傍、具体的には歪み点  $\pm 50$  で加熱を行えば良い。より具体的には、580 以上 680 以下で行えばよい。該加熱処理は大気圧下で行つても良いし、減圧下で行つても良い。雰囲気についても、窒素雰囲気や、酸素雰囲気など、適宜設定することができる。なお、該加熱処理は、加熱後に収縮する性質を有する基板を用いる場合であればガラス基板に限らず適用することができる。より具体的には、200、2 時間の加熱処理の後、600、2 時間の加熱処理を行えばよい。

【0062】

なお、ガラス基板は加熱によって収縮するという性質を有する。このため、あらかじめガラス基板を歪み点近傍、具体的には歪み点  $\pm 50$  程度（若しくはそれ以上）で加熱処理後に冷却しておくと、その後の加熱処理における収縮を抑制することができる。これにより、熱膨張率の異なる単結晶半導体層を接合したガラス基板に加熱処理を行う場合であっても、ガラス基板からの単結晶半導体層の剥離を防ぐことができる。また、ガラス基板及び単結晶半導体層の反りなどの変形を防止することもできる。

40

【0063】

なお、ガラス基板を用いる場合には、加熱終了時の急速な冷却を避けることが好ましい。具体的には 2 / 分以下、好ましくは 1 / 分以上 2 / 分以下の速度で、歪み点以下の温度まで冷却するとよい。降温速度を小さくすることにより、ガラス基板が縮む際に生じる局所的な応力を緩和することができる。

【0064】

50

なお、接合の工程に係る加熱処理と、分離の工程に係る加熱処理とを同時に行うことができる。この場合、1度の加熱処理で二つの工程を行うことができるため、低コストに半導体基板を作製することができる。

#### 【0065】

上記の工程によって得られた単結晶半導体層204については、その表面を平坦化するため、化学的機械的研磨（Chemical Mechanical Polishing：CMP）などを行うことが好ましい。単結晶半導体層204の平坦性を向上することにより、後に形成する半導体素子の特性のばらつきを抑えることができる。なお、所望の特性が得られるようであれば、CMP工程などは省略してもかまわない。

#### 【0066】

また、再度の加熱やレーザー光の照射を行うことにより、単結晶半導体層204の特性を向上させても良い。なお、加熱処理時の温度は、絶縁表面を有する基板210の耐熱温度を目安とすることができる。絶縁表面を有する基板210としてガラス基板を用いる場合には、ガラス基板の歪み点を目安とすればよい。具体的には、歪み点±50（580以上680以下）程度の温度にて加熱処理を行えばよい。

#### 【0067】

レーザー光の照射には、例えば、連続発振のレーザー（CWレーザー）や、パルス発振レーザー（10Hz以上100Hz以下程度の発振周波数であることが好ましい）を用いることができる。具体的には、連続発振のレーザーとして、Arレーザー、Krレーザー、CO<sub>2</sub>レーザー、YAGレーザー、YVO<sub>4</sub>レーザー、YLFレーザー、YAlO<sub>3</sub>レーザー、GdVO<sub>4</sub>レーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、ヘリウムカドミウムレーザー等を用いることができる。また、パルス発振レーザーとして、Arレーザー、Krレーザー、エキシマ（ArF、KrF、XeCl）レーザー、CO<sub>2</sub>レーザー、YAGレーザー、YVO<sub>4</sub>レーザー、YLFレーザー、YAlO<sub>3</sub>レーザー、GdVO<sub>4</sub>レーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザー等を用いることができる。なお、このようなパルス発振レーザーは、発振周波数を増加させると、連続発振レーザーと同等に扱うことも可能である。

#### 【0068】

特に、酸素濃度が10ppm以下の低酸素濃度雰囲気下でレーザー光を照射して、少なくとも単結晶半導体層の上部を溶融させることにより、単結晶半導体層の表面を平坦化することができる。また、レーザー光照射の前、又は後に、CMP、又はエッチングを施すことにより、単結晶半導体層を所定の厚さとなるように加工することができる。もちろん、レーザー光照射の前、又は後のいずれか一方に限らず、両方に上記の処理を施すこともできる。

#### 【0069】

次に、絶縁表面を有する基板210側に接合層として機能する絶縁層206を設ける場合について、図3を用いて説明する。なお、脆化層202の作製工程については図2に示す場合と同様であるため、詳細については省略する。プラズマ処理を行う場合にも、上記を参照すればよい。

#### 【0070】

脆化層202を形成した後に（図3（A）参照）、絶縁表面を有する基板210上に形成された、接合層として機能する絶縁層206と、単結晶半導体層204とを密着させ、接合させる（図3（B）参照）。なお、絶縁表面を有する基板210上にバリア層として機能する絶縁層を形成した後に、絶縁層206を形成する構成としても良い。バリア層として機能する絶縁層を設けることにより、単結晶半導体層204へのアルカリ金属やアルカリ土類金属のような不純物の侵入を防ぐことができる。もちろん、絶縁表面を有する基板210から単結晶半導体層204への不純物の侵入が問題とならない場合には、バリア層として機能する絶縁層を設ける必要はない。

#### 【0071】

10

20

30

40

50

上記のバリア層として機能する絶縁層は、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン等から選択された一又は複数の材料を用いて形成することができる。絶縁層は単層構造でも良いし積層構造でも良い。一例としては、絶縁表面を有する基板210側から、窒化シリコンと酸化シリコンとを順に積層した構成の絶縁層を用いることができる。なお、不純物の侵入を防ぐことができるのであれば、上記材料を用いて形成することに限られない。

#### 【0072】

その後、単結晶半導体基板200を分離させる(図3(C)参照)。単結晶半導体基板200を分離させる際の熱処理は、図2(D)の場合と同様にして行うことができるため、詳細については省略する。このようにして、図3(C)に示す半導体基板を得ることができる。

10

#### 【0073】

図3(C)に示す半導体基板に対しても、化学的機械的研磨(Chemical Mechanical Polishing: CMP)などを行うことが好ましい。単結晶半導体層204の平坦性を向上させることにより、後に形成する半導体素子の特性のばらつきを抑えることができる。なお、所望の特性が得られるようであれば、CMP工程などは省略してもかまわない。

#### 【0074】

また、再度の加熱やレーザー光の照射を行うことにより、単結晶半導体層204の特性を向上させても良い。加熱処理時の温度や用いることができるレーザーについては、上記を参照できるため、ここでは省略する。

20

#### 【0075】

以上により、(110)面を主表面とする単結晶半導体層を有する半導体基板を提供することができる。(110)面における原子の面密度は、他の結晶面と比較して大きいため、絶縁層と単結晶半導体層との密着性が向上する。すなわち、単結晶半導体層の剥離を抑制することができる。

#### 【0076】

また、(110)面では上記のように原子が密に配列しているため、その他の面を用いる場合と比較して、作製したSOI基板における単結晶半導体層の平坦性が向上する。すなわち、該単結晶半導体層を用いて作製したトランジスタは優れた特性を有することになる。

30

#### 【0077】

なお、単結晶半導体層と、絶縁層との界面における欠陥を低減する必要がある場合には、単結晶半導体層の表面にプラズマ処理を行えばよい。これにより、極めて高品質な半導体基板を提供することが可能となる。

#### 【0078】

(実施の形態2)

本実施の形態では、本発明の半導体装置の製造方法の別の一例について、図4及び5を参照して説明する。なお、本実施の形態では、イオン照射時における単結晶半導体層のダメージを低減することが可能な半導体基板の製造方法について説明する。また、図4を用いて単結晶半導体基板側に接合層として機能する絶縁層を設ける場合について説明し、図5を用いて絶縁表面を有する基板側に接合層として機能する絶縁層を設ける場合について説明する。

40

#### 【0079】

はじめに、(110)面を主表面として有する単結晶半導体基板400を用意する。そして、単結晶半導体基板400上に保護層として機能する絶縁層450を形成する(図4(A)参照)。単結晶半導体基板の詳細については実施の形態1を参照することができるため、ここでは省略する。

#### 【0080】

絶縁層450は、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン

50

等から選択された一又は複数の材料を用いて形成することができる。絶縁層450は単層構造でも良いし積層構造でも良い。絶縁層450の形成方法としては、化学気相成長法(CVD法)やスパッタ法、熱酸化法、熱窒化法等が挙げられるが、特にこれに限られるものではない。例えば、熱酸化法を用いる場合には、HClを1体積%以上10体積%以下程度含む雰囲気で形成された熱酸化膜を絶縁層450として用いると良い。厚さは10nm乃至200nm程度とすることが好ましい。絶縁層450を設けることにより、イオンの照射による単結晶半導体基板400の表面(後の単結晶半導体層の表面)の荒れを防止できる。

#### 【0081】

次に、絶縁層450を介して、単結晶半導体基板400の表面から所定の深さにイオンを導入し、脆化層402及び単結晶半導体層404を形成する(図4(B)参照)。脆化層402及び単結晶半導体層404の作製方法の詳細については実施の形態1を参照できるため、ここでは省略する。脆化層402の形成後には、絶縁層450を除去しても良いが、絶縁層450を残存させた場合には下地絶縁層として機能させることが可能である。このため、絶縁層450は除去しないことが好ましい。絶縁層450を有することにより、アルカリ金属、アルカリ土類金属のような可動イオンや水分等の不純物が単結晶半導体層404に侵入することを防止できる。特に、窒化酸化シリコンや、窒化シリコンを用いる場合には、不純物の単結晶半導体層への侵入を効果的に防ぐことができる。例えば、単結晶半導体基板側から酸化窒化シリコン膜を50nm、窒化酸化シリコン膜を50nmの厚さで順に積層して形成することができる。この場合には、加速電圧が40kVの条件により、 $2.2 \times 10^{16}$  ions/cm<sup>2</sup>程度のイオンを照射すればよい。又は、PECVD法を用いて、単結晶半導体基板側から酸化窒化シリコン膜と窒化酸化シリコン膜をそれぞれ50nm形成し、加速電圧を35kV程度、イオンドーズ量を $2.9 \times 10^{16}$  ions/cm<sup>2</sup>程度とした高周波放電イオンドーピング法を用いて、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup>イオンを照射しても良い。なお、この場合、分離後の単結晶半導体層の厚さは120nm程度となる。

#### 【0082】

絶縁層450の作製方法としては、上記以外にも、例えば、オゾン水や過酸化水素水を用いて、単結晶半導体基板400の表面に酸化膜を形成する方法などがある。また、オゾン雰囲気に晒すことにより、単結晶半導体基板400の表面に酸化膜を形成しても良い。なお、オゾン雰囲気は、酸素雰囲気に紫外光を照射することで実現できる。また、N<sub>2</sub>O及びO<sub>2</sub>雰囲気におけるプラズマ処理、N<sub>2</sub>及びO<sub>2</sub>雰囲気におけるプラズマ処理、N<sub>2</sub>O及びNH<sub>3</sub>雰囲気におけるプラズマ処理、O<sub>2</sub>雰囲気におけるプラズマ処理、N<sub>2</sub>、O<sub>2</sub>及びH<sub>2</sub>雰囲気におけるプラズマ処理を施すことにより、酸化膜を形成することもできる。なお、この場合において、酸化膜の厚さは0.5nm乃至3nm程度である。また、脆化層の形成後には、酸化窒化シリコンや窒化酸化シリコン等を積層することもできる。

#### 【0083】

次に、絶縁層450上に、接合層として機能する絶縁層406を形成する(図4(C)参照)。絶縁層406は、酸化シリコン膜を、有機シランガスを用い化学気相成長法(CVD法)により形成すると良い。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法を用いる場合には、脆化層402から脱ガスが起こらない温度条件で成膜する必要がある。なお、単結晶半導体基板400から単結晶半導体層404を分離する熱処理には、成膜温度よりも高い温度が適用される。

#### 【0084】

絶縁層406の作製方法等の詳細については、実施の形態1を参照することができるため、ここでは省略する。

#### 【0085】

次に、絶縁表面を有する基板410と、絶縁層406とを密接させる(図4(D)参照)。絶縁表面を有する基板410と絶縁層406とを密接させて圧力をかけることで、強

10

20

30

40

50

固な接合を形成することが可能である。なお、絶縁層406を介して絶縁表面を有する基板410と単結晶半導体基板400を貼り合わせた後には、加熱処理を行うことが好ましい。加熱処理を行うことで接合強度をさらに向上させることができる。

#### 【0086】

良好な接合を形成するために、接合が形成される表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ処理若しくはラジカル処理を行う。このような表面処理により、200乃至400程度の低温で異種材料間の接合を形成することができる。

10

#### 【0087】

なお、絶縁表面を有する基板410としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイヤ基板等を用いることができる。好ましくはガラス基板を用いるのがよく、例えば第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)といわれる大面積のマザーガラス基板を用いることもできる。大面積のマザーガラス基板を、絶縁表面を有する基板410として用いることで、半導体基板の大面積化が実現できる。なお、絶縁表面を有する基板410は上記の基板に限定されるものではない。例えば、耐熱温度が許せば樹脂材料からなる基板を用いることも可能である。本実施の形態の作製方法においては、高温プロセスが不要であるため、耐熱温度が低い基板を用いることが可能となっている。

20

#### 【0088】

次に、加熱処理を行い、脆化層402を分離面として単結晶半導体層404を単結晶半導体基板400から分離する(図4(E)参照)。例えば、400乃至600の熱処理を行うことにより、脆化層402に形成された微小な空洞の体積変化を誘起して分離させることができる。絶縁層406は絶縁表面を有する基板410と接合しているので、絶縁表面を有する基板410上には単結晶半導体基板400と同じ結晶性の単結晶半導体層404が残存することとなる。

30

#### 【0089】

分離における加熱処理の詳細については、実施の形態1を参照することができる。なお、接合の工程に係る加熱処理と、分離の工程に係る加熱処理とを同時にすることもできる。この場合、1度の加熱処理で二つの工程を行うことができるため、低コストに半導体基板を作製することができる。

#### 【0090】

上記の工程によって得られた単結晶半導体層404については、その表面を平坦化するため、化学的機械的研磨(Chemical Mechanical Polishing: CMP)などを行うことが好ましい。単結晶半導体層404の平坦性を向上することにより、後に形成する半導体素子の特性のばらつきを抑えることができる。なお、所望の特性が得られるようであれば、CMP工程などは省略してもかまわない。

40

#### 【0091】

また、再度の加熱やレーザー光の照射を行うことにより、単結晶半導体層404の特性を向上させても良い。なお、加熱処理時の温度や、用いるレーザーに関しては、実施の形態1を参照することができる。

#### 【0092】

次に、絶縁表面を有する基板410側に接合層として機能する絶縁層406を設ける場合について、図5を用いて説明する。なお、脆化層402の作製に係る工程までは図4に示す場合と同様であるため、詳細については省略する。

#### 【0093】

脆化層402を形成した後に(図5(A)参照)、絶縁表面を有する基板410上に形

50

成された、接合層として機能する絶縁層406と、絶縁層450とを密着させ、接合させる(図5(B)参照)。なお、絶縁表面を有する基板410上にバリア層として機能する絶縁層を形成した後に、絶縁層406を形成する構成としても良い。バリア層として機能する絶縁層を設けることにより、単結晶半導体層404へのアルカリ金属やアルカリ土類金属のような不純物の侵入を防ぐことができる。もちろん、絶縁表面を有する基板410から単結晶半導体層404への不純物の侵入が問題とならない場合には、バリア層として機能する絶縁層を設ける必要はない。

【0094】

上記のバリア層として機能する絶縁層は、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン等から選択された一又は複数の材料を用いて形成することができる。絶縁層は単層構造でも良いし積層構造でも良い。一例としては、絶縁表面を有する基板410側から、窒化シリコンと酸化シリコンとを順に積層した構成の絶縁層を用いることができる。なお、不純物の侵入を防ぐことができるのであれば、上記材料を用いて形成することに限られない。

10

【0095】

その後、単結晶半導体基板400を分離させる(図5(C)参照)。単結晶半導体基板400を分離させる際の熱処理は、実施の形態1を参照できるため、詳細については省略する。このようにして、図5(C)に示す半導体基板を得ることができる。

20

【0096】

図5(C)に示す半導体基板に対しても、化学的機械的研磨(Chemical Mechanical Polishing: CMP)などを行うことが好ましい。単結晶半導体層404の平坦性を向上させることにより、後に形成する半導体素子の特性のばらつきを抑えることができる。なお、所望の特性が得られるようであれば、CMP工程などは省略してもかまわない。

20

【0097】

また、再度の加熱やレーザー光の照射を行うことにより、単結晶半導体層404の特性を向上させても良い。加熱処理時の温度や用いることができるレーザーについても、実施の形態1を参照できるため、ここでは省略する。

30

【0098】

以上により、(110)面を主表面とする単結晶半導体層を有する半導体基板を提供することができる。(110)面における原子の面密度は、他の結晶面と比較して大きいため、絶縁層と単結晶半導体層との密着性が向上する。すなわち、単結晶半導体層の剥離を抑制することができる。

30

【0099】

また、(110)面では上記のように原子が密に配列しているため、その他の面を用いる場合と比較して、作製したSOI基板における単結晶半導体層の平坦性が向上する。すなわち、該単結晶半導体層を用いて作製したトランジスタは優れた特性を有することになる。

40

【0100】

なお、本実施の形態においては、絶縁層450を設けることにより、イオン照射の際の単結晶半導体層404へのダメージを低減している。これにより、欠陥の数自体を低減することができるため、半導体素子の特性をより一層高めることができる。

40

【0101】

本実施の形態は、実施の形態1と適宜組み合わせて用いることができる。

【0102】

(実施の形態3)

本実施の形態では、実施の形態1又は2において作製した半導体基板を用いて半導体装置を製造する方法の一例について、図6乃至9を参照して説明する。なお、本実施の形態においては、nチャネル型トランジスタとpチャネル型トランジスタとを用いた半導体装置の一例として、相補型半導体装置(いわゆるCMOS)を例に挙げて説明することにす

50

る。

【0103】

図6は、実施の形態1において作製された半導体基板の平面図である。絶縁表面を有する基板600上に、(110)面を主表面として有する単結晶半導体層602が設けられている。ここで、図6(A)は円形の単結晶半導体基板を用いて単結晶半導体層602を形成した場合を示しており、図6(B)は矩形の単結晶半導体基板を用いて単結晶半導体層602を形成した場合を示している。図6(A)のように円形の単結晶半導体基板を用いる場合には、単結晶半導体基板を加工する必要がないため好ましい。図6(B)のように矩形の単結晶半導体基板を用いる場合には、複数の単結晶半導体層をマトリクス状に配列して、大面積の基板を得ることができる点で有利である。なお、図6(A)において、円形の単結晶半導体層602の一部が欠けた形状となっているが、これはオリエンテーションフラット(OF)である。図6(B)の場合には、オリエンテーションフラットは<110>軸に平行な方向に配置されている。

10

【0104】

一般に、nチャネル型トランジスタとpチャネル型トランジスタでは、pチャネル型トランジスタの移動度が小さい。このため、同等の電流駆動能力(又は高速動作)を実現するためには、pチャネル型トランジスタのチャネル幅を相対的に大きくしなくてはならない。ここで、nチャネル型トランジスタとpチャネル型トランジスタを共に用いる場合には、pチャネル型トランジスタの大きさは、レイアウトを最適化する際の障害となる。レイアウトを最適化して回路面積を縮小するためには、nチャネル型トランジスタとpチャネル型トランジスタの大きさが概ね同等であることが求められる。

20

【0105】

本発明では、(110)面を主表面とする単結晶半導体層602を用い、さらに、トランジスタのチャネル長方向を<110>軸方向にとることにより、pチャネル型トランジスタの移動度を最大限に引き出している。ここで、チャネル長方向とは、トランジスタにおいてキャリアが流れる方向いうものとする。この場合、nチャネル型トランジスタの移動度は幾分犠牲になるが、レイアウトの最適化の観点からは、むしろ好ましいと言える。nチャネル型トランジスタとpチャネル型トランジスタの大きさをより近づけることができるためである。

30

【0106】

例えば、nチャネル型トランジスタのチャネル長方向を<100>軸方向にとった場合には、<110>軸方向とした場合と比較して移動度は大きくなるが、この場合には、pチャネル型トランジスタと直交することになってしまう。つまり、レイアウト上は非常に不利になってしまふ。nチャネル型トランジスタとpチャネル型トランジスタのチャネル長方向を<110>軸方向とすることで、このような問題を解消し、レイアウトを最適化することができる。

30

【0107】

なお、pチャネル型トランジスタの移動度は、(110)面を主表面とする単結晶半導体層を用いて、チャネル長方向を<110>軸方向とした場合(以下、「(110)面<110>軸」と記す。他の条件についても同様)が最大であり、(110)面<100>軸、(100)面<110>軸、(100)面<100>軸の順に低下してゆく。一方、nチャネル型トランジスタの移動度は、pチャネル型トランジスタとは反対の傾向となり、(100)面<100>軸、(100)面<110>軸、(110)面<100>軸、(110)面<110>軸の順である。

40

【0108】

したがって、(110)面<110>軸の条件を用いることにより、pチャネル型トランジスタの移動度を最大限に引き出して、半導体装置のレイアウトを最適化し、半導体装置の小型化を実現することができる。

【0109】

次に、実際の製造方法について図7乃至9を参照して説明する。

50

## 【0110】

はじめに、実施の形態1に示した方法等を用いて、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成する(図7(A)参照)。ここでは、絶縁表面を有する基板700の上に接合層として機能する絶縁層702、単結晶半導体層704を順に設けた構成を用いて説明するが、本発明はこれに限られるものではない。なお、図7に示す断面は、単結晶半導体層704の<110>軸に沿った断面である。

## 【0111】

次に、単結晶半導体層704及び絶縁層702を所望の形状にパターニングして、島状の単結晶半導体層を形成する。この際、後のトランジスタのチャネル長方向が、<110>軸方向となるように島状の半導体層を形成する。

10

## 【0112】

なお、パターニングの際のエッチング加工としては、プラズマエッチング(ドライエッチング)、ウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 $\text{CF}_4$ 、 $\text{NF}_3$ 、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、などのフッ素系又は塩素系のガスを用い、 $\text{He}$ や $\text{Ar}$ などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成することなくエッチングを行うことができる。

## 【0113】

単結晶半導体層704及び絶縁層702をパターニングした後には、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を添加しても良い。例えば、p型不純物として、硼素を $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加することができる。

20

## 【0114】

なお、本実施の形態においては示さないが、絶縁表面を有する基板700上に、バリア層として機能する絶縁層を設ける構成としても良い。バリア層として機能する絶縁層としては、例えば、窒化シリコン膜と酸化シリコン膜の積層構造を適用することができる。バリア層として機能する絶縁層を設けることで、絶縁表面を有する基板700からの可動イオンによる、単結晶半導体層704の汚染を防止できる。なお、窒化シリコンに代えて、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムを適用しても良い。

## 【0115】

30

次に、島状の単結晶半導体層を覆うゲート絶縁層706を形成する(図7(B)参照)。なお、ここでは便宜上、パターニングによって形成された島状の単結晶半導体層をそれぞれ単結晶半導体層708、単結晶半導体層710と呼ぶことにする。

## 【0116】

30

ゲート絶縁層706はプラズマCVD法またはスパッタ法などを用い、厚さを10nm以上 $150 \text{ nm}$ 以下として珪素を含む絶縁膜で形成する。具体的には、窒化シリコン、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンに代表される珪素の酸化物材料又は窒化物材料等の材料で形成すればよい。なお、ゲート絶縁層706は単層構造であっても良いし、積層構造としても良い。さらに、単結晶半導体層とゲート絶縁層との間に、膜厚1nm以上 $100 \text{ nm}$ 以下、好ましくは1nm以上10nm以下、より好ましくは2nm以上5nm以下の薄い酸化シリコン膜を形成してもよい。なお、低い温度でリーク電流の少ないゲート絶縁層を形成するために、アルゴンなどの希ガス元素を反応ガスに含ませても良い。

40

## 【0117】

次に、ゲート絶縁層706上にゲート電極層として用いる導電膜を形成する。導電膜の膜厚は、50nm以上400nm以下程度とすれば良い。また、導電膜は、スパッタリング法、蒸着法、CVD法等の手法により形成することができる。導電膜は、タンタル、タンゲステン、チタン、モリブデン、アルミニウム、銅、クロム、ネオジム等から選ばれた元素、又は前記の元素を主成分とする合金材料もしくは化合物材料等を用いて形成すればよい。また、導電膜として、リン等の不純物元素をドーピングした多結晶シリコン膜に代

50

表される半導体膜や、AgPdCu合金などを用いてもよい。なお、本実施の形態においては単層構造を用いて説明しているが、本発明はこれに限定されない。2層以上の積層構造としても良い。

【0118】

次に、フォトリソグラフィ法を用いてレジスト材料からなるマスクを形成し、該マスクを用いて導電膜を所望の形状に加工する。これにより、ゲート電極層712及びゲート電極層714が形成される(図7(C)参照)。なお、ゲート電極層712及びゲート電極層714を形成した後に、前述のマスクは除去する。

【0119】

導電膜の加工の際には、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパー形状となるようにエッチングを行うことができる。また、マスクの形状によって、テーパーの角度等を制御することもできる。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>もしくはCCl<sub>4</sub>などを代表とする塩素系ガス、CF<sub>4</sub>、SF<sub>6</sub>もしくはNF<sub>3</sub>などを代表とするフッ素系ガス、又はO<sub>2</sub>を適宜用いることができる。

【0120】

次に、フォトリソグラフィ法を用いて、単結晶半導体層710を覆うように、レジスト材料からなるマスク716を形成する。そして、ゲート電極層712及びマスク716をマスクとして用いて、n型を付与する不純物元素を添加する(図7(D)参照)。これにより、n型不純物領域718、n型不純物領域720、及びチャネル形成領域722が形成される。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン(PH<sub>3</sub>)を用いてドーピングを行う。ここでは、n型を付与する不純物元素であるリン(P)が、1×10<sup>17</sup>atoms/cm<sup>3</sup>以上1×10<sup>21</sup>atoms/cm<sup>3</sup>以下程度の濃度で含まれるようにする。

【0121】

なお、本実施の形態においては示さないが、いわゆるLDD(Lightly Doped Drain)領域を設ける構成としても良い。ゲート電極層と重なるLDD領域を設けることで、ホットキャリアによるオン電流の低下を防止することができる。また、ゲート電極層と重ならないLDD領域を設けることで、オフ電流を低減することができる。

【0122】

次に、マスク716を除去し、単結晶半導体層708を覆うマスク724を形成する。そして、ゲート電極層714及びマスク724をマスクとして用いて、p型を付与する不純物元素を添加する(図8(A)参照)。これにより、p型不純物領域726、p型不純物領域728、及びチャネル形成領域730が形成される。本実施の形態では、不純物元素を含むドーピングガスとしてジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてドーピングを行う。ここでは、p型を付与する不純物元素である硼素(B)が1×10<sup>18</sup>atoms/cm<sup>3</sup>以上5×10<sup>21</sup>atoms/cm<sup>3</sup>以下程度の濃度で含まれるようにする。なお、上記と同様に、いわゆるLDD領域を設ける構成としても良い。p型を付与する不純物元素を添加した後に、マスク724は除去する。

【0123】

次いで、ゲート絶縁層706、ゲート電極層712、ゲート電極層714を覆う層間絶縁層を形成する。本実施の形態では、該層間絶縁層を、絶縁膜732と絶縁膜734の積層構造とする(図8(B)参照)。例えば、プラズマCVD法を用いて、絶縁膜732として窒化酸化シリコン膜を膜厚100nmにて形成し、絶縁膜734として酸化窒化シリコン膜を膜厚900nmにて形成することができる。なお、本実施の形態においては、2層の積層構造としたが、単層構造でも良く、3層以上の積層構造としても良い。また、絶縁膜732及び絶縁膜734は上記材料に限定されるものではない。

【0124】

10

20

30

40

50

絶縁膜 732、絶縁膜 734 は、他に、酸化シリコンや窒化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素膜その他の無機絶縁性材料を含む物質から選ばれた材料を用いて形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si 結合を含む樹脂をいう。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。有機基は、フルオロ基を含んでもよい。また、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、ポリシラザン等の有機絶縁性材料を用いることもできる。

10

## 【0125】

次に、レジスト材料からなるマスクを用いて、ゲート絶縁層 706、絶縁膜 732、絶縁膜 734 にコンタクトホール (開口部) を形成する。その後、開口部を覆うように導電膜を形成し、該導電膜をエッチングする。これにより、ソース電極層又はドレイン電極層 736、ソース電極層又はドレイン電極層 738、ソース電極層又はドレイン電極層 740 を形成する (図 8 (C) 参照)。ソース電極層又はドレイン電極層には、アルミニウム、タンタル、チタン、モリブデン、タングステン、ネオジム、クロム、ニッケル、白金、金、銀、銅、マグネシウム、スカンジウム、コバルト、ニッケル、亜鉛、ニオブ、シリコン、リン、硼素、ヒ素、ガリウム、インジウム、錫などから選択された一つ又は複数の元素、または、前記元素を成分として含有する化合物や合金材料 (例えば、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化シリコンを添加したインジウム錫酸化物 (ITSO)、酸化亜鉛、アルミニウムネオジム (Al-Nd)、マグネシウム銀 (Mg-Ag) など)、もしくは、これらの化合物を組み合わせた物質等が用いられる。その他にも、シリサイド (例えば、アルミニウムシリコン、モリブデンシリコン、ニッケルシリサイド) や、窒素を含有する化合物 (例えば、窒化チタン、窒化タンタル、窒化モリブデン)、リン (P) 等の不純物元素をドーピングしたシリコン (Si) 等を用いることもできる。

20

## 【0126】

以上の工程で、n チャネル型トランジスタ 742 と p チャネル型トランジスタ 744 とがソース電極層又はドレイン電極層 738 によって接続された構成の相補型半導体装置 (いわゆる CMOS) を作製することができる。

30

## 【0127】

図 9 に、上記の工程により作製した相補型半導体装置の平面図と断面図の関係を示す。図 9 (A) は相補型半導体装置の平面図であり、図 9 (B) は相補型半導体装置の断面図である。ここで、図 9 (A) の A - B における断面が、図 9 (B) に対応している。図 9 (C) は相補型半導体装置の回路図である。図 9 において、n チャネル型トランジスタ 900 と p チャネル型トランジスタ 902 のゲート電極 904 (ゲート配線ともいう) は共通している。

## 【0128】

本発明の半導体装置では、(110) 面を主表面とする単結晶半導体層を用いることにより単結晶半導体層が絶縁層から剥離することを抑制している。また、(110) 面を用いることにより、単結晶半導体層表面の平坦性の向上を実現している。

40

## 【0129】

さらに、本発明の半導体装置のように、チャネル長方向が <110> 軸方向となるようにトランジスタを作製することで、p チャネル型トランジスタの移動度を最大限に引き出すことができる。これにより、レイアウトを最適化し、半導体装置を小型化することができる。

## 【0130】

また、(110) 面を用いる場合には、(100) 面を用いる場合と比較して、絶縁層との界面における欠陥が問題となる可能性もあるが、仮にこれが問題となる場合には、例

50

えば、単結晶半導体層の表面にプラズマ処理を行えば良い。これにより、当該問題を解消することができる。

【0131】

以上のように、本発明を用いることで、半導体装置の信頼性を向上しつつ、半導体装置を小型化することが可能である。

【0132】

本実施の形態は、実施の形態1又は2と適宜組み合わせて用いることができる。

【0133】

(実施の形態4)

本実施の形態では、本発明の半導体装置の製造方法の一例について、図10乃至13を参照して説明する。なお、本実施の形態においては、半導体装置の一例として液晶表示装置を挙げて説明するが、本発明の半導体装置は液晶表示装置に限られるものではない。

10

【0134】

はじめに、実施の形態1に示した方法等を用いて、絶縁表面を有する基板上に、(110)面を主表面とする単結晶半導体層を形成する(図10(A)参照)。ここでは、絶縁表面を有する基板1000の上にバリア層として機能する絶縁層1002、接合層として機能する絶縁層1004、単結晶半導体層1006を順に設けた構成を用いて説明するが、本発明はこれに限られるものではない。次に、単結晶半導体層1006及び絶縁層1004を所望の形状にパターニングして、島状の単結晶半導体層を形成する。この際、後のトランジスタのチャネル長方向が、<110>軸方向となるように島状の半導体層を形成する。

20

【0135】

なお、パターニングの際のエッティング加工としては、プラズマエッティング(ドライエッティング)、ウェットエッティングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッティングが適している。エッティングガスとしては、 $\text{CF}_4$ 、 $\text{NF}_3$ 、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、などのフッ素系又は塩素系のガスを用い、 $\text{He}$ や $\text{Ar}$ などの不活性ガスを適宜加えて良い。また、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成することなくエッティングを行うことができる。

【0136】

単結晶半導体層1006及び絶縁層1004をパターニングした後には、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を添加すると良い。例えば、p型不純物として、硼素を $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加することができる。

30

【0137】

絶縁表面を有する基板1000上には、絶縁層1002として窒化シリコン膜と酸化シリコン膜が積層構造で形成されている。絶縁層1002を設けることで、単結晶半導体層1006の可動イオンによる汚染を防止できる。なお、窒化シリコンに代えて、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムを適用しても良い。

【0138】

次に、島状の単結晶半導体層を覆うゲート絶縁層1008を形成する(図10(B)参照)。なお、ここでは便宜上、パターニングによって形成された島状の単結晶半導体層をそれぞれ単結晶半導体層1010、単結晶半導体層1012、単結晶半導体層1014と呼ぶことにする。ゲート絶縁層1008はプラズマCVD法またはスパッタ法などを用い、厚さを10nm以上150nm以下として珪素を含む絶縁膜で形成する。具体的には、窒化シリコン、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンに代表される珪素の酸化物材料又は窒化物材料等の材料で形成すればよい。なお、ゲート絶縁層1008は単層構造であっても良いし、積層構造としても良い。さらに、単結晶半導体層とゲート絶縁層との間に、膜厚1nm以上100nm以下、好ましくは1nm以上10nm以下、より好ましくは2nm以上5nm以下の薄い酸化シリコン膜を形成してもよい。なお、低い温度でリーク電流の少ないゲート絶縁層を形成するために、アルゴンなどの希ガス元素を反

40

50

応ガスに含ませても良い。

【0139】

次に、ゲート絶縁層1008上にゲート電極層として用いる第1の導電膜と第2の導電膜とを積層して形成する。第1の導電膜の膜厚は20nm以上100nm以下程度、第2の導電膜の膜厚は100nm以上400nm以下程度とすれば良い。また、第1の導電膜及び第2の導電膜は、スパッタリング法、蒸着法、CVD法等の手法により形成することができる。第1の導電膜及び第2の導電膜は、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、ネオジム等から選ばれた元素、又は前記の元素を主成分とする合金材料もしくは化合物材料等を用いて形成すればよい。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金などを用いてもよい。なお、本実施の形態においては2層構造を用いて説明しているが、本発明はこれに限定されない。3層以上の積層構造としても良いし、単層構造であっても良い。

10

【0140】

次に、フォトリソグラフィ法を用いてレジスト材料からなるマスク1016a、マスク1016b、マスク1016c、マスク1016d、及びマスク1016eを形成する。そして、前記のマスクを用いて第1の導電膜及び第2の導電膜を所望の形状に加工し、第1のゲート電極層1018a、第1のゲート電極層1018b、第1のゲート電極層1018c、第1のゲート電極層1018d、第1の導電層1018e、導電層1020a、導電層1020b、導電層1020c、導電層1020d、及び導電層1020eを形成する(図10(C)参照)。

20

【0141】

ここで、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパー形状となるようにエッチングを行うことができる。また、マスクの形状によって、テーパーの角度等を制御することもできる。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>もしくはCCl<sub>4</sub>などを代表とする塩素系ガス、CF<sub>4</sub>、SF<sub>6</sub>もしくはNF<sub>3</sub>などを代表とするフッ素系ガス、又はO<sub>2</sub>を適宜用いることができる。本実施の形態では、CF<sub>4</sub>、Cl<sub>2</sub>、O<sub>2</sub>からなるエッチング用ガスを用いて第2の導電膜のエッチングを行い、連続してCF<sub>4</sub>、Cl<sub>2</sub>からなるエッチング用ガスを用いて第1の導電膜をエッチングする。

30

【0142】

次に、マスク1016a、マスク1016b、マスク1016c、マスク1016d、及びマスク1016eを用いて、導電層1020a、導電層1020b、導電層1020c、導電層1020d、及び導電層1020eを所望の形状に加工する。このとき、導電層を形成する第2の導電膜と、第1のゲート電極層及び第1の導電層を形成する第1の導電膜との選択比が高いエッチング条件でエッチングする。このエッチングによって、第2のゲート電極層1022a、第2のゲート電極層1022b、第2のゲート電極層1022c、第2のゲート電極層1022d、及び第2の導電層1022eを形成する。本実施の形態では、第2のゲート電極層及び第2の導電層もテーパー形状を有しているが、そのテーパー角は、第1のゲート電極層1018a、第1のゲート電極層1018b、第1のゲート電極層1018c、第1のゲート電極層1018d、及び第1の導電層1018eの有するテーパー角より大きい。なお、テーパー角とは対象物の底面と側面とが作る角度を言うものとする。よって、テーパー角が90度の場合、導電層は底面に対して垂直な側面を有することになる。テーパー角を90度未満とすることにより、積層される膜の被覆性が向上するため、欠陥を低減することが可能となる。なお、本実施の形態では、第2のゲート電極層及び第2の導電層を形成するためのエッチング用ガスとしてCl<sub>2</sub>、SF<sub>6</sub>、O<sub>2</sub>を用いる。

40

【0143】

50

以上の工程によって、周辺駆動回路領域 1080 に、ゲート電極層 1024a、ゲート電極層 1024b、画素領域 1082 に、ゲート電極層 1024c、ゲート電極層 1024d、及び導電層 1024e を形成することができる（図 10（D）参照）。なお、マスク 1016a、マスク 1016b、マスク 1016c、マスク 1016d、及びマスク 1016e は、上記工程の後に除去する。

【0144】

次に、ゲート電極層 1024a、ゲート電極層 1024b、ゲート電極層 1024c、ゲート電極層 1024d をマスクとして、n 型を付与する不純物元素を添加し、第 1 の n 型不純物領域 1026a、第 1 の n 型不純物領域 1026b、第 1 の n 型不純物領域 1028a、第 1 の n 型不純物領域 1028b、第 1 の n 型不純物領域 1030a、第 1 の n 型不純物領域 1030b、第 1 の n 型不純物領域 1030c を形成する（図 11（A）参照）。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン（PH<sub>3</sub>）を用いてドーピングを行う。ここでは、第 1 の n 型不純物領域に、n 型を付与する不純物元素であるリン（P）が  $1 \times 10^{16}$  atoms / cm<sup>3</sup> 以上  $5 \times 10^{19}$  atoms / cm<sup>3</sup> 以下程度の濃度で含まれるようにする。

10

【0145】

次に、単結晶半導体層 1010、単結晶半導体層 1014 の一部を覆うマスク 1032a、マスク 1032b、マスク 1032c を形成する。そして、マスク 1032a、マスク 1032b、マスク 1032c、及び第 2 のゲート電極層 1022b をマスクとして n 型を付与する不純物元素を添加する。これにより、第 2 の n 型不純物領域 1034a、第 2 の n 型不純物領域 1034b、第 3 の n 型不純物領域 1036a、第 3 の n 型不純物領域 1036b、第 2 の n 型不純物領域 1040a、第 2 の n 型不純物領域 1040b、第 2 の n 型不純物領域 1040c、第 3 の n 型不純物領域 1042a、第 3 の n 型不純物領域 1042b、第 3 の n 型不純物領域 1042c、第 3 の n 型不純物領域 1042d が形成される。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン（PH<sub>3</sub>）を用いてドーピングを行う。ここでは、第 2 の n 型不純物領域に n 型を付与する不純物元素であるリン（P）が  $1 \times 10^{17}$  atoms / cm<sup>3</sup> 以上  $1 \times 10^{21}$  atoms / cm<sup>3</sup> 以下程度の濃度で含まれるようにする。第 3 の n 型不純物領域 1036a、第 3 の n 型不純物領域 1036b には、第 3 の n 型不純物領域 1042a、第 3 の n 型不純物領域 1042b、第 3 の n 型不純物領域 1042c、第 3 の n 型不純物領域 1042d と同程度、もしくは少し高めの濃度で n 型を付与する不純物元素が添加される。また、チャネル形成領域 1038、チャネル形成領域 1044a 及びチャネル形成領域 1044b が形成される（図 11（B）参照）。

20

30

40

【0146】

第 2 の n 型不純物領域は高濃度不純物領域であり、ソース又はドレインとして機能する。一方、第 3 の n 型不純物領域は低濃度不純物領域であり、いわゆる LDD（Lightly Doped Drain）領域となる。第 3 の n 型不純物領域 1036a、第 3 の n 型不純物領域 1036b は、第 1 のゲート電極層 1018b と重なる領域に形成されている。これにより、ソース又はドレイン近傍の電界を緩和して、ホットキャリアによるオン電流の劣化を防止することができる。一方、第 3 の n 型不純物領域 1042a、第 3 の n 型不純物領域 1042b、第 3 の n 型不純物領域 1042c、第 3 の n 型不純物領域 1042d はゲート電極層 1024c、ゲート電極層 1024d と重なっておらず、オフ電流を低減する効果がある。

【0147】

次に、マスク 1032a、マスク 1032b、マスク 1032c を除去し、単結晶半導体層 1012、単結晶半導体層 1014 を覆うマスク 1046a、マスク 1046b を形成する。そして、マスク 1046a、マスク 1046b、ゲート電極層 1024a をマスクとして p 型を付与する不純物元素を添加する。これにより、第 1 の p 型不純物領域 1048a、第 1 の p 型不純物領域 1048b、第 2 の p 型不純物領域 1050a、第 2 の p 型不純物領域 1050b が形成される。本実施の形態では、不純物元素を含むドーピング

50

ガスとしてジボラン ( $B_2H_6$ ) を用いてドーピングを行う。ここでは、第1のp型不純物領域、及び第2のp型不純物領域にp型を付与する不純物元素である硼素 (B) が  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 以下程度の濃度で含まれるようにする。また、チャネル形成領域 1052 が形成される (図11 (C) 参照)。

#### 【0148】

第1のp型不純物領域は高濃度不純物領域であり、ソース又はドレインとして機能する。一方、第2のp型不純物領域は低濃度不純物領域であり、いわゆるLDD (Lightly Doped Drain) 領域となる。

#### 【0149】

その後、マスク 1046a、マスク 1046b を除去する。マスクを除去した後に、ゲート電極層の側面を覆うように絶縁膜を形成してもよい。該絶縁膜は、プラズマCVD法や減圧CVD (LPCVD) 法を用いて形成することができる。また、不純物元素を活性化するために、加熱処理、強光の照射、レーザー光の照射等を行ってもよい。

#### 【0150】

次いで、ゲート電極層、及びゲート絶縁層を覆う層間絶縁層を形成する。本実施の形態では、絶縁膜 1054 と絶縁膜 1056 の積層構造とする (図12 (A) 参照)。絶縁膜 1054 として窒化酸化シリコン膜を膜厚 100 nm にて形成し、絶縁膜 1056 として酸化窒化シリコン膜を膜厚 900 nm にて形成する。本実施の形態においては、2層の積層構造としたが、単層構造でも良く、3層以上の積層構造としても良い。本実施の形態では、絶縁膜 1054 及び絶縁膜 1056 を、プラズマCVD法を用いて、大気に晒さずに連続的に形成する。なお、絶縁膜 1054 及び絶縁膜 1056 は上記材料に限定されるものではない。

#### 【0151】

絶縁膜 1054、絶縁膜 1056 は、他に、酸化シリコンや窒化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム、ダイヤモンドライカーボン (DLC)、窒素含有炭素膜その他の無機絶縁性材料を含む物質から選ばれた材料を用いて形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si 結合を含む樹脂をいう。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。有機基は、フルオロ基を含んでもよい。また、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、ポリシラザン等の有機絶縁性材料を用いることもできる。

#### 【0152】

次いで、レジスト材料からなるマスクを用いて絶縁膜 1054、絶縁膜 1056、ゲート絶縁層 1008 に単結晶半導体層及びゲート電極層に達するコンタクトホール (開口部) を形成する。エッチングは、用いる材料の選択比によって、一回で行っても複数回行っても良い。本実施の形態では、酸化窒化シリコン膜である絶縁膜 1056 と、窒化酸化シリコン膜である絶縁膜 1054 と選択比が取れる条件で、第1のエッチングを行い、絶縁膜 1056 を除去する。次に、第2のエッチングによって、絶縁膜 1054 及びゲート絶縁層 1008 を除去し、ソース又はドレインに達する開口部を形成する。

#### 【0153】

その後、開口部を覆うように導電膜を形成し、該導電膜をエッチングする。これにより、各ソース領域又はドレイン領域の一部とそれぞれ電気的に接続するソース電極層又はドレイン電極層 1058a、ソース電極層又はドレイン電極層 1058b、ソース電極層又はドレイン電極層 1060a、ソース電極層又はドレイン電極層 1060b、ソース電極層又はドレイン電極層 1062a、ソース電極層又はドレイン電極層 1062b を形成する。ソース電極層又はドレイン電極層には、アルミニウム、タンタル、チタン、モリブデン、タンゲステン、ネオジム、クロム、ニッケル、白金、金、銀、銅、マグネシウム、スカンジウム、コバルト、ニッケル、亜鉛、ニオブ、シリコン、リン、硼素、ヒ素、ガリウ

10

20

30

40

50

ム、インジウム、錫などから選択された一つ又は複数の元素、または、前記元素を成分として含有する化合物や合金材料（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化シリコンを添加したインジウム錫酸化物（ITSO）、酸化亜鉛、アルミニウムネオジム（Al-Nd）、マグネシウム銀（Mg-Ag）など）、もしくは、これらの化合物を組み合わせた物質等が用いられる。その他にも、シリサイド（例えば、アルミニウムシリコン、モリブデンシリコン、ニッケルシリサイド）や、窒素を含有する化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン）、リン（P）等の不純物元素をドーピングしたシリコン（Si）等を用いることもできる。

## 【0154】

以上の工程で周辺駆動回路領域1080にpチャネル型薄膜トランジスタ1064、及びnチャネル型薄膜トランジスタ1066が、画素領域1082にnチャネル型薄膜トランジスタ1068、容量配線1070が形成される（図12（B）参照）。 10

## 【0155】

次に第2の層間絶縁層として絶縁膜1072を形成する。絶縁膜1072としては酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム、ダイヤモンドライクカーボン（DLC）、窒素含有炭素膜、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜、ポリシラザン、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、シロキサン樹脂を用いてもよい。ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン等の有機絶縁性材料を用いることもできる。 20

## 【0156】

次に、画素領域1082の絶縁膜1072にコンタクトホールを形成し、画素電極層1074を形成する（図12（C）参照）。画素電極層1074は、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛を混合したIZO（indium zinc oxide）、酸化インジウムに酸化シリコンを混合した導電性材料、有機インジウム、有機スズ、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、又はタンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、チタン、白金、アルミニウム、銅、銀等の金属又はその合金、若しくはその金属窒化物を用いて形成することができる。 30

## 【0157】

また、画素電極層1074としては導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いることができる。導電性組成物は、薄膜におけるシート抵抗が1000 / sq. 以下であることが好ましい。また、光透過性を有する画素電極層として薄膜を形成する場合には、波長550nmにおける光の透過率が70%以上であることが好ましい。また、含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。 。

## 【0158】

上記の導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリン及びその誘導体、ポリピロール及びその誘導体、ポリチオフェン及びその誘導体、又は、これらの共重合体等が挙げられる。 40

## 【0159】

共役系導電性高分子の具体例としては、ポリピロール、ポリ（3-メチルピロール）、ポリ（3-ブチルピロール）、ポリ（3-オクチルピロール）、ポリ（3-デシルピロール）、ポリ（3,4-ジメチルピロール）、ポリ（3,4-ジブチルピロール）、ポリ（3-ヒドロキシピロール）、ポリ（3-メチル-4-ヒドロキシピロール）、ポリ（3-メトキシピロール）、ポリ（3-エトキシピロール）、ポリ（3-オクトキシピロール）、ポリ（3-カルボキシルピロール）、ポリ（3-メチル-4-カルボキシルピロール）、ポリN-メチルピロール、ポリチオフェン、ポリ（3-メチルチオフェン）、ポリ（3-50

-ブチルチオフェン)、ポリ(3-オクチルチオフェン)、ポリ(3-デシルチオフェン)、ポリ(3-ドデシルチオフェン)、ポリ(3-メトキシチオフェン)、ポリ(3-エトキシチオフェン)、ポリ(3-オクトキシチオフェン)、ポリ(3-カルボキシルチオフェン)、ポリ(3-メチル-4-カルボキシルチオフェン)、ポリ(3,4-エチレンジオキシチオフェン)、ポリアニリン、ポリ(2-メチルアニリン)、ポリ(2-オクチルアニリン)、ポリ(2-イソブチルアニリン)、ポリ(3-イソブチルアニリン)、ポリ(2-アニリンスルホン酸)、ポリ(3-アニリンスルホン酸)等が挙げられる。

#### 【0160】

上記の導電性高分子を、単独で用いても良いし、膜の特性を調整するために有機樹脂を添加して使用しても良い。

10

#### 【0161】

なお、有機樹脂は、導電性高分子と相溶または混合分散可能であれば熱硬化性樹脂であってもよく、熱可塑性樹脂であってもよく、光硬化性樹脂であってもよい。例えば、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート等のポリエステル系樹脂、ポリイミド、ポリアミドイミド等のポリイミド系樹脂、ポリアミド6、ポリアミド6,6、ポリアミド12、ポリアミド11等のポリアミド樹脂、ポリフッ化ビニリデン、ポリフッ化ビニル、ポリテトラフルオロエチレン、エチレンテトラフルオロエチレンコポリマー、ポリクロロトリフルオロエチレン等のフッ素樹脂、ポリビニルアルコール、ポリビニルエーテル、ポリビニルブチラール、ポリ酢酸ビニル、ポリ塩化ビニル等のビニル樹脂、エポキシ樹脂、キシレン樹脂、アラミド樹脂、ポリウレタン系樹脂、ポリウレア系樹脂、メラミン樹脂、フェノール系樹脂、ポリエーテル、アクリル系樹脂及びこれらの共重合体等が挙げられる。

20

#### 【0162】

さらに、導電性組成物にアクセプタ性のドーパントやドナー性のドーパントをドーピングすることで、共役導電性高分子の共役電子の酸化還元電位を変化させ、電気伝導度を調節してもよい。

#### 【0163】

アクセプタ性のドーパントとしては、ハロゲン化合物、ルイス酸、プロトン酸、有機シアノ化合物、有機金属化合物等を使用することができる。ハロゲン化合物としては、塩素、臭素、ヨウ素、塩化ヨウ素、臭化ヨウ素、フッ化ヨウ素等が挙げられる。ルイス酸としては五フッ化燐、五フッ化ヒ素、五フッ化アンチモン、三フッ化硼素、三塩化硼素、三臭化硼素等が挙げられる。プロトン酸としては、塩酸、硫酸、硝酸、リン酸、ホウフッ化水素酸、フッ化水素酸、過塩素酸等の無機酸と、有機カルボン酸、有機スルホン酸等の有機酸が挙げられる。有機カルボン酸及び有機スルホン酸としては、カルボン酸化合物及びスルホン酸化合物を使用することができる。有機シアノ化合物としては、共役結合に二つ以上のシアノ基を含む化合物が使用できる。例えば、テトラシアノエチレン、テトラシアノエチレンオキサイド、テトラシアノベンゼン、テトラシアノキノジメタン、テトラシアノアザナフタレン等を挙げることができる。

30

#### 【0164】

ドナー性ドーパントとしては、アルカリ金属、アルカリ土類金属、4級アミン化合物等が挙げられる。

40

#### 【0165】

上述の如き導電性組成物を水または有機溶剤(アルコール系溶剤、ケトン系溶剤、エステル系溶剤、炭化水素系溶剤、芳香族系溶剤など)に溶解させて、塗布法、コーティング法、液滴吐出法(インクジェット法ともいう)、印刷法等により画素電極層1074となる薄膜を形成することができる。

#### 【0166】

次に、画素電極層1074及び絶縁膜1072を覆うように、配向膜と呼ばれる絶縁層1302を形成する(図13(B)参照)。絶縁層1302は、スクリーン印刷法やオフセット印刷法を用いて形成することができる。なお、図13は、半導体装置の平面図及び

50

断面図を示しており、図13(A)は半導体装置の平面図、図13(B)は図13(A)のC-Dにおける断面図である。半導体装置には、外部端子接続領域1076、封止領域1078、周辺駆動回路領域1080、画素領域1082が設けられる。

#### 【0167】

絶縁層1302を形成した後、ラビング処理を行う。配向膜として機能する絶縁層1306についても、絶縁層1302と同様にして形成することができる。

#### 【0168】

その後、対向基板1300と、絶縁性表面を有する基板1000とを、シール材1314及びスペーサ1316を介して貼り合わせ、その空隙に液晶層1304を設ける。なお、対向基板1300には、配向膜として機能する絶縁層1306、対向電極として機能する導電層1308、カラーフィルターとして機能する着色層1310、偏光子1312(偏光板ともいう)等が設けられている。なお、絶縁性表面を有する基板1000にも偏光子1318(偏光板)を設けるが、本発明はこれに限られない。例えば、反射型の液晶表示装置においては、偏光子は、一方に設ければ良い。

10

#### 【0169】

続いて、画素領域と電気的に接続されている端子電極層1320に、異方性導電体層1322を介して、FPC1324を接続する。FPC1324は、外部からの信号を伝達する役目を担う。上記の工程により、液晶表示装置を作製することができる。

20

#### 【0170】

本発明では、(110)面を主表面とする単結晶半導体層を用いることにより単結晶半導体層が絶縁層から剥離することを抑制している。また、(110)面を用いることにより、単結晶半導体層表面の平坦性の向上を実現している。このように、本発明を用いることにより、半導体装置の信頼性を向上させることができる。

20

#### 【0171】

さらに、本発明の半導体装置のように、(110)面を主表面とする単結晶半導体層を用いて、チャネル長方向が<110>軸方向となるようにトランジスタを作製することで、pチャネル型トランジスタの移動度を最大限に引き出すことができる。これにより、レイアウトを最適化し、半導体装置を小型化することができる。本実施の形態において示した液晶表示装置の如き半導体装置においては、例えば、周辺駆動回路領域に本発明を適用することにより、表示領域以外の領域を最小限に抑えることができる。つまり、額縁に当たる領域を最小限に抑え、表示領域を最大限に活用することができる。

30

#### 【0172】

なお、画素領域におけるトランジスタについては、単結晶半導体層を用いて作製する必要はないが、単結晶半導体層を用いる場合であっても、チャネル長方向を<110>軸方向とすることに限られない。本発明は、nチャネル型トランジスタとpチャネル型トランジスタを合わせて用いる場合において特に有効であるから、例えば、nチャネル型トランジスタのみを用いる場合などにおいては、本発明の構成を適用する必要はない。もちろん、nチャネル型トランジスタとpチャネル型トランジスタを共に用いる場合など、本発明の効果が得られる場合においては、チャネル長方向を<110>軸方向として、画素領域に適用することは好ましい。この場合、レイアウトの最適化により開口率を向上することができる。なお、画素領域として単結晶半導体層を用いない場合には、非晶質半導体層や微結晶半導体層、多結晶半導体層などを適宜形成して用いればよい。

40

#### 【0173】

本発明では、pチャネル型トランジスタの移動度を最大限に引き出し、nチャネル型トランジスタの移動度を一定以下に抑えているため、nチャネル型トランジスタの移動度 $\mu_n$ とpチャネル型トランジスタの移動度 $\mu_p$ が、概ね $\mu_p < \mu_n < 2\mu_p$ の関係を満たす。pチャネル型トランジスタとnチャネル型トランジスタのS値が異なる可能性を考慮すると、同程度の電流駆動能力のトランジスタを作製する場合においては、nチャネル型トランジスタのチャネル長 $L_n$ 、nチャネル型トランジスタのチャネル幅 $W_n$ 、pチャネル型トランジスタのチャネル長 $L_p$ 、pチャネル型トランジスタのチャネル幅 $W_p$ について

50

、  $W_n / L_n : W_p / L_p = 1 : x$  ( 代表的には  $0.8 \times 2$  、好ましくは  $1 \times 1$  . 5 、より好ましくは  $1 \times 1.2$  ) の関係を満たしているといえる。ここで、チャネル長とは、キャリアが流れる方向に対して平行な方向についてのチャネル形成領域の長さ ( 幅 ) をいうものとする。また、チャネル幅とはキャリアが流れる方向に対して垂直な方向についてのチャネル形成領域の長さ ( 幅 ) をいうものとする。

【 0174 】

なお、( 110 ) 面を用いる場合には、( 100 ) 面を用いる場合と比較して、絶縁層との界面における欠陥が問題となる可能性もあるが、仮にこれが問題となる場合には、例えば、単結晶半導体層の表面にプラズマ処理を行えば良い。これにより、当該問題を解消することができる。すなわち、信頼性の高い半導体装置を提供することができる。

10

【 0175 】

以上のように、本発明を用いることにより、半導体装置の信頼性を向上しつつ、半導体装置 ( 若しくはその一部 ) を小型化することが可能である。

【 0176 】

なお、本実施の形態においては液晶表示装置を作製する方法について説明したが、本発明はこれに限られるものではない。本実施の形態は、実施の形態 1 乃至 3 と適宜組み合わせて用いることができる。

【 0177 】

( 実施の形態 5 )

本実施の形態では、本発明に係る発光素子を有する半導体装置 ( エレクトロルミネッセンス表示装置 ) について説明する。なお、周辺回路領域や画素領域等に用いられるトランジスタの作製方法は、実施の形態 3 を参照することができるため、詳細については省略する。

20

【 0178 】

なお、発光素子を有する半導体装置には、下面放射、上面放射、両面放射のいずれかの方式が用いられる。本実施の形態では、下面放射方式を用いた半導体装置について、図 14 を用いて説明するが、本発明はこれに限られるものではない。

【 0179 】

図 14 の半導体装置は、下方 ( 図中の矢印の方向 ) に光を放射する。ここで、図 14 ( A ) は半導体装置の平面図であり、図 14 ( B ) は、図 14 ( A ) の E - F における断面図である。図 14 において半導体装置は、外部端子接続領域 1430 、封止領域 1432 、駆動回路領域 1434 、画素領域 1436 を有している。

30

【 0180 】

図 14 に示す半導体装置は、素子基板 1400 、絶縁膜 1402 、薄膜トランジスタ 1450 、薄膜トランジスタ 1452 、薄膜トランジスタ 1454 、薄膜トランジスタ 1456 、発光素子 1460 、絶縁層 1468 、充填材 1470 、シール材 1472 、配線層 1474 、端子電極層 1476 、異方性導電層 1478 、FPC 1480 、封止基板 1490 によって構成されている。なお、発光素子 1460 は、第 1 の電極層 1462 と発光層 1464 と第 2 の電極層 1466 とを含む。

【 0181 】

第 1 の電極層 1462 としては、発光層 1464 より放射する光を透過できるように、光透過性を有する導電性材料を用いる。一方、第 2 の電極層 1466 としては、発光層 1464 より放射する光を反射することができる導電性材料を用いる。

40

【 0182 】

第 1 の電極層 1462 としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等を用いることができる。勿論、インジウム錫酸化物 ( ITO ) 、インジウム亜鉛酸化物 ( IZO ) 、酸化ケイ素を添加したインジウム錫酸化物 ( ITSO ) 等を用いても良い。

【 0183 】

50

また、第1の電極層1462としては、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いることもできる。なお、詳細については実施の形態3を参照することができるため、ここでは省略する。

【0184】

第2の電極層1466としては、チタン、タングステン、ニッケル、金、白金、銀、銅、タンタル、モリブデン、アルミニウム、マグネシウム、カルシウム、リチウム、およびそれらの合金からなる導電膜などを用いることができる。可視光の領域で反射性が高い物質を用いることがよく、本実施の形態では、アルミニウム膜を用いることとする。

【0185】

なお、上面放射、両面放射の各方式を用いる場合には、適宜電極層の設計を変更してやれば良い。具体的には、上面放射の場合には、反射性を有する材料を用いて第1の電極層1462を形成し、光透過性を有する材料を用いて第2の電極層1466を形成する。両面放射の場合には、光透過性を有する材料を用いて第1の電極層1462及び第2の電極層1466を形成すれば良い。なお、下面放射、上面放射においては、光透過性を有する材料を用いて一方の電極層を形成し、光透過性を有する材料と光反射性を有する材料の積層構造により、他方の電極層を形成する構成としても良い。電極層に用いることができる材料は下面放射の場合と同様であるため、ここでは省略する。

【0186】

なお、一般に、光透過性を有さないと考えられる金属のような材料であっても、膜厚を小さく（5nm以上30nm以下程度）することにより、光を透過させることができる。これにより、上述の光反射性材料を用いて、光を透過する電極層を作製することも可能である。

【0187】

また、封止基板1490にカラーフィルター（着色層）を形成する構成としてもよい。カラーフィルター（着色層）は、蒸着法や液滴吐出法によって形成することができる。また、色変換層を用いる構成であっても良い。

【0188】

本発明では、（110）面を主表面とする単結晶半導体層を用いることにより単結晶半導体層が絶縁層から剥離することを抑制している。また、（110）面を用いることにより、単結晶半導体層表面の平坦性の向上を実現している。このように、本発明を用いることにより、半導体装置の信頼性を向上させることができる。

【0189】

さらに、本発明の半導体装置のように、（110）面を主表面とする単結晶半導体層を用いて、チャネル長方向が<110>軸方向となるようにトランジスタを作製することで、pチャネル型トランジスタの移動度を最大限に引き出すことができる。これにより、レイアウトを最適化し、半導体装置を小型化することができる。本実施の形態において示したエレクトロルミネッセンス表示装置の如き半導体装置においては、例えば、周辺駆動回路領域に本発明を適用することにより、表示領域以外の領域を最小限に抑えることができる。つまり、額縁に当たる領域を最小限に抑え、表示領域を最大限に活用することができる。

【0190】

なお、画素領域におけるトランジスタについては、単結晶半導体層を用いて作製する必要はないが、単結晶半導体層を用いる場合であっても、チャネル長方向を<110>軸方向とすることに限られない。本発明は、nチャネル型トランジスタとpチャネル型トランジスタを合わせて用いる場合において特に有効であるから、例えば、nチャネル型トランジスタのみを用いる場合などにおいては、本発明の構成を適用する必要はない。もちろん、nチャネル型トランジスタとpチャネル型トランジスタを共に用いる場合など、本発明の効果が得られる場合においては、チャネル長方向を<110>軸方向として、画素領域に適用することは好ましい。この場合、レイアウトの最適化により開口率を向上することが可能である。また、一画素内により多くのトランジスタを作り込むことが可能であるか

10

20

30

40

50

ら、より複雑な駆動を行うことも可能となる。なお、画素領域として単結晶半導体層を用いない場合には、非晶質半導体層や微結晶半導体層、多結晶半導体層などを適宜形成して用いればよいが、エレクトロルミネッセンス表示装置の画素領域においてはトランジスタのばらつきが大きな問題になることが多いから、これらの問題が少ない単結晶半導体層又は微結晶半導体層を用いることが好ましい。

#### 【0191】

本発明では、pチャネル型トランジスタの移動度を最大限に引き出し、nチャネル型トランジスタの移動度を一定以下に抑えているため、nチャネル型トランジスタの移動度 $\mu_n$ とpチャネル型トランジスタの移動度 $\mu_p$ が、概ね $\mu_p = \mu_n / 2 \mu_p$ の関係を満たす。pチャネル型トランジスタとnチャネル型トランジスタのS値が異なる可能性を考慮すると、同程度の電流駆動能力のトランジスタを作製する場合においては、nチャネル型トランジスタのチャネル長 $L_n$ 、nチャネル型トランジスタのチャネル幅 $W_n$ 、pチャネル型トランジスタのチャネル長 $L_p$ 、pチャネル型トランジスタのチャネル幅 $W_p$ について、 $W_n / L_n : W_p / L_p = 1 : x$ （代表的には $0.8 \times 2$ 、好ましくは $1 \times 1.5$ 、より好ましくは $1 \times 1.2$ ）の関係を満たしているといえる。ここで、チャネル長とは、キャリアが流れる方向に対して平行な方向についてのチャネル形成領域の長さ（幅）をいうものとする。また、チャネル幅とはキャリアが流れる方向に対して垂直な方向についてのチャネル形成領域の長さ（幅）をいうものとする。

10

#### 【0192】

なお、(110)面を用いる場合には、(100)面を用いる場合と比較して、絶縁層との界面における欠陥が問題となる可能性もあるが、仮にこれが問題となる場合には、例えば、単結晶半導体層の表面にプラズマ処理を行えば良い。これにより、当該問題を解消することができる。すなわち、信頼性の高い半導体装置を提供することができる。

20

#### 【0193】

以上のように、本発明を用いることにより、半導体装置の信頼性を向上しつつ、半導体装置（若しくはその一部）を小型化することが可能である。

#### 【0194】

なお、本実施の形態ではエレクトロルミネッセンス表示装置を用いて説明したが、本発明はこれに限られるものではない。本実施の形態は、実施の形態1乃至4と適宜組み合わせて用いることができる。

30

#### 【0195】

##### （実施の形態6）

本実施の形態では、本発明に係る半導体装置の別の例について、図15及び16を参照して説明する。なお、本実施の形態においては、マイクロプロセッサ及び電子タグを例に挙げて説明するが、本発明の半導体装置はこれらに限られるものではない。

#### 【0196】

図15に、本発明のマイクロプロセッサの構成の一例を示す。図15のマイクロプロセッサ1500は、本発明の半導体基板を用いて製造されるものである。該マイクロプロセッサ1500は、演算回路1501(Arithmetic logic unit (ALU))、演算回路制御部1502(ALU Controller)、命令解析部1503(Instruction Decoder)、割り込み制御部1504(Interrupt Controller)、タイミング制御部1505(Timing Controller)、レジスタ1506(Register)、レジスタ制御部1507(Register Controller)、バスインターフェース1508(Bus I/F)、ROM1509(Read Only Memory、読み出し専用メモリ)、及びROMインターフェース1510(ROM I/F)を有している。

40

#### 【0197】

バスインターフェース1508を介してマイクロプロセッサ1500に入力された命令は、命令解析部1503に入力され、デコードされた後、演算回路制御部1502、割り込み制御部1504、レジスタ制御部1507、タイミング制御部1505に入力される

50

。演算回路制御部 1502、割り込み制御部 1504、レジスタ制御部 1507、タイミング制御部 1505は、デコードされた命令に基づき各種制御を行う。具体的には、演算回路制御部 1502は、演算回路 1501の動作を制御するための信号を生成する。また、割り込み制御部 1504は、マイクロプロセッサ 1500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度等から判断して処理する。レジスタ制御部 1507は、レジスタ 1506のアドレスを生成し、マイクロプロセッサ 1500の状態に応じてレジスタ 1506の読み出しや書き込みを行う。タイミング制御部 1505は、演算回路 1501、演算回路制御部 1502、命令解析部 1503、割り込み制御部 1504、レジスタ制御部 1507の動作のタイミングを制御する信号を生成する。例えばタイミング制御部 1505は、基準クロック信号 CLK1を元に、内部クロック信号 CLK2を生成する内部クロック生成部を備えており、クロック信号 CLK2を上記各種回路に供給する。なお、図 15に示すマイクロプロセッサ 1500の構成は、あくまで一例であり、その用途によって適宜構成を変更することができる。

10

#### 【0198】

本実施の形態におけるマイクロプロセッサは、(110)面を主表面とする単結晶半導体層を用いることにより単結晶半導体層が絶縁層から剥離することを抑制している。また、(110)面を用いることにより、単結晶半導体層表面の平坦性の向上を実現している。このように、本発明を用いることにより、マイクロプロセッサの信頼性を向上させることができる。

20

#### 【0199】

さらに、本実施の形態のマイクロプロセッサのように、(110)面を主表面とする単結晶半導体層を用いて、チャネル長方向が<110>軸方向となるようにトランジスタを作製することで、pチャネル型トランジスタの移動度を最大限に引き出すことができる。これにより、レイアウトを最適化し、マイクロプロセッサを小型化することができる。

#### 【0200】

なお、(110)面を用いる場合には、(100)面を用いる場合と比較して、絶縁層との界面における欠陥が問題となる可能性もあるが、仮にこれが問題となる場合には、例えば、単結晶半導体層の表面にプラズマ処理を行えば良い。これにより、当該問題を解消することができる。すなわち、信頼性の高いマイクロプロセッサを提供することができる。

30

#### 【0201】

以上のように、本発明を用いることにより、信頼性を向上しつつ、小型化したマイクロプロセッサを提供することができる。

#### 【0202】

次に、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例について図 16を参照して説明する。図 16は無線通信により外部装置と信号の送受信を行って動作する無線タグの一例である。なお、本発明の無線タグは内部に中央処理装置(CPU)を有しており、いわば小型のコンピュータである。無線タグ 1600は、アナログ回路部 1601とデジタル回路部 1602を有している。アナログ回路部 1601として、共振容量を有する共振回路 1603、整流回路 1604、定電圧回路 1605、リセット回路 1606、発振回路 1607、復調回路 1608、変調回路 1609を有している。デジタル回路部 1602は、RFインターフェース 1610、制御レジスタ 1611、クロックコントローラ 1612、CPUインターフェース 1613、CPU 1614、RAM 1615、ROM 1616を有している。

40

#### 【0203】

このような構成の無線タグ 1600の動作は以下の通りである。アンテナ 1617が外部から信号を受けると、共振回路 1603は該信号を元に誘導起電力を発生する。整流回路 1604を経た誘導起電力により、容量部 1618が充電される。この容量部 1618はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 1618は無線タグ 1600と一体にて形成されていても良いし

50

、別の部品として無線タグ 1600 を構成する絶縁表面を有する基板に取り付けられても良い。

【0204】

リセット回路 1606 は、デジタル回路部 1602 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇のタイミングから遅れて立ち上がる信号をリセット信号として生成する。発振回路 1607 は、定電圧回路 1605 により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。ローパスフィルタで形成される復調回路 1608 は、例えば振幅変調 (ASK) 方式の受信信号の振幅の変動を二値化する。変調回路 1609 は、振幅変調 (ASK) 方式の送信信号の振幅を変動させて送信する。変調回路 1609 は、共振回路 1603 の共振点を変化させることにより通信信号の振幅を変化させている。クロックコントローラ 1612 は、電源電圧又は CPU 1614 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 1619 が行っている。

10

【0205】

アンテナ 1617 から無線タグ 1600 に入力された信号は復調回路 1608 で復調された後、RF インターフェース 1610 で制御コマンドやデータなどに分けられる。制御コマンドは制御レジスタ 1611 に格納される。制御コマンドには、ROM 1616 に記憶されているデータの読み出し命令、RAM 1615 へのデータの書き込み命令、CPU 1614 への演算命令などが含まれている。CPU 1614 は、CPU インターフェース 1613 を介して ROM 1616、RAM 1615、制御レジスタ 1611 にアクセスする。CPU インターフェース 1613 は、CPU 1614 が要求するアドレスより、ROM 1616、RAM 1615、制御レジスタ 1611 のいずれかに対するアクセス信号を生成する機能を有している。

20

【0206】

CPU 1614 の演算方式は、ROM 1616 に OS (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算を、プログラムを用いて CPU 1614 が実行する方式を適用することができる。

30

【0207】

本実施の形態における無線タグは、(110) 面を主表面とする単結晶半導体層を用いることにより単結晶半導体層が絶縁層から剥離することを抑制している。また、(110) 面を用いることにより、単結晶半導体層表面の平坦性の向上を実現している。このように、本発明を用いることにより、無線タグの信頼性を向上させることができる。

【0208】

さらに、本実施の形態の無線タグのように、(110) 面を主表面とする単結晶半導体層を用いて、チャネル長方向が <110> 軸方向となるようにトランジスタを作製することで、p チャネル型トランジスタの移動度を最大限に引き出すことができる。これにより、レイアウトを最適化し、無線タグを小型化することができる。

40

【0209】

なお、(110) 面を用いる場合には、(100) 面を用いる場合と比較して、絶縁層との界面における欠陥が問題となる可能性もあるが、仮にこれが問題となる場合には、例えば、単結晶半導体層の表面にプラズマ処理を行えば良い。これにより、当該問題を解消することができる。すなわち、信頼性の高い無線タグを提供することができる。

【0210】

以上のように、本発明を用いることにより、信頼性を向上しつつ、小型化した無線タグを提供することができる。

【0211】

なお、本実施の形態は、実施の形態 1 乃至 5 と適宜組み合わせて用いることができる。

50

## 【0212】

(実施の形態7)

本実施の形態では、本発明の半導体装置、特に表示装置を用いた電子機器について、図17を参照して説明する。

## 【0213】

本発明の半導体装置を用いて作製される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

10

## 【0214】

図17(A)はテレビ受像器又はパーソナルコンピュータのモニタである。筐体1701、支持台1702、表示部1703、スピーカー部1704、ビデオ入力端子1705等を含む。表示部1703には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能なテレビ受像器又はパーソナルコンピュータのモニタを提供することができる。

20

## 【0215】

図17(B)はデジタルカメラである。本体1711の正面部分には受像部1713が設けられており、本体1711の上面部分にはシャッターボタン1716が設けられている。また、本体1711の背面部分には、表示部1712、操作キー1714、及び外部接続ポート1715が設けられている。表示部1712には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能なデジタルカメラを提供することができる。

20

## 【0216】

図17(C)はノート型パーソナルコンピュータである。本体1721には、キーボード1724、外部接続ポート1725、ポインティングデバイス1726が設けられている。また、本体1721には、表示部1723を有する筐体1722が取り付けられている。表示部1723には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能なノート型パーソナルコンピュータを提供することができる。

30

## 【0217】

図17(D)はモバイルコンピュータであり、本体1731、表示部1732、スイッチ1733、操作キー1734、赤外線ポート1735等を含む。表示部1732にはアクティブマトリクス表示装置が設けられている。表示部1732には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能なモバイルコンピュータを提供することができる。

40

## 【0218】

図17(E)は画像再生装置である。本体1741には、表示部1744、記録媒体読み込み部1745及び操作キー1746が設けられている。また、本体1741には、スピーカー部1747及び表示部1743それぞれを有する筐体1742が取り付けられている。表示部1743及び表示部1744それぞれには、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能な画像再生装置を提供することができる。

## 【0219】

図17(F)は電子書籍である。本体1751には操作キー1753が設けられている。また、本体1751には複数の表示部1752が取り付けられている。表示部1752には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能な電子書籍を提供することができる。

## 【0220】

図17(G)はビデオカメラであり、本体1761には外部接続ポート1764、リモ

50

コン受信部 1765、受像部 1766、バッテリー 1767、音声入力部 1768、操作キー 1769 が設けられている、また、本体 1761 には、表示部 1762 を有する筐体 1763 が取り付けられている。表示部 1762 には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能なビデオカメラを提供することができる。

【0221】

図 17 (H) は携帯電話であり、本体 1771、筐体 1772、表示部 1773、音声入力部 1774、音声出力部 1775、操作キー 1776、外部接続ポート 1777、アンテナ 1778 等を含む。表示部 1773 には、本発明の半導体装置が用いられている。本発明により、信頼性が高く高性能な携帯電話を提供することができる。

【0222】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。なお、本実施の形態は、実施の形態 1 乃至 6 と適宜組み合わせて用いることができる。

【0223】

(実施の形態 8)

本実施の形態では、本発明の半導体装置、特に無線タグの用途について、図 18 を参照して説明する。

【0224】

本発明により無線タグとして機能する半導体装置を形成することができる。無線タグの用途は多岐にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 18 (A) 参照）、包装用容器類（包装紙やボトル等、図 18 (C) 参照）、記録媒体（DVD ソフトやビデオテープ等、図 18 (B) 参照）、乗物類（自転車等、図 18 (D) 参照）、身の回り品（鞄や眼鏡等）、食品類、植物類、衣類、生活用品類、電子機器等の商品や荷物の荷札（図 18 (E)、(F) 参照）等の物品に設けて使用することができる。なお、図 18 において、無線タグは 1800 で示すものである。

【0225】

なお、電子機器とは、例えば、液晶表示装置、EL 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）、携帯電話の他、実施の形態 7 にて示した物品等を指す。また、上記半導体装置を、動物類、人体等に用いることができる。

【0226】

無線タグは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなる包装用容器等であれば当該有機樹脂に埋め込むとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類等に RFID タグを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に RFID タグを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明により作製することができる無線タグは、高い性能且つ信頼性を有しており、さまざまな物品に対して適用することができる。

【0227】

本発明により形成することができる無線タグを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる RFID タグに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ることで、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を容易に行うことができる。

【0228】

以上の様に、本発明の適用範囲は極めて広く、あらゆる物品に対して用いることが可能である。なお、本実施の形態は、実施の形態 1 乃至 7 と適宜組み合わせて用いることができる。

【図面の簡単な説明】

10

20

30

40

50

## 【0229】

【図1】半導体の結晶格子を示す図である。

【図2】本発明の半導体基板の作製工程を示す図である。

【図3】本発明の半導体基板の作製工程を示す図である。

【図4】本発明の半導体基板の作製工程を示す図である。

【図5】本発明の半導体基板の作製工程を示す図である。

【図6】本発明の半導体装置の作製工程を示す図である。

【図7】本発明の半導体装置の作製工程を示す図である。

【図8】本発明の半導体装置の作製工程を示す図である。

【図9】本発明の半導体装置の平面図、断面図及び回路図である。

【図10】本発明の半導体装置の作製工程を示す図である。

【図11】本発明の半導体装置の作製工程を示す図である。

【図12】本発明の半導体装置の作製工程を示す図である。

【図13】本発明の半導体装置の平面図及び断面図である。

【図14】本発明の半導体装置の平面図及び断面図である。

【図15】本発明の半導体装置の構成を示す図である。

【図16】本発明の半導体装置の構成を示す図である。

【図17】本発明の半導体装置を用いた電子機器を示す図である。

【図18】本発明の半導体装置の用途を示す図である。

10

## 【符号の説明】

20

## 【0230】

30

200 単結晶半導体基板  
 202 脆化層  
 204 単結晶半導体層  
 206 絶縁層  
 210 基板  
 400 単結晶半導体基板  
 402 脆化層  
 404 単結晶半導体層  
 406 絶縁層  
 410 基板  
 450 絶縁層  
 600 基板  
 602 単結晶半導体層  
 700 基板  
 702 絶縁層  
 704 単結晶半導体層  
 706 ゲート絶縁層  
 708 単結晶半導体層  
 710 単結晶半導体層  
 712 ゲート電極層  
 714 ゲート電極層  
 716 マスク  
 718 n型不純物領域  
 720 n型不純物領域  
 722 チャネル形成領域  
 724 マスク  
 726 p型不純物領域  
 728 p型不純物領域  
 730 チャネル形成領域

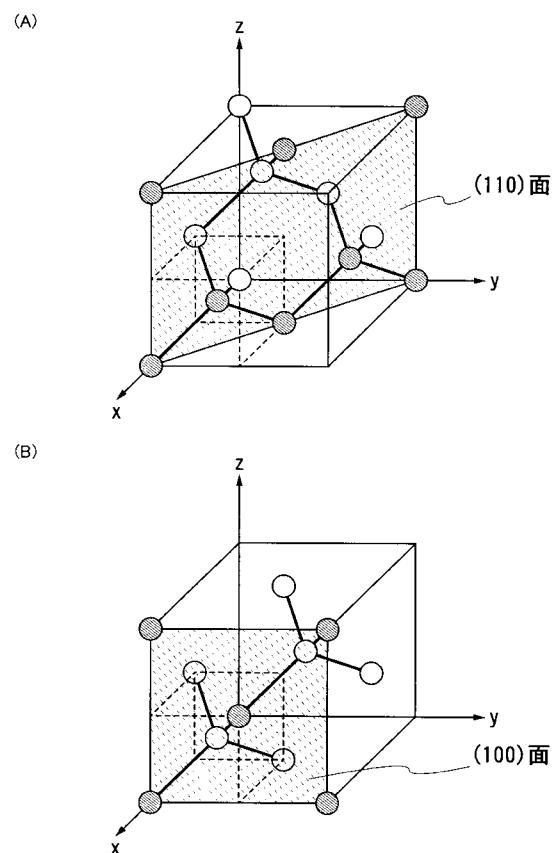
40

50

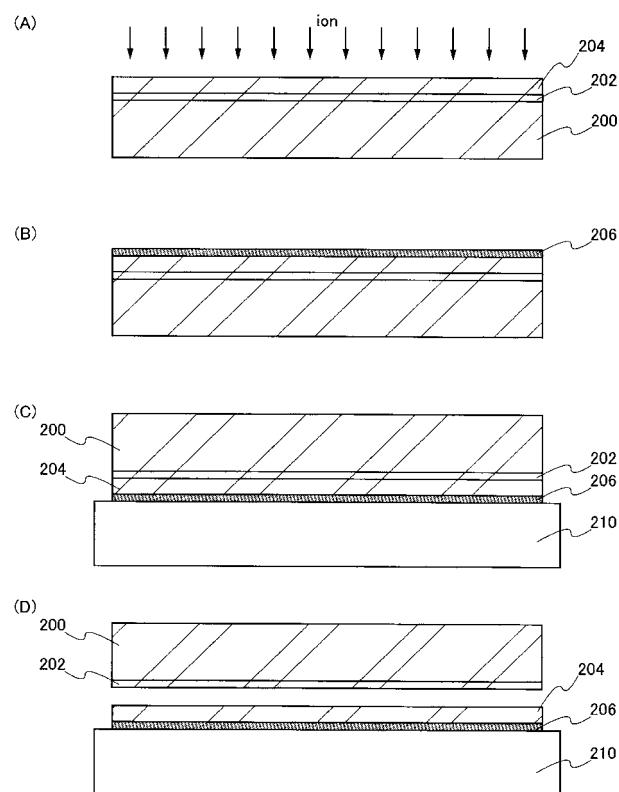
7 3 2 絶縁膜  
 7 3 4 絶縁膜  
 7 3 6 ドレイン電極層  
 7 3 8 ドレイン電極層  
 7 4 0 ドレイン電極層  
 7 4 2 n チャネル型トランジスタ  
 7 4 4 p チャネル型トランジスタ  
 9 0 0 n チャネル型トランジスタ  
 9 0 2 p チャネル型トランジスタ  
 9 0 4 ゲート電極

10

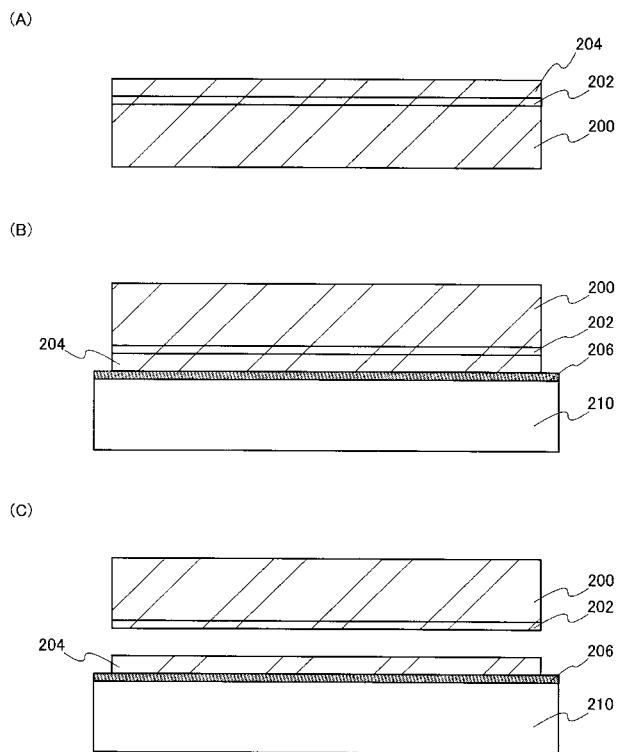
【図1】



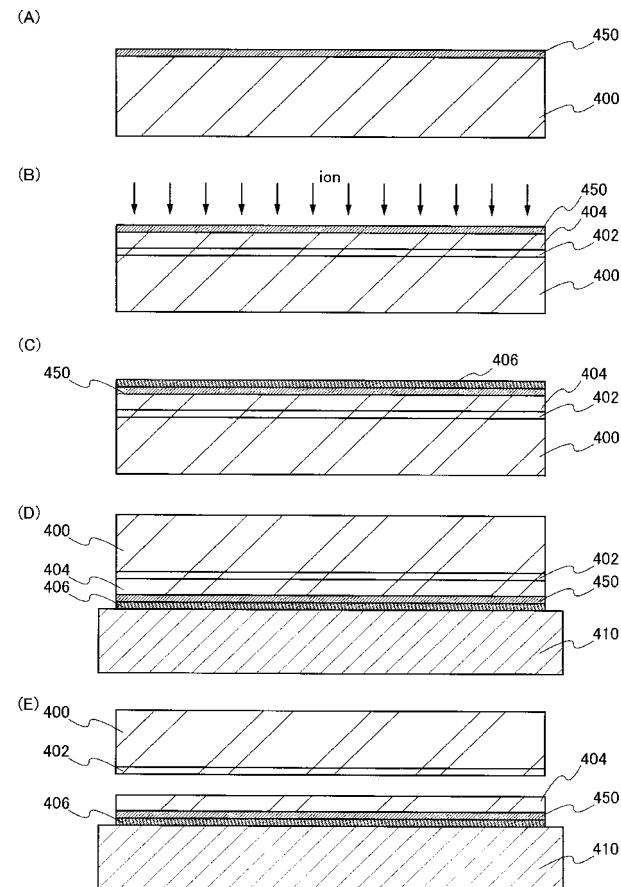
【図2】



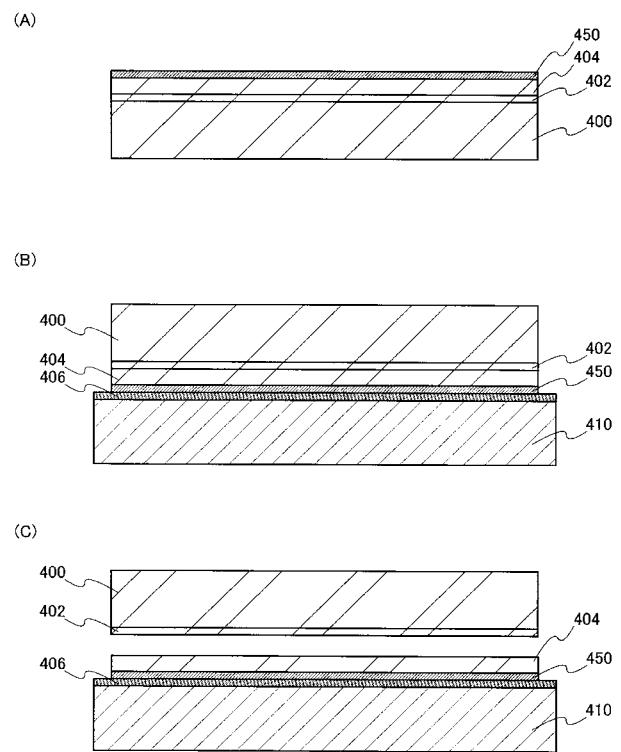
【図3】



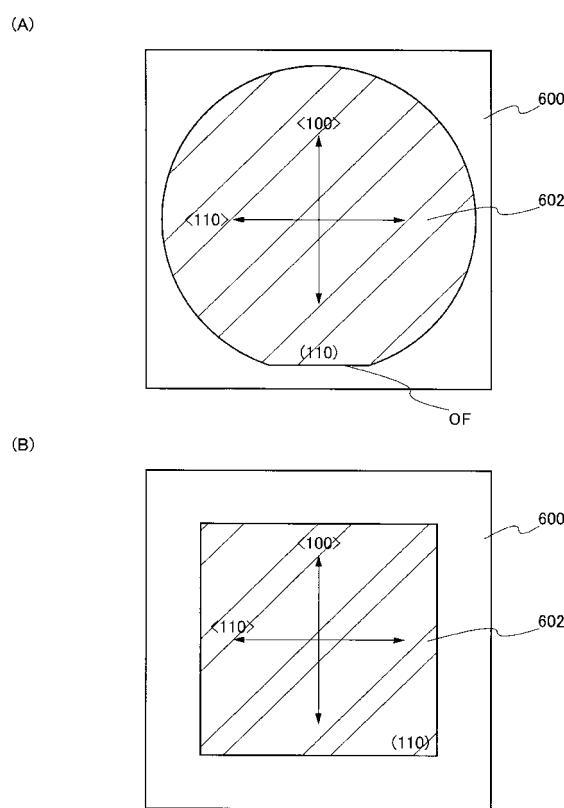
【図4】



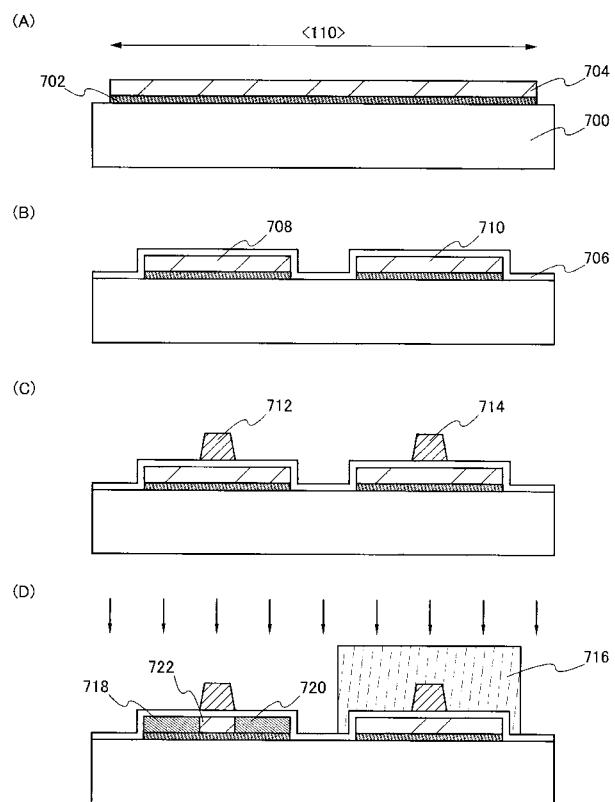
【図5】



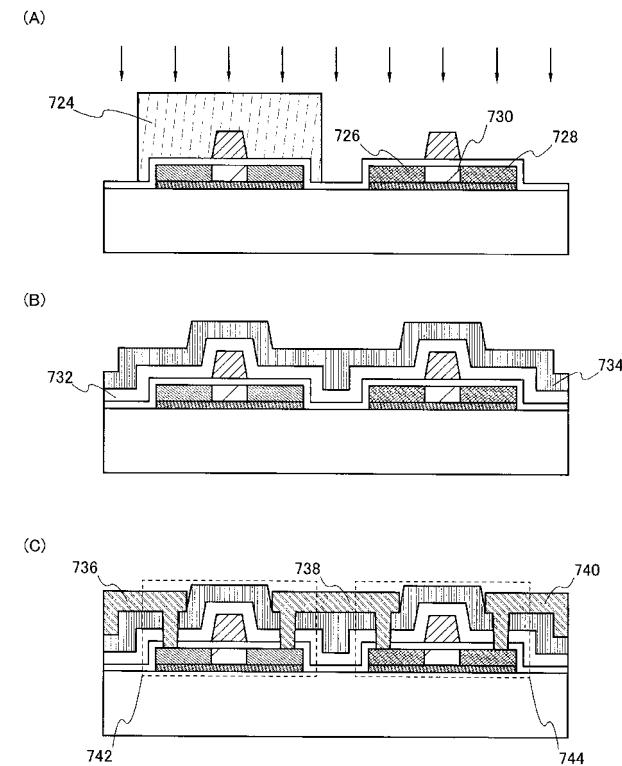
【図6】



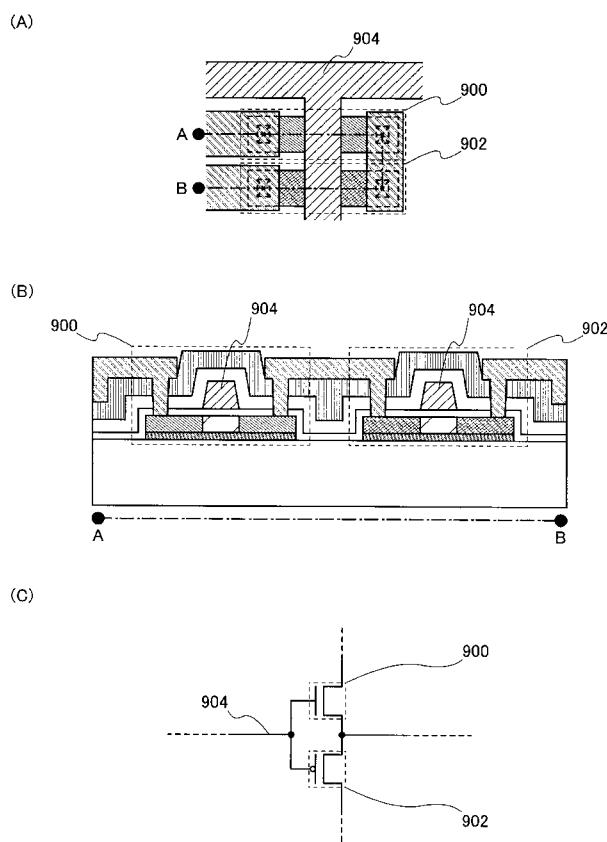
【図7】



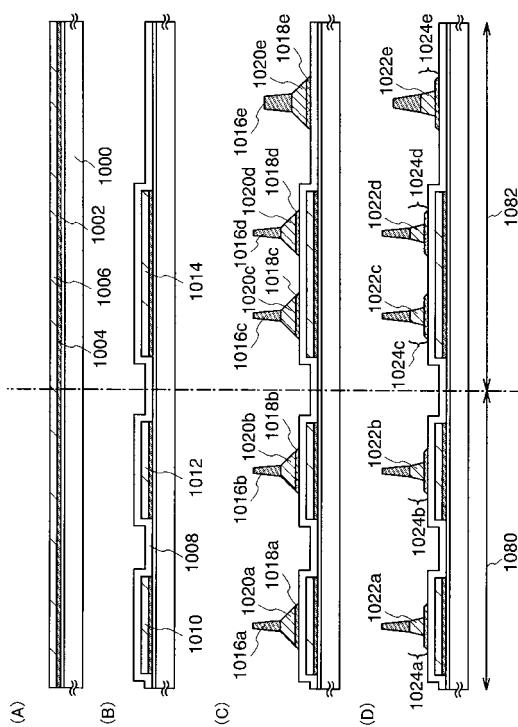
【図8】



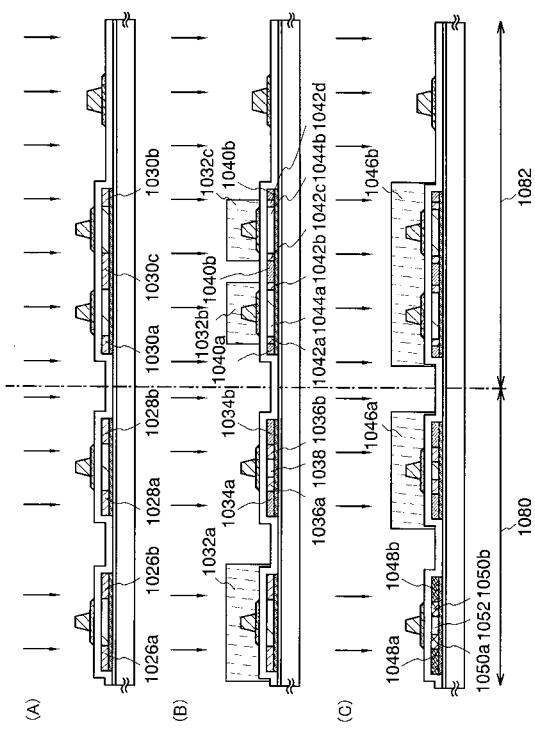
【図9】



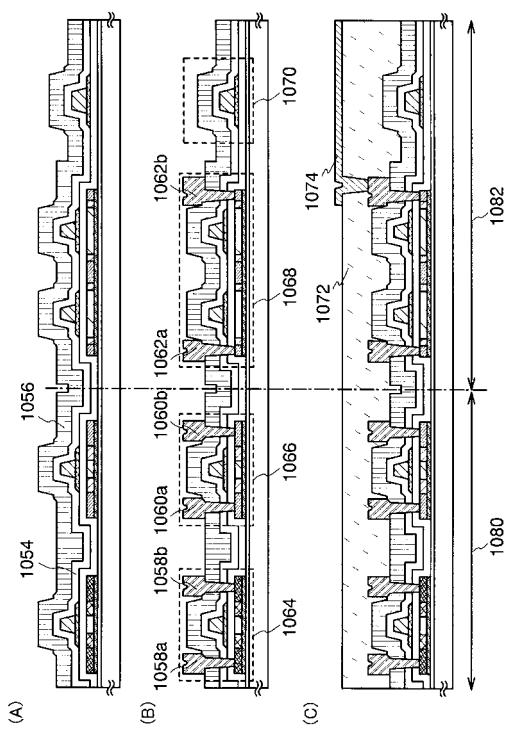
【図10】



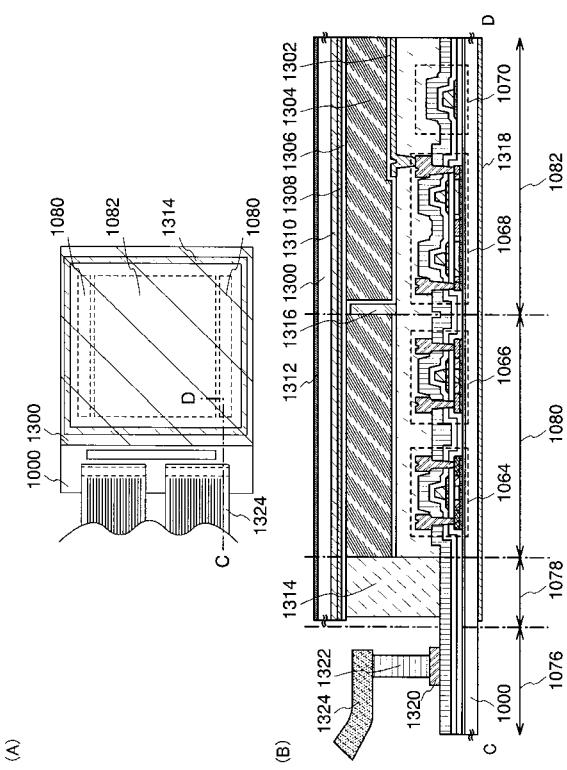
【図11】



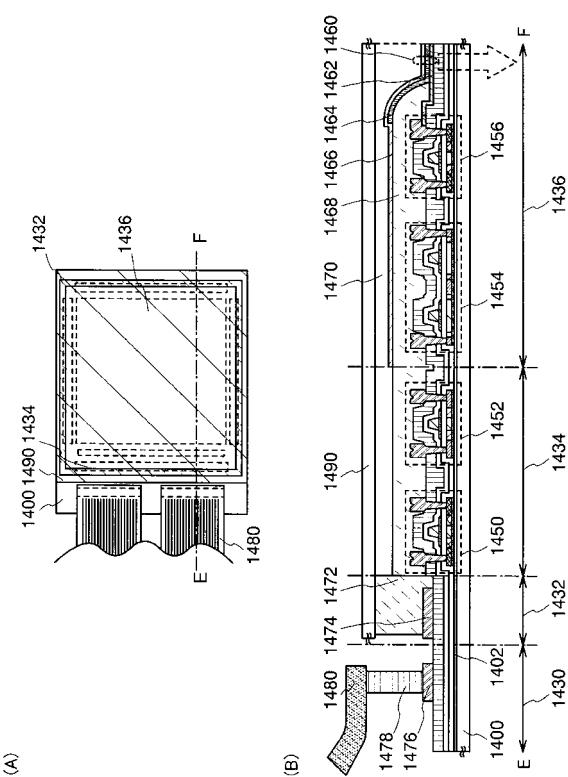
【図12】



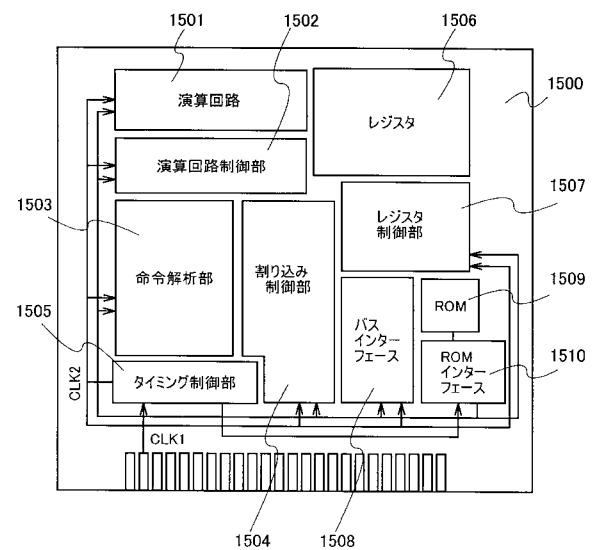
【図13】



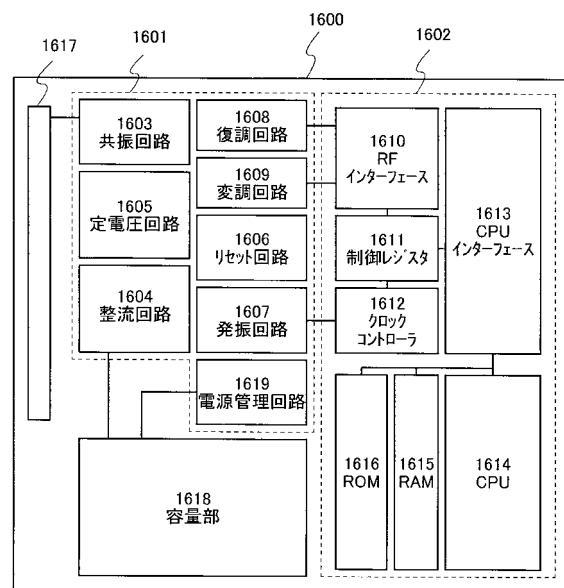
【図14】



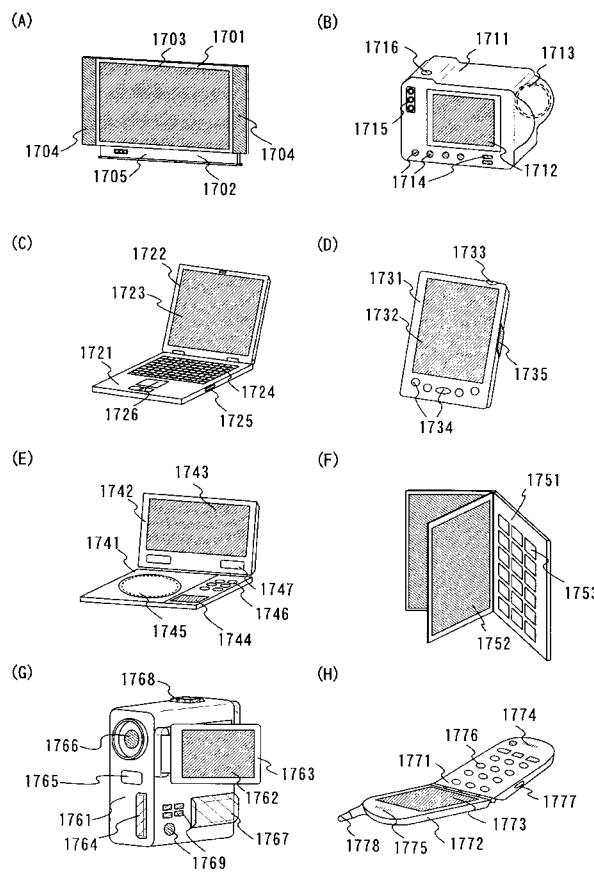
【図15】



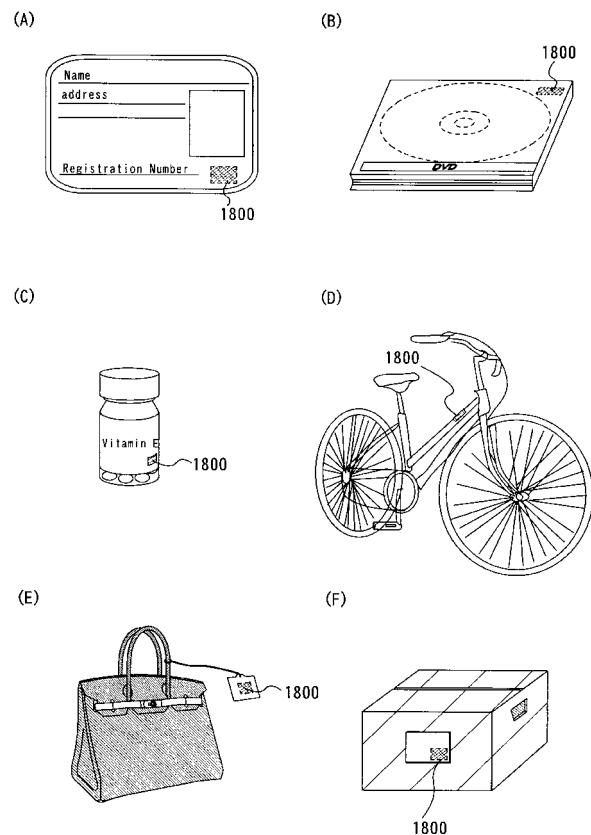
【図16】



【図17】



【図18】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 27/08 (2006.01)	H 01 L 27/08 3 3 1 E	5 F 1 1 0
H 01 L 21/8238 (2006.01)	H 01 L 27/08 3 2 1 C	
H 01 L 27/092 (2006.01)	G 02 F 1/1368	
G 02 F 1/1368 (2006.01)	H 05 B 33/02	
H 05 B 33/02 (2006.01)	H 05 B 33/10	
H 05 B 33/10 (2006.01)	H 05 B 33/14	A
H 01 L 51/50 (2006.01)	H 05 B 33/14	Z
H 05 B 33/14 (2006.01)	G 06 K 19/00	H
G 06 K 19/07 (2006.01)		

F ターム(参考) 3K107 AA01 AA05 BB01 CC21 CC45 DD14 DD18 EE04  
 5B035 AA04 BA03 BB09 CA01  
 5F032 AA06 AA91 CA09 CA17 CA20 DA02 DA03 DA21 DA33 DA41  
 DA60 DA71 DA74 DA78  
 5F048 AC04 BA10 BA16 BB06 BB09 BB11 BB12 BC06 BC16 BD02  
 BE03 BF01 BF02 BF07 BF11 BF16 BG07 DA25  
 5F110 AA04 AA26 BB02 BB04 BB20 CC02 DD01 DD02 DD03 DD04  
 DD12 DD13 DD14 DD15 DD17 EE02 EE03 EE04 EE06 EE09  
 EE22 EE23 EE28 EE31 EE43 EE44 EE45 FF02 FF03 FF04  
 FF09 FF10 FF28 FF30 GG02 GG12 GG17 GG32 GG34 HJ01  
 HJ04 HL02 HL03 HL04 HL07 HM15 NN03 NN04 NN22 NN23  
 NN24 NN27 NN35 NN71 NN72 NN77 QQ17