



등록특허 10-2614815



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월20일
(11) 등록번호 10-2614815
(24) 등록일자 2023년12월13일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
G02F 1/1343 (2006.01) *G02F 1/1368* (2006.01)
H01L 29/786 (2006.01)
- (52) CPC특허분류
G09G 3/3659 (2013.01)
G02F 1/133 (2021.01)
- (21) 출원번호 10-2020-7009512
- (22) 출원일자(국제) 2018년09월04일
심사청구일자 2021년09월01일
- (85) 번역문제출일자 2020년04월01일
- (65) 공개번호 10-2020-0047657
- (43) 공개일자 2020년05월07일
- (86) 국제출원번호 PCT/IB2018/056715
- (87) 국제공개번호 WO 2019/053549
국제공개일자 2019년03월21일
- (30) 우선권주장
JP-P-2017-177462 2017년09월15일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR1020150068909 A*
KR1020170053155 A*

*는 심사관에 의하여 인용된 문헌

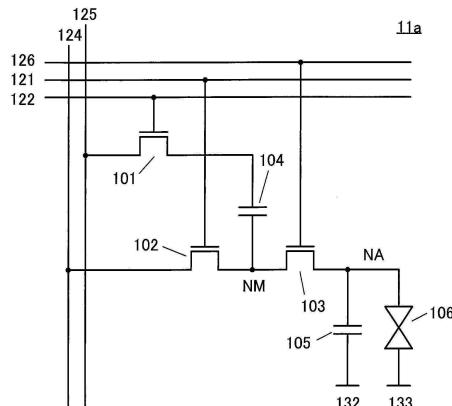
전체 청구항 수 : 총 6 항

심사관 : 한윤덕

(54) 발명의 명칭 표시 장치 및 전자 기기

(57) 요 약

화상 처리를 수행할 수 있는 표시 장치를 제공한다. 표시 장치에 포함되는 각 화소에는 기억 노드가 제공된다. 기억 노드에서는 의도한 보정 데이터가 유지된다. 보정 데이터는 외부 장치에 의하여 산출되고 각 화소에 기록된다. 용량 결합에 의하여 보정 데이터가 화상 데이터에 부가되고, 얻어진 데이터가 표시 소자에 공급된다. 이로써, 표시 소자는 보정된 화상을 표시할 수 있다. 상기 보정에 의하여 예를 들어 화상 업컨버전이 가능해진다.

대 표 도 - 도1

(52) CPC특허분류

G02F 1/1343 (2013.01)
G02F 1/1368 (2013.01)
G09G 3/3677 (2013.01)
G09G 3/3688 (2013.01)
H01L 29/786 (2021.01)
G09G 2300/0426 (2013.01)
G09G 2340/0414 (2013.01)
G09G 2340/0421 (2013.01)
G09G 2340/0428 (2013.01)

(72) 발명자

와타나베 가즈노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

도요타카 고헤이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

구스모토 나오토

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2017-199264 2017년10월13일 일본(JP)
JP-P-2018-029287 2018년02월22일 일본(JP)
JP-P-2018-075819 2018년04월11일 일본(JP)

명세서

청구범위

청구항 1

화소를 포함하는 표시 장치로서,

상기 화소는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 표시 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 제 2 용량 소자의 한쪽 전극 및 상기 표시 소자에 전기적으로 접속되고,

상기 제 3 트랜지스터는 상기 제 1 용량 소자의 상기 다른 쪽 전극과 상기 제 2 용량 소자의 상기 한쪽 전극 사이에 위치하고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 화상 데이터를 공급하는 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 보정 데이터를 공급하는 제 2 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되는, 표시 장치.

청구항 2

화소를 포함하는 표시 장치로서,

상기 화소는 제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 표시 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 2 용량 소자의 한쪽 전극, 및 상기 표시 소자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 화상 데이터를 공급하는 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 보정 데이터를 공급하는 제 2 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되는, 표시 장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 화소는 제 4 트랜지스터를 더 포함하고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 표시 소자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 정전위를 공급하는 배선에 전기적으로 접속되는, 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 3 트랜지스터의 채널 형성 영역은 In 및 Zn을 포함한 금속 산화물을 포함하는, 표시 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 2 트랜지스터의 채널 형성 영역은 In 및 Zn을 포함한 금속 산화물을 포함하는, 표시 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 표시 소자는 액정 소자인, 표시 장치.

청구항 8

삭제

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야의 구체적인 예로서 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 활상 장치, 이들 중 어느 것의 구동 방법, 및 이들 중 어느 것의 제작 방법을 포함한다.

[0003] 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 뜻한다. 트랜지스터 및 반도체 회로는 반도체 장치의 실시형태이다. 기억 장치, 표시 장치, 활상 장치, 또는 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경 기술

[0004] 기판 위에 형성된 금속 산화물을 사용함으로써 트랜지스터를 제작하는 기술이 주목을 받고 있다. 예를 들어, 특허문헌 1 및 2 각각에는, 산화 아연 또는 In-Ga-Zn계 산화물을 포함한 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 것이 개시되어 있다.

[0005] 특허문헌 3에는 오프 상태 전류가 매우 낮은 트랜지스터를 메모리 셀에 사용한 기억 장치가 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2007-096055호

(특허문헌 0003) 일본 공개특허공보 특개2011-119674호

발명의 내용

해결하려는 과제

[0007]

표시 해상도의 증가에 따라, 8K4K 해상도(화소수 7680×4320) 또는 그것보다 높은 해상도로 화상을 표시할 수 있는 하드웨어가 개발되고 있다. 한편, 고해상도의 화상에는 막대한 양의 데이터가 요구되기 때문에, 고해상도의 표시 장치를 널리 이용할 수 있게 하기 위해서는 활상 장치, 기억 장치, 및 통신 장치 등의 주변 기술도 개발될 필요가 있다.

[0008]

고해상도의 화상 데이터를 생성하는 기술 중 하나에 업컨버전 등의 화상 보정이 있다. 화상 보정에 의하여, 저 해상도의 화상을 의사적인 고해상도의 화상으로 변환할 수 있다. 화상 보정을 위한 데이터는 표시 장치의 주변 기기에 의하여 생성되고, 원래 화상 데이터를 취급하는 기기에는 종래 기술을 채용할 수 있다.

[0009]

화상 보정을 수행하는 기기는 막대한 양의 화상 데이터를 해석하여 새로운 화상 데이터를 생성하기 때문에, 기기의 회로 규모 및 소비전력이 증가된다. 또한 처리량이 지나치게 많아 실시간으로 처리할 수 없어, 화상 표시의 지연이 발생하는 경우가 있다.

[0010]

화상 보정에는 이러한 문제가 있지만, 예를 들어 화상 보정에 관한 기능을 복수의 장치에 분산시키면, 소비전력 및 지연과 관련된 문제를 완화할 수 있을 가능성이 있다.

[0011]

표시 장치에서는 화소에 포함되는 트랜지스터의 특성 편차가 표시 품질 저하의 요인으로 되는 경우가 있다. 트랜지스터 특성 편차의 보정 방법에는 화소에 포함된 회로를 사용하여 화상 데이터를 보정하는 내부 보정, 및 화소마다 보정값을 취득하고 그 후에 각 화소에 보정된 화상 데이터를 공급하는 외부 보정이 있다.

[0012]

내부 보정은 프레임마다 수행할 수 있지만, 고해상도의 표시 장치에서는 수평 선택 기간이 짧기 때문에, 보정을 위하여 충분한 시간을 확보하기 어려워진다. 외부 보정은 고해상도의 표시 장치에 채용될 수 있지만, 모든 화상 데이터가 보정 대상이 될 필요가 있으므로 외부 장치에 대한 부하가 크다. 이상적으로는, 보정 없이 고해상도의 표시 장치를 동작시키는 것이 바람직하지만, 트랜지스터 특성의 편차를 없애는 것은 매우 어렵기 때문에, 새로운 보정 방법이 요구된다.

[0013]

상술한 관점에서, 본 발명의 일 형태의 한 목적은 화상 처리를 수행할 수 있는 표시 장치를 제공하는 것이다. 다른 목적은 업컨버전 동작을 수행할 수 있는 표시 장치를 제공하는 것이다. 다른 목적은 화상 데이터를 보정 할 수 있는 표시 장치를 제공하는 것이다.

[0014]

다른 목적은 저소비전력의 표시 장치를 제공하는 것이다. 다른 목적은 신뢰성이 높은 표시 장치를 제공하는 것이다. 다른 목적은 신규 표시 장치 등을 제공하는 것이다. 다른 목적은 상술한 표시 장치 중 어느 것의 구동 방법을 제공하는 것이다. 다른 목적은 신규 반도체 장치 등을 제공하는 것이다.

[0015]

또한 이들 목적의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 달성할 필요는 없다. 다른 목적은 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

과제의 해결 수단

[0016]

본 발명의 일 형태는 화상 처리를 수행할 수 있는 표시 장치, 또는 화상 데이터를 보정할 수 있는 표시 장치에 관한 것이다.

[0017]

본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자, 및 표시 소자를 포함하는 표시 장치이다. 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 한쪽 전극에 전기적으로 접속된다. 제 1 용량 소자의 다른 쪽 전극은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 표시 소자의 한쪽 전극에 전기적으로 접속된다.

[0018]

표시 장치는 제 2 용량 소자를 더 포함하여도 좋다. 제 2 용량 소자의 한쪽 전극은 표시 소자의 한쪽 전극에 전기적으로 접속되어도 좋다.

- [0019] 표시 장치는 제 3 트랜지스터를 더 포함하여도 좋다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되어도 좋다. 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 표시 소자의 한쪽 전극에 전기적으로 접속되어도 좋다.
- [0020] 표시 장치는 제 4 트랜지스터를 더 포함하여도 좋다. 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 표시 소자의 한쪽 전극에 전기적으로 접속되어도 좋다. 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 정전위를 공급하는 배선에 전기적으로 접속되어도 좋다.
- [0021] 적어도 제 2 트랜지스터 및 제 3 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하고, 금속 산화물은 In, Zn, 및 M(Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는 것이 바람직하다.
- [0022] 표시 소자로서는 액정 소자를 사용할 수 있다.

발명의 효과

- [0023] 본 발명의 일 형태에 따르면, 화상 처리를 수행할 수 있는 표시 장치, 업컨버전 동작을 수행할 수 있는 표시 장치, 또는 화상 데이터를 보정할 수 있는 표시 장치를 제공할 수 있다.
- [0024] 또는, 저소비전력의 표시 장치, 신뢰성이 높은 표시 장치, 또는 신규 표시 장치 등, 상기 표시 장치 중 어느 것의 구동 방법, 혹은 신규 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

- [0025] 첨부 도면에 있어서:
- 도 1은 화소 회로를 도시한 것이고,
- 도 2의 (A) 및 (B)는 화소 회로의 동작을 각각 설명하는 타이밍 차트이고,
- 도 3의 (A) 및 (B)는 업컨버전을 설명하는 도면이고,
- 도 4의 (A) 및 (B)는 화소 회로를 도시한 것이고, 도 4의 (C) 및 (D)는 타이밍 차트이고,
- 도 5의 (A) 및 (B)는 화소 회로를 도시한 것이고,
- 도 6의 (A) 내지 (C)는 표시 장치를 각각 설명하는 블록도이고,
- 도 7은 화소 어레이를 도시한 것이고,
- 도 8의 (A) 내지 (D)는 화소 시뮬레이션 결과를 나타낸 것이고,
- 도 9의 (A) 내지 (C)는 화소 시뮬레이션 결과를 나타낸 것이고,
- 도 10의 (A) 내지 (D)는 화소 시뮬레이션 결과를 나타낸 것이고,
- 도 11은 화소 시뮬레이션 결과를 나타낸 것이고,
- 도 12의 (A)는 화소 회로를 도시한 것이고, 도 12의 (B) 및 (C)는 화소 회로의 동작을 각각 설명하는 타이밍 차트이고,
- 도 13의 (A) 내지 (C)는 표시 장치를 도시한 것이고,
- 도 14의 (A) 및 (B)는 터치 패널을 도시한 것이고,
- 도 15는 표시 장치를 도시한 것이고,
- 도 16의 (A1), (A2), (B1), (B2), (C1), 및 (C2)는 트랜지스터를 도시한 것이고,
- 도 17의 (A1) 내지 (A3), (B1), (B2), (C1), 및 (C2)는 트랜지스터를 도시한 것이고,
- 도 18은 DOSRAM의 구조예를 도시한 단면도이고,
- 도 19의 (A) 및 (B)는 뉴럴 네트워크의 구성예를 도시한 것이고,
- 도 20은 반도체 장치의 구성예를 도시한 것이고,

도 21은 메모리 셀의 구성예를 도시한 것이고,
 도 22는 오프셋 회로의 구성예를 도시한 것이고,
 도 23은 반도체 장치의 동작을 설명하는 타이밍 차트이고,
 도 24의 (A) 내지 (F)는 전자 기기를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 실시형태를 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자에 의하여 용이하게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되어서는 안 된다. 이하에 기재된 발명의 구조에서, 동일한 부분 또는 비슷한 기능을 가지는 부분은 상이한 도면들에서 동일한 부호로 나타내고, 그 설명을 반복하지 않는 경우가 있다. 또한 같은 구성 요소는 상이한 도면에서 상이한 해치패턴으로 나타내어지거나, 또는 해치패턴 없이 나타내어지는 경우가 있다.
- [0027] (실시형태 1)
- [0028] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치에 대하여 도면을 참조하여 설명한다.
- [0029] 본 발명의 일 형태는 화상 데이터에 보정 데이터를 부가하는 기능을 가지는 표시 장치이다. 각 화소에는 기억 노드가 제공되고, 기억 노드에는 의도한 보정 데이터가 유지된다. 상기 보정 데이터는 외부 장치에서 생성되고 각 화소에 기록된다.
- [0030] 보정 데이터는 용량 결합에 의하여 화상 데이터에 부가되고, 얻어진 데이터가 표시 소자에 공급된다. 따라서, 보정된 화상을 표시 소자로 표시할 수 있다. 이러한 식으로 수행된 보정에 의하여, 예를 들어 화상 업커버전이 가능해지거나, 또는 화소에 포함되는 트랜지스터의 특성 편차로 인한 화상 품질 저하를 보정할 수 있다.
- [0031] 도 1은 본 발명의 일 형태의 표시 장치에 사용할 수 있는 화소(11a)를 도시한 것이다. 화소(11a)는 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 용량 소자(104), 용량 소자(105), 및 액정 소자(106)를 포함한다.
- [0032] 트랜지스터(101)의 소스 및 드레인 중 한쪽은 용량 소자(104)의 한쪽 전극에 전기적으로 접속된다. 용량 소자(104)의 다른 쪽 전극은 트랜지스터(102)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 한쪽은 트랜지스터(103)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 용량 소자(105)의 한쪽 전극에 전기적으로 접속된다. 용량 소자(105)의 한쪽 전극은 액정 소자(106)의 한쪽 전극에 전기적으로 접속된다.
- [0033] 여기서, 용량 소자(104)의 다른 쪽 전극, 트랜지스터(102)의 소스 및 드레인 중 한쪽, 및 트랜지스터(103)의 소스 및 드레인 중 한쪽이 접속되는 배선을 노드(NM)라고 한다. 트랜지스터(103)의 소스 및 드레인 중 다른 쪽, 용량 소자(105)의 한쪽 전극, 및 액정 소자(106)의 한쪽 전극이 접속되는 배선을 노드(NA)라고 한다.
- [0034] 트랜지스터(101)의 게이트는 배선(122)에 전기적으로 접속된다. 트랜지스터(102)의 게이트는 배선(121)에 전기적으로 접속된다. 트랜지스터(103)의 게이트는 배선(126)에 전기적으로 접속된다. 트랜지스터(101)의 소스 및 드레인 중 다른 쪽은 배선(125)에 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 배선(124)에 전기적으로 접속된다.
- [0035] 용량 소자(105)의 다른 쪽 전극은 공통 배선(132)에 전기적으로 접속된다. 액정 소자(106)의 다른 쪽 전극은 공통 배선(133)에 전기적으로 접속된다. 공통 배선(132 및 133) 각각에는 임의의 전위를 공급할 수 있고, 공통 배선(132 및 133)은 서로 전기적으로 접속되어도 좋다.
- [0036] 배선(121, 122, 및 126)은 대응하는 트랜지스터의 동작을 제어하기 위한 신호선으로서 기능할 수 있다. 배선(125)은 화상 데이터를 공급하기 위한 신호선으로서 기능할 수 있다. 배선(124)은 노드(NM)에 데이터를 기록하기 위한 신호선으로서 기능할 수 있다.
- [0037] 노드(NM)는 기억 노드이고, 트랜지스터(102)를 온으로 하고 트랜지스터(103)를 오프로 하면, 배선(124)에 공급된 신호를 노드(NM)에 기록할 수 있다. 오프 상태 전류가 매우 낮은 트랜지스터를 트랜지스터(102 및 103)로서 사용함으로써, 노드(NM)의 전위를 장시간 유지할 수 있다. 오프 상태 전류가 매우 낮은 트랜지스터로서, 예를 들어 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터(이하 OS 트랜지스터라고 함)를 사용할 수 있다.

- [0038] 또한 화소에 포함되는 다른 트랜지스터로서 OS 트랜지스터를 더 사용하여도 좋다. 또는, 화소의 트랜지스터로서 채널 형성 영역에 Si을 포함하는 트랜지스터(이하 Si 트랜지스터라고 함)를 사용하여도 좋고, OS 트랜지스터 및 Si 트랜지스터의 양쪽을 사용하여도 좋다. Si 트랜지스터의 예에는, 비정질 실리콘을 포함한 트랜지스터 및 결정성 실리콘(대표적으로는 저온 폴리실리콘 또는 단결정 실리콘)을 포함한 트랜지스터가 포함된다.
- [0039] 표시 소자가 반사형 액정 소자인 경우에는 실리콘 기판을 사용할 수 있기 때문에, Si 트랜지스터 및 OS 트랜지스터를 적어도 일부가 서로 중첩되도록 형성할 수 있다. 그 결과, 트랜지스터의 개수가 비교적으로 많아도 화소 밀도를 높일 수 있다.
- [0040] OS 트랜지스터에 사용되는 반도체 재료로서는 에너지 캡이 2eV 이상, 더 바람직하게는 2.5eV 이상, 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적인 예는 인듐을 포함한 산화물 반도체이고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS를 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이기 때문에 예를 들어 높은 신뢰성이 요구되는 트랜지스터에 적합하다. CAC-OS는 이동도가 높으므로, 예를 들어 고속으로 동작되는 트랜지스터에 적합하다.
- [0041] OS 트랜지스터는 에너지 캡이 크므로 오프 상태 전류가 매우 낮다. Si 트랜지스터와 달리, OS 트랜지스터에서는 충격 이온화(impact ionization), 애벌란시 항복(avalanche breakdown), 및 단채널 효과 등이 발생하지 않아, OS 트랜지스터는 신뢰성이 높은 회로를 구성할 수 있다. 또한 OS 트랜지스터에서는, Si 트랜지스터에서 발생하는 결정성 불균일로 인한 전기 특성의 편차가 발생하기 어렵다.
- [0042] OS 트랜지스터에 포함되는 반도체층은 예를 들어, 인듐, 아연, 및 M (알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함한 In- M -Zn계 산화물의 막으로 할 수 있다.
- [0043] 반도체층에 포함되는 산화물 반도체가 In- M -Zn계 산화물인 경우, In- M -Zn 산화물을 퇴적하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 $In \geq M$ 및 $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비($In:M:Zn$)는 예를 들어, 1:1:1, 1:1:1.2, 3:1:2, 4:2:3, 4:2:4.1, 5:1:6, 5:1:7, 또는 5:1:8인 것이 바람직하다. 또한 형성되는 반도체층의 금속 원소의 원자수비는 상술한 스퍼터링 타깃의 금속 원소의 원자수비로부터 ±40%의 범위 내에서 변동될 수 있다.
- [0044] 반도체층에는 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어, 반도체층은 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하, 더욱더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상인 산화물 반도체를 사용하여 형성할 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. 이러한 산화물 반도체는 결함 준위 밀도가 낮기 때문에 안정적인 특성을 가지는 것으로 간주할 수 있다.
- [0045] 또한 상술한 예에 한정되지 않고, 요구되는 트랜지스터의 반도체 특성 및 전기 특성(예를 들어 전계 효과 이동도 및 문턱 전압)에 따라 적절한 조성의 재료를 사용할 수 있다. 요구되는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자수비, 원자간 거리, 및 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.
- [0046] 반도체층에 포함되는 산화물 반도체가 14족에 속하는 원소인 실리콘 또는 탄소를 포함하면, 반도체층 내의 산소 결손이 증가되고 반도체층이 n형화된다. 그러므로 반도체층에서의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법에 의하여 측정됨)를 $2 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 한다.
- [0047] 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있고, 이 경우 트랜지스터의 오프 상태 전류가 증가될 수 있다. 이 이유로, 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법에 의하여 측정됨)를 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 이하로 한다.
- [0048] 반도체층에 포함되는 산화물 반도체가 질소를 포함하면, 캐리어로서 기능하는 전자가 생성되고 캐리어 밀도가 증가되므로 반도체층이 n형화되기 쉽다. 그 결과, 질소를 포함한 산화물 반도체를 포함하는 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 반도체층에서의 질소 농도(이차 이온 질량 분석법에 의하여 측정됨)를 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 하는 것이 바람직하다.

- [0049] 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조의 예에는 c축 배향된 결정을 포함한 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 구조, 미결정 구조, 및 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높은 한편, CAAC-OS는 결함 준위 밀도가 가장 낮다.
- [0050] 비정질 구조를 가지는 산화물 반도체막은 예를 들어 원자 배열이 무질서하고 결정 성분을 가지지 않는다. 또는, 비정질 구조를 가지는 산화물막은 예를 들어 완전한 비정질 구조를 가지고, 결정부를 가지지 않는다.
- [0051] 또한 반도체층은 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상을 포함한 혼합막이어도 좋다. 혼합막은 예를 들어, 상술한 영역 중 2개 이상을 포함한 단층 구조 또는 적층 구조를 가지는 경우가 있다.
- [0052] 이하에서는, 비단결정 반도체층의 일 형태인 CAC-OS(cloud-aligned composite oxide semiconductor)의 구조에 대하여 설명한다.
- [0053] CAC-OS는 예를 들어 각각 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 가지는 영역에서 원소가 고르지 않게 분포된 산화물 반도체 재료이다. 또한 산화물 반도체에 대한 이하의 설명에서는, 하나 이상의 금속 원소가 고르지 않게 분포되고, 이 금속 원소(들)를 포함하고 0.5nm 내지 10nm, 바람직하게는 1nm 내지 2nm, 또는 이와 비슷한 크기를 가지는 영역이 혼합된 상태를 모자이크 패턴 또는 패치상 패턴이라고 한다.
- [0054] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하고, 인듐 및 아연을 포함하는 것이 특히 바람직하다. 또한 산화물 반도체는 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘 등 중 하나 이상을 포함하여도 좋다.
- [0055] 예를 들어 CAC-OS 중, CAC 구성을 가지는 In-Ga-Zn 산화물(이러한 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)은 인듐 산화물($In_{X_1}O$, 여기서 X_1 은 0보다 큰 실수(實數)) 또는 인듐 아연 산화물($In_{X_2}Zn_{Y_2}O_{Z_2}$, 여기서 X_2 , Y_2 , 및 Z_2 는 0보다 큰 실수)과, 갈륨 산화물($Ga_{X_3}O$, 여기서 X_3 은 0보다 큰 실수) 또는 갈륨 아연 산화물($Ga_{X_4}Zn_{Y_4}O_{Z_4}$, 여기서 X_4 , Y_4 , 및 Z_4 는 0보다 큰 실수)로 재료가 분리되어 모자이크 패턴이 형성되는 구성을 가진다. 이 막 내에서는 모자이크 패턴을 형성하는 $In_{X_1}O$ 또는 $In_{X_2}Zn_{Y_2}O_{Z_2}$ 가 고르게 분포되어 있다. 이 구성을 클라우드상 구성이라고도 한다.
- [0056] 즉 CAC-OS는 $Ga_{X_3}O$ 를 주성분으로서 포함하는 영역과, $In_{X_2}Zn_{Y_2}O_{Z_2}$ 또는 $In_{X_1}O$ 를 주성분으로서 포함하는 영역이 혼합된 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서, 예를 들어 제 1 영역에서의 원소 M에 대한 In의 원자수비가 제 2 영역에서의 원소 M에 대한 In의 원자수비보다 클 때, 제 1 영역은 제 2 영역보다 In의 농도가 높다.
- [0057] 또한 IGZO로서는 In, Ga, Zn, 및 O를 포함한 화합물도 알려져 있다. IGZO의 대표적인 예에는 $InGaO_3(ZnO)_{m1}$ ($m1$ 은 자연수)로 나타내어지는 결정성 화합물 및 $In_{(1+x_0)}Ga_{(1-x_0)}O_3(ZnO)_{m0}$ ($-1 \leq x_0 \leq 1$, $m0$ 은 임의의 수)으로 나타내어지는 결정성 화합물이 포함된다.
- [0058] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는 복수의 IGZO 나노 결정이 c축 배향을 가지고 a-b면 방향에서는 배향하지 않고 연결된 결정 구조이다.
- [0059] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. In, Ga, Zn, 및 O를 포함하는 CAC-OS의 재료 구성의 일부에서, Ga을 주성분으로서 포함하는 나노 입자 영역, 및 In을 주성분으로서 포함하는 나노 입자 영역이 관찰된다. 이를 나노 입자 영역은 무작위로 분산되어 모자이크 패턴을 형성한다. 따라서 이 결정 구조는 CAC-OS에서 부차적인 요소이다.
- [0060] 또한 CAC-OS에서, 조성이 다른 2개 이상의 막을 포함하는 적층 구조는 포함되지 않는다. 예를 들어, In을 주성분으로서 포함하는 막과 Ga을 주성분으로서 포함하는 막의 2층 구조는 포함되지 않는다.
- [0061] $Ga_{X_3}O$ 를 주성분으로서 포함하는 영역과 $In_{X_2}Zn_{Y_2}O_{Z_2}$ 또는 $In_{X_1}O$ 를 주성분으로서 포함하는 영역의 경계가 명확하게 관찰되지 않는 경우가 있다.

- [0062] CAC-OS에서 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타늄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되는 경우, CAC-OS에서는 선택된 금속 원소(들)를 주성분으로서 포함하는 나노 입자 영역 및 In을 주성분으로서 포함하는 나노 입자 영역이 부분적으로 관찰되고, 이를 나노 입자 영역은 CAC-OS에서 무작위로 분산되어 모자이크 패턴을 형성한다.
- [0063] CAC-OS는 예를 들어, 기판을 의도적으로 가열하지 않는 조건하에서 스퍼터링법에 의하여 형성할 수 있다. 스퍼터링법에 의하여 CAC-OS를 형성하는 경우, 퇴적 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중 하나 이상을 사용한다. 퇴적 시의 퇴적 가스의 총유량에 대한 산소 가스의 유량비는 가능한 한 낮은 것이 바람직하고, 예를 들어 산소 가스의 유량비는 0% 이상 30% 미만인 것이 바람직하고, 0% 이상 10% 이하인 것이 더 바람직하다
- [0064] CAC-OS는 X선 회절(XRD) 측정 방법인, out-of-plane법에 의한 $\Theta/2\Theta$ 스캔을 사용한 측정에서 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉, X선 회절은 CAC-OS의 측정 영역에서 a-b면 방향 및 c축 방향에서의 배향성을 나타내지 않는다.
- [0065] 프로브 직경 1nm의 전자빔(나노미터 크기의 전자빔이라고도 함)을 사용한 조사에 의하여 얻어지는, CAC-OS의 전자 회절 패턴에서, 휘도가 높은 링 형상의 영역, 및 이 링 형성의 영역에서 복수의 휘점이 관찰된다. 그러므로 전자 회절 패턴은 CAC-OS의 결정 구조가, 평면 방향 및 단면 방향에서 배향성이 없는 나노 결정(nc) 구조를 포함하는 것을 가리킨다.
- [0066] 예를 들어 에너지 분산형 X선 분광법(EDX)의 매핑 화상으로부터, CAC 구성을 가지는 In-Ga-Zn 산화물에서 GaO_{x3} 을 주성분으로 포함하는 영역 및 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역이 고르지 않게 분포되고 혼합되어 있는 것이 확인된다.
- [0067] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 다른 구조를 가지고, IGZO 화합물과 다른 특성을 가진다. 즉, CAC-OS에서, GaO_{x3} 등을 주성분으로 포함하는 영역 및 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역은 분리되어, 모자이크 패턴을 형성한다.
- [0068] $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역의 도전성은, GaO_{x3} 등을 주성분으로 포함하는 영역의 도전성보다 높다. 바꿔 말하면 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역을 캐리어가 흐를 때, 산화물 반도체의 도전성이 발현된다. 따라서, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역이 산화물 반도체에서 클라우드상으로 분포되는 경우, 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0069] 한편, GaO_{x3} 등을 주성분으로 포함하는 영역의 절연성은 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 을 주성분으로 포함하는 영역의 절연성보다 높다. 바꿔 말하면 GaO_{x3} 등을 주성분으로 포함하는 영역이 산화물 반도체에 분포되면, 누설 전류를 저감할 수 있고 양호한 스위칭 동작을 실현할 수 있다.
- [0070] 따라서 CAC-OS를 반도체 소자에 사용한 경우, GaO_{x3} 등에서 유래하는 절연성과 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 에서 유래하는 도전성이 서로를 보완함으로써, 높은 온 상태 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0071] CAC-OS를 포함하는 반도체 소자는 신뢰성이 높기 때문에, CAC-OS는 다양한 반도체 장치의 재료로서 적합하게 사용된다.
- [0072] 화소(11a)에서, 노드(NM)에 기록된 보정 데이터는 배선(125)으로부터 공급되는 화상 데이터와 용량 결합하고, 얻어진 데이터가 노드(NA)에 출력될 수 있다. 또한 트랜지스터(101)는 화소를 선택하고 화상 데이터를 공급하는 기능을 가질 수 있다. 트랜지스터(103)는 액정 소자(106)의 동작을 제어하는 스위치로서 기능할 수 있다.
- [0073] 예를 들어, 배선(124)으로부터 노드(NM)에 기록된 신호의 레벨이 트랜지스터(102)의 문턱 전압보다 높은 경우, 화상 데이터가 기록되기 전에 트랜지스터(102)가 온이 되어 액정 소자(106)가 동작하는 경우가 있다. 이 이유로, 트랜지스터(103)를 제공하고, 노드(NM)의 전위가 고정된 후에 트랜지스터(103)를 온으로 하여 액정 소자(106)를 동작시키는 것이 바람직하다.
- [0074] 바꿔 말하면, 노드(NM)에 의도한 보정 데이터를 미리 저장하면, 공급된 화상 데이터에 상기 보정 데이터를 부가 할 수 있다. 또한 보정 데이터는 전송 경로상의 요소에 의하여 감쇠되는 경우가 있기 때문에, 이 감쇠를 고려

하여 상기 데이터를 생성하는 것이 바람직하다.

[0075] 도 2의 (A) 및 (B)에 나타낸 타이밍 차트를 사용하여 화소(11a)의 동작의 자세한 사항에 대하여 설명한다. 배선(124)에 공급되는 보정 데이터(Vp)로서는 임의의 양 또는 음의 신호를 사용할 수 있지만, 여기서는 양의 신호를 공급하는 경우에 대하여 설명한다. 이하의 설명에서는, "H"는 고전위를 나타내고 "L"은 저전위를 나타낸다.

[0076] 우선, 노드(NM)에 보정 데이터(Vp)를 기록하는 동작에 대하여 도 2의 (A)를 참조하여 설명한다. 업컨버전 등의 화상 데이터 보정이 목적일 때는 이 동작을 프레임마다 수행하는 것이 바람직하다.

[0077] 또한 여기서는 전위 분배, 결합, 또는 손실에 있어서, 회로 구성 또는 동작 타이밍 등으로 인하여 발생하는 자세한 전위 변화는 고려하지 않는다. 용량 결합으로 인한 전위 변화는 전위 공급 측과 전위 수신 측의 용량비에 의존하지만, 간략화를 위하여 노드(NM)와 노드(NA)의 용량은 충분히 작은 것으로 가정한다.

[0078] 시각 T1에서, 배선(121)의 전위를 "H"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "H"로 함으로써, 트랜지스터(102) 및 트랜지스터(103)가 온이 되어, 노드(NA)의 전위는 배선(124)의 전위가 된다. 이때, 배선(124)의 전위를 리셋 전위(예를 들어 OV 등의 기준 전위)로 함으로써, 액정 소자(106)의 동작을 리셋할 수 있다.

[0079] 또한 시각 T1 전에는, 앞의 프레임에서의 액정 소자(106)의 표시 동작이 수행된다.

[0080] 시각 T2에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)의 다른 쪽 전극의 전위는 "L"이 된다. 이 동작은 차후의 용량 결합 동작을 수행하기 위한 리셋 동작이다.

[0081] 시각 T3에서, 배선(121)의 전위를 "H"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(102)가 온이 되어, 배선(124)의 전위(보정 데이터(Vp))는 노드(NM)에 기록된다. 또한 배선(124)의 전위는 시각 T2 이후 시각 T3 이전에 의도한 값(보정 데이터(Vp))으로 고정되는 것이 바람직하다.

[0082] 시각 T4에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(102)는 오프가 되어, 노드(NM)에 보정 데이터(Vp)가 유지된다.

[0083] 시각 T5에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)는 오프가 되어, 보정 데이터(Vp)의 기록 동작이 완료된다.

[0084] 다음으로, 화상 데이터(Vs)의 보정 동작 및 액정 소자(106)의 표시 동작에 대하여 도 2의 (B)를 참조하여 설명한다.

[0085] 시각 T11에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "H"로 함으로써, 트랜지스터(103)가 온이 되어, 노드(NM)의 전위는 노드(NA)에 분배된다. 또한 노드(NM)에 유지되는 보정 데이터(Vp)는 노드(NA)에 대한 전위 분배를 고려하여 설정하는 것이 바람직하다.

[0086] 시각 T12에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "H"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)를 통한 용량 결합에 의하여 배선(125)의 전위가 노드(NA)의 전위에 부가된다. 즉, 노드(NA)의 전위는 화상 데이터(Vs)에 보정 데이터(Vp)의 분배된 전위를 부가하여 얻어진 전위(Vs+Vp)'가 된다. 또한 전위(Vs+Vp)'는 예를 들어 배선들 간의 용량 결합으로 인한 전위 변동을 포함한다.

[0087] 시각 T13에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "H"로 함으로써, 트랜지스터(101)는 오프가 되어, 전위(Vs+Vp)'는 노드(NA)에 유지된다. 그리고, 상기 전위를 바탕으로 액정 소자(106)에 의하여 표시 동작이 수행된다.

[0088] 이상이 화상 데이터(Vs)의 보정 동작 및 액정 소자(106)의 표시 동작에 대한 설명이다. 또한 상술한 보정 데이터(Vp)의 기록 동작과 화상 데이터(Vs)의 입력 동작을 동시에 수행하여도 좋지만, 모든 화소에 보정 데이터(Vp)를 기록한 후에 화상 데이터(Vs)의 입력 동작을 수행하는 것이 바람직하다. 이하에서 자세히 설명하는 바와 같이, 본 발명의 일 형태에서는 복수의 화소에 같은 화상 데이터를 동시에 공급할 수 있기 때문에, 먼저 모든

화소에 보정 데이터(V_p)를 기록함으로써 동작 속도를 높일 수 있다.

[0089] 또한 업컨버전 등을 수행하지 않는 경우, 화상 데이터를 배선(124)에 공급하고, 트랜지스터(102 및 103)의 온/오프 상태를 제어함으로써 액정 소자(106)의 표시 동작을 수행하여도 좋다. 이 경우, 트랜지스터(101)는 항상 오프이다.

[0090] 상술한 화소(11a)의 구성 및 동작은 화상을 업컨버트하는 데 유효하다. 화소(11a)를 사용한 업컨버전에 대하여도 3의 (A) 및 (B)를 참조하여 설명한다.

[0091] 예를 들어, 8K4K 표시 장치의 화소수는 4K2K 표시 장치(화소수 3840×2160)의 4배이다. 즉, 4K2K 표시 장치의 1화소에 표시하려고 하는 화상 데이터를 8K4K 표시 장치로 단순히 표시하면, 수평 수직 방향의 4화소에서 같은 화상 데이터가 표시된다.

[0092] 도 3의 (A)는 업컨버전 유무의 화상을 설명하는 도면이다. 도 3의 (A)에는, 왼쪽으로부터, 원화상(original image)(화상 데이터(S1))이 4K2K 표시 장치의 1화소에 표시된 상태, 업컨버전 없이 화상 데이터(S1)가 8K4K 표시 장치의 4화소에 표시된 상태, 및 업컨버트된 화상 데이터(S0 내지 S2)가 8K4K 표시 장치의 4화소에 표시된 상태를 도시하였다.

[0093] 도 3의 (A)에 도시된 바와 같이, 업컨버전 전에는 4화소 모두에 화상 데이터(S1)가 표시되지만, 업컨버전 후에는 화소들에 화상 데이터(S0 내지 S2)가 적용되어, 해상도를 높일 수 있다.

[0094] 도 3의 (B)는 화소(11a)에서의 업컨버전 동작을 설명하는 도면이다. 상술한 바와 같이 화소(11a)의 화상 데이터에 임의의 보정 데이터를 부가할 수 있기 때문에, 원화상에 상당하는 화상 데이터(S1)를 변함없이 각 화소에 공급한다.

[0095] 또한 화소들에는 보정 데이터(W1 내지 W3)를 공급한다. 여기서, 보정 데이터(W1 내지 W3)의 생성 방법에 대하여 특별한 한정은 없다. 보정 데이터는 외부 장치를 사용하여 실시간으로 생성하여도 좋고, 또는 기억 매체에 저장된 보정 데이터를 판독하여 화상 데이터(S1)와 동기시켜도 좋다.

[0096] 그리고, 전술한 화소(11a)의 동작을 수행함으로써, 각 보정 데이터가 화상 데이터에 부가되기 때문에, 새로운 화상 데이터(S0 내지 S2)가 생성된다. 그 결과, 원래 화상 데이터의 업커버전에 의하여 얻어진 데이터를 사용한 표시를 수행할 수 있다.

[0097] 종래의 외부 보정에 의한 업컨버전에서는, 새로운 화상 데이터 자체를 생성하기 때문에 외부 장치에 대한 부하가 커졌다. 한편, 상술한 본 발명의 일 형태에서는, 공급되는 화상 데이터는 변화하지 않고, 보정 데이터가 공급된 화소에서 새로운 화상 데이터가 생성되기 때문에, 외부 장치에 대한 부하를 크게 할 수 있다. 또한 새로운 화상 데이터를 화소에서 생성하기 위한 동작은 적은 단계수로 실시할 수 있기 때문에, 본 발명의 일 형태를 화소수가 많고 수평 기간이 짧은 표시 장치에도 적용할 수 있다.

[0098] 본 발명의 일 형태의 화소는 도 4의 (A)에 도시된 화소(11b)의 구성을 가질 수도 있다. 화소(11b)는 화소(11a)로부터 트랜지스터(103) 및 배선(126)이 생략된 구성을 가진다.

[0099] 화소(11a)의 트랜지스터(103)는 보정 데이터(V_p)의 공급에 수반하여 일어나는 액정 소자(106)의 오동작을 피하기 위한 스위치인데, 이러한 액정 소자(106)의 의도하지 않은 동작이 일어나도 그것이 인지되는 것을 방지할 수 있으면 트랜지스터(103)를 생략할 수 있다. 예를 들어, 보정 데이터(V_p)를 공급하면서 백라이트를 소등할 수 있다.

[0100] 또는, 도 4의 (B)에 도시된 화소(11b')와 같이 용량 소자(105)를 생략하여도 좋다. 상술한 바와 같이, 노드(NM)에 접속되는 트랜지스터로서 OS 트랜지스터를 사용할 수 있다. OS 트랜지스터의 누설 전류는 매우 낮기 때문에, 저장 커패시터로서 기능하는 용량 소자(105)를 생략한 경우에도 화상 데이터를 비교적 오랫동안 유지할 수 있다.

[0101] 이 구성은 프레임 주파수가 높고 화상 데이터의 유지 기간이 비교적 짧은 경우(예를 들어 필드 시퀀셜 구동)에도 유효하다. 용량 소자(105)를 생략함으로써, 개구율 또는 화소의 투과율을 높일 수 있다. 또한 본 명세서에 나타낸 다른 임의의 화소 회로의 구성에서 용량 소자(105)를 생략하여도 좋다.

[0102] 화상 데이터(V_s)의 보정 동작 및 액정 소자(106)의 표시 동작에 대하여 도 4의 (C) 및 (D)를 참조하여 설명한다.

- [0103] 시각 T1에서, 배선(121)의 전위를 "H"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(125)의 전위를 "L"로 함으로써, 트랜지스터(102)가 온이 되어, 노드(NA)의 전위는 배선(124)의 전위가 된다. 이때, 배선(124)의 전위를 리셋 전위(예를 들어 "L")로 함으로써, 액정 소자(106)의 동작을 리셋할 수 있다.
- [0104] 또한 시각 T1 전에는, 앞의 프레임에서의 액정 소자(106)의 표시 동작이 수행된다.
- [0105] 시각 T2에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "Vp"로 하고, 배선(125)의 전위를 "L"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)의 다른 쪽 전극의 전위는 "L"이 된다. 이 동작은 차후의 용량 결합 동작을 수행하기 위한 리셋 동작이다.
- [0106] 시각 T3에서, 배선(121)의 전위를 "H"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "Vp"로 하고, 배선(125)의 전위를 "L"로 함으로써, 배선(124)의 전위(보정 테이터(Vp))는 노드(NA)에 기록된다.
- [0107] 시각 T4에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "Vp"로 하고, 배선(125)의 전위를 "L"로 함으로써, 트랜지스터(102)는 오프가 되어, 노드(NA)에 보정 테이터(Vp)가 유지된다.
- [0108] 시각 T5에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(125)의 전위를 "L"로 함으로써, 트랜지스터(101)는 오프가 되어, 보정 테이터(Vp)의 기록 동작이 완료된다.
- [0109] 다음으로, 화상 데이터(Vs)의 보정 동작 및 액정 소자(106)의 표시 동작에 대하여 설명한다. 또한 배선(125)에는 의도한 전위가 적절한 타이밍에 공급된다.
- [0110] 시각 T11에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "L"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)를 통한 용량 결합에 의하여 배선(125)의 전위가 노드(NA)의 전위에 부가된다. 즉, 노드(NA)의 전위는 화상 데이터(Vs)에 보정 테이터(Vp)를 부가하여 얻어진 전위(Vs+Vp)'가 된다. 또한 전위(Vs+Vp)'는 예를 들어 배선들 간의 용량 결합으로 인한 전위 변동도 포함한다.
- [0111] 시각 T12에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 함으로써, 트랜지스터(101)는 오프가 되어, 전위(Vs+Vp)'는 노드(NA)에 유지된다. 그리고, 상기 전위를 바탕으로 액정 소자(106)에 의하여 표시 동작이 수행된다.
- [0112] 또는, 본 발명의 일 형태의 화소는 도 5의 (A)에 도시된 화소(11c)의 구성을 가질 수 있다. 화소(11c)는 화소(11a)에 트랜지스터(107) 및 배선(130)이 추가된 구성을 가진다.
- [0113] 화소(11c)에서는, 배선(130)에 리셋 전위를 공급하여 트랜지스터(107)를 온으로 함으로써, 액정 소자(106)의 리셋 동작을 수행할 수 있다. 이 구성에 의하여, 노드(NM) 및 노드(NA)의 전위의 재기록 동작을 독립적으로 제어할 수 있기 때문에, 액정 소자(106)의 표시 동작 기간을 길게 할 수 있다.
- [0114] 화상 보정의 동작을 수행하지 않는 경우, 배선(130)으로부터 화상 데이터를 공급하여 트랜지스터(107)의 온/오프 상태를 제어하는 식으로 액정 소자(106)의 표시 동작을 수행하여도 좋다. 이 경우, 트랜지스터(103)는 항상 오프이다.
- [0115] 또는, 본 발명의 일 형태의 화소는 도 5의 (B)에 도시된 화소(11d)의 구성을 가질 수 있다. 화소(11d)는 각 트랜지스터에 백 게이트가 제공된 구조를 가진다. 백 게이트는 대응하는 프런트 게이트에 전기적으로 접속되고 온 상태 전류를 늘리는 효과를 가진다. 또는, 백 게이트와 프런트 게이트에 상이한 고정 전위를 공급하여도 좋다. 이러한 구조에 의하여 트랜지스터의 문턱 전압을 제어할 수 있다. 도 5의 (B)에서는 모든 트랜지스터가 백 게이트를 가지지만, 백 게이트가 제공되지 않는 트랜지스터가 포함되어도 좋다. 백 게이트를 포함한 트랜지스터는 본 실시형태에서의 다른 화소 회로에도 유효하다.
- [0116] 본 발명의 일 형태의 표시 장치에 사용되는 액정 소자(106)에서는, 잔상(burn-in)을 방지하기 위하여 프레임마다 극성을 반전하는 교류 구동을 수행하는 것이 바람직하다. 연속되는 프레임에 동일 화상을 표시하는 경우, 예를 들어 표 1 또는 표 2에 나타낸 동작을 수행한다. 또한 표 1 및 표 2에서의 a 및 b는 각각 특정 전위를 나타낸다.
- [0117] 표 1은 N번째 프레임(N은 1 이상의 정수(整數))에서 양의 신호를 사용한 동작을 수행하는 경우의 예를 나타낸 것이다. (N+1)번째 프레임에서는, 모드 A, 모드 B, 또는 모드 C에 나타낸 음의 신호를 사용한 동작을 수행하고, (N+1)번째 프레임의 노드(NA)의 전위의 절댓값이 N번째 프레임의 노드(NA)의 전위의 절댓값과 동등하

게 되도록 보정 데이터(V_p) 및/또는 화상 데이터(V_s)를 조정하고 공급한다. 표 2는 N 번째 프레임에서 음의 신호를 사용한 동작을 수행하는 경우의 예를 나타낸 것이다. ($N+1$)번째 프레임에서는, $N+1$ 프레임의 노드(NA)의 전위의 절댓값이 N 번째 프레임의 노드(NA)의 전위의 절댓값과 동등하게 되도록 동작을 수행한다. 또한 상기 동작에서 공통 전위는 고정하여 일정하게 한다.

[0118] 또한 모드 B에서 동작을 수행하는 경우에는, 화상 데이터(V_s)를 조정하기 때문에, 프레임 간에서 보정 데이터(V_p)의 재기록 없이 정지 화상 등을 표시할 수 있다.

[0119] [표 1]

프레임	N	$N+1$		
모드		A	B	C
화상 데이터(V_s)	$+a$	$-a$	$-a-2b$	$+a$
보정 데이터(V_p)	$+b$	$-b$	$+b$	$-2a-b$
노드(NA)	$+a+b$	$-a-b$	$-a-b$	$-a-b$

[0120]

[0121] [표 2]

프레임	N	$N+1$		
모드		A	B	C
화상 데이터(V_s)	$-a$	$+a$	$+a+2b$	$-a$
보정 데이터(V_p)	$-b$	$+b$	$-b$	$+2a+b$
노드(NA)	$-a-b$	$+a+b$	$+a+b$	$+a+b$

[0122] [0123] 도 6의 (A) 내지 (C)는 화소(11a), 화소(11b), 또는 화소(11c)를 사용할 수 있는 표시 장치를 각각 도시한 블록도이다. 각 표시 장치에 대하여 이하에서 설명한다. 또한 도면 간에서 같은 요소에 대한 반복되는 설명은 생략하였다.

[0124] 도 6의 (A)는 화소(11)가 매트릭스로 제공된 화소 어레이, 행 드라이버(12), 열 드라이버(13), 회로(14), 및 회로(15)를 포함하는 표시 장치의 예를 도시한 것이다. 배선(121, 122, 126) 등은 행 드라이버(12)에 전기적으로 접속된다. 배선(124, 125) 등은 열 드라이버(13)에 전기적으로 접속된다. 화소(11)로서 화소(11a) 또는 화소(11b)를 사용할 수 있다.

[0125] 행 드라이버(12) 및 열 드라이버(13)에는 예를 들어 시프트 레지스터 회로를 사용할 수 있다. 회로(14)는 보정 데이터를 생성하는 기능을 가진다. 또한 회로(14)는 보정 데이터를 생성하는 외부 장치라고 할 수도 있다. 회로(15)는 액정 소자(106)의 동작을 리셋하는 리셋 전위(Sr)를 열 드라이버(13)에 공급할 수 있다.

[0126] 도 3의 (A) 및 (B)를 참조하여 설명한 화상 데이터(S_1)가 회로(14)에 입력되고, 회로(14)는 화상 데이터(S_1) 및 생성된 보정 데이터(W)를 열 드라이버(13)에 출력한다. 또한 회로(14)를 통하지 않고 화상 데이터(S_1)가 열 드라이버(13)에 입력되어도 좋다.

[0127] 회로(14)는 뉴럴 네트워크를 포함하여도 좋다. 막대한 화상을 교사 데이터로서 학습한 딥 뉴럴 네트워크를 사용하면, 정확도가 높은 보정 데이터(W)를 생성할 수 있다.

[0128] 도 6의 (B)는 화소(11c)가 매트릭스로 제공된 화소 어레이, 행 드라이버(12), 열 드라이버(13), 회로(14), 및 회로(15)를 포함하는 표시 장치의 예를 도시한 것이다. 회로(15)는 리셋 전위(Sr)를 배선(130)에 공급할 수 있다.

[0129] 도 6의 (C)는 화소(11c)가 매트릭스로 배치된 화소 어레이, 행 드라이버(12), 열 드라이버(13), 열 드라이버(17), 회로(14), 및 회로(15)를 포함하는 표시 장치의 예를 도시한 것이다. 배선(130)은 열 드라이버(17)에 전기적으로 접속된다.

[0130] 열 드라이버(17)에는 예를 들어 시프트 레지스터 회로를 사용할 수 있다. 회로(15)는 리셋 전위(Sr)를 열 드라이버(17)에 공급할 수 있다. 화상 보정의 동작을 수행하지 않는 경우에는, 화상 데이터(S_x)를 열 드라이버(17)에 공급하여 액정 소자(106)의 표시 동작을 수행할 수 있다.

[0131] 또한 도 6의 (A) 내지 (C)에는 회로(14 및 15)를 포함한 구조를 각각 예시하였지만, 하나의 회로가 양쪽 회로로

서 기능하여도 좋다.

[0132] 본 발명의 일 형태의 표시 장치는 도 3의 (A) 및 (B)에 도시된 바와 같이 화소에서 업컨버트된 화상을 생성할 수 있다. 따라서, 화소에 공급되는 화상 데이터는 저해상도의 화상 데이터이고, 같은 화상 데이터를 복수의 화소에 공급한다. 도 3의 (A) 및 (B)에 도시된 예에서는, 수평 수직 방향의 4화소에 같은 화상 데이터를 공급한다. 이 경우, 화소에 접속되는 각 신호선에 같은 화상 데이터를 공급하여도 좋지만, 같은 화상 데이터가 공급되는 신호선을 서로 전기적으로 접속하면, 화상 데이터의 기록 동작을 더 빠르게 수행할 수 있다.

[0133] 도 7은 컬러 표시가 가능한 표시 장치의 화소 어레이의 일부를 도시한 도면이고, 같은 화상 데이터가 공급되는 신호선을 스위치를 통하여 서로 전기적으로 접속할 수 있는 구성을 도시한 것이다. 일반적으로, 컬러 표시가 가능한 표시 장치의 화소는 적색(R), 녹색(G), 및 청색(B)의 광을 방출하는 부화소의 조합을 포함한다. 도 7에서는, 수평 방향으로 배치된 R, G, 및 B의 3개의 부화소에 의하여 하나의 화소가 형성되고, 수평 수직 방향으로 4화소가 도시되어 있다

[0134] 여기서 도 3의 (A) 및 (B)에 도시된 바와 같이, 수평 수직 방향의 4화소에는 같은 화상 데이터가 입력된다. 도 7에서는, 부화소(R1 내지 R4)에 같은 화상 데이터가 입력된다. 예를 들어, 부화소(R1 내지 R4)에 전기적으로 접속되고 신호선으로서 기능하는 배선(125[1]) 및 배선(125[4])에 같은 화상 데이터를 공급하고, 주사선으로서 기능하는 배선(122[1]) 및 배선(122[2])에 신호를 순차적으로 입력함으로써, 4개의 부화소에 같은 화상 데이터를 입력할 수 있다. 다만 이 방법은 그렇게 효율적이지는 않다.

[0135] 본 발명의 일 형태에서는, 2개의 신호선을 이들 신호선 사이에 제공된 스위치에 의하여 서로 전기적으로 접속하고, 2개의 주사선을 이들 주사선 사이에 제공된 스위치에 의하여 서로 전기적으로 접속함으로써, 4개의 부화소에 대한 기록을 동시에 수행할 수 있다.

[0136] 도 7에서 배선(125[1])과 배선(125[4]) 사이에 제공된 스위치(141)를 온으로 함으로써, 배선(125[1]) 및 125[4] 중 한쪽에 공급된 화상 데이터를 부화소(R1 및 R2)에 동시에 기록할 수 있다. 이때 배선(122[1])과 배선(122[2]) 사이에 제공된 스위치(144)가 온이면, 부화소(R3 및 R4)에도 동시에 데이터를 기록할 수 있다. 즉, 4개의 부화소에 대한 기록을 동시에 수행할 수 있다.

[0137] 마찬가지로, 배선(125[2])과 배선(125[5]) 사이에 제공된 스위치(142) 및 배선(125[3])과 배선(125[6]) 사이에 제공된 스위치(143)를 필요에 따라 온으로 함으로써, 색이 다른 4개의 부화소에 대한 기록도 동시에 수행할 수 있다. 스위치(141 내지 144)로서는 예를 들어 트랜지스터를 사용할 수 있다.

[0138] 4개의 부화소에 대한 기록을 동시에 수행할 수 있기 때문에, 기록 시간을 단축할 수 있고, 프레임 주파수를 높일 수 있다.

[0139] 다음으로, 도 1에 도시된 화소(11a) 및 도 4의 (A)에 도시된 화소(11b)의 시뮬레이션 결과에 대하여 설명한다. 공통의 파라미터는 다음과 같고, 각 트랜지스터의 크기를 $L/W=4 \mu m / \mu m$ 로, 용량 소자(104)의 용량을 $100fF$ 로, 용량 소자(105)의 용량을 $50fF$ 로, 액정 소자(106)의 용량을 $20fF$ 로, 공통 배선(132 및 133) 각각의 전위를 $0V$ 로 하였다. 또한 회로 시뮬레이션 소프트웨어에는 SPICE를 사용하였다.

[0140] 도 8의 (A) 내지 (C)는 화소(11a)의 시뮬레이션의 동작 파라미터를 나타낸 것이다. 세로축은 각 배선의 전위를 나타내고, 가로축은 도 2의 (A) 및 (B)에 나타낸 타이밍 차트에 대응한 시간을 나타낸다.

[0141] 도 8의 (A)는 트랜지스터의 게이트에 접속된 배선의 전위를 나타낸 것이다. 시각 T2 내지 시각 T5의 동작은 보정 데이터(V_p)의 기록 동작에 상당한다. 시각 T11 내지 시각 T13의 동작은 보정 데이터(V_p)에 화상 데이터(V_s)를 부가하는 동작에 상당한다.

[0142] 도 8의 (B)는 보정 데이터(V_p)가 공급되는 배선(124)의 전위를 나타낸 것이고, 여기서는 $V_p=8V$ 이다. 또한 보정 데이터(V_p)는 시각 T2와 시각 T5 사이에 배선(124)에 공급되어야 한다.

[0143] 도 8의 (C)는 화상 데이터(V_s)가 공급되는 배선(125)의 전위를 나타낸 것이고, 전위를 $1V$ 에서 $8V$ 까지 $1V$ 씩 변화시키는 조건을 사용한다. 또한 보정 데이터(V_p)를 기록할 때에 배선(125)에는 전위 "L"로서 $1V$ 의 전압이 공급된다.

[0144] 도 8의 (D)는 상술한 동작 파라미터를 사용하였을 때의 노드(NA)의 전위 변화를 나타내는 시뮬레이션 결과를 나타낸 것이다. 시각 T13 후에 나타낸 전위는 노드(NA)에 인가되는 전위이고, 그 결과는 상기 전위가 화상 데이터(V_s)의 전위보다 높다는 것을 보여준다. 다만, 노드(NA)의 전위는 상술한 바와 같이, 노드(NM)의 보정 테이

터(Vp)가 노드(NA)에 분배되었을 때 일어나는 전위 저하, 용량 결합 시의 용량비, 또는 배선 간의 용량 등의 영향을 받기 때문에, 의도한 전위가 되지 않는 경우가 있다.

[0145] 도 9의 (A)는 상술한 파라미터를 사용하였을 때의 화상 데이터(Vs)의 전위와 노드(NA)의 전위의 관계를 나타낸 그래프이다. 동그라미(0)는 보정 데이터(Vp)로서 8V의 전압이 입력된 시뮬레이션 결과를 나타낸 것이다. 또한 Vref(기록 시의 배선(125)의 전위)는 1V이고, Vp-Vref=7V이다. 삼각(\triangle)은 노드(NA)에 보정 데이터(Vp)가 직접 기록되었을 때 나타나는 시뮬레이션 결과를 나타낸 것이다. 그래프에 나타낸 바와 같이, 이를 전위에는 약간 큰 차이가 있고, 설계 또는 동작 조건에 제한이 있는 경우에는 보정을 충분히 수행할 수 없는 경우가 있다.

[0146] 도 9의 (B)는 도 9의 (A)의 결과를 감안하여, 손실에 상당하는 양의 전위를 보정 데이터(Vp)에 미리 부가함으로써 상기 차이가 저감될지 여부를 조사한 시뮬레이션 결과를 나타낸 것이다. 상술한 파라미터를 사용한 경우에는 +5.6V의 전위를 보정 데이터(Vp)에 부가하면, 노드(NA)의 전위는 의도한 값을 취할 수 있다.

[0147] 도 9의 (C)는 마찬가지의 목적으로, 용량 소자(104)의 용량을 100fF에서 300fF까지 변경한 경우의 시뮬레이션 결과를 나타낸 것이다. 화상 데이터(Vs)의 전위가 낮을 때는 약간의 차이가 있지만, 노드(NA)의 전위는 거의 의도한 값을 취할 수 있다.

[0148] 즉 그 결과는, 보정 데이터(Vp) 또는 용량 소자(104)의 용량을 적절히 설정함으로써, 노드(NA)의 전위는 의도한 값을 취할 수 있다는 것을 보여준다.

[0149] 도 10의 (A) 내지 (C)는 화소(11b)의 시뮬레이션을 위한 동작 파라미터를 나타낸 것이다. 세로축은 각 배선의 전위를 나타내고, 가로축은 도 4의 (C) 및 (D)의 타이밍 차트에 대응한 시간을 나타낸다. 화소(11b)에서 트랜지스터(103)가 포함되지 않기 때문에, 도 10의 (A)에는 배선(126)의 신호가 나타내어지지 않았다. 도 10의 (B) 및 (C)는 도 8의 (B) 및 (C)와 동일하다.

[0150] 도 10의 (D)는 상술한 동작 파라미터를 사용하였을 때의 노드(NA)의 전위 변화를 나타낸 시뮬레이션 결과를 나타낸 것이다. 도 11은 상술한 파라미터를 사용하였을 때의 화상 데이터(Vs)의 전위와 노드(NA)의 전위의 관계를 나타낸 것이다. 화소(11b)는 보정 데이터(Vp)의 분배로 인한 전위 저하의 영향을 받지 않기 때문에, 상술한 보정 데이터(Vp)의 부가는 불필요하다. 또한 용량 소자(104)의 용량을 작게 할 수 있기 때문에, 설계 용통성을 높일 수 있다.

[0151] 본 발명의 일 형태의 표시 장치에는 도 12의 (A)에 도시된 화소(11e)의 구성을 채용하여도 좋다. 화소(11e)는 도 5의 (A)에 도시된 화소(11c)에 트랜지스터(112)가 추가된 구성을 가진다. 다른 트랜지스터와 같이, 트랜지스터(112)는 예를 들어 OS 트랜지스터로 할 수 있다.

[0152] 트랜지스터(112)의 게이트는 트랜지스터(102)의 소스 및 드레인 중 한쪽, 및 용량 소자(104)의 다른 쪽 전극에 전기적으로 접속된다. 트랜지스터(112)의 소스 및 드레인 중 한쪽은 트랜지스터(103)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(112)의 소스 및 드레인 중 다른 쪽은 전원선(131)(고전위)에 전기적으로 접속된다.

[0153] 화소(11e)에서는, 용량 소자(104)의 다른 쪽 전극, 트랜지스터(102)의 소스 및 드레인 중 한쪽, 및 트랜지스터(112)의 게이트가 접속된 배선을 노드(NM)라고 한다.

[0154] 화소(11e)에 전기적으로 접속된 배선(130)은 화상 데이터를 리셋하기 위한 정전위(저전위)를 공급하는 신호선의 기능을 가질 수 있다. 배선(124)은 아래에서 설명하는 노드(NM)에 데이터를 기록하기 위한 신호선의 기능을 가질 수 있다.

[0155] 화소(11e)에서, 노드(NM)에 기록된 데이터는 배선(125)으로부터 공급되는 화상 데이터와 용량 결합할 수 있고, 얻어진 데이터를 노드(NA)에 출력할 수 있다.

[0156] 바꿔 말하면, 노드(NM)에 의도한 보정 데이터를 미리 저장하는 경우, 공급된 화상 데이터에 상기 보정 데이터를 부가할 수 있다. 또한 보정 데이터는 전송 경로상의 요소 때문에 감쇠되는 경우가 있기 때문에, 이 감쇠를 고려하여 상기 보정 데이터를 생성하는 것이 바람직하다.

[0157] 도 12의 (B) 및 (C)에 나타낸 타이밍 차트를 사용하여 화소(11e)의 동작의 자세한 사항에 대하여 설명한다. 또한 배선(124)에 공급되는 보정 데이터(Vp)로서는 임의의 양 또는 음의 신호를 사용할 수 있지만, 여기서는 양의 신호를 공급하는 경우에 대하여 설명한다. 배선(130)에는 리셋 전위(저전위)가 공급된다. 이하의 설명에서는, "H"는 고전위를 나타내고 "L"은 저전위를 나타낸다.

- [0158] 우선, 노드(NM)에 보정 데이터(Vp)를 기록하는 동작에 대하여 도 12의 (B)를 참조하여 설명한다. 또한 화상 보정이 목적인 경우, 일반적으로는 이 동작을 프레임마다 수행하는 것이 바람직하다.
- [0159] 시각 T1에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)의 한쪽 전극의 전위는 "L"이 된다. 이 동작은 추후의 용량 결합 동작을 수행하기 위한 리셋 동작이다.
- [0160] 시각 T2에서, 배선(121)의 전위를 "H"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(102)가 온이 되어, 배선(124)의 전위(보정 데이터(Vp))는 노드(NM)에 기록된다.
- [0161] 시각 T2 전에는 앞의 프레임에서의 액정 소자(106)의 표시 동작이 수행되고, 트랜지스터(107)를 온으로 함으로써 노드(NA)의 전위를 리셋 전위로 하여 액정 소자(106)의 표시 동작을 리셋한다.
- [0162] 시각 T3에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(102)는 오프가 되어, 노드(NM)에 보정 데이터(Vp)가 유지된다.
- [0163] 시각 T4에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(125)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)는 오프가 되어, 보정 데이터(Vp)의 기록 동작이 완료된다.
- [0164] 다음으로, 화상 데이터(Vs)의 보정 동작 및 액정 소자(106)의 표시 동작에 대하여 도 12의 (C)를 참조하여 설명한다.
- [0165] 시각 T11에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "H"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)가 온이 되어, 용량 소자(104)의 용량 결합에 의하여 배선(125)의 전위가 노드(NM)의 전위에 부가된다. 즉, 노드(NM)의 전위는 화상 데이터(Vs)에 보정 데이터(Vp)를 부가하여 얻어진 전위(Vs+Vp)가 된다.
- [0166] 시각 T12에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "L"로 함으로써, 트랜지스터(101)는 오프가 되어, 노드(NM)의 전위가 Vs+Vp로 고정된다.
- [0167] 시각 T13에서, 배선(121)의 전위를 "L"로 하고, 배선(122)의 전위를 "L"로 하고, 배선(124)의 전위를 "L"로 하고, 배선(126)의 전위를 "H"로 함으로써, 트랜지스터(103)가 온이 되어, 노드(NA)의 전위는 Vs+Vp가 되고 액정 소자(106)의 표시 동작이 수행된다. 엄밀하게 말하면, 노드(NA)의 전위는 Vs+Vp보다 트랜지스터(112)의 문턱 전압(V_{th})만큼 낮지만, 여기서는 V_{th} 는 충분히 낮고 무시할 수 있다.
- [0168] 이상이 화상 데이터(Vs)의 보정 동작 및 액정 소자(106)의 표시 동작에 대한 설명이다. 또한 위에서 설명한 보정 데이터(Vp)의 기록 동작 및 화상 데이터(Vs)의 입력 동작은 연속하여 수행하여도 좋지만, 모든 화소에 보정 데이터(Vp)를 기록한 후에 화상 데이터(Vs)의 입력 동작을 수행하는 것이 바람직하다. 자세한 내용은 상술하였지만, 본 발명의 일 형태에서는 복수의 화소에 같은 화상 데이터를 동시에 공급할 수 있기 때문에, 먼저 모든 화소에 보정 데이터(Vp)를 기록함으로써 동작 속도를 높일 수 있다.
- [0169] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0170] (실시형태 2)
- [0171] 본 실시형태에서는, 액정 소자를 포함한 표시 장치의 구조예에 대하여 설명한다. 또한 실시형태 1에서 설명한 보정에 관한 동작 및 기능에 대해서는 본 실시형태에서 반복적으로는 설명하지 않는다.
- [0172] 도 13의 (A) 내지 (C)는 본 발명의 일 형태가 적용될 수 있는 표시 장치의 구조를 각각 도시한 도면이다.
- [0173] 도 13의 (A)에서는, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 실재(4005)가 제공되고, 표시부(215)가 실재(4005) 및 제 2 기판(4006)으로 밀봉되어 있다.
- [0174] 표시부(215)에는 실시형태 1에서 설명한 화소를 포함한 화소 어레이가 제공된다.
- [0175] 도 13의 (A)에서, 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선

(common line) 구동 회로(241a) 각각은 인쇄 회로 기판(4041) 위에 제공된 복수의 접적 회로(4042)를 포함한다. 접적 회로(4042)는 각각 단결정 반도체 또는 다결정 반도체를 사용하여 형성되어 있다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)는 실시형태 1에서 설명한 열 드라이버로서의 기능을 가진다. 주사선 구동 회로(221a)는 실시형태 1에서 설명한 행 드라이버로서의 기능을 가진다. 공통선 구동 회로(241a)는 실시형태 1에서 설명한 공통 배선에 소정의 전위를 공급하는 기능을 가진다.

[0176] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에는 FPC(flexible printed circuit)(4018)로부터 신호 및 전위가 공급된다.

[0177] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)에 포함되는 접적 회로(4042)는 각각 표시부(215)에 선택 신호를 공급하는 기능을 가진다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 접적 회로(4042)는 각각 표시부(215)에 화상 데이터를 공급하는 기능을 가진다. 접적 회로(4042)는 제 1 기판(4001) 위의 실재(4005)로 둘러싸인 영역과는 다른 영역에 실장되어 있다.

[0178] 또한 접적 회로(4042)의 접속 방법에 특별한 제한은 없고, 와이어 본딩법, COG(chip on glass)법, TCP(tape carrier package)법, 또는 COF(chip on film)법 등을 사용할 수 있다.

[0179] 도 13의 (B)는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 접적 회로(4042)를 COG법에 의하여 실장하는 예를 도시한 것이다. 또한 구동 회로의 일부 또는 모두를 표시부(215)가 형성되는 기판 위에 형성함으로써, 시스템 온 패널(system-on-panel)을 얻을 수 있다.

[0180] 도 13의 (B)에 나타낸 예에서는, 표시부(215)가 형성되는 기판 위에 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)가 형성되어 있다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성하면, 부품의 개수를 줄일 수 있다. 이로써, 생산성을 높일 수 있다.

[0181] 도 13의 (B)에서는, 제 1 기판(4001) 위의 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)를 둘러싸도록 실재(4005)가 제공되어 있다. 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기판(4006)이 제공되어 있다. 따라서 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기판(4001), 실재(4005), 및 제 2 기판(4006)에 의하여 표시 소자와 함께 밀봉되어 있다.

[0182] 도 13의 (B)에 도시된 예에서는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)가 별도로 형성되고 제 1 기판(4001)에 실장되어 있지만, 본 발명의 일 형태는 이 구조에 한정되지 않는다. 주사선 구동 회로를 별도로 형성한 다음 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성한 다음 실장하여도 좋다. 도 13의 (C)에 도시된 바와 같이, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 표시부(215)가 형성되는 기판 위에 형성하여도 좋다.

[0183] 표시 장치는 표시 소자가 밀봉된 패널, 및 상기 패널에 컨트롤러를 포함한 IC 등이 실장된 모듈을 포함하는 경우가 있다.

[0184] 제 1 기판 위의 표시부 및 주사선 구동 회로는 복수의 트랜지스터를 포함한다.

[0185] 주변 구동 회로에 포함되는 트랜지스터 및 표시부의 화소 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고 다른 구조를 가져도 좋다. 주변 구동 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고, 2종류 이상의 구조를 가지는 트랜지스터가 사용되어도 좋다. 마찬가지로, 화소 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고 2종류 이상의 구조의 조합을 가져도 좋다.

[0186] 제 2 기판(4006) 위에는 입력 장치(4200)를 제공할 수 있다. 도 13의 (A) 및 (B) 각각에 도시되고 입력 장치(4200)가 제공된 표시 장치는 터치 패널로서 기능할 수 있다.

[0187] 본 발명의 일 형태의 터치 패널에 포함되는 검지 소자(센서 소자라고도 함)에 특별한 한정은 없다. 손가락 또는 스타일러스 등의 물체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 센서 소자로서 사용할 수 있다.

[0188] 예를 들어 센서에는 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 및 감압 방식 등 다양한 방식을 사용할 수 있다.

[0189] 본 실시형태에서는 정전 용량 방식의 센서 소자를 포함한 터치 패널을 예로서 설명한다.

[0190] 정전 용량 방식의 터치 센서 소자의 예에는 표면형 정전 용량 방식의 터치 센서 소자 및 투영형 정전 용량 방식의 터치 센서 소자 등이 포함된다. 투영형 정전 용량 방식의 센서 소자의 예에는 자기 용량 방식의 센서 소자

및 상호 용량 방식의 센서 소자가 포함된다. 상호 용량 방식의 센서 소자를 사용하면 여러 지점을 동시에 검지 할 수 있으므로 바람직하다.

[0191] 본 발명의 일 형태의 터치 패널은, 따로따로 형성된 표시 장치와 센서 소자를 서로 접착하는 구조, 및 표시 소자를 지지하는 기판 및 대향 기판 중 한쪽 또는 양쪽 모두에, 센서 소자에 포함되는 전극 등을 제공하는 구조를 포함한 다양한 구조 중 임의의 것을 가질 수 있다.

[0192] 도 14의 (A) 및 (B)는 터치 패널의 예를 도시한 것이다. 도 14의 (A)는 터치 패널(4210)의 사시도이다. 도 14의 (B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여 도 14의 (A) 및 (B)에는 주요한 구성 요소만을 도시하였다.

[0193] 터치 패널(4210)은 따로따로 형성된 표시 장치 및 센서 소자를 서로 접합시킨 구조를 가진다.

[0194] 터치 패널(4210)은 서로 중첩하여 제공된 입력 장치(4200) 및 표시 장치를 포함한다.

[0195] 입력 장치(4200)는 기판(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 포함한다. 예를 들어, 전극(4227)은 배선(4237) 또는 배선(4239)에 전기적으로 접속될 수 있다. 또한 전극(4228)은 배선(4239)에 전기적으로 접속될 수 있다. FPC(4272b)는 복수의 배선(4237) 및 복수의 배선(4238)의 각각에 전기적으로 접속된다. FPC(4272b)에는 IC(4273b)를 제공할 수 있다.

[0196] 표시 장치의 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서가 위치하는 경우에는, 정전 용량 방식의 터치 센서에 더하여, 광학 변환 소자를 포함한 광학 터치 센서를 사용하여도 좋다.

[0197] 도 15는 도 13의 (B)의 쇄선 N1-N2를 따라 취한 부분의 단면도이다. 도 15에 도시된 바와 같이 표시 장치는 전극(4015)을 포함하고, 전극(4015)은 FPC(4018)에 포함되는 단자에 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다. 도 15에서, 전극(4015)은 절연층(4112, 4111, 및 4110)에 형성된 개구에서 배선(4014)에 전기적으로 접속되어 있다.

[0198] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜ジ스터(4010 및 4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.

[0199] 제 1 기판(4001) 위에 제공된 표시부(215) 및 주사선 구동 회로(221a)는 복수의 트랜ジ스터를 포함한다. 도 15에는, 표시부(215)에 포함되는 트랜ジ스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜ジ스터(4011)를 예로서 도시하였다. 또한 도 15의 예에서, 트랜ジ스터(4010) 및 트랜ジ스터(4011)는 보텀 게이트 트랜지스터이지만 톱 게이트 트랜지스터이어도 좋다.

[0200] 도 15에서는, 트랜ジ스터(4010 및 4011) 위에 절연층(4112)이 제공되어 있다.

[0201] 트랜ジ스터(4010 및 4011)는 절연층(4102) 위에 제공되어 있다. 트랜ジ스터(4010 및 4011)는 각각 절연층(4111) 위에 형성된 전극(4017)을 포함한다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.

[0202] 도 15에 도시된 표시 장치는 용량 소자(4020)도 포함한다. 용량 소자(4020)는 트랜ジ스터(4010)의 게이트 전극을 형성하는 것과 같은 단계에서 형성된 전극(4021), 및 트랜ジ스터(4010)의 소스 전극 및 드레인 전극을 형성하는 것과 같은 단계에서 형성된 전극을 포함한다. 이를 전극은 절연층(4103)을 개재(介在)하여 서로 중첩되어 있다.

[0203] 일반적으로, 표시 장치의 화소부에 제공되는 용량 소자의 용량은, 화소부에 제공되는 트랜ジ스터의 누설 전류 등을 고려하여, 전하를 소정의 기간 유지할 수 있도록 설정된다. 용량 소자의 용량은 트랜ジ스터의 오프 상태 전류 등을 고려하여 설정할 수 있다.

[0204] 표시부(215)에 포함되는 트랜ジ스터(4010)는 표시 소자에 전기적으로 접속된다. 도 15에는 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시하였다. 도 15에서, 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 액정층(4008)을 끼우도록 배향막으로서 기능하는 절연층(4032 및 4033)이 제공된다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030) 및 제 2 전극층(4031)은 액정층(4008)을 개재하여 서로 중첩된다.

[0205] 액정 소자(4013)로서는 다양한 모드 중 임의의 것이 사용된 액정 소자를 사용할 수 있다. 예를 들어 VA(vertical alignment), TN(twisted nematic) 모드, IPS(in-plane switching) 모드, ASM(axially symmetric

aligned micro-cell) 모드, OCB(optically compensated bend) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(antiferroelectric liquid crystal) 모드, ECB(electrically controlled birefringence) 모드, VA-IPS 모드, 또는 게스트-호스트 모드를 사용한 액정 소자를 사용할 수 있다.

[0206] 본 실시형태에서 설명한 액정 표시 장치는 VA(vertical alignment) 모드를 이용한 투과형 액정 표시 장치 등의 노멀리 블랙형 액정 표시 장치이어도 좋다. VA 모드의 예에는 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 및 ASV(advanced super view) 모드가 포함된다.

[0207] 액정 소자는 액정의 광학 변조 작용에 의하여 광의 투과 및 비투과를 제어하는 소자이다. 액정의 광학 변조 작용은 액정에 가해지는 전계(수평 전계, 수직 전계, 및 경사 전계를 포함함)에 의하여 제어된다. 액정 소자에 사용되는 액정으로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, PDLC(polymer dispersed liquid crystal), 강유전성 액정, 또는 반강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라 콜레스테릭상, 스메틱상, 큐빅상, 키랄 네마티ック상, 또는 등방상 등을 나타낸다.

[0208] 도 15의 예에서는 수직 전계 모드의 액정 소자를 포함한 액정 표시 장치를 도시하였지만, 수평 전계 모드의 액정 소자를 포함한 액정 표시 장치에 본 발명의 일 형태를 적용할 수 있다. 수평 전계 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭 액정의 온도가 상승되면서 콜레스테릭상이 등방상으로 전이하기 직전에 발현한다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 넓히기 위하여 5wt% 이상의 키랄제를 포함한 액정 조성물을 액정 층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물은 응답 시간이 짧고 광학적 등방성을 가지고, 또한 이러한 액정 조성물은 배향 처리가 불필요하고 시야각의 의존성이 작다. 또한 배향막을 제거할 필요가 없고 러빙 처리가 불필요하기 때문에, 러빙 처리로 인하여 생기는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량 또는 대미지를 저감할 수 있다.

[0209] 스페이서(4035)는 절연층의 선택적 에칭에 의하여 얻어지는 주상 스페이서이고 제 1 전극층(4030)과 제 2 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또는 구상 스페이서를 사용하여도 좋다.

[0210] 필요에 따라, 블랙 매트릭스(차광층), 착색층(컬러 필터), 혹은 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기판 및 위상차 기판을 사용함으로써, 원형 편광을 채용하여도 좋다. 또한 광원으로서 백라이트 또는 사이드라이트 등을 사용하여도 좋다. 백라이트 또는 사이드라이트로서 마이크로 LED 등을 사용하여도 좋다.

[0211] 도 15에 도시된 표시 장치에서는, 제 2 기판(4006)과 제 2 전극층(4031) 사이에 차광층(4132), 착색층(4131), 및 절연층(4133)이 제공된다.

[0212] 차광층(4132)에 사용할 수 있는 재료의 예에는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 및 복수의 금속 산화물의 고용체를 포함한 복합 산화물이 포함된다. 차광층(4132)은 수지 재료를 포함한 막이어도 좋고, 금속 등의 무기 재료의 박막이어도 좋다. 착색층(4131)의 재료를 포함한 적층막을 차광층(4132)에 사용할 수도 있다. 예를 들어, 어떤 색의 광을 투과시키는 착색층(4131)의 재료를 포함한 막과, 다른 색의 광을 투과시키는 착색층(4131)의 재료를 포함한 막의 적층 구조를 채용할 수 있다. 착색층(4131) 및 차광층(4132)을 같은 재료를 사용하여 형성하면, 같은 제조 장치를 사용할 수 있고 공정을 간략화할 수 있기 때문에 바람직하다.

[0213] 착색층(4131)에 사용할 수 있는 재료의 예로서 금속 재료, 수지 재료, 및 안료 또는 염료를 포함한 수지 재료를 들 수 있다. 차광층(4132) 및 착색층(4131)은 상술한 층의 형성 방법과 비슷한 방법에 의하여 형성할 수 있다. 예를 들어 잉크젯법을 사용하여도 좋다.

[0214] 도 15에 도시된 표시 장치는 절연층(4111 및 4104)을 포함한다. 절연층(4111 및 4104)으로서는, 불순물 원소가 쉽게 통과하지 않는 절연층을 사용한다. 절연층들(4111 및 4104) 사이에 트랜지스터의 반도체층을 끼워으로써, 외부로부터의 불순물의 침입을 방지할 수 있다.

[0215] 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 구동 회로를 보호하기 위한 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 형성되는 것이 바람직하다.

[0216] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0217] (실시형태 3)

[0218] 본 실시형태에서는, 위의 실시형태에서 설명한 트랜지스터로서 사용할 수 있는 트랜지스터의 예에 대하여 도면

을 참조하여 설명한다.

- [0219] 본 발명의 일 형태의 표시 장치는, 보텀 게이트 트랜지스터 또는 톱 게이트 트랜지스터 등 다양한 형태 중 임의 것을 가지는 트랜지스터를 사용하여 제작할 수 있다. 그러므로 기존의 생산 라인에 따라 반도체층의 재료 또는 트랜지스터의 구조를 쉽게 변경할 수 있다.
- [0220] [보텀 게이트 트랜지스터]
- [0221] 도 16의 (A1)은 보텀 게이트 트랜지스터의 일종인 채널 보호 트랜지스터(810)의 단면도이다. 도 16의 (A1)에서 트랜지스터(810)는 기판(771) 위에 형성되어 있다. 트랜지스터(810)는 절연층(772)을 개재하여 기판(771) 위에 전극(746)을 포함한다. 트랜지스터(810)는 절연층(726)을 개재하여 전극(746) 위에 반도체층(742)을 포함한다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.
- [0222] 트랜지스터(810)는 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 포함한다. 트랜지스터(810)는 반도체층(742)과 부분적으로 접하고 절연층(726) 위에 있는 전극(744a) 및 전극(744b)을 포함한다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.
- [0223] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공하면, 전극(744a) 및 744b)을 형성할 때 반도체층(742)이 노출되는 것을 방지할 수 있다. 그러므로 전극(744a 및 744b)을 형성할 때 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.
- [0224] 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 포함하고, 절연층(728) 위에 절연층(729)을 더 포함한다.
- [0225] 반도체층(742)에 산화물 반도체를 사용하는 경우에는, 전극(744a 및 744b)에서 적어도 반도체층(742)과 접하는 영역에, 반도체층(742)의 일부로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(742)에서 산소 결손이 발생한 영역의 캐리어 농도가 증가되므로, 상기 영역은 n형 영역(n^+ 층)이 된다. 이로써, 상기 영역은 소스 영역 및 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료의 예에는 텅스텐 및 타이타늄이 포함된다.
- [0226] 반도체층(742)에 소스 영역 및 드레인 영역을 형성함으로써, 반도체층(742)과 각 전극(744a 및 744b) 사이의 접촉 저항을 저감할 수 있다. 이로써, 전계 효과 이동도 및 문턱 전압 등의 트랜지스터의 전기 특성을 바람직하게 할 수 있다.
- [0227] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 전극(744a 및 744b) 각각 사이에 n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.
- [0228] 절연층(729)은, 외부로부터 트랜지스터로 불순물이 확산되는 것을 방지하거나 저감할 수 있는 재료를 사용하여 형성되는 것이 바람직하다. 절연층(729)은 반드시 형성할 필요는 없다.
- [0229] 도 16의 (A2)에 도시된 트랜지스터(811)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 포함하는 점에서 트랜지스터(810)와 다르다. 전극(723)은 전극(746)과 비슷한 재료 및 방법을 사용하여 형성할 수 있다.
- [0230] 일반적으로, 백 게이트 전극은 도전층을 사용하여 형성되고, 반도체층의 채널 형성 영역이 게이트 전극과 백 게이트 전극 사이에 위치하도록 배치된다. 그러므로 백 게이트 전극은 게이트 전극과 비슷한 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극과 함께 하여도 좋고, 접지(GND) 전위 또는 소정의 전위로 하여도 좋다. 백 게이트 전극의 전위를 게이트 전극의 전위와는 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0231] 전극(746) 및 전극(723)은 각각 게이트 전극으로서 기능할 수 있다. 따라서 절연층(726, 728, 및 729)은 각각 게이트 절연층으로서 기능할 수 있다. 전극(723)을 절연층들(728 및 729) 사이에 제공하여도 좋다.
- [0232] 전극(746) 및 전극(723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어, 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이

라고 한다. 전극(723)을 "게이트 전극"으로서 사용하는 경우, 트랜지스터(811)를 톱 게이트 트랜지스터의 일종으로 간주할 수 있다. 또는, 전극(746) 및 전극(723) 중 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.

[0233] 반도체층(742)을 개재하여 전극(746 및 723)을 제공하고, 전극(746 및 723)의 전위를 같게 함으로써, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 확대되기 때문에, 이동하는 캐리어의 개수가 증가된다. 이 결과, 트랜지스터(811)의 온 상태 전류 및 전계 효과 이동도가 높아진다.

[0234] 그러므로 트랜지스터(811)는 그 면적에 대하여 온 상태 전류가 높다. 즉 요구되는 온 상태 전류에 대하여 트랜지스터(811)의 면적을 축소할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 면적을 축소할 수 있다. 그러므로 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.

[0235] 게이트 전극 및 백 게이트 전극은 도전층을 사용하여 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가, 채널이 형성되는 반도체층에 영향을 미치는 것을 방지하는 기능(특히, 정전기 등에 대한 전계 차폐 기능)을 각각 가진다. 반도체층을 덮도록 백 게이트 전극을 반도체층보다 크게 형성함으로써, 전계 차폐 기능을 향상시킬 수 있다.

[0236] 차광성 도전막을 사용하여 백 게이트 전극을 형성하면, 백 게이트 전극 측으로부터 반도체층에 광이 들어가는 것을 방지할 수 있다. 그러므로 반도체층의 광 열화, 및 문턱 전압 변동 등의 트랜지스터의 전기 특성 열화를 방지할 수 있다.

[0237] 본 발명의 일 형태에 따르면, 신뢰성이 양호한 트랜지스터를 제공할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 제공할 수 있다.

[0238] 도 16의 (B1)은 보텀 게이트 트랜지스터의 일종인 채널 보호 트랜지스터(820)의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 실질적으로 같은 구조를 가지지만, 절연층(741)이 반도체층(742)의 단부를 덮는 점에서 트랜지스터(810)와 다르다. 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 개구를 통하여 반도체층(742)이 전극(744a)에 전기적으로 접속되어 있다. 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 다른 개구에서 반도체층(742)이 전극(744b)에 전기적으로 접속되어 있다. 절연층(741)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.

[0239] 도 16의 (B2)에 도시된 트랜지스터(821)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 포함하는 점에서 트랜지스터(820)와 다르다.

[0240] 절연층(741)에 의하여, 전극(744a 및 744b)을 형성할 때 반도체층(742)이 노출되는 것을 방지할 수 있다. 그러므로 전극(744a 및 744b)을 형성할 때 반도체층(742)의 두께가 얇아지는 것을 방지할 수 있다.

[0241] 트랜지스터(820 및 821)에서는 트랜지스터(810 및 811)에서보다 전극(744a)과 전극(746) 사이의 거리, 및 전극(744b)과 전극(746) 사이의 길이가 길다. 그러므로 전극(744a)과 전극(746) 사이에서 발생하는 기생 용량을 저감할 수 있다. 전극(744b)과 전극(746) 사이에서 발생하는 기생 용량도 저감할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.

[0242] 도 16의 (C1)에 도시된 트랜지스터(825)는 보텀 게이트 트랜지스터의 일종인 채널 에치 트랜지스터(channel-etched transistor)이다. 트랜지스터(825)에서는, 절연층(741)을 제공하지 않고 전극(744a 및 744b)을 형성한다. 그러므로 전극(744a 및 744b)을 형성할 때 노출되는 반도체층(742)의 일부가 예칭되는 경우가 있다. 그러나 절연층(741)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.

[0243] 도 16의 (C2)에 도시된 트랜지스터(826)는, 백 게이트 전극으로서 기능할 수 있는 전극(723)이 절연층(729) 위에 제공된다는 점에서 트랜지스터(825)와 다르다.

[0244] [톱 게이트 트랜지스터]

[0245] 도 17의 (A1)에 도시된 트랜지스터(842)는 톱 게이트 트랜지스터의 일종이다. 전극(744a 및 744b)은 절연층(728 및 729)에 형성된 개구를 통하여 반도체층(742)에 전기적으로 접속된다.

[0246] 도 17의 (A3)에 도시된 바와 같이, 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 전극(746) 및 잔존한 절연층(726)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입하면, 반도체층(742) 내에 자기 정합(self-aligned)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 포함한다. 반도체층(742)에서 절연층(726)을 통하여 불순물(755)이 도입되는 영역의

불순물 농도는, 반도체층(742)에서 절연층(726)을 통하지 않고 불순물(755)이 도입되는 영역에서보다 낮다. 그러므로 반도체층(742)에서 전극(746)과 중첩되지 않는 영역에 LDD(lightly doped drain) 영역이 형성된다.

[0247] 도 17의 (A2)에 도시된 트랜지스터(843)는 전극(723)이 포함된다는 점에서 트랜지스터(842)와 다르다. 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 포함하고, 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 가진다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.

[0248] 도 17의 (B1)에 도시된 트랜지스터(844) 및 도 17의 (B2)에 도시된 트랜지스터(845)에서와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 완전히 제거하여도 좋다. 또는 도 17의 (C1)에 도시된 트랜지스터(846) 및 도 17의 (C2)에 도시된 트랜지스터(847)에서와 같이, 절연층(726)을 남겨도 좋다.

[0249] 트랜지스터(842 내지 847)에서는, 전극(746)을 형성한 후에 전극(746)을 마스크로서 사용하여 반도체층(742)에 불순물(755)을 도입함으로써, 반도체층(742)에 불순물 영역을 자기 정합적으로 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다. 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.

[0250] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0251] (실시형태 4)

[0252] 본 실시형태에서는 실시형태 1에서 설명한 행 드라이버(12), 열 드라이버(13 및 17), 및 회로(14 및 15)에 사용할 수 있는 반도체 장치에 대하여 기재한다. 아래에서 설명하는 반도체 장치는 기억 장치로서 기능할 수 있다.

[0253] 본 실시형태에서는 산화물 반도체를 사용한 기억 장치의 예로서 DOSRAM(등록 상표)에 대하여 설명한다. 또한 DOSRAM은 dynamic oxide semiconductor random access memory를 나타낸다. DOSRAM은 기록 트랜지스터가 산화물 반도체를 포함한, 1트랜지스터 1용량 소자(1T1C)의 메모리 셀로 구성된 기억 장치이다.

[0254] DOSRAM(1000)의 적층 구조의 예에 대하여 도 18을 참조하여 설명한다. DOSRAM(1000)에서는 데이터를 관독하는 감지 증폭기 유닛(1002) 및 데이터를 저장하는 셀 어레이 유닛(1003)이 적층되어 있다.

[0255] 도 18에 도시된 바와 같이, 감지 증폭기 유닛(1002)에는 비트선(BL) 및 Si 트랜지스터(Ta10 및 Ta11)가 제공되어 있다. Si 트랜지스터(Ta10 및 Ta11)는 단결정 실리콘 웨이퍼에 반도체층을 가진다. Si 트랜지스터(Ta10 및 Ta11)는 감지 증폭기를 구성하고 비트선(BL)에 전기적으로 접속된다.

[0256] 셀 어레이 유닛(1003)은 복수의 메모리 셀(1001)을 포함한다. 메모리 셀(1001)은 트랜지스터(Tw1) 및 용량 소자(C1)를 포함한다. 셀 어레이 유닛(1003)에서, 2개의 트랜지스터(Tw1)는 반도체층을 공유한다. 반도체층은 도 18에는 도시되지 않은 도전체를 통하여 비트선(BL)에 전기적으로 접속된다.

[0257] 도 18에 도시된 적층 구조는 트랜지스터군을 각각 포함한 회로를 적층하여 구성된 다양한 반도체 장치에 적용할 수 있다.

[0258] 도 18의 금속 산화물, 절연체, 및 도전체 등은 각각 단층 구조이어도 적층 구조이어도 좋다. 이들은 스팍터링 법, MBE(molecular beam epitaxy)법, PLA(pulsed laser ablation)법, CVD(chemical vapor deposition)법, 및 ALD(atomic layer deposition)법 등의 다양한 퇴적 방법 중 임의의 것에 의하여 형성할 수 있다. CVD법의 예에는 플라스마 CVD법, 열 CVD법, 및 유기 금속 CVD법이 포함된다.

[0259] 여기서는, 트랜지스터(Tw1)의 반도체층은 금속 산화물(산화물 반도체)을 포함하고, 예로서 3층의 금속 산화물층으로 구성된다. 반도체층은 In, Ga, 및 Zn을 포함한 금속 산화물을 사용하여 형성되는 것이 바람직하다.

[0260] 산소 결손을 형성하는 원소 또는 산소 결손에 결합하는 원소가 금속 산화물에 첨가되면, 금속 산화물의 캐리어 밀도가 증가되어 저항이 낮아지는 경우가 있다. 예를 들어, 금속 산화물을 포함한 반도체층의 일부의 저항을 선택적으로 낮추면, 반도체층에 소스 영역 및 드레인 영역을 제공할 수 있다.

[0261] 금속 산화물의 저항을 낮추는 원소의 대표적인 예에는 붕소 또는 인이 있다. 또한 수소, 탄소, 질소, 플루오린, 황, 염소, 타이타늄, 또는 희가스 등을 사용하여도 좋다. 희가스 원소의 대표적인 예에는 헬륨, 네온, 아르곤, 크립톤, 및 제논이 포함된다. 이러한 원소의 농도는 SIMS(secondary ion mass spectrometry) 등에 의하여 측정할 수 있다.

[0262] 붕소 또는 인을 사용하면, 비정질 실리콘 또는 저온 폴리실리콘을 사용한 제조 라인의 장치를 채용할 수 있어 바람직하다. 기존 장치를 이용함으로써 설비 투자를 적게 할 수 있다.

- [0263] 일부의 저항이 낮아진 반도체층을 포함한 트랜지스터는 예를 들어 더미 게이트를 사용하여 형성할 수 있다. 구체적으로는 반도체층 위에 더미 게이트를 제공하고, 더미 게이트를 마스크로 하여 반도체층의 저항을 낮추는 원소를 첨가한다. 즉, 더미 게이트와 중첩되지 않는 반도체층의 영역에 상기 원소가 첨가됨으로써, 저저항 영역이 형성된다. 원소 첨가에는, 예를 들어 이온화된 원료 가스를 질량 분리한 후에 첨가하는 이온 주입법, 이온화된 원료 가스를 질량 분리 없이 첨가하는 이온 도핑법, 또는 플라스마 잠입 이온 주입법을 사용할 수 있다.
- [0264] 도전체에 사용되는 도전성 재료의 예에는, 인 등의 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드, 몰리브데넘, 타이타늄, 탄탈럼, 텉스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 및 스칸듐 등의 금속, 및 상기 금속 중 임의의 것을 성분으로서 포함한 금속 질화물(질화 탄탈럼, 질화 타이타늄, 질화 몰리브데넘, 및 질화 텉스텐)이 포함된다. 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 사용할 수도 있다.
- [0265] 절연체에 사용되는 절연 재료의 예에는 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 및 알루미늄 실리케이트가 포함된다. 또한 본 명세서 등에서, 산화질화물이란 질소보다 산소를 더 포함하는 화합물을 말하고, 질화산화물이란 산소보다 질소를 더 포함하는 화합물을 말한다.
- [0266] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0267] (실시형태 5)
- [0268] 본 실시형태에서는 예를 들어 실시형태 1에서 설명한 회로(14)에 사용할 수 있는 뉴럴 네트워크로서 기능하는 반도체 장치의 구성예에 대하여 기재한다.
- [0269] 도 19의 (A)에 도시된 바와 같이, 뉴럴 네트워크(NN)는 입력층(IL), 출력층(OL), 및 중간층(은닉층)(HL)으로 형성될 수 있다. 입력층(IL), 출력층(OL), 및 중간층(HL)은 각각 하나 이상의 뉴런(유닛)을 포함한다. 또한 중간층(HL)은 하나의 층 또는 2개 이상의 층이어도 좋다. 2개 이상의 중간층(HL)을 포함한 뉴럴 네트워크를 DNN(deep neural network)이라고 할 수 있고, DNN을 사용한 학습을 딥 러닝이라고 할 수도 있다.
- [0270] 입력층(IL)의 뉴런에는 입력 데이터가 입력되고, 중간층(HL)의 뉴런에는 앞의 층 또는 다음의 층의 뉴런의 출력 신호가 입력되고, 출력층(OL)의 뉴런에는 앞의 층의 뉴런의 출력 신호가 입력된다. 또한 각 뉴런은 앞의 층 및 다음의 층의 모든 뉴런과 결합되어도 좋고(즉 전(全)결합), 일부 뉴런과 결합되어도 좋다.
- [0271] 도 19의 (B)는 뉴런에 의한 연산의 예를 도시한 것이다. 여기서는, 뉴런 N과, 뉴런 N에 신호를 출력하는 앞의 층의 2개의 뉴런을 도시하였다. 뉴런 N에는 앞의 층의 한쪽 뉴런의 출력 x_1 및 앞의 층의 다른 쪽 뉴런의 출력 x_2 가 입력된다. 그 후, 뉴런 N에서, 출력 x_1 과 가중치 w_1 의 곱셈 결과(x_1w_1)와, 출력 x_2 와 가중치 w_2 의 곱셈 결과(x_2w_2)의 총합 $x_1w_1+x_2w_2$ 가 계산된 후, 필요에 따라 바이어스 b 가 가산되어 값 $a=x_1w_1+x_2w_2+b$ 가 얻어진다. 그리고 값 a 는 활성화 함수 h 에 의하여 변환되고, 뉴런 N으로부터 출력 신호 $y=h(a)$ 가 출력된다.
- [0272] 이러한 식으로, 뉴런에 의한 연산에는 앞의 층의 뉴런의 출력과 가중치의 곱을 합하는 연산, 즉 적화 연산(product-sum operation)이 포함된다(상술한 $x_1w_1+x_2w_2$). 이 적화 연산은 프로그램을 사용하여 소프트웨어상에서 수행되어도 좋고 하드웨어를 사용하여 수행되어도 좋다. 적화 연산을 하드웨어에 의하여 수행하는 경우에는, 적화 연산 회로(멀티플라이어 어큐뮬레이터 또는 MAC)를 사용할 수 있다. 이 적화 연산 회로는 디지털 회로 또는 아날로그 회로일 수 있다.
- [0273] 적화 연산 회로로서 아날로그 회로를 사용하는 경우, 적화 연산 회로의 회로 규모를 축소하거나, 또는 메모리에 대한 액세스 빈도를 감소함으로써 처리 속도를 높이고 소비전력을 저감할 수 있다.
- [0274] 적화 연산 회로는 Si 트랜지스터를 사용하여 구성되어도 좋고 OS 트랜지스터를 사용하여 구성되어도 좋다. OS 트랜지스터는 오프 상태 전류가 매우 낮기 때문에, 적화 연산 회로의 아날로그 메모리에 포함되는 트랜지스터로서 특히 적합하다. 또한 적화 연산 회로는 Si 트랜지스터 및 OS 트랜지스터의 양쪽을 사용하여 형성되어도 좋다. 이하에서는, 적화 연산 회로의 기능을 가지는 반도체 장치의 구성예에 대하여 설명한다.

[0275] <반도체 장치의 구성예>

[0276] 도 20은 뉴럴 네트워크의 연산을 수행하는 반도체 장치(MAC)의 구성예를 도시한 것이다. 반도체 장치(MAC)는 뉴런들 사이의 결합 강도(즉 가중치)에 대응하는 제 1 데이터와, 입력 데이터에 대응하는 제 2 데이터의 적화 연산을 수행하는 기능을 가진다. 또한 제 1 데이터 및 제 2 데이터 각각을 아날로그 데이터 또는 멀티레벨 데이터(이산적인 데이터)로 할 수 있다. 또한 반도체 장치(MAC)는 적화 연산으로부터 얻은 데이터를 활성화 함수에 의하여 변환한다.

[0277] 반도체 장치(MAC)는 셀 어레이(CA), 전류원 회로(CS), 커런트 미러 회로(CM), 회로(WDD), 회로(WLD), 회로(CLD), 오프셋 회로(OFST), 및 활성화 함수 회로(ACTV)를 포함한다.

[0278] 셀 어레이(CA)는 복수의 메모리 셀(MC) 및 복수의 메모리 셀(MCref)을 포함한다. 도 20에 도시된 구성예에서, 셀 어레이(CA)는 m 행 n 열(여기서 m 및 n 각각은 1 이상의 정수(整數))의 메모리 셀(MC)(메모리 셀(MC[1, 1] 내지 MC[m, n])) 및 m 개의 메모리 셀(MCref)(메모리 셀(MCref[1] 내지 MCref[m]))을 포함한다. 메모리 셀(MC)은 제 1 데이터를 저장하는 기능을 가진다. 메모리 셀(MCref)은 적화 연산에 사용되는 참조 데이터를 저장하는 기능을 가진다. 또한 참조 데이터는 아날로그 데이터 또는 멀티레벨 데이터로 할 수 있다.

[0279] 메모리 셀(MC[i, j])(여기서 i 는 1 내지 m 의 정수, j 는 1 내지 n 의 정수)은 배선(WL[i]), 배선(RW[i]), 배선(WD[j]), 및 배선(BL[j])에 접속되어 있다. 메모리 셀(MCref[i])은 배선(WL[i]), 배선(RW[i]), 배선(WDref), 및 배선(BLref)에 접속되어 있다. 여기서, 메모리 셀(MC[i, j])과 배선(BL[j]) 사이를 흐르는 전류를 $I_{MC[i,j]}$ 라고 표기하고, 메모리 셀(MCref[i])과 배선(BLref) 사이를 흐르는 전류를 $I_{MCref[i]}$ 라고 표기한다.

[0280] 도 21은 메모리 셀(MC) 및 메모리 셀(MCref)의 구체적인 구성예를 도시한 것이다. 도 21에서는 대표적인 예로서 메모리 셀(MC[1, 1] 및 MC[2, 1]) 및 메모리 셀(MCref[1] 및 MCref[2])을 들었지만, 다른 메모리 셀(MC 및 MCref)에도 비슷한 구성을 적용할 수 있다. 메모리 셀(MC) 및 메모리 셀(MCref)은 각각 트랜지스터(Tr11), 트랜지스터(Tr12), 및 용량 소자(C11)를 포함한다. 여기서는, 트랜지스터(Tr11 및 Tr12)가 n채널 트랜지스터인 경우에 대하여 설명한다.

[0281] 메모리 셀(MC)에서, 트랜지스터(Tr11)의 게이트는 배선(WL)에 접속되고, 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽은 트랜지스터(Tr12)의 게이트 및 용량 소자(C11)의 제 1 전극에 접속되고, 트랜지스터(Tr11)의 소스 및 드레인 중 다른 쪽은 배선(WD)에 접속되어 있다. 트랜지스터(Tr12)의 소스 및 드레인 중 한쪽은 배선(BL)에 접속되고, 소스 및 드레인 중 다른 쪽은 배선(VR)에 접속되어 있다. 용량 소자(C11)의 제 2 전극은 배선(RW)에 접속되어 있다. 배선(VR)은 소정의 전위를 공급한다. 이 예에서는, 배선(VR)이 저전원 전위(예를 들어 접지 전위)를 공급하는 기능을 가진다.

[0282] 노드(NM)는 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C11)의 제 1 전극에 접속된 노드를 말한다. 노드(NM[1, 1])는 메모리 셀(MC[1, 1])의 노드(NM)를 말하고, 노드(NM[2, 1])는 메모리 셀(MC[2, 1])의 노드(NM)를 말한다.

[0283] 메모리 셀(MCref)의 구성은 메모리 셀(MCref)이 배선(WD) 대신에 배선(WDref)에 접속되고 배선(BL) 대신에 배선(BLref)에 접속되는 것을 제외하고는 메모리 셀(MC)의 구성과 같다. 메모리 셀(MCref[1])에서 노드(NMref[1])는 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C11)의 제 1 전극이 접속된 노드를 말하고, 메모리 셀(MCref[2])에서 노드(NMref[2])는 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C11)의 제 1 전극이 접속된 노드를 말한다.

[0284] 노드(NM) 및 노드(NMref)는 각각 메모리 셀(MC) 및 메모리 셀(MCref)의 유지 노드로서 기능한다. 노드(NM)에는 제 1 데이터가 유지되고, 노드(NMref)에는 참조 데이터가 유지된다. 배선(BL[1])으로부터 메모리 셀(MC[1, 1]) 및 메모리 셀(MC[2, 1])의 트랜지스터(Tr12)에는 각각 전류($I_{MC[1,1]}$) 및 전류($I_{MC[2,1]}$)가 흐른다. 배선(BLref)으로부터 메모리 셀(MCref[1]) 및 메모리 셀(MCref[2])의 트랜지스터(Tr12)에는 각각 전류($I_{MCref[1]}$) 및 전류($I_{MCref[2]}$)가 흐른다.

[0285] 트랜지스터(Tr11)는 노드(NM) 또는 노드(NMref)의 전위를 유지하는 기능을 가지기 때문에, 트랜지스터(Tr11)의 오프 상태 전류는 낮은 것이 바람직하다. 그러므로 트랜지스터(Tr11)로서 오프 상태 전류가 매우 낮은 OS 트랜지스터를 사용하는 것이 바람직하다. 이에 의하여 노드(NM) 또는 노드(NMref)의 전위 변화가 저감되므로, 연산의 정확도를 높일 수 있다. 또한 노드(NM) 또는 노드(NMref)의 전위의 리프레시 빈도를 더 적게 할 수 있기 때-

문에, 소비전력이 저감된다.

[0286] 트랜지스터(Tr12)에 특별한 한정은 없고, 예를 들어 Si 트랜지스터 또는 OS 트랜지스터를 사용할 수 있다. 트랜지스터(Tr12)로서 OS 트랜지스터를 사용하는 경우에는, 트랜지스터(Tr11)와 같은 제작 장치를 사용하여 트랜지스터(Tr12)를 제작할 수 있기 때문에, 제작 비용을 삭감할 수 있다. 또한 트랜지스터(Tr12)는 n채널 트랜지스터 또는 p채널 트랜지스터로 할 수 있다.

[0287] 전류원 회로(CS)는 배선(BL[1] 내지 BL[n]) 및 배선(BLref)에 접속되어 있다. 전류원 회로(CS)는 배선(BL[1] 내지 BL[n]) 및 배선(BLref)에 전류를 공급하는 기능을 가진다. 또한 배선(BL[1] 내지 BL[n])에 공급되는 전류값은 배선(BLref)에 공급되는 전류값과 달라도 좋다. 여기서는, 전류원 회로(CS)로부터 배선(BL[1] 내지 BL[n])에 공급되는 전류를 I_c 라고 표기하고, 전류원 회로(CS)로부터 배선(BLref)에 공급되는 전류를 I_{Cref} 라고 표기한다.

[0288] 커런트 미러 회로(CM)는 배선(IL[1] 내지 IL[n]) 및 배선(ILref)을 포함한다. 배선(IL[1] 내지 IL[n])은 각각 배선(BL[1] 내지 BL[n])에 접속되고, 배선(ILref)은 배선(BLref)에 접속된다. 여기서는, 배선(IL[1] 내지 IL[n])이 각각 배선(BL[1] 내지 BL[n])에 접속된 부분을 노드(NP[1] 내지 NP[n])라고 한다. 또한 배선(ILref)이 배선(BLref)에 접속된 부분을 노드(NPref)라고 한다.

[0289] 커런트 미러 회로(CM)는 노드(NPref)의 전위에 대응하는 전류(I_{CM})가 배선(ILref)에 흐르게 하는 기능, 및 이 전류(I_{CM})가 배선(IL[1] 내지 IL[n])에도 흐르게 하는 기능을 가진다. 도 20에 도시된 예에서는, 배선(BLref)으로부터 배선(ILref)에 전류(I_{CM})가 방출되고, 배선(BL[1] 내지 BL[n])으로부터 배선(IL[1] 내지 IL[n])에 전류(I_{CM})가 방출된다. 커런트 미러 회로(CM)로부터 배선(BL[1] 내지 BL[n])을 통하여 셀 어레이(CA)에 흐르는 전류를 각각 $I_B[1]$ 내지 $I_B[n]$ 이라고 표기한다. 커런트 미러 회로(CM)로부터 배선(BLref)을 통하여 셀 어레이(CA)에 흐르는 전류를 I_{Bref} 라고 표기한다.

[0290] 회로(WDD)는 배선(WD[1] 내지 WD[n]) 및 배선(WDref)에 접속되어 있다. 회로(WDD)는 메모리 셀(MC)에 저장되는 제 1 데이터에 대응하는 전위를 배선(WD[1] 내지 WD[n])에 공급하는 기능을 가진다. 또한 회로(WDD)는 메모리 셀(MCref)에 저장되는 참조 데이터에 대응하는 전위를 배선(WDref)에 공급하는 기능을 가진다. 회로(WLD)는 배선(WL[1] 내지 WL[m])에 접속되어 있다. 회로(WLD)는 데이터를 기록하는 메모리 셀(MC) 또는 메모리 셀(MCref)을 선택하기 위한 신호를 배선(WL[1] 내지 WL[m])에 공급하는 기능을 가진다. 회로(CLD)는 배선(RW[1] 내지 RW[m])에 접속되어 있다. 회로(CLD)는 제 2 데이터에 대응하는 전위를 배선(RW[1] 내지 RW[m])에 공급하는 기능을 가진다.

[0291] 오프셋 회로(OFST)는 배선(BL[1] 내지 BL[n]) 및 배선(OL[1] 내지 OL[n])에 접속되어 있다. 오프셋 회로(OFST)는 배선(BL[1] 내지 BL[n])으로부터 오프셋 회로(OFST)에 흐르는 전류량 및/또는 배선(BL[1] 내지 BL[n])으로부터 오프셋 회로(OFST)에 흐르는 전류의 변화량을 측정하는 기능을 가진다. 또한 오프셋 회로(OFST)는 측정 결과를 배선(OL[1] 내지 OL[n])에 출력하는 기능을 가진다. 또한 오프셋 회로(OFST)는 측정 결과에 대응하는 전류를 배선(OL)에 출력하여도 좋고, 측정 결과에 대응하는 전류를 전압으로 변환하여 배선(OL)에 출력하여도 좋다. 셀 어레이(CA)와 오프셋 회로(OFST) 사이에 흐르는 전류를 $I_a[1]$ 내지 $I_a[n]$ 이라고 표기한다.

[0292] 도 22는 오프셋 회로(OFST)의 구성예를 도시한 것이다. 도 22에 도시된 오프셋 회로(OFST)는 회로(OC[1] 내지 OC[n])를 포함한다. 회로(OC[1] 내지 OC[n]) 각각은 트랜지스터(Tr21), 트랜지스터(Tr22), 트랜지스터(Tr23), 용량 소자(C21), 및 저항 소자(R1)를 포함한다. 요소들의 접속 관계를 도 22에 도시하였다. 또한 용량 소자(C21)의 제 1 전극 및 저항 소자(R1)의 제 1 단자에 접속된 노드를 노드(Na)라고 한다. 용량 소자(C21)의 제 2 전극, 트랜지스터(Tr21)의 소스 및 드레인 중 한쪽, 및 트랜지스터(Tr22)의 게이트에 접속된 노드를 노드(Nb)라고 한다.

[0293] 배선(VrefL)은 전위(Vref)를 공급하는 기능을 가지고, 배선(VaL)은 전위(Va)를 공급하는 기능을 가지고, 배선(VbL)은 전위(Vb)를 공급하는 기능을 가진다. 배선(VDDL)은 전위(VDD)를 공급하는 기능을 가지고, 배선(VSSL)은 전위(VSS)를 공급하는 기능을 가진다. 여기서는, 전위(VDD)가 고전원 전위이고, 전위(VSS)가 저전원 전위인 경우에 대하여 설명한다. 배선(RST)은 트랜지스터(Tr21)의 온/오프 상태를 제어하기 위한 전위를 공급하는 기능을 가진다. 트랜지스터(Tr22), 트랜지스터(Tr23), 배선(VDDL), 배선(VSSL), 및 배선(VbL)으로 소스 풀로어

회로가 형성된다.

[0294] 다음으로, 회로(OC[1] 내지 OC[n])의 동작예에 대하여 설명한다. 여기서는 대표적인 예로서 회로(OC[1])의 동작예에 대하여 설명하지만, 회로(OC[2] 내지 OC[n])는 회로(OC[1])와 비슷한 식으로 동작할 수 있다. 먼저 배선(BL[1])에 제 1 전류가 흐르면, 노드(Na)의 전위는 제 1 전류, 및 저항 소자(R1)의 저항에 대응한 전위가 된다. 이때, 트랜ジ스터(Tr21)는 온이 되어, 노드(Nb)에 전위(Va)가 공급된다. 그 후, 트랜지스터(Tr21)는 오프가 된다.

[0295] 다음으로 배선(BL[1])에 제 2 전류가 흐르면, 노드(Na)의 전위는 제 2 전류, 및 저항 소자(R1)의 저항에 대응한 전위가 된다. 이때, 트랜지스터(Tr21)는 오프이고 노드(Nb)는 부유 상태이므로, 노드(Na)의 전위의 변화에 따라 노드(Nb)의 전위는 용량 결합에 의하여 변화된다. 여기서, 노드(Na)의 전위의 변화량을 ΔV_{Na} 로 하고 용량 결합 계수를 1로 하면, 노드(Nb)의 전위는 $Va + \Delta V_{Na}$ 가 된다. 또한 트랜지스터(Tr22)의 문턱 전압을 V_{th} 로 하면, 배선(OL[1])으로부터 전위 $Va + \Delta V_{Na} - V_{th}$ 가 출력된다. 여기서, Va 를 V_{th} 와 동등하게 하면, 배선(OL[1])으로부터 전위(ΔV_{Na})를 출력할 수 있다.

[0296] 전위(ΔV_{Na})는 제 1 전류로부터 제 2 전류로의 변화량, 저항 소자(R1)의 저항, 및 전위(Vref)에 의하여 결정된다. 여기서, 저항 소자(R1)의 저항 및 전위(Vref)는 알려진 것이기 때문에, 배선(BL)에 흐르는 전류의 변화량을 전위(ΔV_{Na})에서 구할 수 있다.

[0297] 상술한 바와 같이 오프셋 회로(OFST)에 의하여 측정된 전류량 및/또는 전류의 변화량에 대응하는 신호는 배선(OL[1] 내지 OL[n])을 통하여 활성화 함수 회로(ACTV)에 입력된다.

[0298] 활성화 함수 회로(ACTV)는 배선(OL[1] 내지 OL[n]) 및 배선(NIL[1] 내지 NIL[n])에 접속되어 있다. 활성화 함수 회로(ACTV)는 오프셋 회로(OFST)로부터 입력된 신호를 미리 정의된 활성화 함수에 따라 변환하기 위한 연산을 수행한다. 활성화 함수로서는 예를 들어 시그모이드 함수, tanh 함수, softmax 함수, ReLU 함수, 또는 문턱 값 함수를 사용할 수 있다. 활성화 함수 회로(ACTV)에 의하여 변환된 신호는 출력 데이터로서 배선(NIL[1] 내지 NIL[n])에 출력된다.

<반도체 장치의 동작예>

[0300] 상술한 반도체 장치(MAC)를 사용하여, 제 1 데이터와 제 2 데이터의 적화 연산을 수행할 수 있다. 이하에서는, 적화 연산을 수행할 때의 반도체 장치(MAC)의 동작예에 대하여 설명한다.

[0301] 도 23은 반도체 장치(MAC)의 동작예를 나타낸 타이밍 차트이다. 도 23은 도 21에서의 배선(WL[1], WL[2], WD[1], 및 WDref), 노드(NM[1,1], NM[2,1], NMref[1], 및 NMref[2]), 및 배선(RW[1] 및 RW[2])의 전위 변화, 그리고 전류(I_B[1] 내지 I_a[1]) 및 전류(I_{Bref})의 값의 변화를 나타낸 것이다. 전류(I_B[1] 내지 I_a[1])는 배선(BL[1])으로부터 메모리 셀(MC[1,1] 및 MC[2,1])에 흐르는 전류의 총합에 상당한다.

[0302] 대표적인 예로서 도 21에 도시된 메모리 셀(MC[1,1], MC[2,1], MCref[1], 및 MCref[2])을 주목하여 동작에 대하여 설명하지만, 다른 메모리 셀(MC 및 MCref)도 비슷한 식으로 동작할 수 있다.

[제 1 데이터의 저장]

[0304] 먼저 시각 T01과 시각 T02 사이에서, 배선(WL[1])의 전위가 하이(high) 레벨이 되고, 배선(WD[1])의 전위가 접지 전위(GND)보다 $V_{PR} - V_{WL[1]}$ 만큼 높아지고, 배선(WDref)의 전위가 접지 전위보다 V_{PR} 만큼 높아진다. 배선(RW[1] 및 RW[2])의 전위는 기준 전위(REFP)가 된다. 또한 전위($V_{WL[1]}$)는 메모리 셀(MC[1,1])에 저장되는 제 1 데이터에 대응하는 전위이고, 전위(V_{PR})는 참조 데이터에 대응하는 전위이다. 그러므로 메모리 셀(MC[1,1] 및 MCref[1])의 트랜ジ스터(Tr11)가 온이 되고, 노드(NM[1,1])의 전위는 $V_{PR} - V_{WL[1]}$ 되고 노드(NMref[1])의 전위는 V_{PR} 가 된다.

[0305] 이때, 배선(BL[1])으로부터 메모리 셀(MC[1,1])의 트랜ジ스터(Tr12)에 흐르는 전류($I_{MC[1,1],0}$)는 다음 식으로 나타내어질 수 있다. 여기서, k 는 트랜ジ스터(Tr12)의 채널 길이, 채널 폭, 이동도, 및 게이트 절연막의 용량 등에 의하여 결정되는 상수(常數)이다. 또한 V_{th} 는 트랜지스터(Tr12)의 문턱 전압이다.

[0306] $I_{MC[1,1],0} = k(V_{PR} - V_{W[1,1]} - V_{th})^2 \quad (E1)$

[0307] 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)에 흐르는 전류($I_{MCref[1],0}$)는 다음의 식으로 나타내어질 수 있다.

[0308] $I_{MCref[1],0} = k(V_{PR} - V_{th})^2 \quad (E2)$

[0309] 다음으로, 시각 T02와 시각 T03 사이에서, 배선(WL[1])의 전위가 로(low) 레벨이 된다. 이 결과, 메모리 셀(MC[1,1] 및 MCref[1])의 트랜지스터(Tr11)는 오프가 되어, 노드(NM[1,1] 및 NMref[1])의 전위가 유지된다.

[0310] 상술한 바와 같이 트랜지스터(Tr11)로서 OS 트랜지스터를 사용하면, 트랜지스터(Tr11)의 누설 전류를 저감할 수 있고, 그 결과 노드(NM[1,1] 및 NMref[1])의 전위를 정확히 유지할 수 있어 바람직하다.

[0311] 이어서, 시각 T03과 시각 T04 사이에서, 배선(WL[2])의 전위가 하이 레벨이 되고, 배선(WD[1])의 전위가 접지 전위보다 $V_{PR} - V_{W[2,1]}$ 만큼 높아지고, 배선(WDref)의 전위가 접지 전위보다 V_{PR} 만큼 높아진다. 또한 전위($V_{W[2,1]}$)는 메모리 셀(MC[2,1])에 저장되는 제 1 데이터에 대응하는 전위이다. 그러므로 메모리 셀(MC[2,1] 및 MCref[2])의 트랜지스터(Tr11)가 온이 되고, 노드(NM[2,1])의 전위는 $V_{PR} - V_{W[2,1]}$ 이 되고 노드(NMref[2])의 전위는 V_{PR} 가 된다.

[0312] 여기서, 배선(BL[1])으로부터 메모리 셀(MC[2,1])의 트랜지스터(Tr12)에 흐르는 전류($I_{MC[2,1],0}$)는 다음 식으로 나타내어질 수 있다.

[0313] $I_{MC[2,1],0} = k(V_{PR} - V_{W[2,1]} - V_{th})^2 \quad (E3)$

[0314] 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)에 흐르는 전류($I_{MCref[2],0}$)는 다음 식으로 나타내어질 수 있다.

[0315] $I_{MCref[2],0} = k(V_{PR} - V_{th})^2 \quad (E4)$

[0316] 다음으로, 시각 T04와 시각 T05 사이에서, 배선(WL[2])의 전위가 로 레벨이 된다. 이 결과, 메모리 셀(MC[2,1] 및 MCref[2])의 트랜지스터(Tr11)는 오프가 되어, 노드(NM[2,1] 및 NMref[2])의 전위가 유지된다.

[0317] 상술한 동작을 통하여, 메모리 셀(MC[1,1] 및 MC[2,1])에 제 1 데이터가 저장되고, 메모리 셀(MCref[1] 및 MCref[2])에 참조 데이터가 저장된다.

[0318] 여기서는, 시각 T04와 시각 T05 사이에서 배선(BL[1] 및 BLref)을 흐르는 전류에 대하여 고찰한다. 배선(BLref)에는 전류원 회로(CS)로부터의 전류가 공급된다. 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MCref[1] 및 MCref[2])에 방출된다. 전류원 회로(CS)로부터 배선(BLref)에 공급되는 전류를 I_{Cref} 로 하고, 배선(BLref)으로부터 커런트 미러 회로(CM)에 방출되는 전류를 $I_{CM,0}$ 으로 하는 경우, 이하에 나타낸 식이 성립된다.

[0319] $I_{Cref} - I_{CM,0} = I_{MCref[1],0} + I_{MCref[2],0} \quad (E5)$

[0320] 배선(BL[1])에는 전류원 회로(CS)로부터의 전류가 공급된다. 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MC[1,1] 및 MC[2,1])에 방출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFST)에 전류가 흐른다. 전류원 회로(CS)로부터 배선(BL[1])에 공급되는 전류를 $I_{C,0}$ 으로 하고, 배선(BL[1])으로부터 오프셋 회로(OFST)에 흐르는 전류를 $I_{a,0}$ 으로 하는 경우, 다음의 식이 성립된다.

[0321] $I_C - I_{CM,0} = I_{MC[1,1],0} + I_{MC[2,1],0} + I_{a,0} \quad (E6)$

[제 1 데이터와 제 2 데이터의 적화 연산]

[0323] 다음으로, 시각 T05와 시각 T06 사이에서, 배선(RW[1])의 전위가 기준 전위보다 $V_{X[1]}$ 만큼 높아진다. 이때, 메모리 셀(MC[1,1] 및 MCref[1])의 용량 소자(C11)에는 전위($V_{X[1]}$)가 공급되어, 용량 결합에 의하여 트랜지스터

(Tr12)의 게이트의 전위가 증가한다. 또한 전위($V_{X[1]}$)는 메모리 셀(MC[1,1] 및 MCref[1])에 공급되는 제 2 데이터에 대응하는 전위이다.

[0324] 트랜지스터(Tr12)의 게이트 전위의 변화량은, 배선(RW)의 전위의 변화량에, 메모리 셀의 구성에 의하여 결정되는 용량 결합 계수를 곱함으로써 얻어지는 값에 상당한다. 용량 결합 계수는, 용량 소자(C11)의 용량, 트랜지스터(Tr12)의 게이트 용량, 및 기생 용량 등에 기초하여 산출된다. 이하의 설명에서는 편의상, 배선(RW)의 전위의 변화량과 트랜지스터(Tr12)의 게이트 전위의 변화량이 같은 것으로, 즉 용량 결합 계수를 1로 한다. 실제로는, 용량 결합 계수를 고려하여 전위(V_X)를 결정할 수 있다.

[0325] 메모리 셀(MC[1,1] 및 MCref[1])의 용량 소자(C11)에 전위($V_{X[1]}$)가 공급되면, 노드(NM[1,1] 및 NMref[1])의 전위는 $V_{X[1]}$ 만큼 증가한다.

[0326] 여기서, 시각 T05와 시각 T06 사이에서 배선(BL[1])으로부터 메모리 셀(MC[1,1])의 트랜지스터(Tr12)에 흐르는 전류($I_{MC[1,1],1}$)는 다음 식으로 나타내어질 수 있다.

$$I_{MC[1,1],1} = K(V_{PR} - V_{W[1,1]} + V_{X[1]} - V_{th})^2 \quad (E7)$$

[0328] 따라서 배선(RW[1])에 전위($V_{X[1]}$)를 공급하면, 배선(BL[1])으로부터 메모리 셀(MC[1,1])의 트랜지스터(Tr12)에 흐르는 전류가 $\Delta I_{MC[1,1]} (= I_{MC[1,1],1} - I_{MC[1,1],0})$ 만큼 증가한다.

[0329] 여기서, 시각 T05와 시각 T06 사이에서 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)에 흐르는 전류($I_{MCref[1],1}$)는 다음의 식으로 나타내어질 수 있다.

$$I_{MCref[1],1} = K(V_{PR} + V_{X[1]} - V_{th})^2 \quad (E8)$$

[0331] 따라서 배선(RW[1])에 전위($V_{X[1]}$)를 공급하면, 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)에 흐르는 전류가 $\Delta I_{MCref[1]} (= I_{MCref[1],1} - I_{MCref[1],0})$ 만큼 증가한다.

[0332] 배선(BL[1] 및 BLref)을 흐르는 전류에 대하여 고찰한다. 배선(BLref)에는 전류원 회로(CS)로부터 전류(I_{Creff})가 공급된다. 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MCref[1] 및 MCref[2])에 방출된다. 배선(BLref)으로부터 커런트 미러 회로(CM)에 방출되는 전류를 $I_{CM,1}$ 로 하는 경우, 다음 식이 성립된다.

$$I_{Creff} - I_{CM,1} = I_{MCref[1],1} + I_{MCref[2],1} \quad (E9)$$

[0334] 배선(BL[1])에는 전류원 회로(CS)로부터 전류(I_C)가 공급된다. 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MC[1,1] 및 MC[2,1])에 방출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFST)에 전류가 흐른다. 배선(BL[1])으로부터 오프셋 회로(OFST)에 흐르는 전류를 $I_a,1$ 로 하는 경우, 다음 식이 성립된다.

$$I_C - I_{CM,1} = I_{MC[1,1],1} + I_{MC[2,1],1} + I_{a,1} \quad (E10)$$

[0336] 식(E1) 내지 식(E10)으로부터, 전류($I_{a,0}$)와 전류($I_{a,1}$)의 차이(차분 전류(ΔI_a))는 다음 식으로 나타내어질 수 있다.

$$\Delta I_a = I_{a,1} - I_{a,0} = 2K V_{W[1,1]} V_{X[1]} \quad (E11)$$

[0338] 상술한 바와 같이 차분 전류(ΔI_a)는 전위($V_{W[1,1]}$)와 전위($V_{X[1]}$)의 곱에 의존한다.

[0339] 그 후, 시각 T06과 시각 T07 사이에서, 배선(RW[1])의 전위는 기준 전위가 되고, 노드(NM[1,1] 및 NMref[1])의 전위는 시각 T04와 시각 T05 사이의 전위와 같게 된다.

[0340] 다음으로, 시각 T07과 시각 T08 사이에서, 배선(RW[1])의 전위가 기준 전위보다 $V_{X[1]}$ 만큼 높아지고, 배선(RW[2])의 전위가 기준 전위보다 $V_{X[2]}$ 만큼 높아진다. 이로써 메모리 셀(MC[1,1] 및 MCref[1])의 용량 소자(C11)에 전위($V_{X[1]}$)가 공급되어, 용량 결합에 의하여 노드(NM[1,1] 및 NMref[1])의 전위가 $V_{X[1]}$ 만큼 증가한다.

또한 메모리 셀(MC[2,1] 및 MCref[2])의 용량 소자(C11)에 전위($V_{X[2]}$)가 공급되어, 용량 결합에 의하여 노드(NM[2,1] 및 NMref[2])의 전위가 $V_{X[2]}$ 만큼 증가한다.

[0341] 여기서, 시각 T07과 시각 T08 사이에서 배선(BL[1])으로부터 메모리 셀(MC[2,1])의 트랜지스터(Tr12)에 흐르는 전류($I_{MC[2,1],1}$)는 다음 식으로 나타내어질 수 있다.

$$I_{MC[2,1],1} = k(V_{PR} - V_{W[2,1]} + V_{X[2]} - V_{th})^2 \quad (E12)$$

[0343] 따라서 배선(RW[2])에 전위($V_{X[2]}$)를 공급하면, 배선(BL[1])으로부터 메모리 셀(MC[2,1])의 트랜지스터(Tr12)에 흐르는 전류가 $\Delta I_{MC[2,1]} (= I_{MC[2,1],1} - I_{MC[2,1],0})$ 만큼 증가한다.

[0344] 여기서, 시각 T07과 시각 T08 사이에서 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)에 흐르는 전류($I_{MCref[2],1}$)는 다음 식으로 나타내어질 수 있다.

$$I_{MCref[2],1} = k(V_{PR} + V_{X[2]} - V_{th})^2 \quad (E13)$$

[0346] 따라서 배선(RW[2])에 전위($V_{X[2]}$)를 공급하면, 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)에 흐르는 전류가 $\Delta I_{MCref[2]} (= I_{MCref[2],1} - I_{MCref[2],0})$ 만큼 증가한다.

[0347] 또한 배선(BL[1] 및 BLref)을 흐르는 전류에 대하여 고찰한다. 배선(BLref)에는 전류원 회로(CS)로부터 전류(I_{Cref})가 공급된다. 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MCref[1] 및 MCref[2])에 방출된다. 배선(BLref)으로부터 커런트 미러 회로(CM)에 방출되는 전류를 $I_{CM,2}$ 로 하는 경우, 다음 식이 성립된다.

$$I_{Cref} - I_{CM,2} = I_{MCref[1],1} + I_{MCref[2],1} \quad (E14)$$

[0349] 배선(BL[1])에는 전류원 회로(CS)로부터 전류(I_C)가 공급된다. 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM) 및 메모리 셀(MC[1,1] 및 MC[2,1])에 방출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFST)에 전류가 흐른다. 배선(BL[1])으로부터 오프셋 회로(OFST)에 흐르는 전류를 $I_{a,2}$ 로 하는 경우, 다음 식이 성립된다.

$$I_C - I_{CM,2} = I_{MC[1,1],1} + I_{MC[2,1],1} + I_{a,2} \quad (E15)$$

[0351] 식(E1 내지 E8) 및 식(E12 내지 E15)으로부터, 전류($I_{a,0}$)와 전류($I_{a,2}$)의 차이(차분 전류(ΔI_a))는 다음 식으로 나타내어질 수 있다.

$$\Delta I_a = I_{a,2} - I_{a,0} = 2k(V_{W[1,1]}V_{X[1]} + V_{W[2,1]}V_{X[2]}) \quad (E16)$$

[0353] 상술한 바와 같이 차분 전류(ΔI_a)는 전위($V_{W[1,1]}$)와 전위($V_{X[1]}$)의 곱과, 전위($V_{W[2,1]}$)와 전위($V_{X[2]}$)의 곱의 합계에 의존한다.

[0354] 그 후, 시각 T08과 시각 T09 사이에서, 배선(RW[1] 및 RW[2])의 전위는 기준 전위가 되고, 노드(NM[1,1], NM[2,1], NMref[1], 및 NMref[2])의 전위는 시각 T04와 시각 T05 사이의 전위와 같게 된다.

[0355] 식(E11) 및 식(E16)으로 나타내어지는 바와 같이, 오프셋 회로(OFST)에 입력되는 차분 전류(ΔI_a)는, 제 1 데이터(가중치)에 대응하는 전위(V_W)와 제 2 데이터(입력 데이터)에 대응하는 전위(V_X)의 곱의 항을 포함하는 식으로부터 산출할 수 있다. 그러므로 오프셋 회로(OFST)로 차분 전류(ΔI_a)를 측정함으로써, 제 1 데이터와 제 2 데이터의 적화 연산 결과가 얻어진다.

[0356] 또한 위의 설명에서는 메모리 셀(MC[1,1], MC[2,1], MCref[1], 및 MCref[2])에 주목하였지만, 메모리 셀(MC 및 MCref)의 개수는 임의의 수로 할 수 있다. 메모리 셀(MC 및 MCref)의 행수 m 을 임의의 수 i 로 한 경우, 차분 전류(ΔI_a)는 다음 식으로 나타내어질 수 있다.

$$\Delta I_a = 2k \sum_i V_{W[i,1]}V_{X[i]} \quad (E17)$$

- [0358] 메모리 셀(MC 및 MCref)의 열수 n 을 늘림으로써, 병렬로 실행되는 적화 연산의 횟수를 늘릴 수 있다.
- [0359] 상술한 바와 같이, 반도체 장치(MAC)를 사용하여 제 1 데이터와 제 2 데이터의 적화 연산을 수행할 수 있다. 또한 도 21에 나타낸 메모리 셀(MC 및 MCref)의 구성을 사용함으로써, 더 적은 개수의 트랜지스터로 적화 연산 회로를 형성할 수 있다. 이로써, 반도체 장치(MAC)의 회로 규모를 축소할 수 있다.
- [0360] 반도체 장치(MAC)를 뉴럴 네트워크에서의 연산에 사용하는 경우, 메모리 셀(MC)의 행수 m 을 하나의 뉴런에 공급되는 입력 데이터의 개수에 대응시키고, 메모리 셀(MC)의 열수 n 을 뉴런의 개수에 대응시킬 수 있다. 예를 들어 도 19의 (A)의 중간층(HL)에서 반도체 장치(MAC)를 사용한 적화 연산을 수행하는 경우에 대하여 고찰한다. 이 경우, 메모리 셀(MC)의 행수 m 은 입력층(IL)으로부터 공급되는 입력 데이터의 개수(입력층(IL)의 뉴런의 개수)로 설정하고, 메모리 셀(MC)의 열수 n 은 중간층(HL)의 뉴런의 개수로 설정할 수 있다.
- [0361] 또한 반도체 장치(MAC)를 사용하는 뉴럴 네트워크의 구조에 특별한 한정은 없다. 예를 들어 반도체 장치(MAC)는 컨볼루셔널 뉴럴 네트워크(CNN), 리커런트 뉴럴 네트워크(RNN), 오토인코더(autoencoder), 또는 볼츠만 머신(제한 볼츠만 머신을 포함함)에 사용할 수도 있다.
- [0362] 상술한 바와 같이, 반도체 장치(MAC)를 사용하여 뉴럴 네트워크의 적화 연산을 수행할 수 있다. 또한 셀 어레이(CA)에 도 21에 도시된 메모리 셀(MC 및 MCref)을 사용함으로써, 연산의 정확도가 향상되거나, 소비전력이 저감되거나, 회로 규모가 축소된 집적 회로를 제공할 수 있다.
- [0363] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0364] (실시형태 6)
- [0365] 본 발명의 일 형태의 표시 장치를 사용할 수 있는 전자 기기의 예에는, 표시 장치, 퍼스널 컴퓨터, 기록 매체가 제공된 화상 기억 장치 또는 화상 재생 장치, 휴대 전화기, 게임기(휴대용 게임기를 포함함), 휴대 정보 단말기, 전자책 리더, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들어 카 오디오 플레이어 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기가 포함된다. 도 24의 (A) 내지 (F)는 이를 전자 기기의 구체적인 예를 도시한 것이다.
- [0366] 도 24의 (A)는 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 및 카메라(957) 등을 포함하는 휴대 전화기를 도시한 것이다. 이 휴대 전화기의 표시부(952)는 터치 센서를 포함한다. 손가락 또는 스타일러스 등으로 표시부(952)를 터치함으로써, 전화 걸기 및 문자 입력 등의 조작을 수행할 수 있다. 하우징(951) 및 표시부(952)는 가요성을 가지고 도 24의 (A)에 도시된 바와 같이 사용시에 구부러질 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(952)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.
- [0367] 도 24의 (B)는 하우징(911), 표시부(912), 스피커(913), 및 카메라(919) 등을 포함하는 휴대 정보 단말기를 도시한 것이다. 표시부(912)의 터치 패널 기능에 의하여 정보의 입출력을 할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(912)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.
- [0368] 도 24의 (C)는 하우징(971), 표시부(973), 조작 키(974), 스피커(975), 통신용 접속 단자(976), 및 광 센서(977) 등을 포함하는 텔레비전을 도시한 것이다. 표시부(973)는 입력 조작이 가능한 터치 센서를 포함한다. 본 발명의 일 형태의 표시 장치를 표시부(973)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.
- [0369] 도 24의 (D)는 하우징(901), 표시부(902), 표시부(903), 및 센서(904) 등을 포함하는 정보 처리 단말기를 도시한 것이다. 표시부(902 및 903)는 하나의 표시 패널을 사용하여 형성되고 가요성을 가진다. 하우징(901)도 가요성을 가지고, 도 24의 (D)에 도시된 바와 같이 사용 시에 구부러질 수 있으며, 태블릿 단말기와 같이 평판 형상으로 사용할 수도 있다. 센서(904)는 하우징(901)의 형상을 감지할 수 있고, 예를 들어 하우징(901)이 구부러진 경우에 표시부(902 및 903)의 표시를 전환할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(902 및 903)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.
- [0370] 도 24의 (E)는 하우징(961), 셔터 버튼(962), 마이크로폰(963), 표시부(965), 조작 키(966), 스피커(967), 줌 레버(968), 및 렌즈(969) 등을 포함하는 디지털 카메라를 도시한 것이다. 본 발명의 일 형태의 표시 장치를 표시부(965)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.
- [0371] 도 24의 (F)는 대형 표시부(922)를 가지는 디지털 사이니지를 도시한 것이다. 이 디지털 사이니지는 예를 들어

기둥(921)의 측면에 설치할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(922)에 사용함으로써, 품질이 높은 표시를 수행할 수 있다.

[0372] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

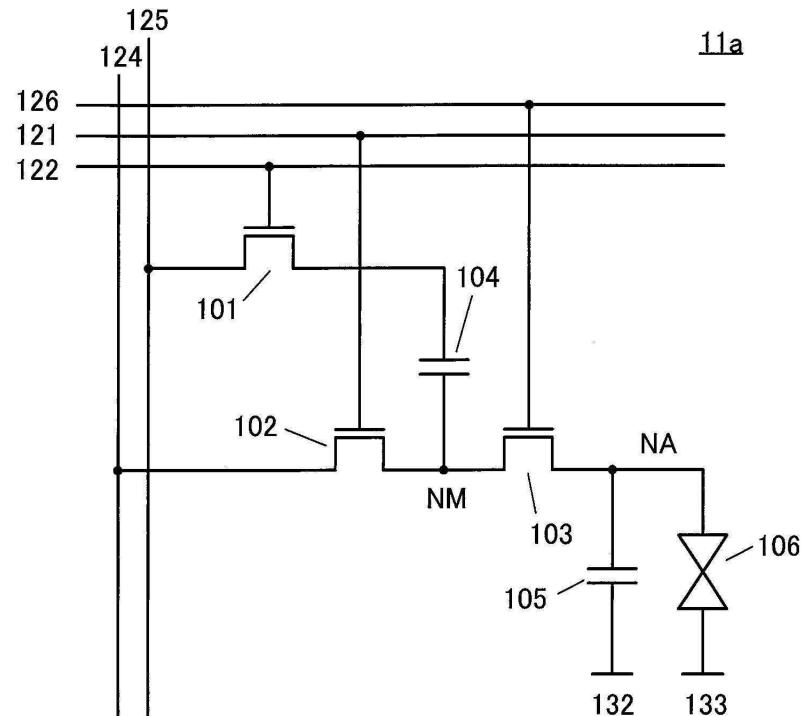
부호의 설명

[0373] 11: 화소, 11a: 화소, 11b: 화소, 11c: 화소, 11d: 화소, 11e: 화소, 12: 행 드라이버, 13: 열 드라이버, 14: 회로, 15: 회로, 17: 열 드라이버, 101: 트랜지스터, 102: 트랜지스터, 103: 트랜지스터, 104: 용량 소자, 105: 용량 소자, 106: 액정 소자, 107: 트랜지스터, 112: 트랜지스터, 121: 배선, 122: 배선, 124: 배선, 125: 배선, 126: 배선, 130: 배선, 131: 전원선, 132: 공통 배선, 133: 공통 배선, 141: 스위치, 142: 스위치, 143: 스위치, 144: 스위치, 215: 표시부, 221a: 주사선 구동 회로, 231a: 신호선 구동 회로, 232a: 신호선 구동 회로, 241a: 공통선 구동 회로, 723: 전극, 726: 절연층, 728: 절연층, 729: 절연층, 741: 절연층, 742: 반도체층, 744a: 전극, 744b: 전극, 746: 전극, 755: 불순물, 771: 기판, 772: 절연층, 810: 트랜지스터, 811: 트랜지스터, 820: 트랜지스터, 821: 트랜지스터, 825: 트랜지스터, 830: 트랜지스터, 840: 트랜지스터, 842: 트랜지스터, 843: 트랜지스터, 844: 트랜지스터, 845: 트랜지스터, 846: 트랜지스터, 847: 트랜지스터, 901: 하우징, 902: 표시부, 903: 표시부, 904: 센서, 911: 하우징, 912: 표시부, 913: 스파커, 919: 카메라, 921: 기둥, 922: 표시부, 951: 하우징, 952: 표시부, 953: 조작 버튼, 954: 외부 접속 포트, 955: 스파커, 956: 마이크로폰, 957: 카메라, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스파커, 968: 줌 레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 키, 975: 스파커, 976: 통신용 접속 단자, 977: 광 센서, 1000: DOSRAM, 1001: 메모리 셀, 1002: 감지 증폭기 유닛, 1003: 셀 어레이 유닛, 4001: 기판, 4005: 실재, 4006: 기판, 4008: 액정층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4014: 배선, 4015: 전극, 4017: 전극, 4018: FPC, 4019: 이방성 도전층, 4020: 용량 소자, 4021: 전극, 4030: 전극층, 4031: 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4041: 프린트 기판, 4042: 접착 회로, 4102: 절연층, 4103: 절연층, 4104: 절연층, 4110: 절연층, 4111: 절연층, 4112: 절연층, 4131: 착색층, 4132: 차광층, 4133: 절연층, 4200: 입력 장치, 4210: 터치 패널, 4227: 전극, 4228: 전극, 4237: 배선, 4238: 배선, 4239: 배선, 4263: 기판, 4272b: FPC, 4273b: IC

본 출원은 2017년 9월 15일에 일본 특허청에 출원된 일련 번호 2017-177462의 일본 특허 출원, 2017년 10월 13일에 일본 특허청에 출원된 일련 번호 2017-199264의 일본 특허 출원, 2018년 2월 22일에 일본 특허청에 출원된 일련 번호 2018-029287의 일본 특허 출원, 및 2018년 4월 11일에 일본 특허청에 출원된 일련 번호 2018-075819의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

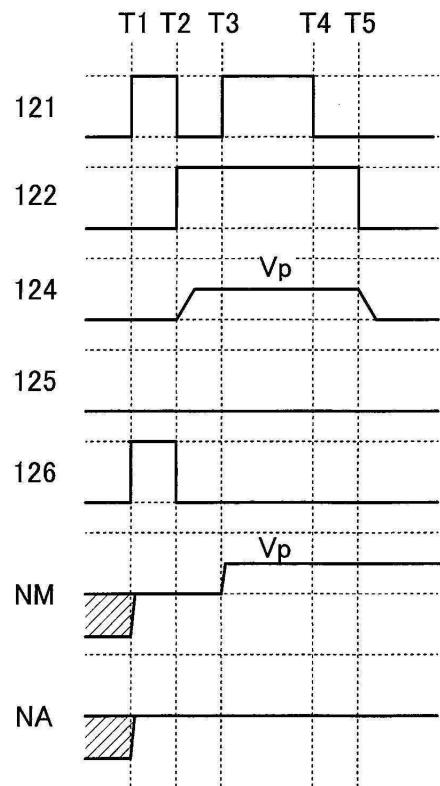
도면

도면1

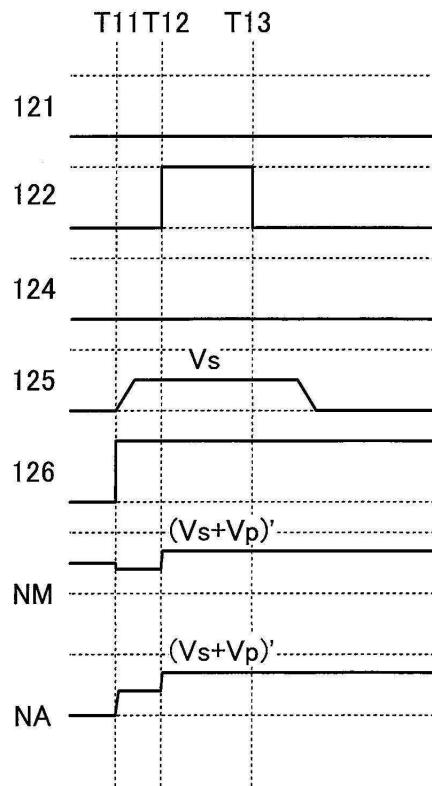


도면2

(A)



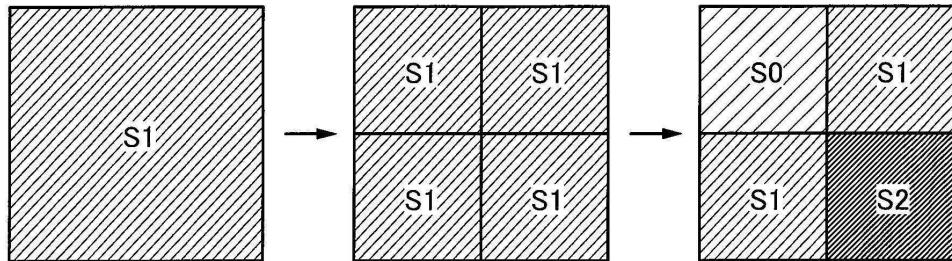
(B)



도면3

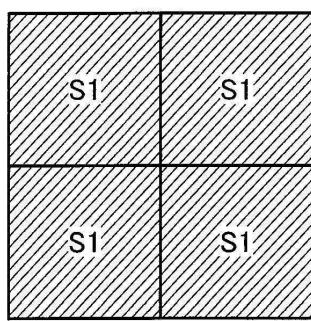
(A)

원화상(4K2K 화소) 업컨버전 전(8K4K 화소) 업컨버전 후(8K4K 화소)

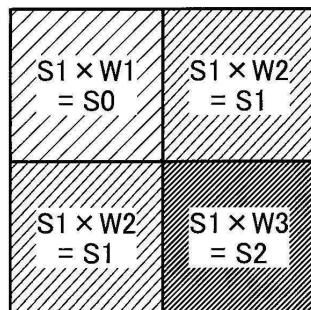


(B)

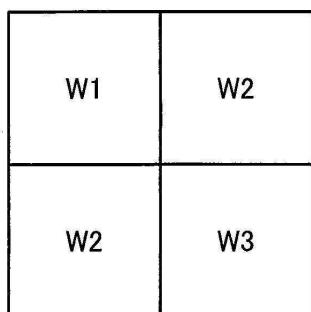
원래 화상 데이터



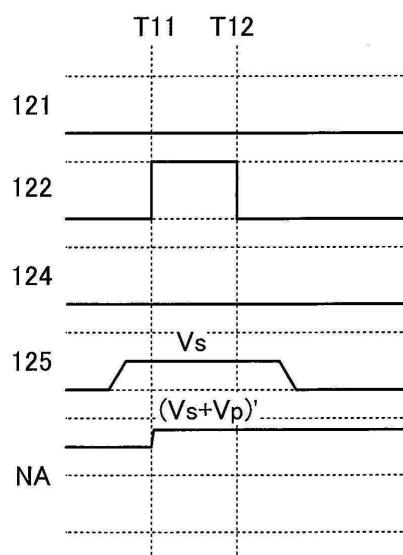
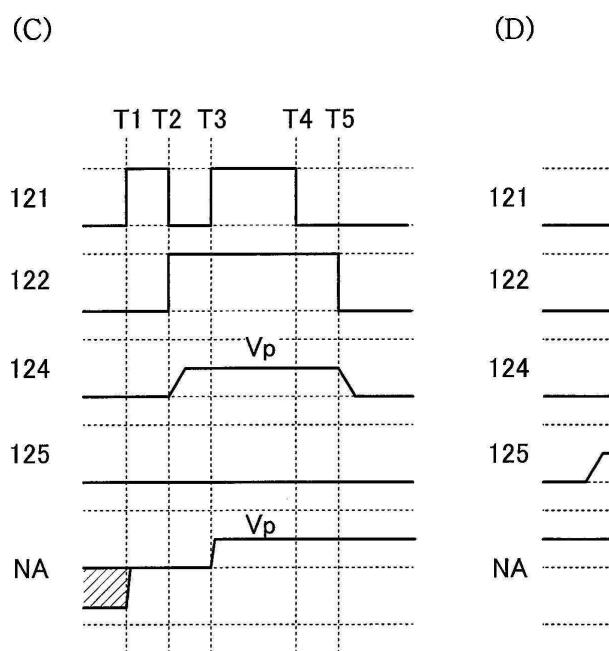
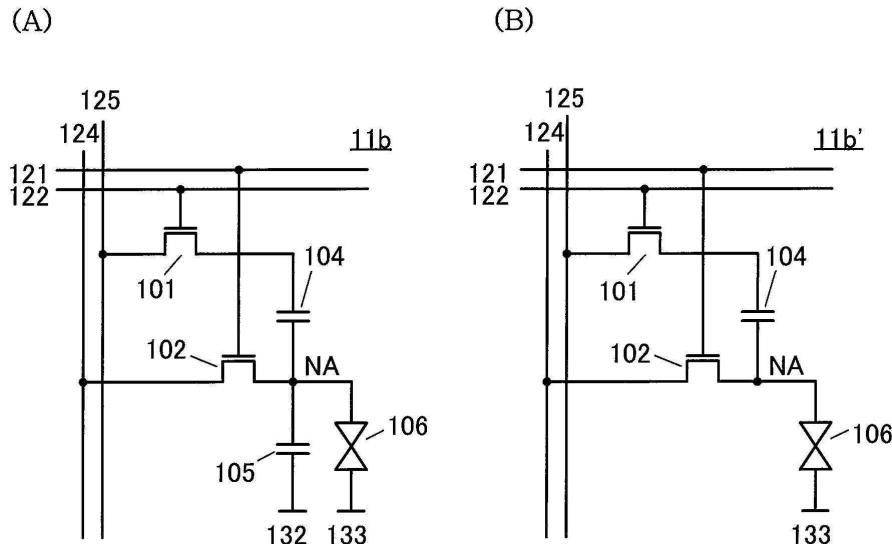
업컨버전 후의 화상 데이터



생성된 보정 데이터

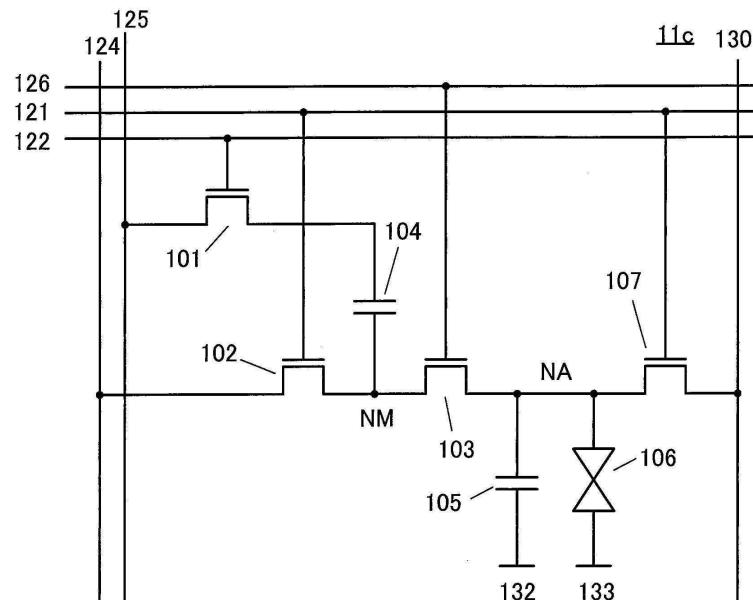


도면4

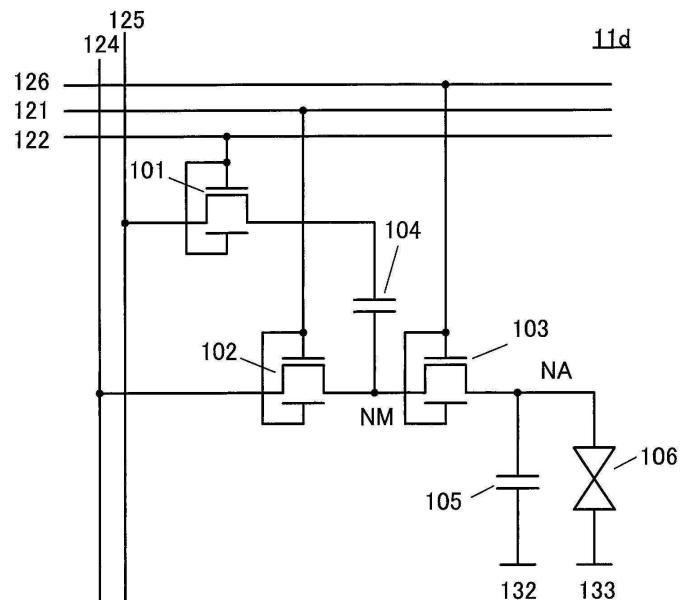


도면5

(A)

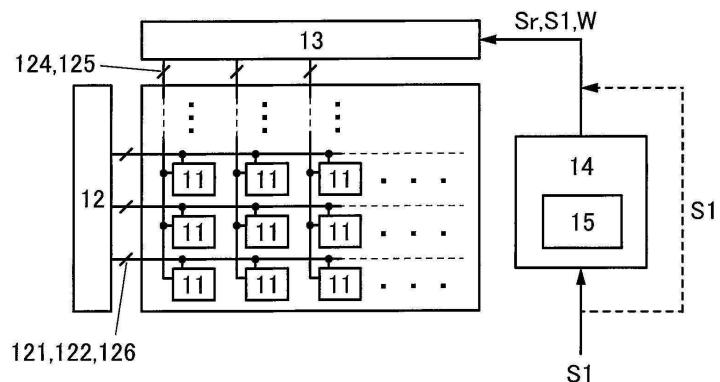


(B)

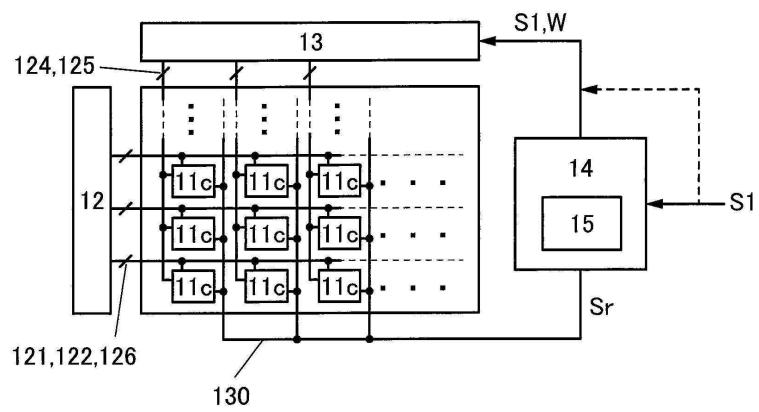


도면6

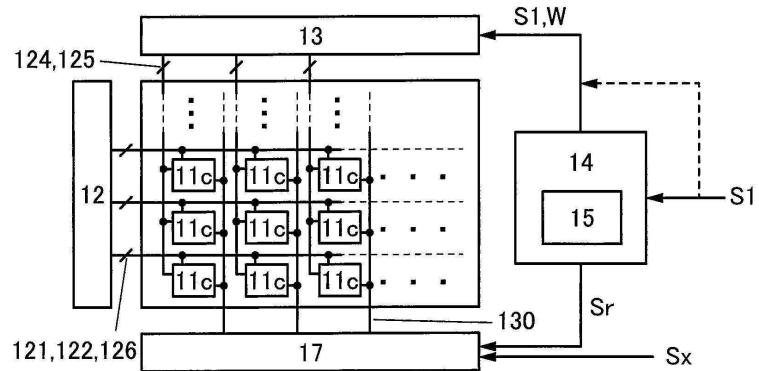
(A)



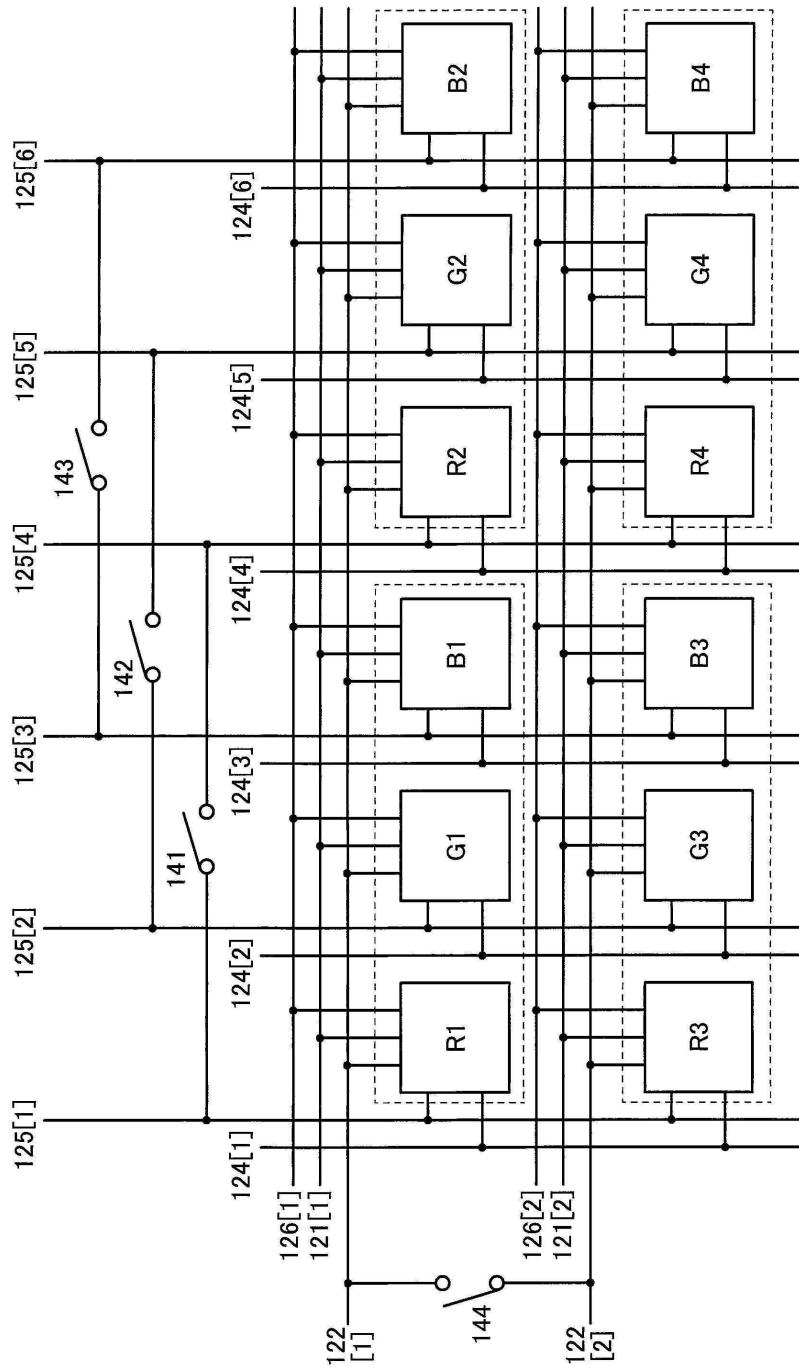
(B)



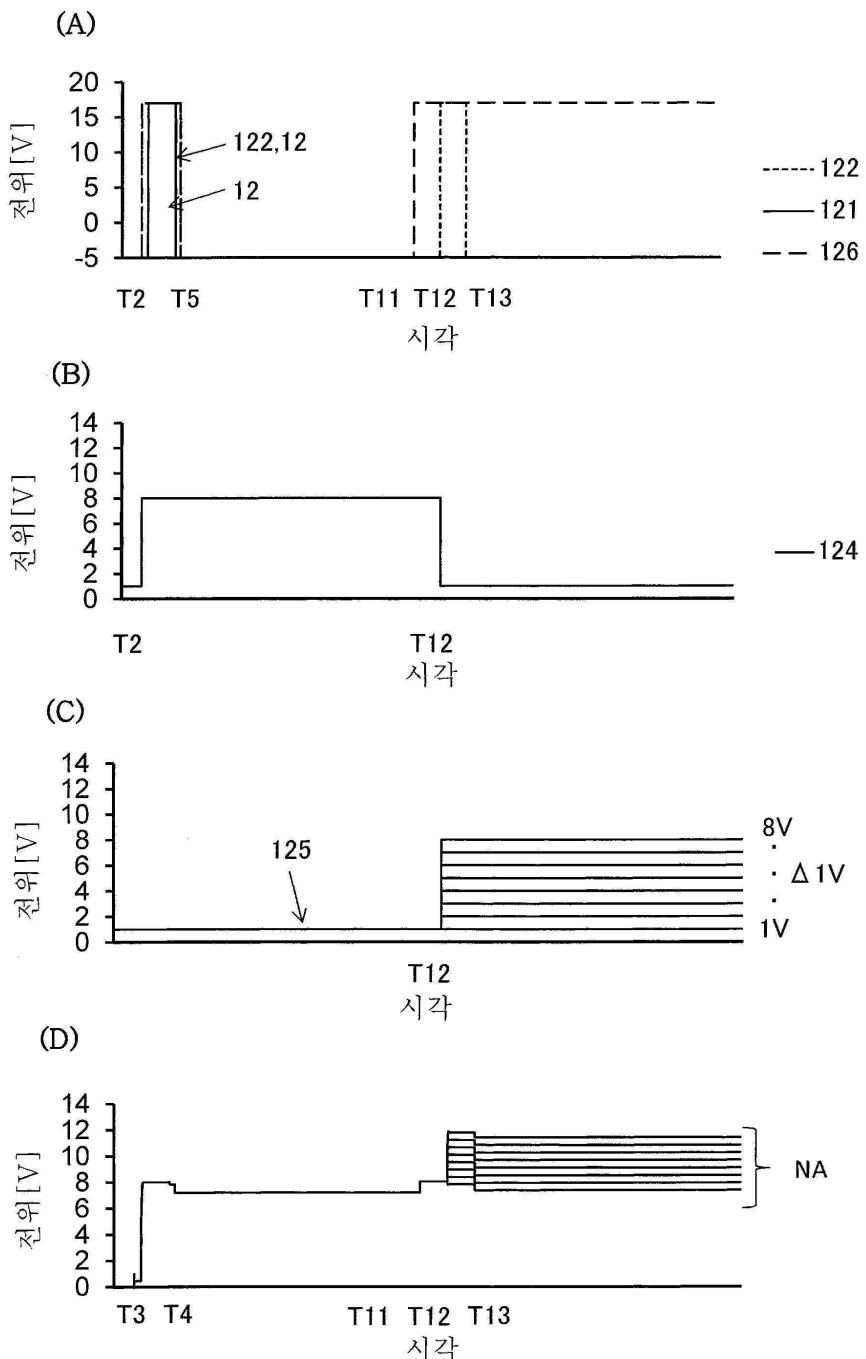
(C)



도면7

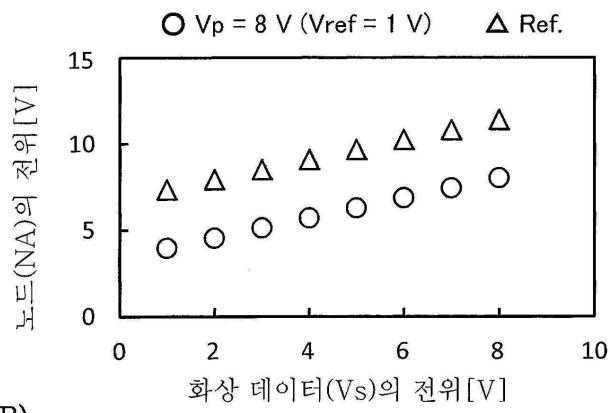


도면8

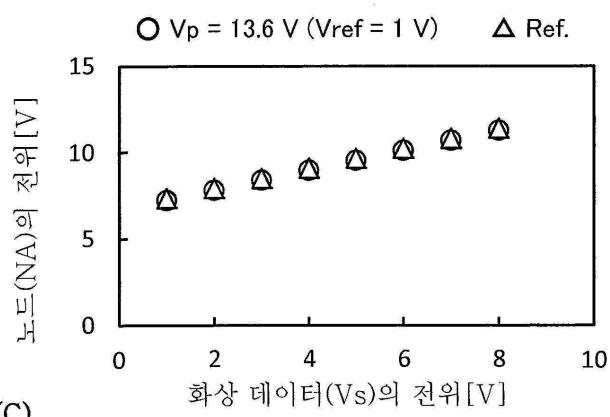


도면9

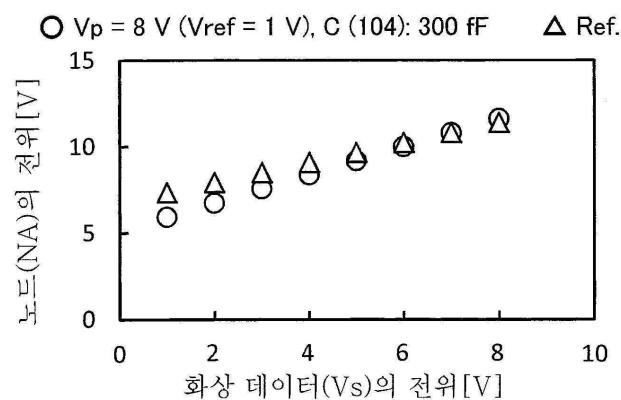
(A)



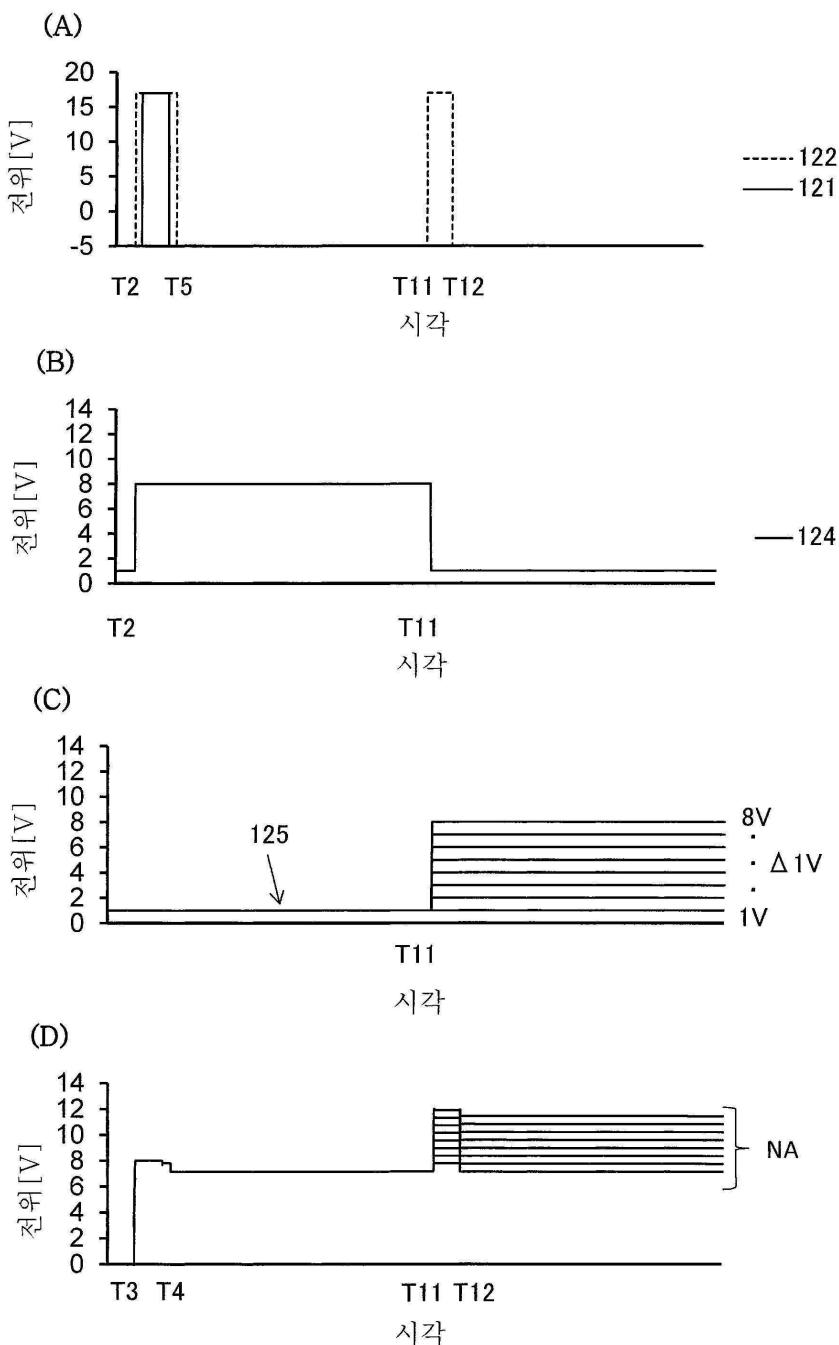
(B)



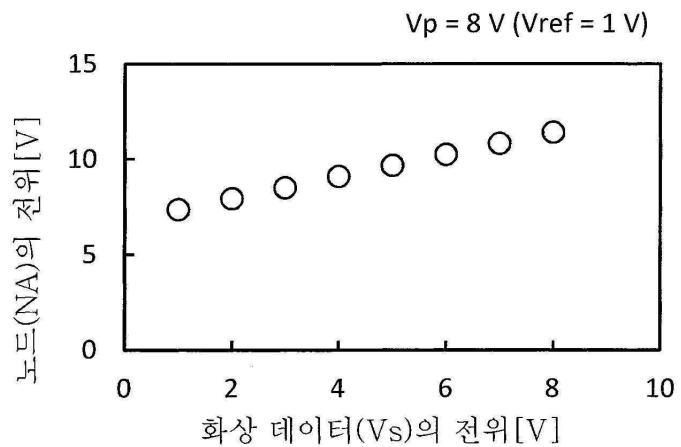
(C)



도면10

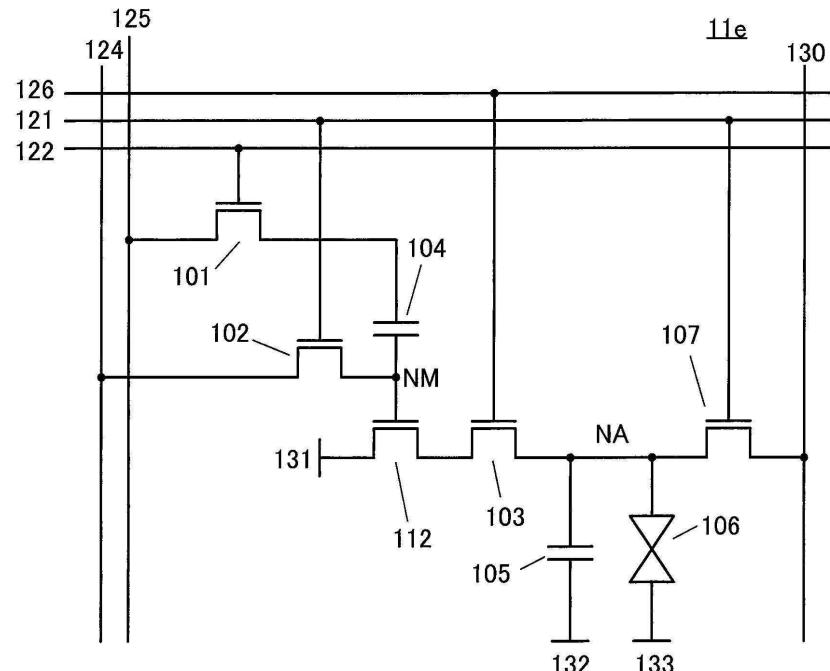


도면11

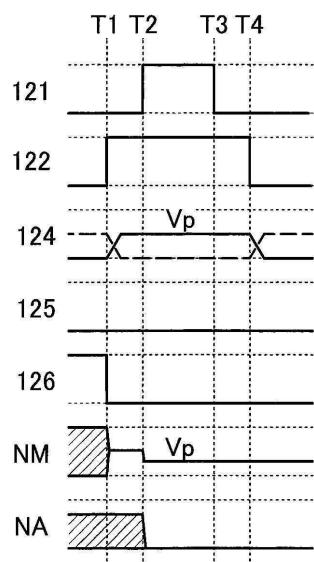


도면12

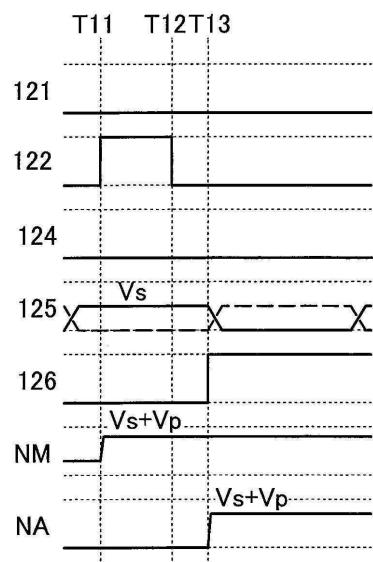
(A)



(B)

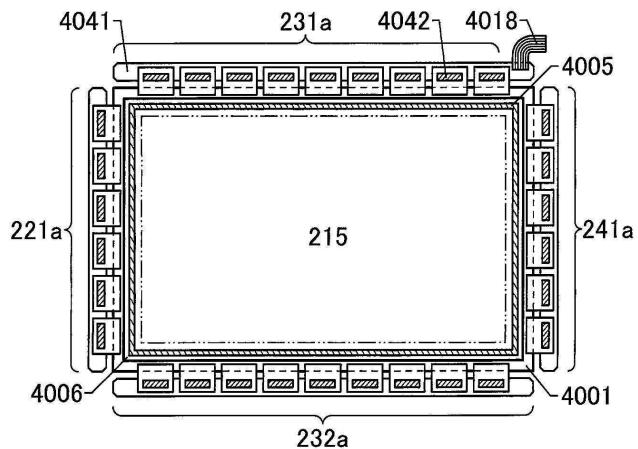


(C)

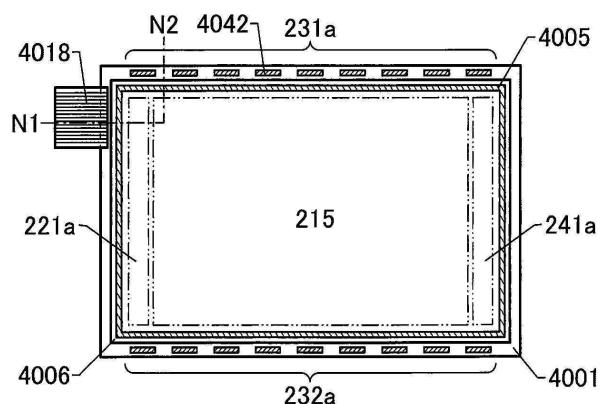


도면13

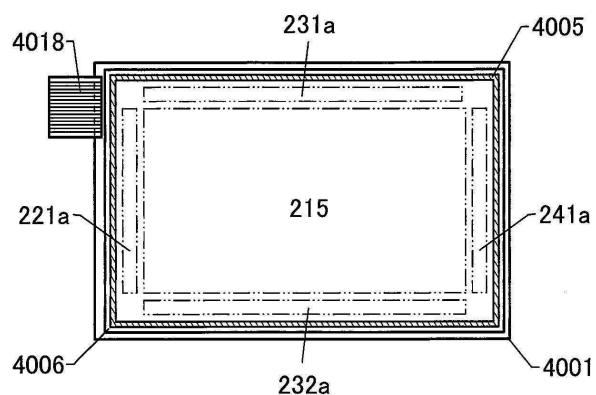
(A)



(B)

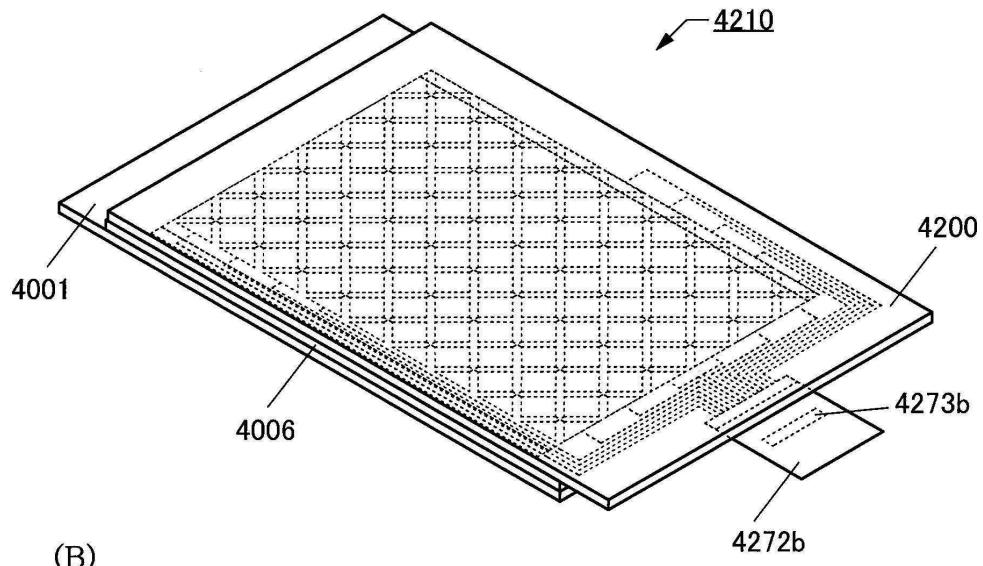


(C)

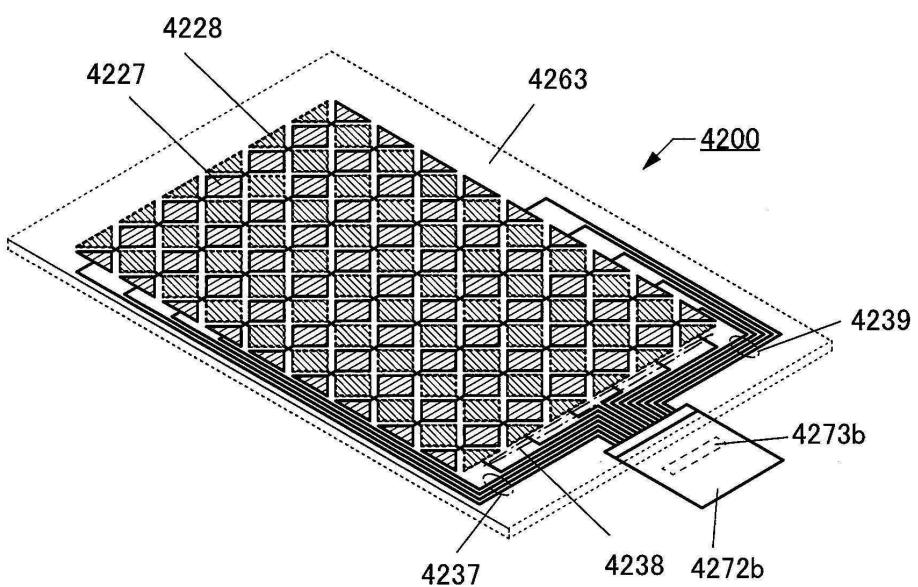


도면14

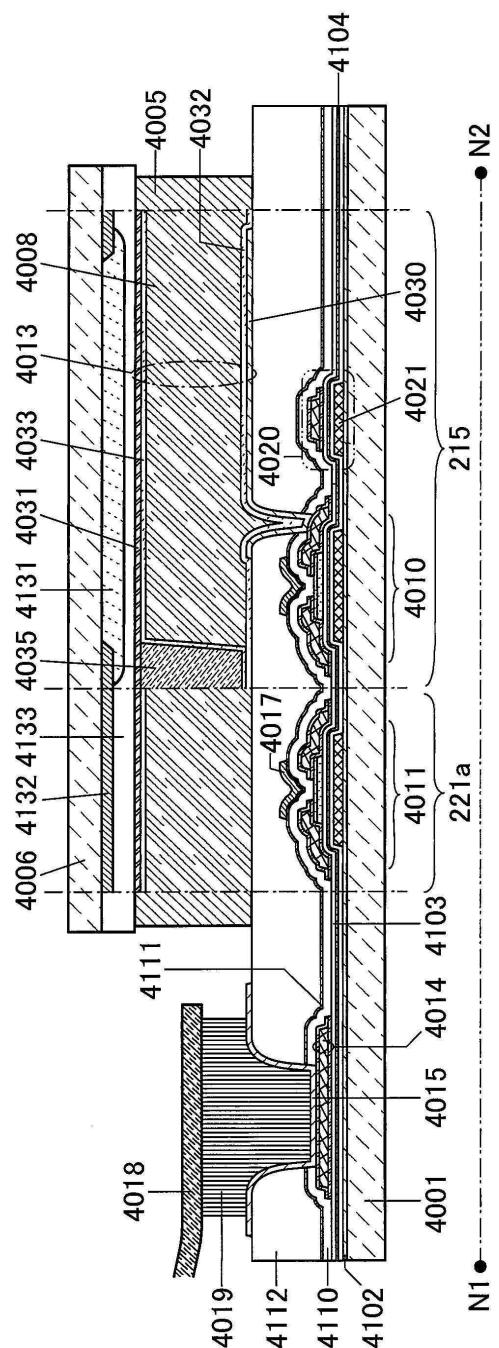
(A)



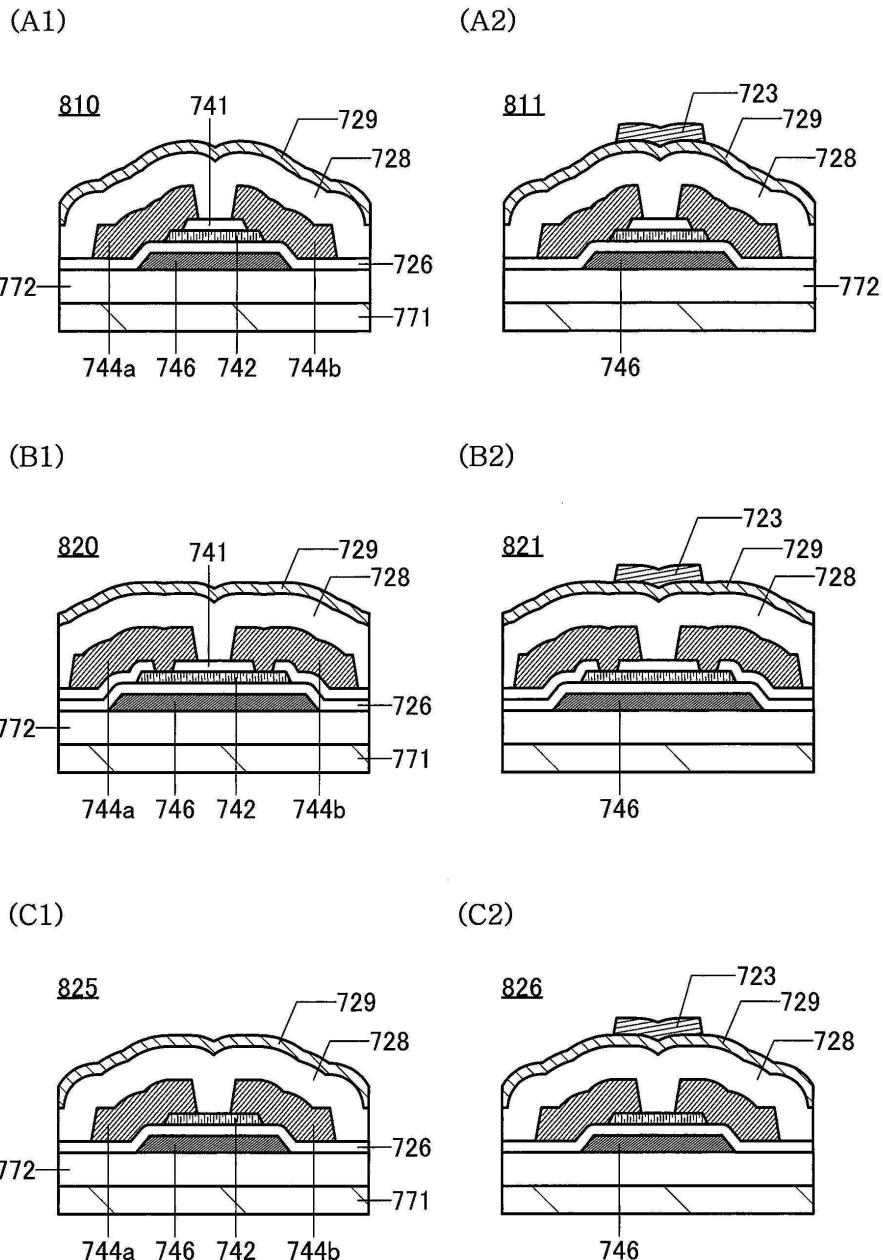
(B)



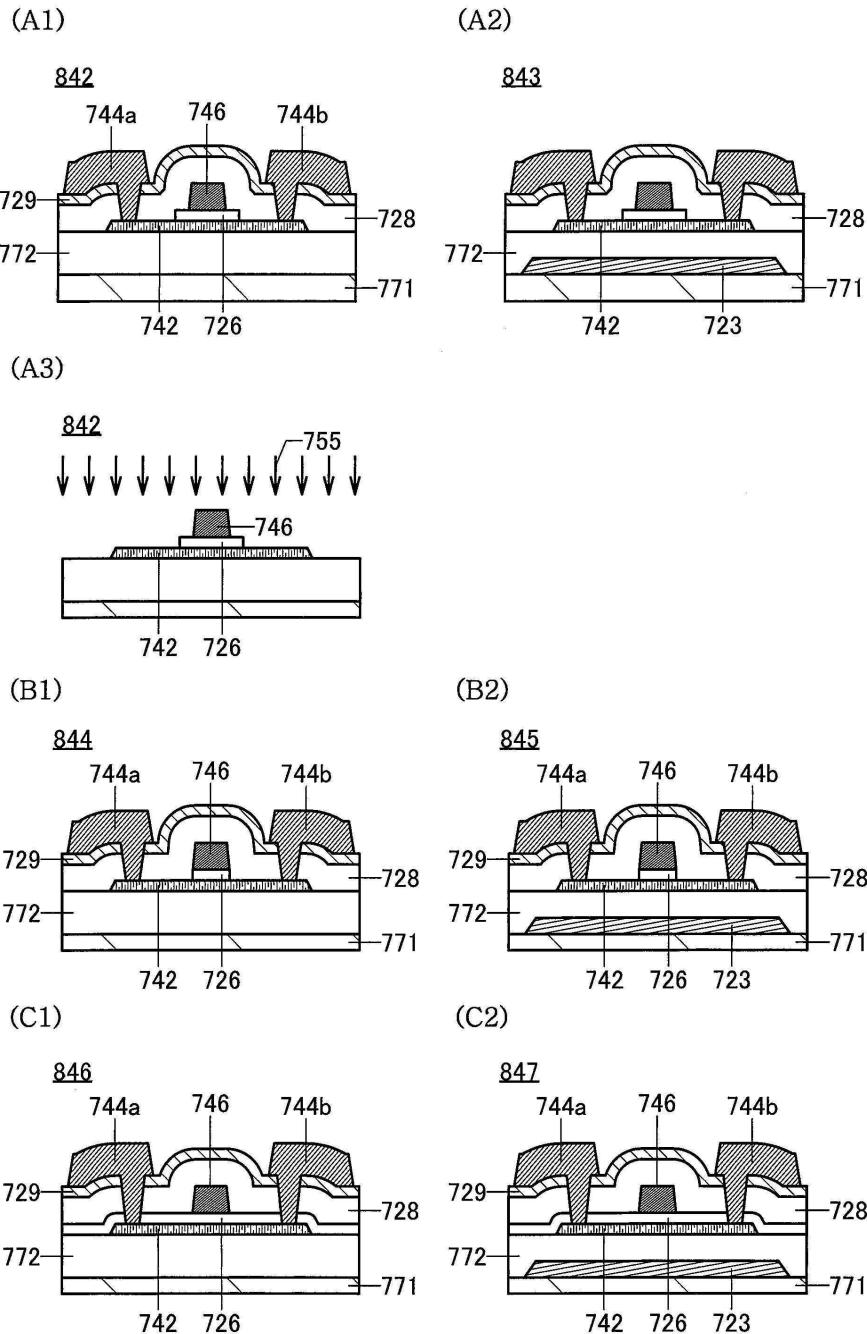
도면 15



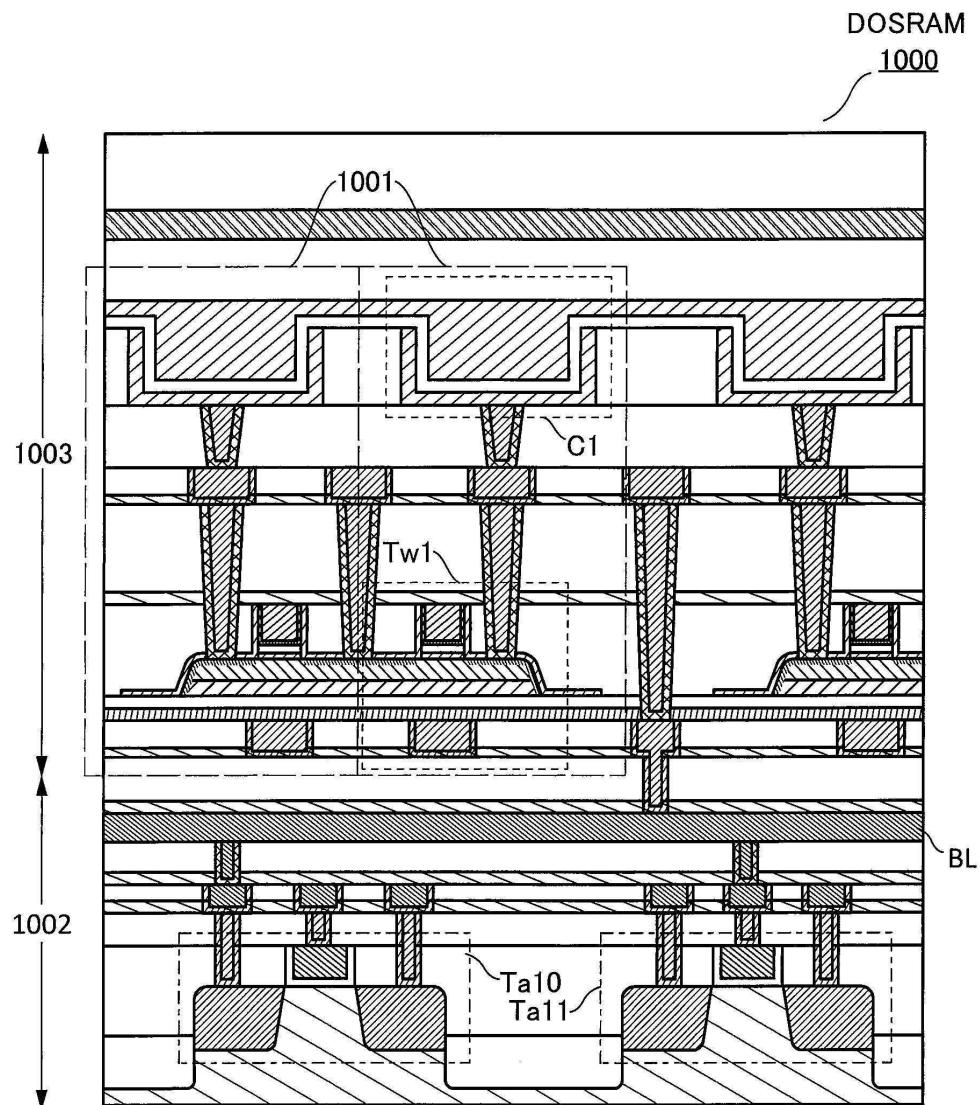
도면16



도면17



도면18



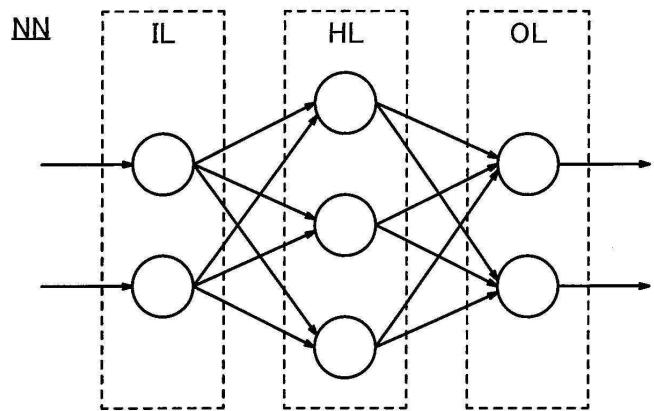
금속 산화물

절연체

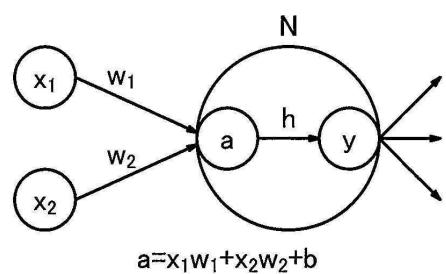
도전체

도면19

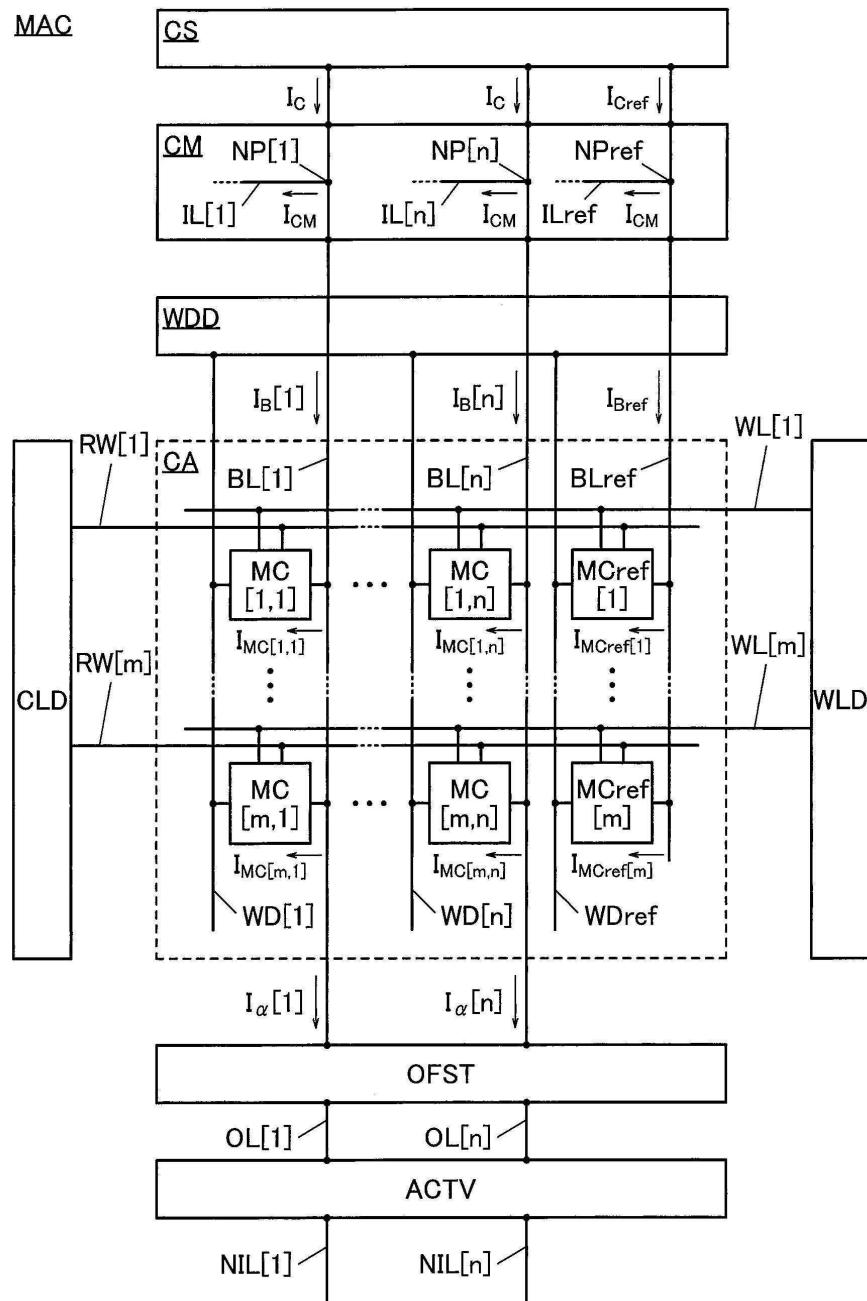
(A)



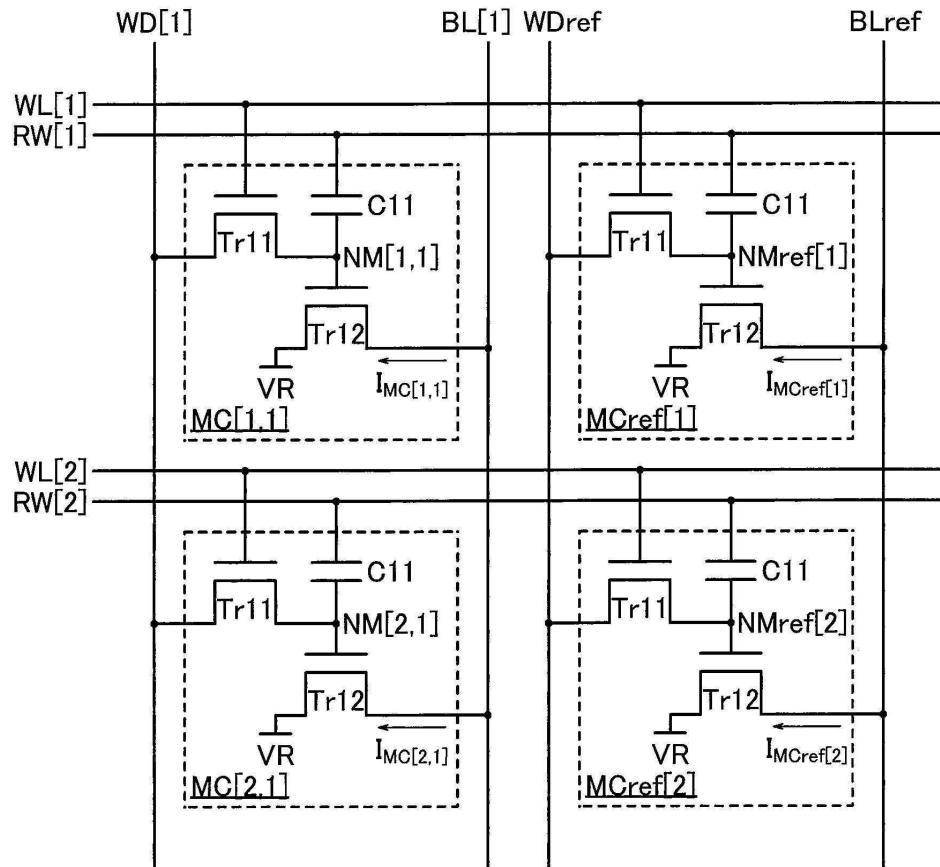
(B)



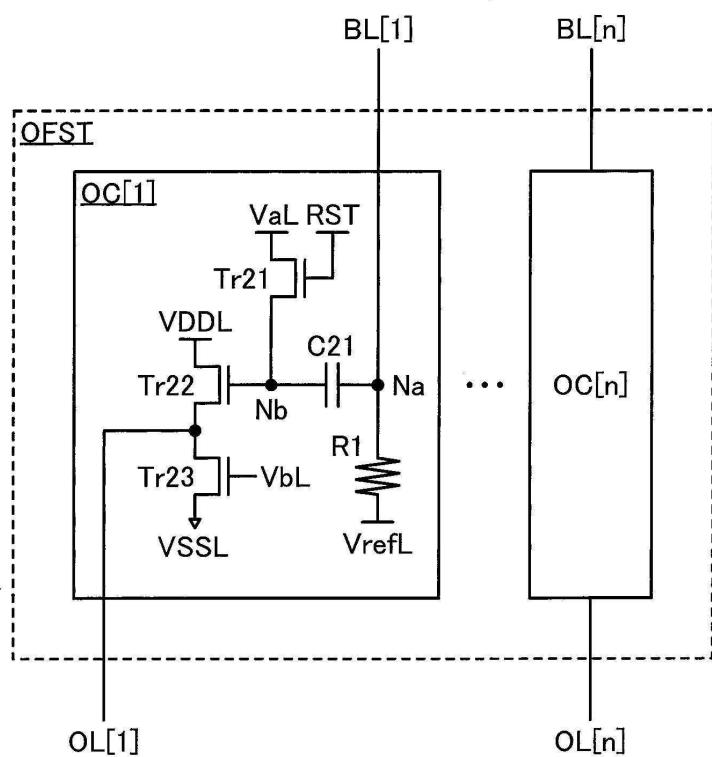
도면20



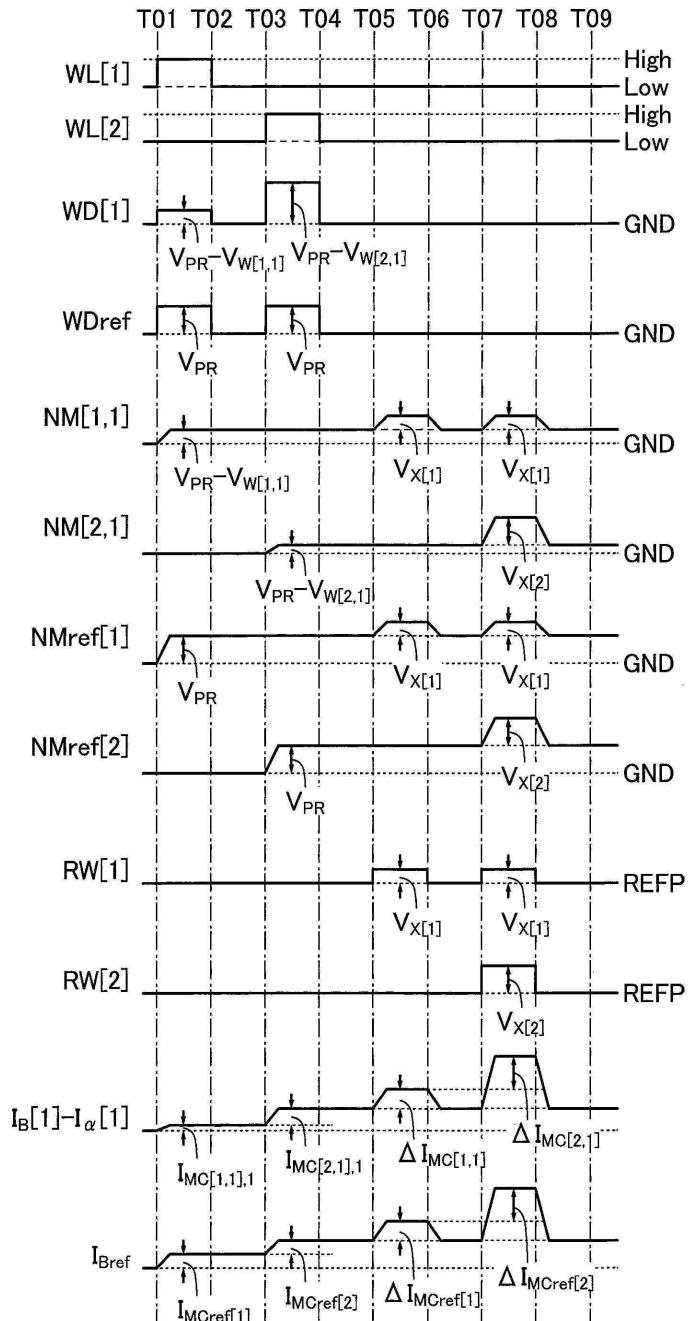
도면21



도면22

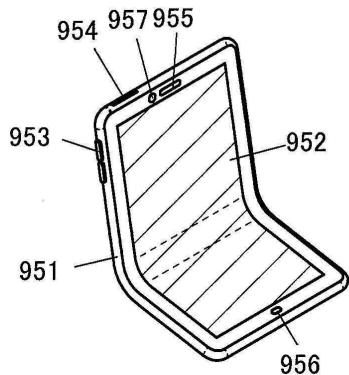


도면23

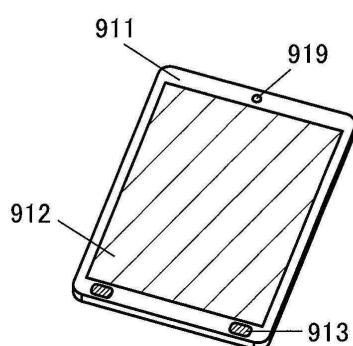


도면24

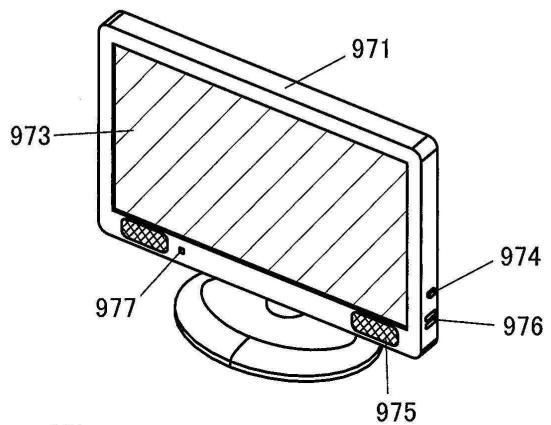
(A)



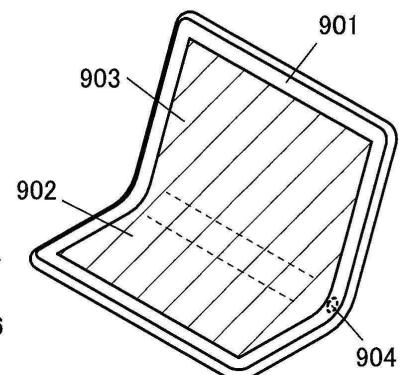
(B)



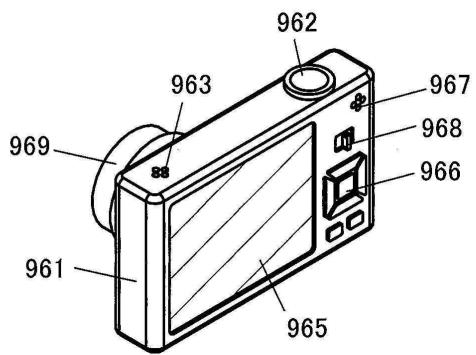
(C)



(D)



(E)



(F)

