



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0119939
(43) 공개일자 2017년10월30일

(51) 국제특허분류(Int. Cl.)
G05F 3/16 (2006.01) G11C 5/14 (2006.01)
(52) CPC특허분류
G05F 3/16 (2013.01)
G11C 5/147 (2013.01)
(21) 출원번호 10-2016-0048263
(22) 출원일자 2016년04월20일
심사청구일자 2016년04월20일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이명희
울산광역시 울주군 언양읍 유니스트길 50
김우중
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
유미특허법인

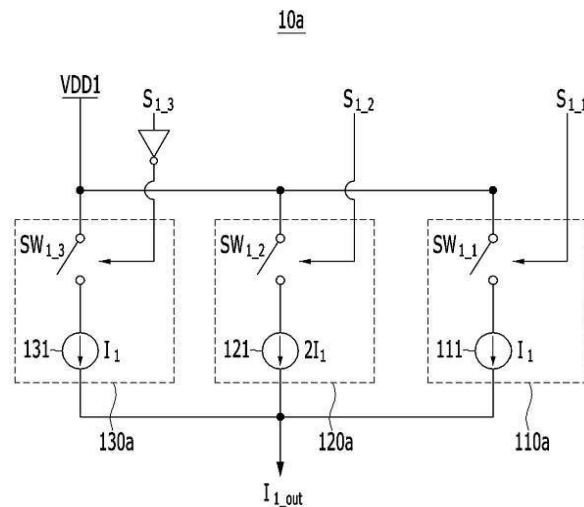
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 트리밍 회로 및 그 제어 방법

(57) 요약

트리밍 회로는 제1 노드 및 제2 노드 사이에 직렬로 연결된 제1 스위치 및 제1 전류 레벨의 제1 전류원을 포함하는 제1 암 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제2 스위치 및 제2 전류 레벨의 제2 전류원을 포함하고, 상기 제1 암과 병렬인 제2 암 및 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제3 스위치 및 제3 전류 레벨의 제3 전류원을 포함하고, 상기 제1 암 및 상기 제2 암과 병렬인 제3 암을 포함하고, 상기 제1 스위치, 상기 제2 스위치, 및 상기 제3 스위치의 온오프 상태에 따라 상기 제2 노드의 출력 전류 레벨이 결정되고, 상기 제1 전류 레벨과 상기 제3 전류 레벨은 서로 동일하다.

대표도 - 도1a



이 발명을 지원한 국가연구개발사업

과제고유번호 10048843

부처명 지식경제부

연구관리전문기관 한국전자통신연구원

연구사업명 산업원천기술개발사업

연구과제명 MULTI-DOMAIN 자동차 전장 구조를 위한 ECU용 SOC 및 임베디드 SW 개발

기 여 율 1/1

주관기관 국립대학법인 울산과학기술대학교 산학협력단

연구기간 2015.06.01~2016.05.31

명세서

청구범위

청구항 1

제1 노드 및 제2 노드 사이에 직렬로 연결된 제1 스위치 및 제1 전류 레벨의 제1 전류원을 포함하는 제1 암;
 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제2 스위치 및 제2 전류 레벨의 제2 전류원을 포함하고,
 상기 제1 암과 병렬인 제2 암; 및
 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제3 스위치 및 제3 전류 레벨의 제3 전류원을 포함하고,
 상기 제1 암 및 상기 제2 암과 병렬인 제3 암을 포함하고,
 상기 제1 스위치, 상기 제2 스위치, 및 상기 제3 스위치의 온오프 상태에 따라 상기 제2 노드의 출력 전류 레벨이 결정되고,
 상기 제1 전류 레벨과 상기 제3 전류 레벨은 서로 동일한,
 트리밍 회로.

청구항 2

제1 항에 있어서,
 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨과 상이한,
 트리밍 회로.

청구항 3

제2 항에 있어서,
 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨보다 높은,
 트리밍 회로.

청구항 4

제3 항에 있어서,
 상기 제3 스위치의 제어 단자에 연결된 인버터를 더 포함하는,
 트리밍 회로.

청구항 5

제4 항에 있어서,
 상기 제1 노드에 연결된 전압원을 더 포함하는,
 트리밍 회로.

청구항 6

제1 노드 및 제2 노드 사이에 직렬로 연결된 제1 트랜지스터 및 제1 전류 레벨의 제1 전류원을 포함하는 제1 암;
 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제2 트랜지스터 및 제2 전류 레벨의 제2 전류원을 포함하고, 상기 제1 암과 병렬인 제2 암; 및
 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제3 트랜지스터 및 제3 전류 레벨의 제3 전류원을 포함하고, 상기 제1 암 및 상기 제2 암과 병렬인 제3 암을 포함하고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터의 온오프 상태에 따라 상기 제2 노드의 출력 전류 레벨이 결정되고,

상기 제1 전류 레벨과 상기 제3 전류 레벨은 서로 동일한,
트리밍 회로.

청구항 7

제6 항에 있어서,
상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨과 상이한,
트리밍 회로.

청구항 8

제7 항에 있어서,
상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨보다 높은,
트리밍 회로.

청구항 9

제8 항에 있어서,
상기 제3 트랜지스터가 온 상태가 되는 제어 전압의 극성은 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 온 상태가 되는 제어 전압의 극성과 반대인,
트리밍 회로.

청구항 10

제9 항에 있어서,
상기 제1 노드에 연결된 전압원을 더 포함하는,
트리밍 회로.

청구항 11

복수의 전류원의 도통 상태에 따른 복수의 조합을 이용하여 출력 전류를 출력하는 트리밍 회로의 제어 방법에 있어서,
상기 출력 전류의 출력 전류 레벨을 결정하는 단계;
상기 복수의 조합 중 상기 출력 전류 레벨에 대응하는 적어도 2 개의 후보 조합을 찾는 단계;
상기 적어도 2 개의 후보 조합 중 이용 불가능한 후보 조합을 제외시키는 단계; 및
나머지 후보 조합 중 하나를 선택하여 상기 복수의 전류원 각각의 도통 상태를 제어하는 단계를 포함하는
트리밍 회로의 제어 방법.

청구항 12

제11 항에 있어서,
상기 복수의 전류원 중 적어도 2 개의 전류원의 전류 레벨이 서로 동일한,
트리밍 회로의 제어 방법.

청구항 13

제12 항에 있어서,

상기 복수의 전류원 중 상기 적어도 2 개의 전류원을 제외한 적어도 1 개의 전류원의 전류 레벨은 상기 적어도 2 개의 전류원의 전류 레벨과 상이한,

트리밍 회로의 제어 방법.

청구항 14

제13 항에 있어서,

상기 적어도 1 개의 전류원의 전류 레벨은 상기 적어도 2 개의 전류원의 전류 레벨보다 높은,

트리밍 회로의 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 트리밍 회로 및 그 제어 방법에 관한 것이다.

배경 기술

[0002] 트리밍 회로는 반도체 집적 회로에서 주로 사용되며, 반도체 집적 회로의 제작 과정에서 발생하는 공정 오차 또는 에러로 인한 출력 값의 변화를 조절하는 용도로 사용된다. 특히 자동차 전장 부품에 사용되는 반도체 집적 회로의 경우, 운전자의 안전을 위해서 ISO 26262와 같은 기능 안전 기준을 만족해야 한다.

[0003] 도 3은 기존의 트리밍 회로를 도시한 도면이다.

[0004] 도 3을 참조하면, 트리밍 회로(30)는 하나의 스위치 및 하나의 전류원이 하나의 암을 구성하는 복수의 암을 포함하고, 복수의 암은 서로 병렬로 연결되어 있다.

[0005] 전류원(311, 321, 331)은 서로 다른 전류 레벨을 갖는다. 예를 들어 전류원(311)은 전류 레벨 I_3 을 갖고, 전류원(321)은 전류 레벨 $2I_3$ 을 갖고, 전류원(331)은 전류 레벨 $4I_3$ 을 갖는다.

[0006] 스위치($SW_{3,1}$, $SW_{3,2}$, $SW_{3,3}$)는 제어 신호($S_{3,1}$, $S_{3,2}$, $S_{3,3}$)에 의해 온오프 상태가 제어되고, 이러한 온오프 상태의 조합에 의해서 출력 전류($I_{3,out}$)의 출력 전류 레벨이 결정된다.

[0007] 도 4는 기존의 트리밍 회로의 출력 전류의 출력 전류 레벨을 설명하기 위한 도면이다.

[0008] 도 4를 참조하면 그래프(40)는 제어 신호(S_3)의 값을 가로축으로 하고, 출력 전류($I_{3,out}$)의 출력 전류 레벨을 세로축으로 한다. 제어 신호(S_3)는 제어 신호($S_{3,1}$)의 값을 제1 비트, 제어 신호($S_{3,2}$)의 값을 제2 비트, 제어 신호($S_{3,3}$)의 값을 제3 비트로 하여 표현될 수 있다.

[0009] 제어 신호(S_3)가 "000"인 경우, 모든 스위치($SW_{3,1}$, $SW_{3,2}$, $SW_{3,3}$)가 오프 상태이고 따라서 모든 전류원(311, 321, 331)에 전류가 흐를 수 없으므로, 출력 전류($I_{3,out}$)은 출력 전류 레벨은 0이다. 제어 신호(S_3)가 "001"인 경우, 스위치($SW_{3,2}$, $SW_{3,3}$)가 오프 상태이고 스위치($SW_{3,1}$)가 온 상태이고 따라서 전류원(311)만 도통되므로, 출력 전류($I_{3,out}$)의 출력 전류 레벨은 전류 레벨 I_3 과 동일하다. 동일한 방식으로 트리밍 회로(30)의 출력 전류($I_{3,out}$)의 출력 전류 레벨은 8 개의 전류 레벨 0, I_3 , $2I_3$, $3I_3$, $4I_3$, $5I_3$, $6I_3$, $7I_3$ 중 하나로 선택될 수 있다.

[0010] 이러한 기존의 트리밍 회로(30)는 n 개의 스위치를 이용하여 최대 개수인 2^n 개의 출력 전류 레벨을 만들어낼 수 있는 장점이 있다. 하지만 전술한 바와 같이 자동차 전장 부품으로서 가혹한 환경(고온 및 고압의 환경) 하에서 스위치($SW_{3,2}$)가 고장나 단락되는 경우, 출력 전류 레벨은 4 개의 전류 레벨 0, I_3 , $4I_3$, $5I_3$ 이 될 수 없는 문제점이 있다. 즉, 스위치가 하나만 고장나도 표현 가능한 출력 전류 레벨이 절반으로 줄어드는 문제점이 있다. 이러한 경우 자동차 전장 부품의 단순한 오작동에 의해서 급발진 또는 엔진의 비정상 작동 등 운전자의 생명에 위협이 가해질 수 있다.

발명의 내용

해결하려는 과제

- [0011] 해결하고자 하는 기술적 과제는, 스위치가 고장나는 경우에도 목적하는 출력 전류 레벨로 출력 전류의 출력이 가능한, ISO 26262의 기능 안전 기준을 만족하는 트리밍 회로 및 그 제어 방법을 제공하는 데 있다.

과제의 해결 수단

- [0012] 실시 예에 따른 트리밍 회로는, 제1 노드 및 제2 노드 사이에 직렬로 연결된 제1 스위치 및 제1 전류 레벨의 제1 전류원을 포함하는 제1 암, 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제2 스위치 및 제2 전류 레벨의 제2 전류원을 포함하고, 상기 제1 암과 병렬인 제2 암, 및 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제3 스위치 및 제3 전류 레벨의 제3 전류원을 포함하고, 상기 제1 암 및 상기 제2 암과 병렬인 제3 암을 포함한다. 상기 제1 스위치, 상기 제2 스위치, 및 상기 제3 스위치의 온오프 상태에 따라 상기 제2 노드의 출력 전류 레벨이 결정되고, 상기 제1 전류 레벨과 상기 제3 전류 레벨은 서로 동일할 수 있다.
- [0013] 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨과 상이할 수 있다. 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨보다 높을 수 있다.
- [0014] 상기 트리밍 회로는, 상기 제3 스위치의 제어 단자에 연결된 인버터를 더 포함할 수 있다. 상기 트리밍 회로는, 상기 제1 노드에 연결된 전압원을 더 포함할 수 있다.
- [0015] 실시 예에 따른 트리밍 회로는, 제1 노드 및 제2 노드 사이에 직렬로 연결된 제1 트랜지스터 및 제1 전류 레벨의 제1 전류원을 포함하는 제1 암, 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제2 트랜지스터 및 제2 전류 레벨의 제2 전류원을 포함하고, 상기 제1 암과 병렬인 제2 암, 및 상기 제1 노드 및 상기 제2 노드 사이에 직렬로 연결된 제3 트랜지스터 및 제3 전류 레벨의 제3 전류원을 포함하고, 상기 제1 암 및 상기 제2 암과 병렬인 제3 암을 포함한다. 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터의 온오프 상태에 따라 상기 제2 노드의 출력 전류 레벨이 결정되고, 상기 제1 전류 레벨과 상기 제3 전류 레벨은 서로 동일할 수 있다.
- [0016] 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨과 상이할 수 있다. 상기 제2 전류 레벨은 상기 제1 전류 레벨 및 상기 제3 전류 레벨보다 높을 수 있다.
- [0017] 상기 제3 트랜지스터가 온 상태가 되는 제어 전압의 극성은 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 온 상태가 되는 제어 전압의 극성과 반대일 수 있다.
- [0018] 상기 트리밍 회로는, 상기 제1 노드에 연결된 전압원을 더 포함할 수 있다.
- [0019] 실시 예에 따른, 복수의 전류원의 도통 상태에 따른 복수의 조합을 이용하여 출력 전류를 출력하는 트리밍 회로의 제어 방법은, 상기 출력 전류의 출력 전류 레벨을 결정하는 단계; 상기 복수의 조합 중 상기 출력 전류 레벨에 대응하는 적어도 2 개의 후보 조합을 찾는 단계; 상기 적어도 2 개의 후보 조합 중 이용 불가능한 후보 조합을 제외시키는 단계; 및 나머지 후보 조합 중 하나를 선택하여 상기 복수의 전류원 각각의 도통 상태를 제어하는 단계를 포함할 수 있다.
- [0020] 상기 복수의 전류원 중 적어도 2 개의 전류원의 전류 레벨이 서로 동일할 수 있다. 상기 복수의 전류원 중 상기 적어도 2 개의 전류원을 제외한 적어도 1 개의 전류원의 전류 레벨은 상기 적어도 2 개의 전류원의 전류 레벨과 상이할 수 있다. 상기 적어도 1 개의 전류원의 전류 레벨은 상기 적어도 2 개의 전류원의 전류 레벨보다 높을 수 있다.

발명의 효과

- [0021] 실시예들에 따른 트리밍 회로 및 그 제어 방법은, 스위치가 고장나는 경우에도 목적하는 출력 전류 레벨로 출력 전류를 출력할 수 있고, ISO 26262의 기능 안전 기준을 만족한다.

도면의 간단한 설명

- [0022] 도 1a는 본 발명의 한 실시예에 따른 트리밍 회로를 도시한 도면이다.
- 도 1b는 본 발명의 다른 실시예에 따른 트리밍 회로를 도시한 도면이다.
- 도 2는 본 발명의 실시예들에 따른 트리밍 회로의 출력 전류 레벨을 설명하기 위한 도면이다.

도 3은 기존의 트리밍 회로를 도시한 도면이다.

도 4는 기존의 트리밍 회로의 출력 전류의 출력 전류 레벨을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부한 도면을 참고로 하여 여러 실시예들에 대하여 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 실시예들은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0024] 실시예들을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 번호를 붙이도록 한다. 따라서 이전 도면에 사용된 구성요소의 참조 번호를 다음 도면에서 사용할 수 있다.
- [0025] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 실시예들은 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께 및 영역을 과장하여 나타낼 수 있다.
- [0026] 2개의 구성요소를 전기적으로 연결한다는 것은 2개의 구성요소를 직접(directly) 연결할 경우뿐만 아니라, 2개의 구성요소 사이에 다른 구성요소를 거쳐서 연결하는 경우도 포함한다. 다른 구성요소는 스위치, 저항, 커패시터 등을 포함할 수 있다. 실시예들을 설명함에 있어서 연결한다는 표현은, 직접 연결한다는 표현이 없는 경우에는, 전기적으로 연결한다는 것을 의미한다.
- [0027] 도 1a는 본 발명의 한 실시예에 따른 트리밍 회로를 도시한 도면이다.
- [0028] 도 1a를 참조하면, 트리밍 회로(10a)는 제1 노드 및 제2 노드를 기준으로 서로 병렬로 연결된 제1 암(arm)(110a), 제2 암(120a), 및 제3 암(130a)을 포함한다. 여기서 제1 노드는 제1 내지 제3 암(110a, 120a, 130a)과 전압원(VDD1)이 연결된 노드를 지칭하고, 제2 노드는 출력 전류(I_{out})가 출력되는 노드를 지칭한다.
- [0029] 제1 암(110a)은 직렬로 연결된 제1 스위치(SW_{11}) 및 제1 전류원(111)을 포함하고, 제2 암(120a)은 직렬로 연결된 제2 스위치(SW_{12}) 및 제2 전류원(121)을 포함하고, 제3 암(130a)은 직렬로 연결된 제3 스위치(SW_{13}) 및 제3 전류원(131)을 포함한다.
- [0030] 제1 전류원(111)은 제1 전류 레벨을 갖고, 제2 전류원(121)은 제2 전류 레벨을 갖고, 제3 전류원(131)은 제3 전류 레벨을 갖는다. 본 실시예에서 복수의 전류원(111, 121, 131) 중 적어도 2 개의 전류원(111, 131)은 서로 동일한 전류 레벨을 갖는다. 도 1a를 참조하면 제1 전류 레벨과 제3 전류 레벨이 I_1 으로 서로 동일하다.
- [0031] 또한 복수의 전류원(111, 121, 131) 중 서로 동일한 전류 레벨을 갖는 적어도 2 개의 전류원(111, 131)을 제외한 적어도 1개의 전류원(121)은 상이한 전류 레벨을 가질 수 있다. 이때 전류원(121)의 전류 레벨은 전류원(111, 131)의 전류 레벨보다 높을 수 있다. 도 1a를 참조하면 전류원(121)의 전류 레벨은 $2I_1$ 로서 전류원(111, 131)의 전류 레벨인 I_1 보다 높다.
- [0032] 제1 스위치(SW_{11})는 제1 제어 신호(S_{11})에 의해 온오프 제어되고, 제2 스위치(SW_{12})는 제2 제어 신호(S_{12})에 의해 온오프 제어되고, 제3 스위치(SW_{13})는 제3 제어 신호(S_{13})에 의해 온오프 제어된다.
- [0033] 제3 스위치(SW_{13})의 제어 단자에 인버터(190)가 연결될 수 있다. 인버터(190)는 제3 제어 신호(S_{13})를 반전시킬 수 있다.
- [0034] 도 1b는 본 발명의 다른 실시예에 따른 트리밍 회로를 도시한 도면이다.
- [0035] 도 1b를 참조하면, 트리밍 회로(10b)는 제1 노드 및 제2 노드를 기준으로 서로 병렬로 연결된 제1 암(110b), 제2 암(120b), 및 제3 암(130b)을 포함한다. 여기서 제1 노드는 제1 내지 제3 암(110b, 120b, 130b)과 전압원(VDD1)이 연결된 노드를 지칭하고, 제2 노드는 출력 전류(I_{out})가 출력되는 노드를 지칭한다.
- [0036] 제1 암(110b)은 직렬로 연결된 제1 트랜지스터(TR_{11}) 및 제1 전류원(111)을 포함하고, 제2 암(120b)은 직렬로 연결된 제2 트랜지스터(TR_{12}) 및 제2 전류원(121)을 포함하고, 제3 암(130b)은 직렬로 연결된 제3 트랜지스터

(TR_{13}) 및 제3 전류원(131)을 포함한다.

- [0037] 제1 전류원(111)은 제1 전류 레벨을 갖고, 제2 전류원(121)은 제2 전류 레벨을 갖고, 제3 전류원(131)은 제3 전류 레벨을 갖는다. 본 실시예에서 복수의 전류원(111, 121, 131) 중 적어도 2 개의 전류원(111, 131)은 서로 동일한 전류 레벨을 갖는다. 도 1b를 참조하면 제1 전류 레벨과 제3 전류 레벨이 I_1 으로 서로 동일하다.
- [0038] 또한 복수의 전류원(111, 121, 131) 중 서로 동일한 전류 레벨을 갖는 적어도 2 개의 전류원(111, 131)을 제외한 적어도 1개의 전류원(121)은 상이한 전류 레벨을 가질 수 있다. 이때 전류원(121)의 전류 레벨은 전류원(111, 131)의 전류 레벨보다 높을 수 있다. 도 1b를 참조하면 전류원(121)의 전류 레벨은 $2I_1$ 로서 전류원(111, 131)의 전류 레벨인 I_1 보다 높다.
- [0039] 제1 트랜지스터(TR_{11})는 제1 제어 신호(S_{11})에 의해 온오프 제어되고, 제2 트랜지스터(TR_{12})는 제2 제어 신호(S_{12})에 의해 온오프 제어되고, 제3 트랜지스터(TR_{13})는 제3 제어 신호(S_{13})에 의해 온오프 제어된다.
- [0040] 제3 트랜지스터(TR_{13})가 온 상태가 되는 제어 전압의 극성은 제1 트랜지스터(TR_{11}) 및 제2 트랜지스터(TR_{12})가 온 상태가 되는 제어 전압의 극성과 반대일 수 있다. 예를 들어, 제3 트랜지스터(TR_{13})는 PMOS일 수 있고, 제1 및 제2 트랜지스터(TR_{11} , TR_{12})는 NMOS일 수 있다.
- [0041] 도 2는 본 발명의 실시예들에 따른 트리밍 회로의 출력 전류 레벨을 설명하기 위한 도면이다.
- [0042] 도 2를 참조하면 그래프(20)는 제어 신호(S_1)의 값을 가로축으로 하고, 출력 전류(I_{1out})의 출력 전류 레벨을 세로축으로 한다. 제어 신호(S_1)는 제어 신호(S_{11})의 값을 제1 비트, 제어 신호(S_{12})의 값을 제2 비트, 제어 신호(S_{13})의 값을 제3 비트로 하여 표현될 수 있다.
- [0043] 도 2의 그래프(20)는 도 1a의 실시예 또는 도 1b의 실시예에 따라 설명될 수 있으나, 편의상 도 1a의 실시예를 기준으로 설명한다.
- [0044] 제어 신호(S_1)가 "000"인 경우는 제1 제어 신호(S_{11})가 오프 레벨이고, 제2 제어 신호(S_{12})가 오프 레벨이고, 제3 제어 신호(S_{13})가 오프 레벨인 경우이다. 하지만 제3 제어 신호(S_{13})는 인버터(190)에 의해 반전되므로 제3 스위치(SW_{13})의 제어 단자에는 온 레벨의 제어 신호가 인가된다. 따라서 출력 전류(I_{1out})의 전류 레벨은 전류원(131)에 따르므로, I_1 에 해당한다.
- [0045] 제어 신호(S_1)가 "001"인 경우는 제1 제어 신호(S_{11})가 온 레벨이고, 제2 제어 신호(S_{12})가 오프 레벨이고, 제3 제어 신호(S_{13})가 오프 레벨인 경우이다. 제3 제어 신호(S_{13})는 인버터(190)에 의해 반전되므로 제3 스위치(SW_{13})의 제어 단자에는 온 레벨의 제어 신호가 인가된다. 따라서 출력 전류(I_{1out})의 전류 레벨은 전류원(111, 131)에 따르므로, $2I_1$ 에 해당한다.
- [0046] 제어 신호(S_1)가 "010"인 경우는 제1 제어 신호(S_{11})가 오프 레벨이고, 제2 제어 신호(S_{12})가 온 레벨이고, 제3 제어 신호(S_{13})가 오프 레벨인 경우이다. 제3 제어 신호(S_{13})는 인버터(190)에 의해 반전되므로 제3 스위치(SW_{13})의 제어 단자에는 온 레벨의 제어 신호가 인가된다. 따라서 출력 전류(I_{1out})의 전류 레벨은 전류원(121, 131)에 따르므로, $3I_1$ 에 해당한다.
- [0047] 제어 신호(S_1)가 "011"인 경우는 제1 제어 신호(S_{11})가 온 레벨이고, 제2 제어 신호(S_{12})가 온 레벨이고, 제3 제어 신호(S_{13})가 오프 레벨인 경우이다. 제3 제어 신호(S_{13})는 인버터(190)에 의해 반전되므로 제3 스위치(SW_{13})의 제어 단자에는 온 레벨의 제어 신호가 인가된다. 따라서 출력 전류(I_{1out})의 전류 레벨은 전류원(111, 121, 131)에 따르므로, $4I_1$ 에 해당한다.
- [0048] 제어 신호(S_1)가 "100"인 경우는 제1 제어 신호(S_{11})가 오프 레벨이고, 제2 제어 신호(S_{12})가 오프 레벨이고, 제3 제어 신호(S_{13})가 온 레벨인 경우이다. 제3 제어 신호(S_{13})는 인버터(190)에 의해 반전되므로 제3 스위치

($SW_{1,3}$)의 제어 단자에는 오프 레벨의 제어 신호가 인가된다. 따라서 출력 전류($I_{1,out}$)의 전류 레벨은 0에 해당한다.

[0049] 제어 신호(S_1)가 "101"인 경우는 제1 제어 신호($S_{1,1}$)가 온 레벨이고, 제2 제어 신호($S_{1,2}$)가 오프 레벨이고, 제3 제어 신호($S_{1,3}$)가 온 레벨인 경우이다. 제3 제어 신호($S_{1,3}$)는 인버터(190)에 의해 반전되므로 제3 스위치($SW_{1,3}$)의 제어 단자에는 오프 레벨의 제어 신호가 인가된다. 따라서 출력 전류($I_{1,out}$)의 전류 레벨은 전류원(111)에 따르므로, I_1 에 해당한다.

[0050] 제어 신호(S_1)가 "110"인 경우는 제1 제어 신호($S_{1,1}$)가 오프 레벨이고, 제2 제어 신호($S_{1,2}$)가 온 레벨이고, 제3 제어 신호($S_{1,3}$)가 온 레벨인 경우이다. 제3 제어 신호($S_{1,3}$)는 인버터(190)에 의해 반전되므로 제3 스위치($SW_{1,3}$)의 제어 단자에는 오프 레벨의 제어 신호가 인가된다. 따라서 출력 전류($I_{1,out}$)의 전류 레벨은 전류원(121)에 따르므로, $2I_1$ 에 해당한다.

[0051] 제어 신호(S_1)가 "111"인 경우는 제1 제어 신호($S_{1,1}$)가 온 레벨이고, 제2 제어 신호($S_{1,2}$)가 온 레벨이고, 제3 제어 신호($S_{1,3}$)가 온 레벨인 경우이다. 제3 제어 신호($S_{1,3}$)는 인버터(190)에 의해 반전되므로 제3 스위치($SW_{1,3}$)의 제어 단자에는 오프 레벨의 제어 신호가 인가된다. 따라서 출력 전류($I_{1,out}$)의 전류 레벨은 전류원(111, 121)에 따르므로, $3I_1$ 에 해당한다.

[0052] 복수의 전류원(111, 121, 131)의 도통 상태에 따른 복수의 조합은 스위치가 n 개일 때 2^n 개가 된다. 따라서, 본 실시예에서는 스위치가 3 개이므로 복수의 조합은 8 개 존재한다. 이러한 8 개의 복수의 조합 중 출력 전류($I_{1,out}$)의 출력 전류 레벨이 0이 되는 경우와 $4I_1$ 가 되는 경우의 2 개 조합을 제외한 나머지 6 개 조합은 다음과 같이 2 개 조합 마다 쌍을 이룬다.

[0053] 제어 신호(S_1)가 "000"인 조합과 "101"인 조합에서 각각 출력 전류 레벨이 I_1 이 되고, 제어 신호(S_1)가 "001"인 조합과 "110"인 조합에서 각각 출력 전류 레벨이 $2I_1$ 이 되고, 제어 신호(S_1)가 "010"인 조합과 "111"인 조합에서 각각 출력 전류 레벨이 $3I_1$ 이 된다.

[0054] 따라서, 예를 들어 제1 스위치($SW_{1,1}$)에 고장이 발생해 단락되더라도, 제어 신호(S_1)가 "101"인 조합을 이용하여 출력 전류 레벨이 I_1 인 출력 전류($I_{1,out}$)를 출력하고, 제어 신호(S_1)가 "001"인 조합을 이용하여 출력 전류 레벨이 $2I_1$ 인 출력 전류($I_{1,out}$)를 출력하고, 제어 신호(S_1)가 "111"인 조합을 이용하여 출력 전류 레벨이 $3I_1$ 인 출력 전류($I_{1,out}$)를 출력할 수 있다.

[0055] 결론적으로 기존 트리밍 회로에 비해서 선택가능한 출력 전류 레벨의 폭은 좁을 수 있으나, 스위치 고장에 더욱 견고한 트리밍 회로를 제공할 수 있다.

[0056] 트리밍 회로는 외부의 제어 회로 또는 디지털 신호 처리기(Digital Signal Processor, DSP)에 의해 아래와 같이 제어될 수 있다.

[0057] 우선 디지털 신호 처리기는 트리밍 회로(10a)가 위치한 또는 연결된 반도체 집적 회로에서 필요로 하는 출력 전류($I_{1,out}$)의 출력 전류 레벨을 결정할 수 있다.

[0058] 디지털 신호 처리기는 복수의 조합 중 결정된 출력 전류 레벨에 대응하는 적어도 2 개의 후보 조합을 찾을 수 있다. 복수의 조합은 전술한 바와 같이 복수의 전류원(111, 121, 131)의 도통 상태에 따른 조합이다. 적어도 2 개의 후보 조합이란 동일한 출력 전류 레벨의 출력 전류($I_{1,out}$)를 출력할 수 있는 서로 다른 조합을 의미한다. 예를 들어, 결정된 출력 전류 레벨이 I_1 인 경우 제어 신호(S_1)가 "000"인 조합과 "101"인 조합이 후보 조합이 될 수 있다.

[0059] 다음으로 디지털 신호 처리기는 적어도 2 개의 후보 조합 중 이용 불가능한 후보 조합을 제외시킬 수 있다. 예를 들어, 제1 스위치($SW_{1,1}$)의 단락 고장이 확인된 경우, 제어 신호(S_1)가 "000"인 후보 조합은 사용할 수 없으므로 이를 제외시킬 수 있다.

[0060] 따라서, 디지털 신호 처리기는 나머지 후보 조합 중 하나인 제어 신호(S_1)가 "101"인 조합을 선택하고, 이에 따라 복수의 전류원(111, 121, 131) 각각의 도통 상태를 제어할 수 있다. 예로 든 경우에는 제1 스위치($SW_{1,1}$)가 온 상태(단락 상태)가 되고, 제2 및 제3 스위치($SW_{1,2}$, $SW_{1,3}$)는 오프 상태가 될 것이다.

[0061] 본 명세서에서는 3 개의 스위치를 구비한 트리밍 회로를 실시예로 들었으나, 스위치를 추가하여 선택가능한 출력 전류 레벨의 폭을 늘리거나 같은 출력 전류 레벨에 대응하는 다양한 조합을 추가할 수 있다.

[0062] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0063] 10a, 10b: 트리밍 회로

$SW_{1,1}$, $SW_{1,2}$, $SW_{1,3}$: 스위치

$TR_{1,1}$, $TR_{1,2}$, $TR_{1,3}$: 트랜지스터

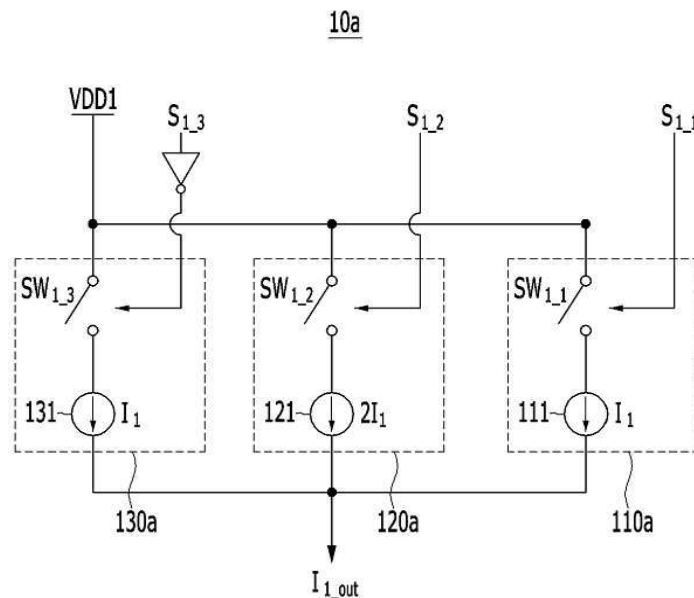
110a, 120a, 130a, 110b, 120b, 130b: 암

111, 121, 131: 전류원

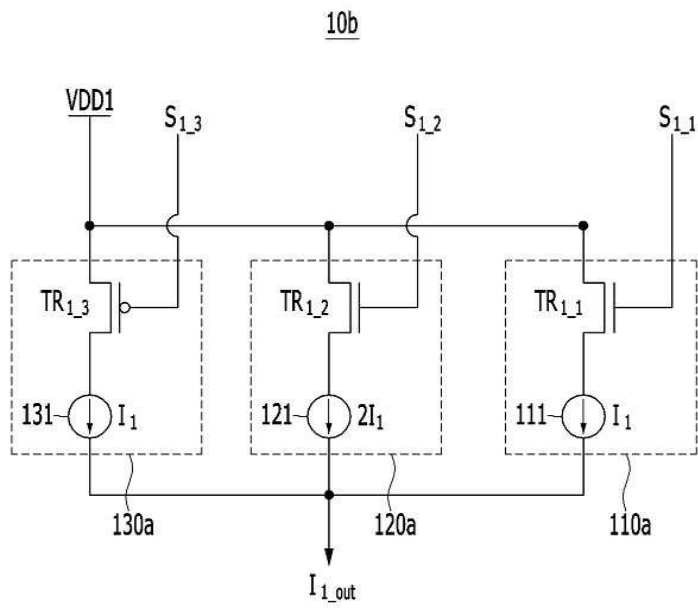
190: 인버터

도면

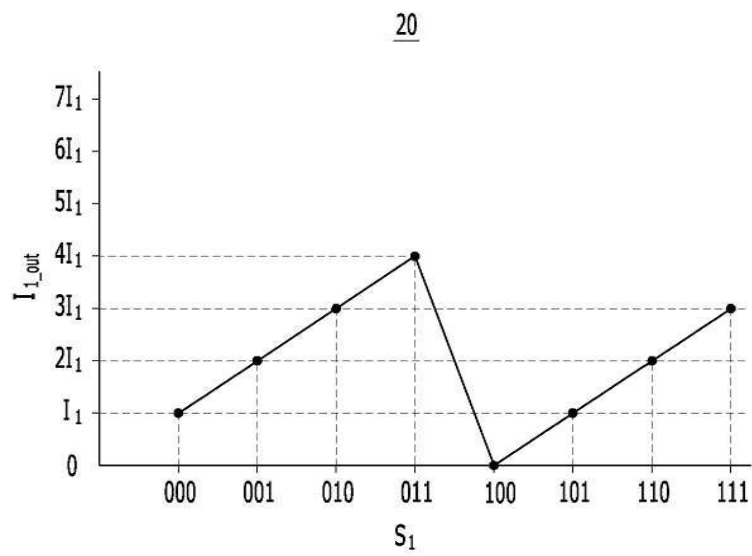
도면1a



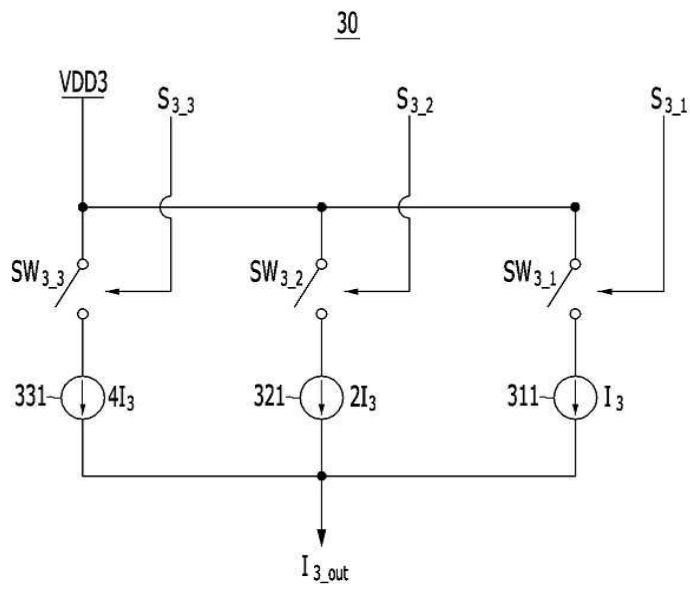
도면1b



도면2



도면3



도면4

